

D 組-大學部全客戶設計

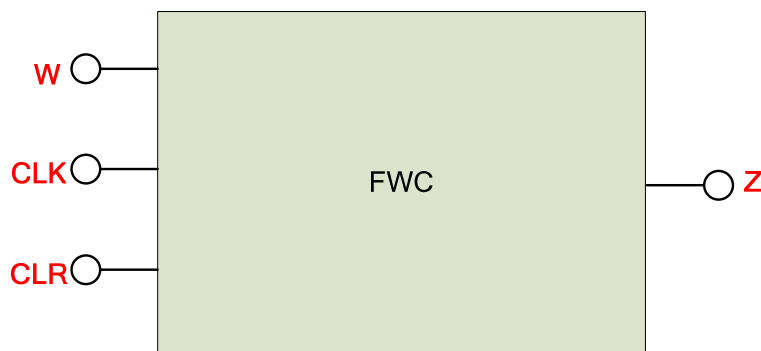
2018 University/College IC Design Contest

Full Custom IC Category for **Undergraduate Students**

Fault Warning Circuits (FWC)

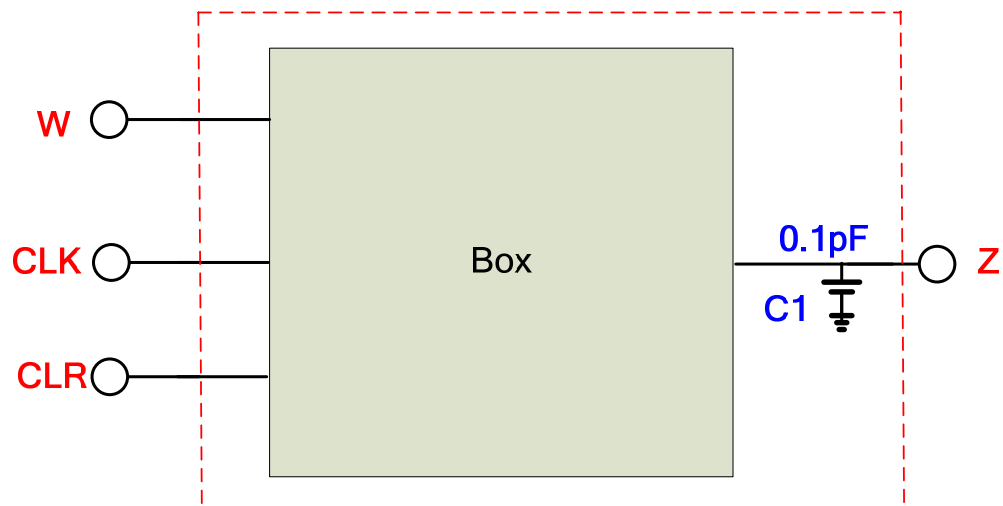
1. 題目描述

請設計一個故障警告電路(FWC)，其電路方塊如(圖一)所示，輸入端包含偵錯信號 W、觸發信號 CLK、重置信號 CLR，輸出端為警告訊號 Z，電源電壓 VDD 為 1.8V，而 GND 為 0V。



圖一 FWC 方塊圖

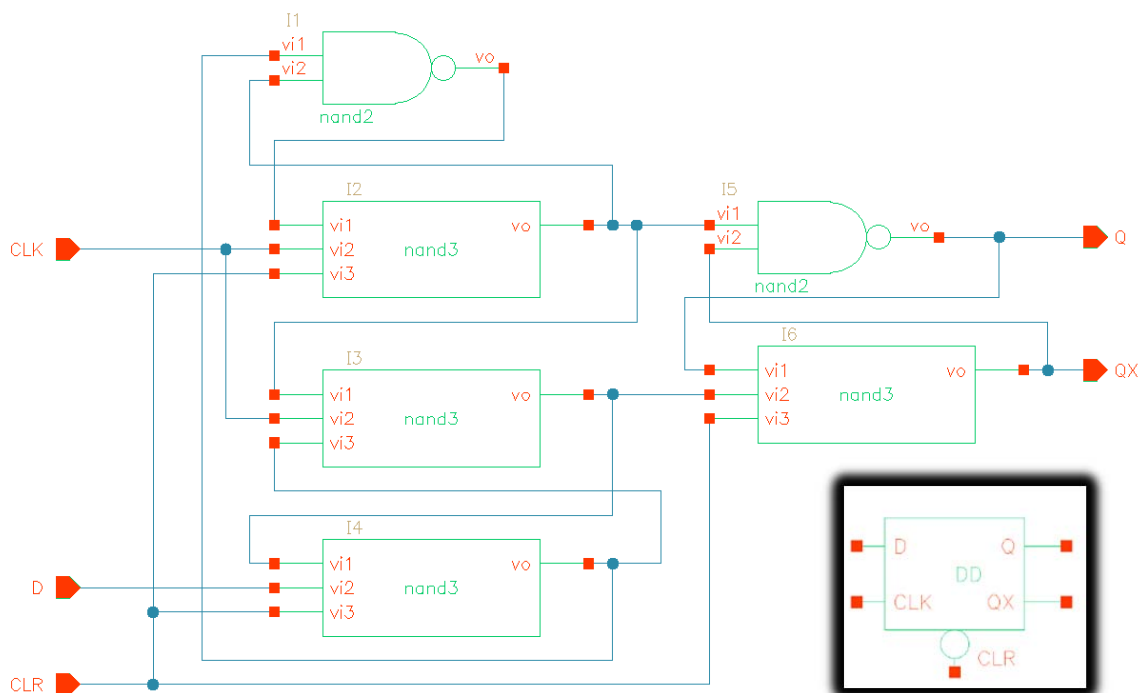
FWC 電路如(圖二)所示，Box 區域需參賽者設計，並於輸出端 Z 接上 C1 為 0.1pF 的電容(此電容需佈局，請勿忽略)。



圖二 FWC 內部電路圖

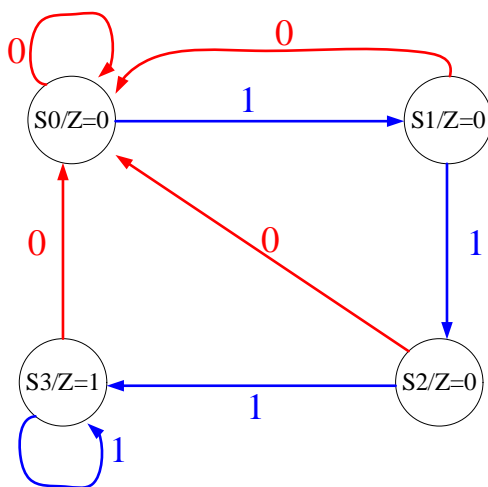
2. 電路工作

故障警告電路(FWC)，若偵錯信號測到錯誤($W=1$)，且 $W=1$ 連續錯三次以上，就會發送警告訊號($Z=1$)，若下一狀態($W=0$)或重置信號($CLR=1$)，則警告訊號會歸零($Z=0$)，此電路需為 CLK 為正緣觸發時動作，故設計者需利用正緣觸發 D 型正反器為基礎來設計，其電路方塊如(圖三)所示。



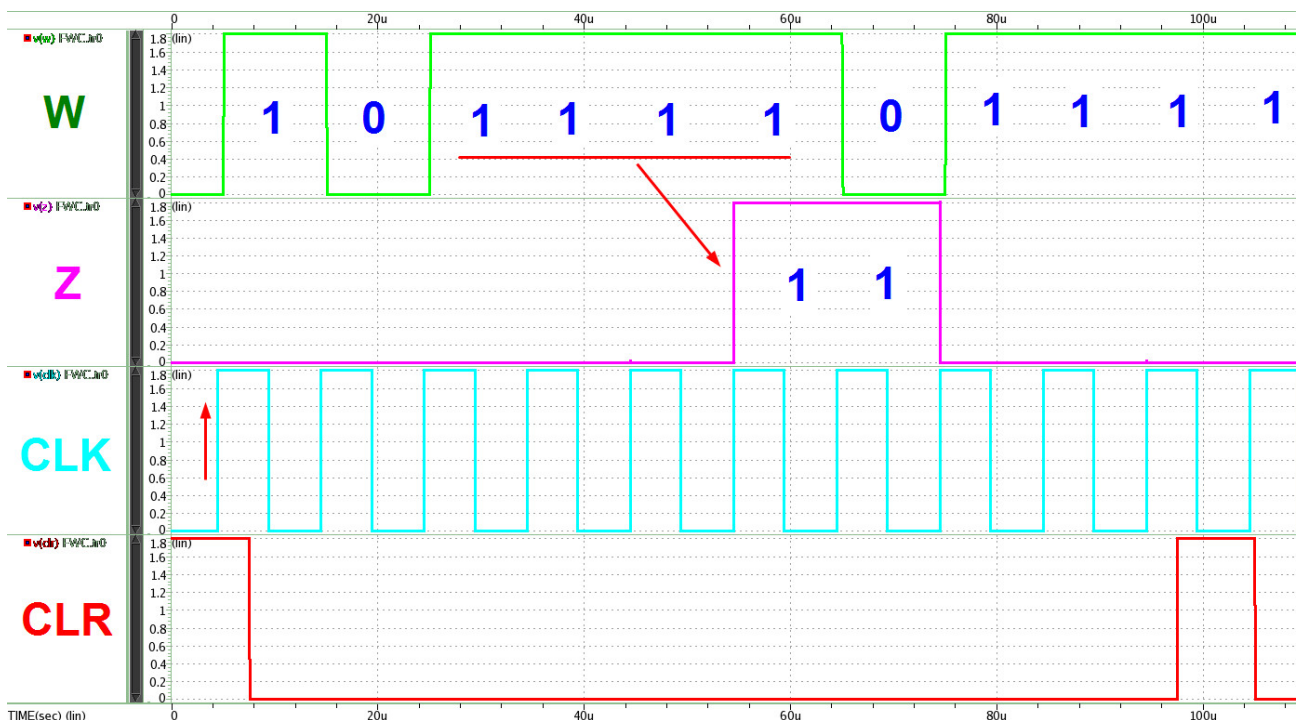
圖三 正緣觸發 D 型正反器電路與 Symbol 圖

假設故障警告電路(FWC)，收到連續偵錯訊號 W 分別會有 0、01、011、111 等訊號，將其順序分別定義 $S0$ 、 $S1$ 、 $S2$ 、 $S3$ ，其中 $S0$ 、 $S1$ 、 $S2$ 訊號輸出時 $Z=0$ ， $S3$ 狀態會將其輸出 $Z=1$ ，可得其電路狀態轉移圖，如圖四所示(紅線與藍色線為輸入 W)，可由轉移圖來進行電路規劃。



圖四 訊號狀態轉移圖

建議由圖四之訊號狀態轉移圖，推算狀態表與卡諾圖，進而完成電路設計，故障警告電路 (FWC) 提供之訊號源，請參考 Page 4 HSPICE 輸入語法，波形時序圖請參考(圖五)。



圖五 FWC 波形時序圖

3. 需求規格

電路設計重點，在於可判斷連續 3 個偵錯信號(W=1)，進而於輸出傳送警告訊息(Z=1)，且於溫度 27°C 下，滿足以下的條件：

- (1.)電路正常工作下，可傳送正確警告訊息，相關 Corner 波形變化，請參考圖五，請務必確認輸出訊號波形正確性。
- (2.)電路工作時，TT、FF、SS Corner，平均功率(Pmax)消耗小於 70nW。
- (3.)電路佈局總面積需小於 900um²。

4. 模擬注意事項

模擬軟體：請使用HSPICE（含電路模擬及驗證）。

佈局：使用Virtuoso or Laker。

驗證：Calibre（含DRC、LVS、PEX），於評分時進行，不需附上PEX的檔案。評分時，Calibre PEX 僅抽取capacitor（“C+CC”設定）。

軟體版本：皆以本年度參賽手冊之規範版本為平台。

本章節列出題目要求，以及評分時會使用的各項模擬參數、電壓源及訊號源。

```
.SUBCKT FWC CLK CLR W Z
```

```
X1...
```

```
X2...
```

```
X3...
```

```
X4...
```

```
X5...
```

```
X6...
```

```
X7...
```

```
C1 Z GND 0.1P $[MIMCAPS]
```

```
...
```

```
.ENDS
```

```
.GLOBAL GND VDD
```

```
.PROT
```

```
.LIB 'cic018.l' TT
```

```
.UNPROT
```

```
VDDD VDD GND DC 1.8V
```

```
VGND GND 0 DC 0V
```

```
XFWC CLK CLR W Z FWC
```

```
v1 CLK GND pulse (0v 1.8v 4.5u 0.1n 0.1n 4.9u 10u)
```

```
v2 W GND PWL "0u" 0v "5u" 0v "5.1u" 1.8v "15u" 1.8v "15.1u" 0v "25u" 0v "25.1u" 1.8v  
"65u" 1.8v "65.1u" 0v "75u" 0v "75.1u" 1.8v "85u" 1.8v
```

```
v3 CLR GND PWL "0u" 1.8v "7.5u" 1.8v "7.6u" 0v "97.5u" 0v R
```

```
.MEAS TRAN pavg AVG POWER FROM=8u TO=108u
```

```
.TEMP 27
```

```
.OPTIONS ACCURATE=0 POST=2
```

```
.TRAN 10p 110u
```

```
.alter
```

```
.LIB 'cic018.l' FF
```

```
.alter
```

```
.LIB 'cic018.l' SS
```

```
.END
```

5. 繳交檔案

繳交檔案共有五個，如下表

檔名	用途	備註
FWC.gds	Layout file	1
FWC.net	Netlist	2
FWC.drc	DRC Report file，請將 calibre 輸出檔以此命名。	
FWC.lvs	LVS Report file，請將 calibre 輸出檔以此命名。	
FWC.txt	將需求規格以此檔加上註解。	3

備註1. Layout 除了文件註明可以允許的錯誤外，無任何DRC/LVS issue的Layout file (GDSII format)。檔案名稱務必取名為”FWC.gds”，Top Cell Name 取名為”FWC”，Port Name命名為CLK、CLR、W、Z、VDD、GND(請注意大小寫)。

★Top Cell Name的Layout，各Pin Name命名以一次為限，請勿重覆命名，使LVS驗證過關，違者以佈局未完成處理。

★佈局檔內所有Layer的繪製，包含 Pin Layer，皆計算在佈局總面積內。

★輸出端C1之0.1pF的電容，需佈局。

備註2. Netlist，檔案務必取名為”FWC.net”，Top sub-circuit(subckt) Name 務必取名為”FWC”，如圖一的電路與接腳。Subckt 包裝成以下格式，FWC.net 除了subckt與global外，不可包含其他文字或敘述。

★請確認FWC.net內容之正確性，非執行Calibre PEX後所產生的Post-sim Netlist，在不加上任何option下，能與FWC.gds進行LVS /PEX驗證(如下所示)。

★VDD與GND可命名於Subckt中，也可獨立出來使用.GLOBAL之語法命名，皆不影響評分。

```
.SUBCKT FWC CLK CLR W Z
```

```
X1...
```

```
X2...
```

```
X3...
```

```
X4...
```

```
X5...
```

```
X6...
```

X7...

C1 Z GND 0.1P \$[MIMCAPS]

...

.ENDS

.GLOBAL GND VDD

RC Extraction手續，由評分時進行，不需附上PEX產生的檔案。

評分時，Calibre PEX 僅抽取Capacitor(“C+CC”設定)。

備註 3.將設計規格每項是否符合情形填入 FWC.txt

Example:

- 1.電路功能(即波形)：溫度 27 度 C，可傳送正確警告訊息，輸出訊號波形正確。
 - 2.功率消耗(Pmax)：電路工作時，TT、FF、SS Corner，功率最大值為 70nW (符合)。
 - 3.佈局面積(Area)：X=30um Y=25um 面積=750um²(符合)。
-

=====

參賽者於工作站中，參考下列步驟，打包(tar)上述五個檔案：

Step1. 請於自己的 home directory 下建立一個名稱為 “result” 的資料夾。

> mkdir ~/result

Step2. 將所需繳交之檔案，放置於 result 目錄下。(包含 FWC.gds、FWC.net、FWC.drc、FWC.lvs、FWC.txt。)

Step3. 於 result 目錄中，打包(tar)上述五個檔案。並取名為 FWC_xxx.tar.gz。(xxx 為版本編號，例如 FWC_001.tar.gz)

> tar cvfz FWC_xxx.tar.gz FWC.gds FWC.net FWC.drc FWC.lvs
FWC.txt

Step4. 將 FWC_xxx.tar.gz 上傳至指定地點，即完成上傳。

★注意：如參賽者有需要更新繳交檔案，請重做 Step2 ~ Step4，更改版本編號。評分時將以最後上傳時間之版本檔案為準，如您原本之版本已是正確結果，請勿再上傳，以免影響您的權益。(上傳檔案壓縮格式於工作站中無法解壓縮，將不進行評分，請上傳前務必先行測試。)

6. 評分標準

檔案驗證以工作站為平台，參賽者使用CIC 0.18um Virtual Process 進行設計，其設計結果需符合規格要求，並完成從電路設計到佈局繪製的完整流程(無違反DRC/LVS)。

評分標準與決賽錄取順位方式如下：

- (1.)佈局完成(DRC/LVS正確)，Post-Sim波形正確，屬於群組1，錄取順位最高。
- (2.)佈局未完成(未繳交佈局、佈局有DRC/LVS錯誤、Post-Sim波形不正確…等)，但Pre-Sim波形結果正確，屬於群組2，錄取順位次之。
- (3.)Pre-Sim波形不正確，屬於群組3，原則上不計分。
- (4.)同一群組之參賽隊伍，其決賽錄取順位依符合規格項目數量排序，數量多者順位較高。規格項目共5項，詳細說明請參照Page 3 (“3.需求規格”)。若符合規格項目數量相同，再依設計完成時間排序，設計時間較短者順位較高，。
- (5.)驗證時，命名方式與檔案上傳錯誤..等原因，造成無法評比時，直接列入群組3，不予計分。
- (6.)下表為評分與決賽錄取順位排序範例。

群組	輸出波形	TT Pmax	FF Pmax	SS Pmax	佈局面積	符合規格	時間	順位
1	Post-Sim 正確	51nW	68nW	37nW	750um ²	5	4H	1
1	Post-Sim 正確	50nW	55nW	45nW	500um ²	5	8H	2
1	Post-Sim 正確	45nW	80nW	55nW	600um ²	4	3H	3
1	Post-Sim 正確	75nW	90nW	65nW	1200um ²	2	10H	4
2	Pre-Sim 正確	55nW	60nW	35nW	-	4	5H	5
2	Pre-Sim 正確	35nW	55nW	25nW	-	4	6H	6
2	Pre-Sim 正確	90nW	120nW	80nW	-	1	8H	7
3	錯誤	-			-	-	-	不計