Réduction de la logique numérique

Table de vérité avec d(X):

	Α	В	С	D	F
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	d
3	0	0	1	1	d
4	0	1	0	0	d
5	0	1	0	1	0
6	0	1	1	0	d
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	0
11	1	0	1	1	d
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

<u>Tableau initial:</u>

Α	В	С	D
0	0	0	0 1
0	0	1	0 1
0	1	0	0 1
0	0	1	1 \
0	1	1	0 1
1	0	0	1 ↓
1	0	1	1 \
1	1	0	1 ↓
1	1	1	1 \

Après la première réduction :

Α	В	С	D
0	0	_	01
0	_	0	01
0	0	1	_ *
0	_	1	01
0	1	_	01
_	0	1	1 *
1	0	_	1 \
1	_	0	1 \
1	_	1	1 \
1	1	ı	1↓

Après la deuxième réduction :

Α	В	С	D
0	_	_	0 *
1	_	_	1 *

<u>Table de choix :</u>

Prime	Minterms			
Implicants	0000	1001	1101	1111
001_				
_011				
*00	7			
*11		1	1	1

$$\mathsf{F}(\mathsf{A},\mathsf{B},\mathsf{C},\mathsf{D}) = \bar{A}\,\overline{D} + \mathsf{A}\,\mathsf{D}$$

Conception schématique des circuits combinatoires avec le logiciel Quartus II

a) <u>Table de vérité :</u>

A1A0 * B1B0 = M_i, où i = 0,1,2,3

A1	Α0	B1	В0	M3	M2	M1	M0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

b) Table de Karnaugh (M0):

A1A0	00	01	11	10
B1B0				
00				
01		1	1	
11		1	1	
10				

Table de Karnaugh (M1):

A1A0	00	01	11	10
B1B0				
00				
01			1	1
11		1		1
10		1	1	

Table de Karnaugh (M2):

A1A0 B1B0	00	01	11	10
00				
01				
11				1
10			1	1

Multiplexeur 8 bits vers 1 (M2):

B1	В0	A0	M2
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	A1
1	0	1	A1
1	1	0	A1
1	1	1	0

M0 = A0B0

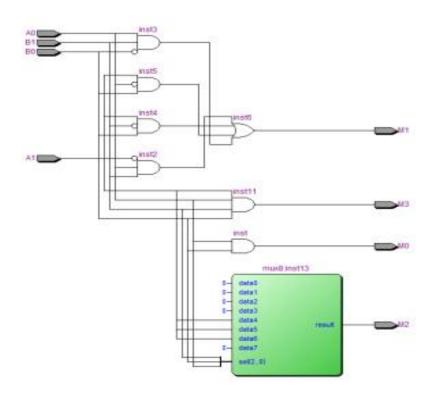
 $\mathsf{M1} = \mathsf{A0*B1}\overline{B0} + \mathsf{A1*}\overline{B1}\mathsf{B0} + \mathsf{A1}\overline{A0}\mathsf{*B0} + \overline{A1}\mathsf{A0*B1}$

 $M2 = A1*B1\overline{B0} + B1*A1\overline{A0}$

 $= A1*B1*(\overline{B0} + \overline{A0})$

M3 = A1A0*B1B0

Circuit:



c) Résultat de la simulation :

