Physics Department

Md. Emon

Roll: 270091

~~Session~~

Subject: PHA-202 (Electronics-1)

(FFN)

সেমিকন্ডাক্টর কাকে বলে?

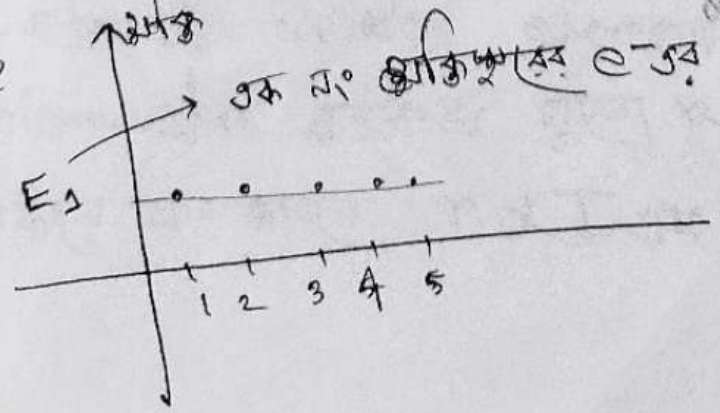
⇒ যেই সকল পদার্থের পরিবাহিতা পরিবাহী হতে কম কিন্তু অন্তরক হতে বেশি তাকেই সেমিকন্ডাক্টর বা অর্ধপরিবাহি বলে।

পরিবাহী দিয়ে যেই সকল জিনিস তৈরী তাদেরকে বলা হয় Electrical
অর্ধপরিবাহী " " " " " " electronics.

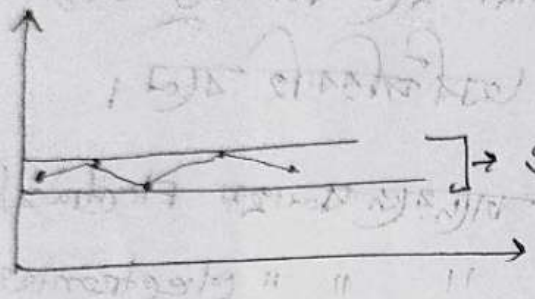
শক্তিস্তর ও শক্তিবন্ড কি?

⇒ কোনো পরমাণুর নিউক্লিয়াসকে কেন্দ্র করে ইলেকট্রন সমূহ যেই বৃত্তাকার বা উপবৃত্তাকার পথে ঘূর্ণায়মান থাকে তাকেই পরমাণুর ঐ ইলেকট্রনের শক্তিস্তর বলে।

Ex: ৫টি Na কে আলাদা নিয়ে যদি তাদের যেকোনো একটি common e⁻ এর common শক্তিস্তরের শক্তির গ্রাফ টেনে হয় হবে



কিছু টি Na কে যদি একত্রে রাখা হয় তাহলে তাদের মধ্যে সংঘর্ষ হয় এবং প্রত্যেকটি পরমাণুর একই একই শক্তিস্তরের শক্তির তারতম্য দেখা যাবে।



→ একটি নির্দিষ্ট Range এর মধ্যে শক্তিগুলো থাকে যাকে energy band বলে।

অর্থাৎ, একত্রে থাকা পরমাণুর সমূহের প্রত্যেক শক্তিস্তরে শক্তি একটি পরিসীমা বা Range থাকে যা একই পরমাণু একই শক্তিস্তরের তুলনা করা হয় তাকে energy band বলে।

অর্থাৎ "একই কক্ষপথের ইলেকট্রনগুলি বিভিন্ন শক্তিস্তর প্রদর্শন করে। এই বিভিন্ন শক্তিস্তরের সমন্বয়কে শক্তি ব্যান্ড বলে।"

সেমিকন্ডাক্টরের রোধের সাথে তাপমাত্রার সম্পর্ক কি?

আমরা জানি,

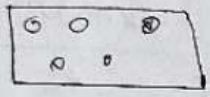
তড়িৎপ্রবাহ, $I = \frac{Q}{t} = \frac{nAVte}{t} = nAVe$

$I = nAVe$

$I \propto n$

এখানে, একক আয়তনের e^- সংখ্যা (n) তড়িৎ প্রবাহের সমানুপাতিক

অর্থাৎ



$i = neVA$

যদি তাপমাত্রা বাড়ানো হয় তাহলে e^- এর কম্পনও বাড়বে এবং একক আয়তনে e^- এর সংখ্যাও বাড়বে। যদি (n) বাড়ে তাহলে (I) বাড়বে [$I \propto n$]

আবার আমরা জানি, $V = IR \Rightarrow R = \frac{V}{I}$

$\therefore R \propto 1/I$

অর্থাৎ তড়িৎ প্রবাহ বৃদ্ধি হলে রোধ কম হবে for semiconductor & isulated elements.

কারন, semiconductor এর পদার্থ গুলো অসংখ্য মুক্ত e^- প্রদান করে যার কারনে $n \propto I$ এবং $R \propto 1/I$

(Proved)

Bismillah

পরিবাহি তিন প্রকার।

→ সুপরিবাহী

→ অর্ধ-পরিবাহী

→ কু-পরিবাহী / অন্তরক।

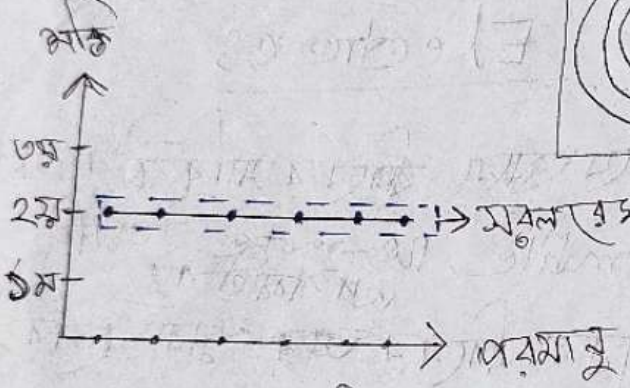
Electrical	Electronics
যে কোন মটর জাতীয় জিনিস, যেমন: ফ্যান।	যে কোন ধরনের সার্কিট যেমন mobile, re-mote ইত্যাদি অর্ধপরিবাহী বস্তু নানা ধরনের দ্বারা তৈরি।
বৈদ্যুতিক সম্পর্ক তামার তার দিয়ে তৈরী।	

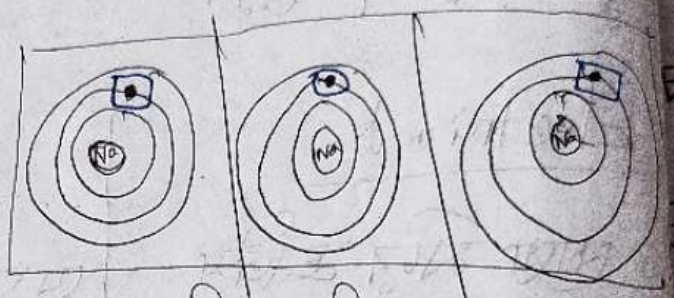
সেমিকন্ডাক্টর মানেই হলো অর্ধ পরিবাহী।

ইলেকট্রনিক্স | পদার্থ বিজ্ঞানের যে শাখায় e^- প্রবাহ নিয়ন্ত্রণ করার কৌশল নিয়ে আলোচনা করে তাকে ইলেকট্রনিক্স বলে।

ব্যান্ড তত্ত্ব

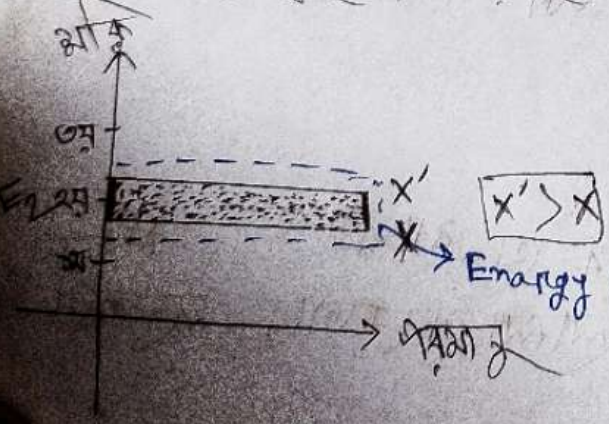
সেই সকল পরমাণুর বা একই রকম ~~পরমাণুর~~ পরমাণুর যদি একই কক্ষপথের শক্তি যেতে চায় এবং সকল পরমাণু যদি আলাদা আলাদা থাকে তবে তাদের শক্তি ও কক্ষপথের ~~শক্তি~~ একটা হবে।

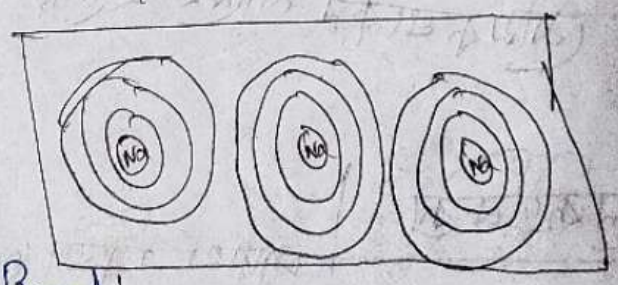




(যদি প্রত্যেকটি পরমাণু আলাদা বাক্সে থাকে তবে,

কিন্তু, সব পরমাণু যদি একসাথে থাকে তবে তাদের মধ্যে পরস্পর e^- আদান প্রদানের মাধ্যমে শক্তির Line change হয়ে যাবে। যারকারণে সরলরেখা পাওয়া যাবে না

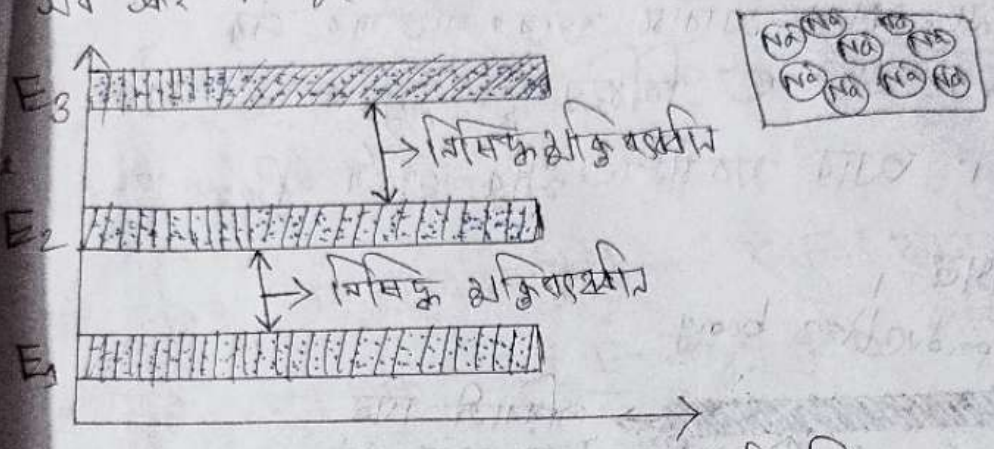




Energy LVI

Similarly

যদি একই পরমাণুর কক্ষপথের যদি graph অঙ্কন করা হয়,

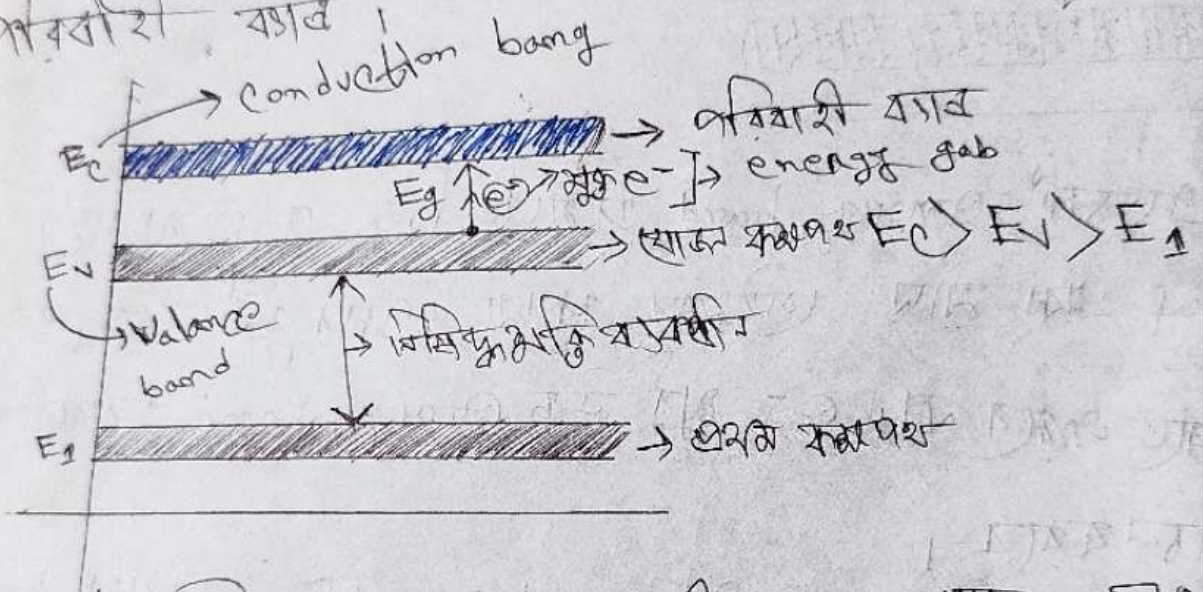


উপরের প্রত্যেকটি energy band এর মধ্যে কিছু gap রয়েছে, আর gap থাকা মানে সেইখানে কোনো প্রকার ~~কণা~~ ~~কণা~~ e^- চলাচল করতে পারবে না। e^- শুধু উক্ত energy band এর মধ্যেই e^- চলাচল করবে।

এভাবে আমরা দেখতে পাই, $E_1 < E_2 < E_3$ এর শক্তি band বেশি, কারণ, ~~কক্ষপথ যত~~ নিষ্ক্রিয়ান হতে শুধুমাত্র দূরে থাকবে হলে উক্ত কক্ষপথের মধ্যে বেশি শক্তি থাকতে হবে।

মূলত যোজন স্তরে e⁻ থাকলে সেটা অ্যাবসিলুটলি

মুক্ত e⁻ হতে পারে না, কারণ সর্বোচ্চ স্তরে যাওয়ার পরই একটি পরমাণু হতে e⁻ বিচ্ছিন্ন হয়ে মুক্ত e⁻ এ পরিণত হতে পারে। আর সবচেয়ে শক্তিশালী Band হল পরিবাহী ব্যান্ড।



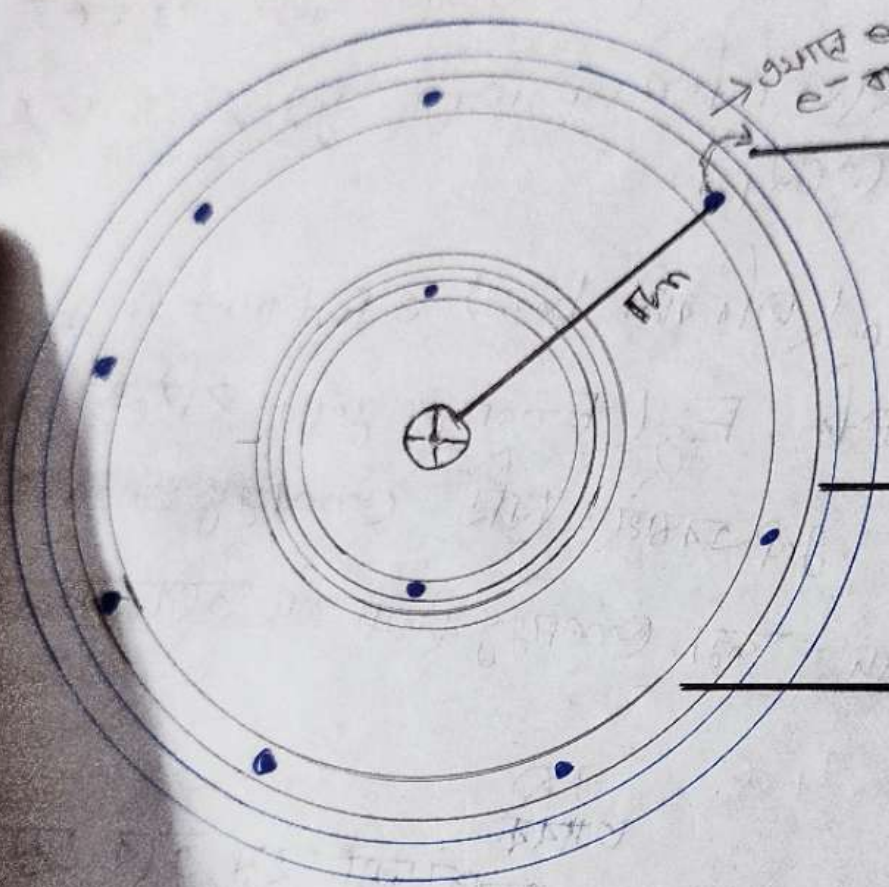
মুক্ত e⁻ যেই সকল e⁻ যোজনী স্তরে থাকে এবং মুক্ত মাত্রানির্দিষ্ট পরিমাণ তাপ পেলেই সেখান থেকে আলাদা হয়ে যায়, সেই সকল e⁻ কেবল মুক্ত e⁻ বলে। মূলত, মুক্ত e⁻ নয়, সেই সকল e⁻ যেই সকল e⁻ নিষ্ক্রিয়াণুকে কেন্দ্র করে ঘুরে বেড়ায়। মুক্ত e⁻ মূলত যেকোনো জায়গায় ঘুরা ফিরা করতে পারে। যার কারণে তারা একবিন্দুর পরিবাহী।

যখন যোজনী স্তরে e⁻ টি ছিল তখন সেই e⁻ এর energy ছিল ~~বেশি~~ কম আবার যখন সেই e⁻ টি ~~মুক্ত~~ পথ হতে নির্দিষ্ট তাপ পেয়ে মুক্ত হলো তখন তার শক্তি বেড়ে গেল।

~~উক্ত~~ উক্ত চিত্রে E_c (পরিবাহী band) ও E_v (যোজনী band) এর মধ্যে ~~Eg পরি~~ E_g (Energy gap) পরিমাণ gap থাকে, উক্ত gap এর অধিক বেশি energy দিলে e⁻ মুক্ত হয়। কিন্তু যদি কম energy দেয়া হয় তবে সেটি মুক্ত হবে না।

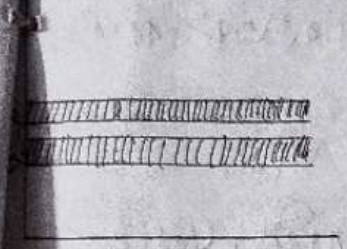
যদি কোনো মুক্ত e⁻ কে অধিক তাপ দেয়া হয়, তবে সেটি পদার্থ হতে বের হয়ে যাবে। যাকে আলোক তড়িৎ ক্রিয়াও বলা হয়।

সব Information এসে কক্ষপথ তৈরি করা হলো.



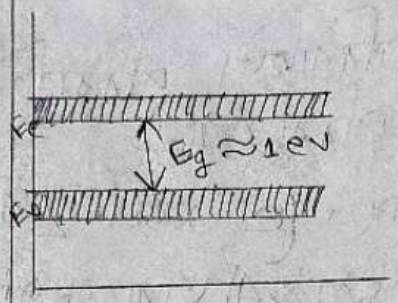
সু-পরিবাহী, অর্ধ-পরিবাহী ও কু-পরিবাহীর graph

সু-পরিবাহী



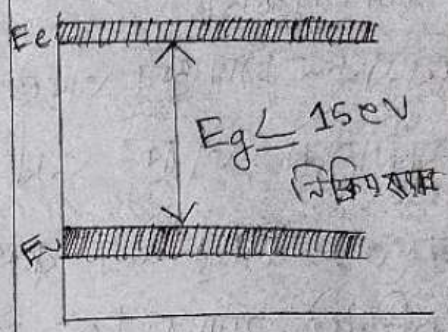
উক্ত গ্রাফের মধ্যে দেখা যাচ্ছে যে, যোজনস্তর ও পরিবাহি স্তর এর মধ্যে খুবই কম Energy Gap রয়েছে, এ অতিক্ষুদ্র, যার কারণে কম energy পেলেই e^- গুলো মুক্ত হয়ে পরিবাহিত হয়, যা সু-পরিবাহির মত আচরণ করে।

অর্ধ-পরিবাহী



উক্ত গ্রাফের মধ্যে দেখা যাচ্ছে, যোজনস্তর ও পরিবাহি স্তর এর মধ্যে প্রায় (1eV) এর মত energy দরকার, যা কিনা (1.6×10^{-19} J = 1eV) এর সমান, যার কারণে অল্প energy পেলেই এটি পরিবাহির কাজ করে, যার কারণে একে অর্ধ-পরিবাহী বলে।

কু-পরিবাহী



উক্ত গ্রাফের মধ্যে দেখা যাচ্ছে যোজন স্তর ও পরিবাহি স্তর এর মধ্যে প্রায় 15eV বা এর চেয়ে বেশি energy gap রয়েছে, যার কারণে এটি একটি কু-পরিবাহী বা অন্তরক, কারণ এই LNL এর energy দিয়ে ~~পরিবাহিত~~ তড়িৎ পরিবাহিত করা Possible নয়, যার কারণে একে কুপরিবাহি বলা হয়।

অর্ধপরিবাহির প্রকারভেদ

অর্ধপরিবাহি

যে সকল পদার্থের অর্ধেক পরিবাহিতা পরিবাহি এবং অপরিবাহির মাঝামাঝি তাদেরকে অর্ধ পরিবাহি বলে।

মূলত, যাদের শক্তি ব্যবধান (e^- সংখ্যা < 4) তারা পরিবাহি, যাদের (e^- সংখ্যা > 4) তারা কুপরিবাহী, এবং যাদের (e^- সংখ্যা $= 4$ তারা) অর্ধপরিবাহী।

অর্ধপরিবাহী দুইপ্রকার,
- → বিশুদ্ধ / অন্তর্জাত
- → দূষিত / বহিজাত

বিশুদ্ধ | যে সকল অর্ধ পরিবাহিতে ভেজাল হিসাবে অন্য কোনো মৌল মিশ্রিত নেই।

দূষিত | যে সকল অর্ধ পরিবাহিতে ভেজাল হিসাবে অন্য মৌল মিশ্রিত থাকে।

বিশুদ্ধ অর্ধ-পরিবাহী

আমরা জানি,

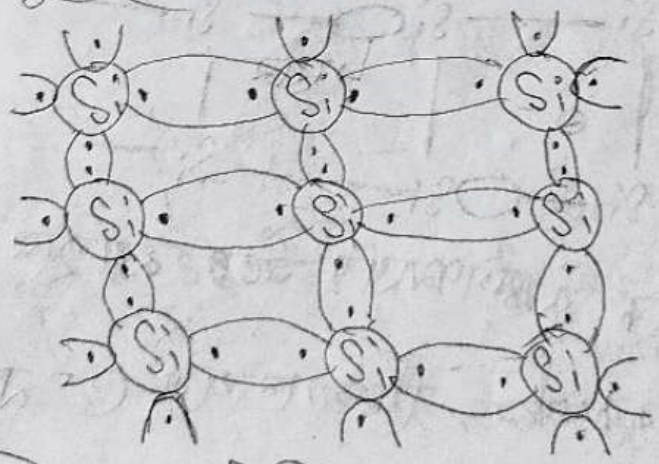
যেহেতু সকল পরমাণুর বাইরের স্তরে 4টি e^- বিদ্যমান। সেই সকল পরমাণুকে বিশুদ্ধ অর্ধ-পরিবাহী বলে।

যেমন group → 14 এর পরমাণু গুলো এবং বিশুদ্ধ অর্ধপরিবাহী

group 14 → C, Si, Ge, Sn, Pb

C → Carbon, Si → Silicon, Ge → Germanium, Sn → Tin, Pb → Lead

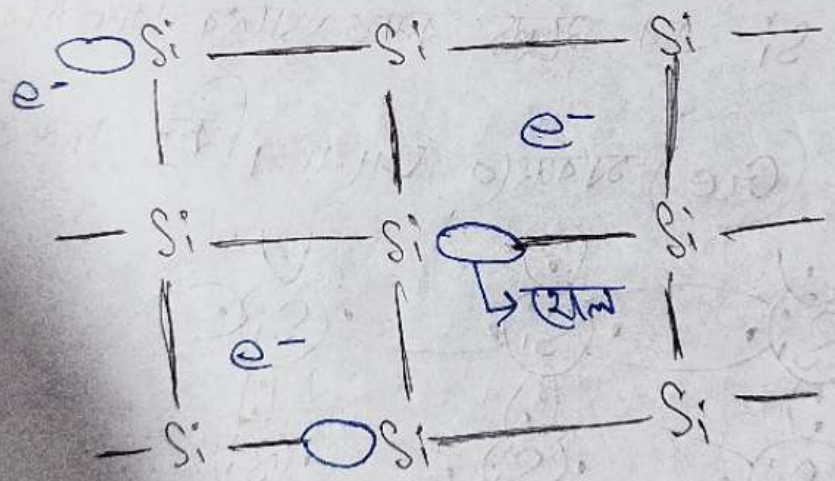
এই মাধ্যমে (Si) কেনিয়ে বেশি experament করা হয়। কারণ Si এর মূল্য কমও অনেক বেশি পরিমাণে পাওয়া যায়। কিন্তু (Ge) সবচেয়ে ভালো। কিন্তু দাম একটু বেশি।



চিত্রঃ Si এর ক্রিস্টাল Structure

এখানে Si একটি অর্ধ-পরিবাহি হওয়া সত্ত্বেও তা কুপরিবাহির ন্যায় আচরণ করে, যদি না তাকে বাহ্যিকভাবে তাপ দিয়ে উত্তপ্ত করা হয়।

যদি Si কে বাহ্যিক ভাবে কক্ষতাপমাত্রায় (26°C) এ উত্তপ্ত করা হয়, তবে Si এর কিছু e⁻ তার অর্ধেক পূর্ণ ভেলেন্স e, যোজ্যতা ভর হতে e⁻ পরিবাহিতরে পাচিত মুক্ত e⁻ করে দিতে,



Si কে কক্ষতাপমাত্রায় উত্তপ্ত করা হলে।

যেখানে e⁻ থাকার কথা ছিল, সেইখানে যদি e⁻ না থাকে তবে তাকে হোল (Hole) বলে।

যেমন থেকে e⁻ সরে গিয়ে ~~কিন্তু~~ হোল তৈরি করে এবং

নিজে মান কার আবার নিরপেক্ষ,

Eg) $Na - e^- \rightarrow Na^+$, থেকে e⁻ সরে গিয়ে

সুতরাং একটি Neutral জিনিস ~~থেকে~~ একটা

Hole তৈরি করে, তবে টুকু Hole হবে কিন্তু এক charge

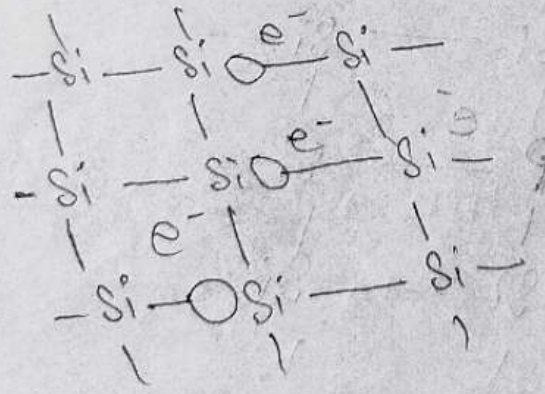
Charge এর, ~~কারণ টুকু Hole কে Neutral করতে~~

~~হলে হয়~~

∴ যে কোনো কিছু যদি একটি নেগেটিভ (−) কে

~~Neutral~~ Neutral করার ক্ষমতা রাখে, তাহলে তার

Charge হতে হবে Positive (+)



এক্ষেত্রে ~~তিনটি~~ তিনটি মুক্ত e⁻ ও তিনটি Hole, তাই এদের কে আমরা Neutral বলতে পারি।

* Si এ মুক্ত e⁻ এর সাথে hole ও মুক্ত থাকলে তাপে hole উৎপন্ন করে।

অবিশুদ্ধ অর্ধ-পরিবাহি

যেসকল অর্ধ-পরিবাহিতে অমেল হিসাবে অন্য কোন মিশ্রিত হয় তাকে অবিশুদ্ধ অর্ধ-পরিবাহি বলে।

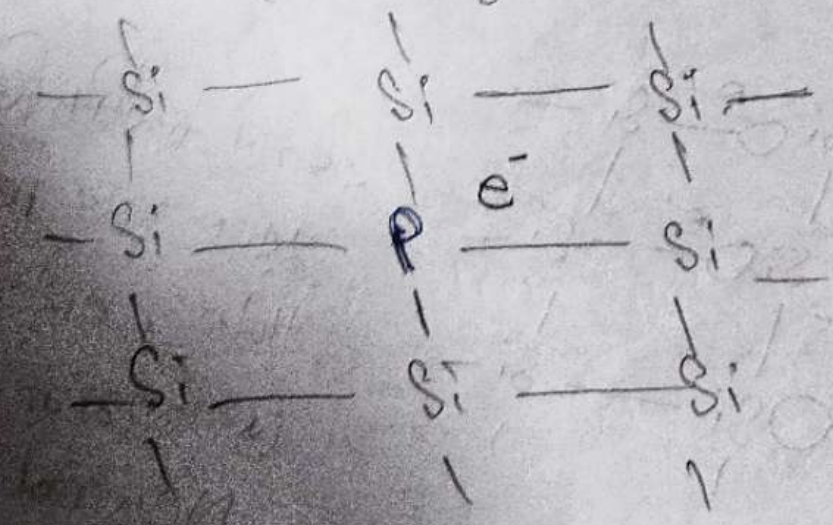
যেমন,

IIIA → B Al Ga In Te

VA → N P As Sb Bi

IVA → C Si Ge Sn Pb] → বিশুদ্ধ অর্ধ পরিবাহি

উক্ত গ্রুপ IVA মৌলের সাথে যদি গ্রুপ IIIA ও VA মিশ্রিত হয় তবে সেটি অবিশুদ্ধ হয়ে যাবে।

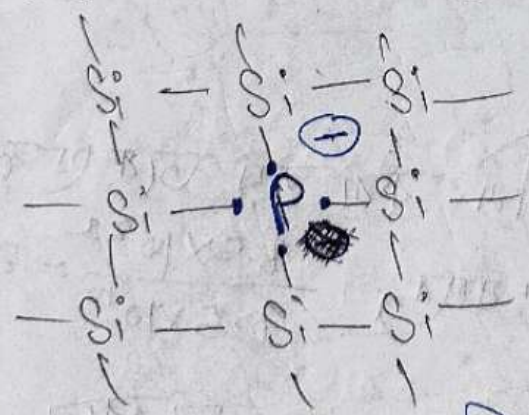


এখানে Si এর ক্রিস্টালে P এসে অবিশুদ্ধ করে দিয়েছে।
এখানে P কোনো অবিশুদ্ধ মেশে নয়। কিন্তু আগুনের সাহায্যে
দিয়ে এটাকে অবিশুদ্ধ করে দিয়েছে।

মূলত ডোপিং একটি প্রক্রিয়া যার মাধ্যমে একটি
বিশুদ্ধ যৌগ মেশে দিয়ে সেটি অবিশুদ্ধ করা যায়,
মূলত এই সমস্ত প্রক্রিয়াকে বলে ফেব্রিকেশন।

ডোপিং এর উপকারিতা

Si এর ক্রিস্টাল এ P এর ডোপিং প্রক্রিয়া, ফসফরাসের
যোজন স্তরে 5টি e⁻ আছে।



পরিবাহিতা বাড়ানোর জন্য ডোপিং করা হয়।

Si এর ক্রিস্টালের মধ্যে একটি ফসফরাস ডোপিং করলে উক্ত ফসফোরাসের 5টি e^- এর মধ্যে 4টি e^- বন্ড গঠন করবে। আর বাকি 1টি e^- (P) ছেড়ে দিবে, যা কিনা ক্রিস্টাল এর মধ্যে ঘুরতে থাকবে মুক্ত e^- হিসাবে।

কক্ষতাপমাত্রায়,
~~একটি Si পরমাণুতে~~
প্রতি cm^3 এ Si এর মধ্যে 1.5×10^{10} টি ~~ইলেকট্রন Pair~~ ~~hole থাকে~~, ইলেকট্রন হোল Pair।

অপরদিকে,
Cu এর প্রতি cm^3 এ 8.5×10^{22} টি ইলেকট্রন হোল পেয়ার বিদ্যমান।

যদি যদি 1টি Cu ডোপিং করা হয় তবে যে কয়টি electro hole Pair পাওয়া যাবে, $\frac{8.5\times10^{22}}{1.5\times10^{10}} = 5.6\times10^{12}$ টি

পাওয়া যাবে একটি Si সবিয়ে Cu ব্যবহার করলে।

অপিং মূলত দুই type এর।

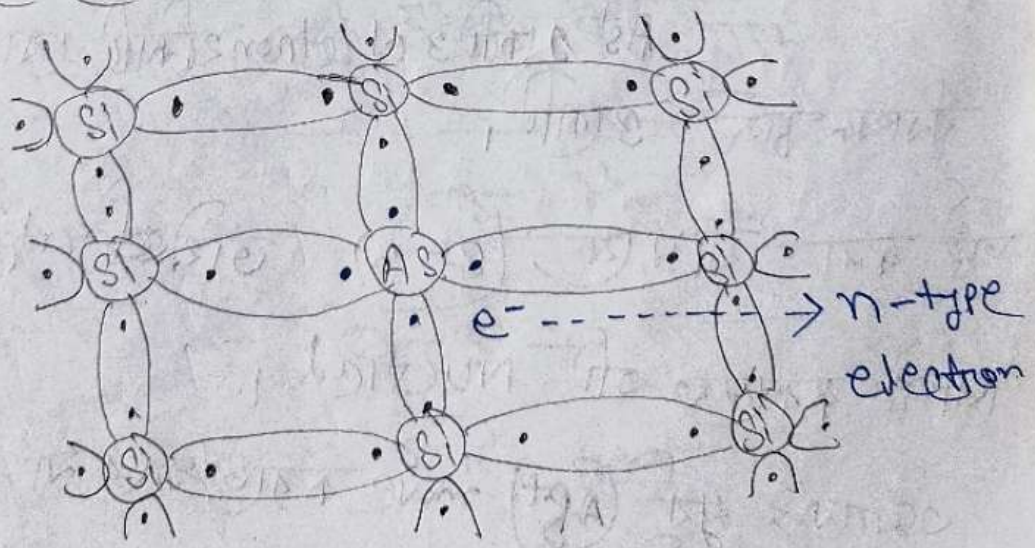
(i) n-type, এ Donar-ion (e^- extra থাকে তাই donate করতে চায়)

(ii) P-type, এ Acceptor-ion (e^- নিতে বা Accept করতে চায়)

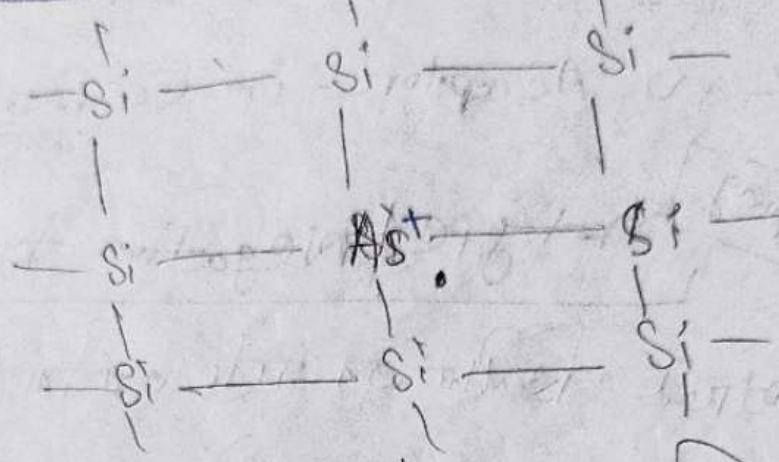
NA doping n-type / Negative type

যদি কোনো Nuetral ক্রিস্টাল এর মধ্যে অামরা (4e) (4e-) যোগ যার মধ্যে অধিক স্তরে আছে, তা অপিং করি তবে উক্ত ক্রিস্টাল এর বা মধ্যে একটি Negative Charge এর e^- ঘুরতে থাকবে যার কারণে এক n-type অপিং বলে।

Ex



n-type ডোপিং করানোর পর ও কিভাবে Si Nuetral



৪ ডোপিং এর আগে hole ছিল 2কোটি
৩ electron ও 2কোটি

যদি আরো ফসফোরাস As+ 1টি 1কোটি ডোপিং করা হয় তবে hole (2+1) = 3কোটি ও
As+ 1কোটি 3 electron 2কোটি মোট বিপরীত চার্জ 3কোটি।

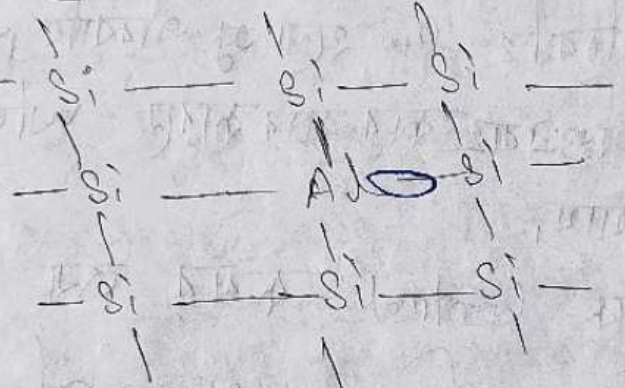
তাই বলা যায় যে, (B=3). তাইতো n-type ডোপিং করলেও এটি Nuetral।

এখানে, মুক্ত (As+) move করতে পারে না কারণ এই electron carrier নয়।

P-type | Positive type

যদি কোনো Neutral ক্রিস্টাল এর মধ্যে অমেধ্য (Ae⁻) যোগ করা হয় এবং অল্পপরিমাণে যোগ করি তবেই ক্রিস্টাল এর মধ্যে একটি gap hole তৈরি হবে, যেটা কিন্তু e⁻ অভিবাহি, তখন হোল যেদিক থেকে সরে যাবে সেদিকেও e⁻ চলে আসবে।

Ex



যখন gap বা hole তৈরি যায়।

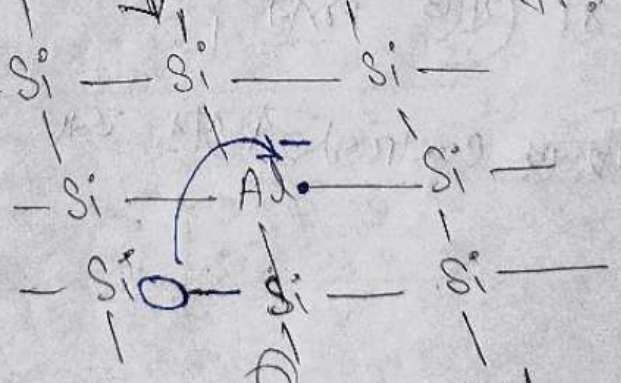
এখানে,

$e^- \rightarrow$ ২ কোটি

hole → ২ কোটি

hole → ১ কোটি

$Al^- \rightarrow$ ১ কোটি



∴ বলা যায় যে, P-type ও একটি Neutral।

P-type অপেক্ষা n-type এর Spreed অনেক বেশি,

সেমিকন্ডাক্টর ও ইলেকট্রনিক্স এর Control, Control and control

আমরা জানি,

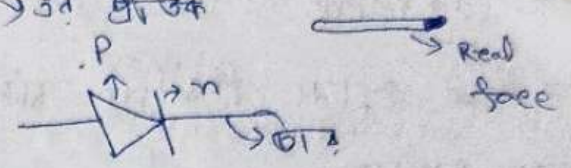
Si হলো একটি তাপ পরিবাহী যা কিনা কিছু পরিমান করে তাপমাত্রা পেলেই e- পরিবহন করে।

Cu ও একটি পরিবাহি, Cu হলো সু-পরিবাহি, এতে করে এটি খুব দ্রুত তড়িৎপ্রবাহ করে যার কারণে অতি দ্রুতহারে তাপমাত্রাও বেড়ে যায়।

তাই পরিবাহিতাকে Control করার জন্য Si ব্যবহার করা হয়, কারণ আপনি করে Si এর পরিবাহিতা বৃদ্ধি ও হ্রাস করা যেতে পারে।

তাই পরিবাহিতাকে Control করার জন্য Si ব্যবহার অধিকাংশ।

ডায়োড → এর প্রতিক

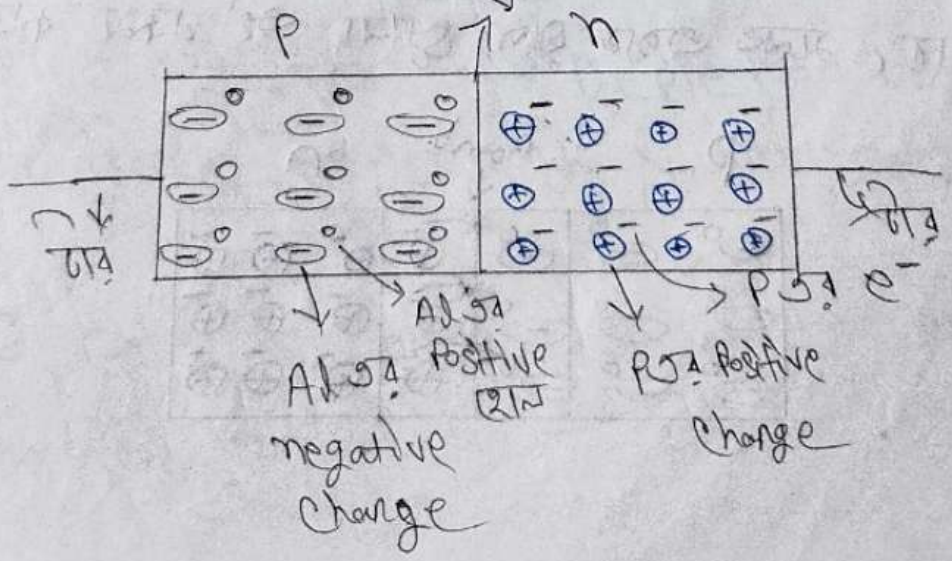


* ডায়োডের গঠন:

যদি একটি বিশুদ্ধ Si এর কি খণ্ড এর কঠিনাবস্থায় গ্রহণ করা হয়েছে। যারকারণে এদের মধ্যে Some সংখ্যক মুক্ত e⁻ ও হোল অবস্থান করছে।

এখন Si এর খণ্ডের এক পাশ্ব (Al) এর P-type ও আরেক পাশ্ব (P) দিয়ে n-type ডোপিং করা হলো। যার কারণে, Si এর মধ্যে P-type এলো, Al এর ঋণাত্মক চার্জ ও সঞ্চলনশীল হোল তৈরি হলো ও অপর পাশ্ব বা n-type এলো P এর ধনাত্মক চার্জ ও সাথে ঋণাত্মক e⁻ হলো তৈরি হলো।

Ex



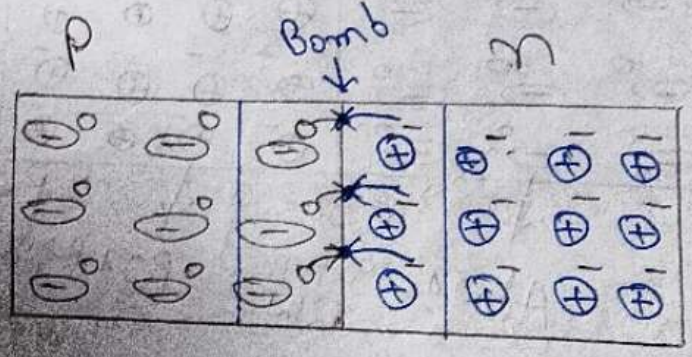
তাপের P-type এর hole গুলো ঋণাত্মক চার্জ ও n-type এর e⁻ এর hole গুলো Positive চার্জকে neutral করতে থাকে।

এভাবে P-type এর মধ্যে কিছু পরিমাণ সংখ্যালঘু (e⁻) ও n-type এর মধ্যে কিছু পরিমাণ সংখ্যালঘু hole উপস্থিত ছিল তাপ প্রয়োগ করার আগে ছিল।

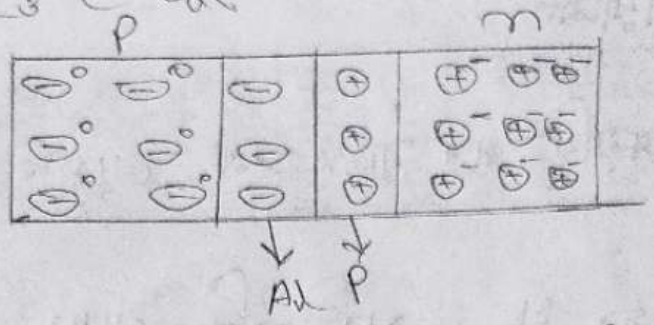
এখন, এখানে ব্যাপন হবে।

ব্যাপন এর কারণে n-type এর e⁻ ও P-type এর hole মিলিত হবে, কারণ অধিক e⁻ ও hole, কম e⁻ ও hole এর দিকে অগ্রসর হবে, যার কারণে অধিক hole ও e⁻ মিলিত হয়ে neutral বা ক্ষীণ হয়ে যাবে, মূলত প্রথম ধাপের গুলো এই রকম কাজ করবে,

নিম্নে,

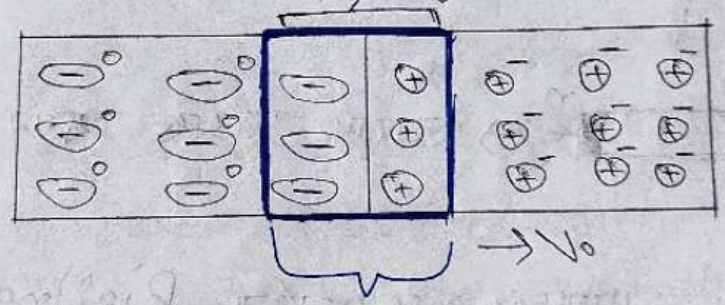


তখন hole ও e⁻ গুলো মিলে Neutral হয়ে যায়,



তখন,
P-type এর Al এর চার্জ ঋণাত্মক হওয়ায় n-type এর e⁻ গুলো বিকর্ষিত হবে এবং n-type এর P এর চার্জ ধনাত্মক হওয়ায় P-type এর hole গুলো বিকর্ষিত হবে, cause hole গুলো positive charge carrier.

তখন



↳ Depletion Layer

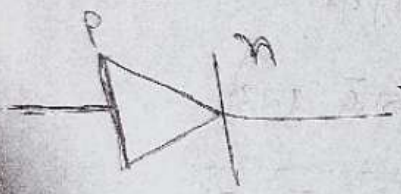
এক single ⊖ ও ⊕ গুলোর মধ্যে একটি বিভবপার্থক্য উৎপন্ন হয় যাকে V₀ দ্বারা প্রকাশ করা হয়,

কারণ ⊖ ও ⊕ গুলো নড়তে পারে না তাই দূরত্বটাই power transfer হয়।

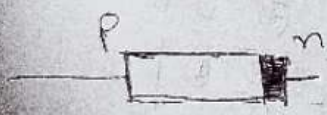
বায়াসিং

কারেন্ট এর দিককে অনুযায়ী করে ব্যাটারি এবং ডায়োড এর ব্যবহার করা হয়।
অর্থাৎ কারেন্ট এর flow শুধু একদিকে থাকবে, বিপরীত দিকে flow হবে না।

Biasing | বেঁকা



ডায়োডের চিহ্ন

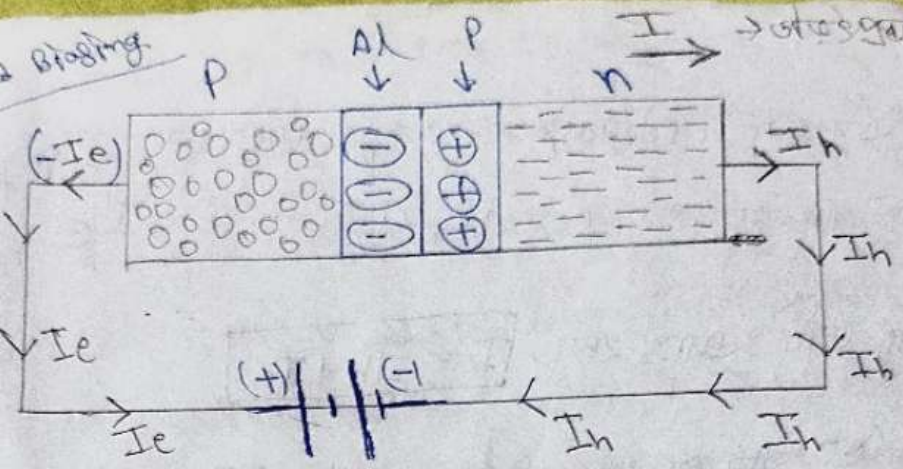


→ ডায়োড দেখতে যেমন হয়,

ব্যাটারির সাথে ডায়োডের সংযোগকে Biasing বা বেঁকা বলে।

Forward Biasing | যদি hole এর দিকে বা পাশে Battery এর Positive ও e⁻ এর পাশে Battery negative থাকে তবে তাকে Forward Biasing বা সম্মুখ বেঁকা বলে।

Forward Biasing



ব্যাখ্যা:

এখানে Battery এর Positive pole ~~Al এর~~ P, এর Positive হতে ~~পারে~~ এবং Power full, যার কারণে যখন Battery এর Positive pole hole কে ধাক্কা দিবে, তখন hole গুলো Al এর negative ~~Chge~~ ~~Cheange~~ Charge গুলোকে ~~Neut~~ Nuetral করে, আবার hole গুলো অন্যপাশে চলে যায়। Similarly, Battery এর Negative pole এর কারণেও e⁻ গুলো P কে ~~P~~ Charge কে Nuetral করে বাম দিকের Battery তে যোগ হয় এবং তড়িৎ প্রবাহিত হয়।

আমরা জানি,

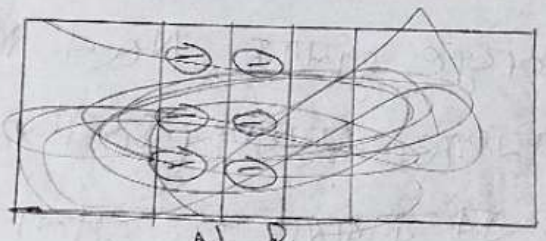
যেই পাশে e⁻ যায় তার বিপরীত পাশে বা ধনাত্মক Charge যেই পাশে যায় সেই পাশেই মূলত Electricity প্রবাহিত হয়।

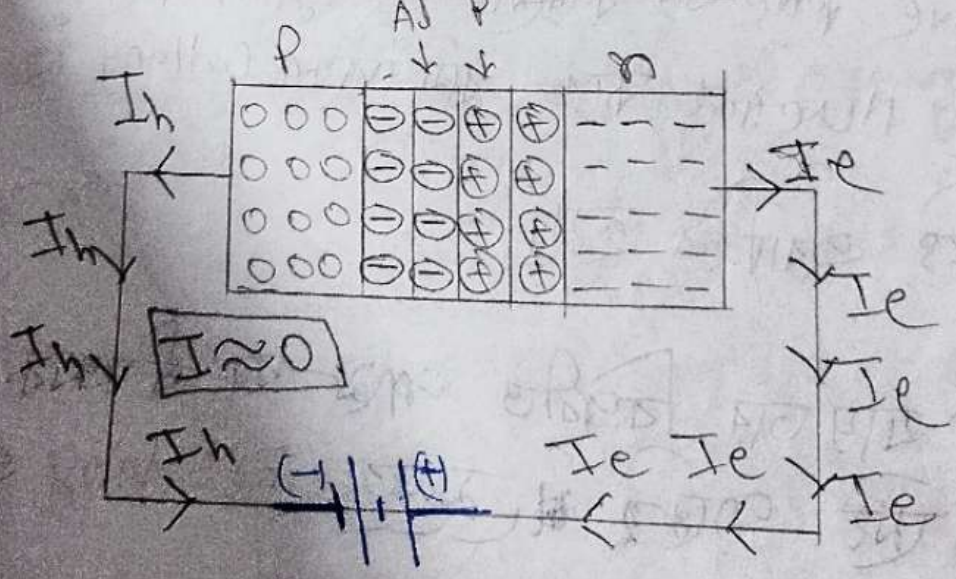
তখন,
hole এর জন্য যেই বিদ্যুৎ উৎপন্ন হয়, সেটা হলো I_h,
এবং e^- " " " " " " " " I_e,

∴ মোট তড়িৎপ্রবাহ হলো, $\boxed{I = I_h + I_e}$

এখানে e^- বাম পাশে আসলেও এর flow I_h এর সাথে ডান পাশে হয় যার কারণে, মোট electricity $I = I_h + I_e$

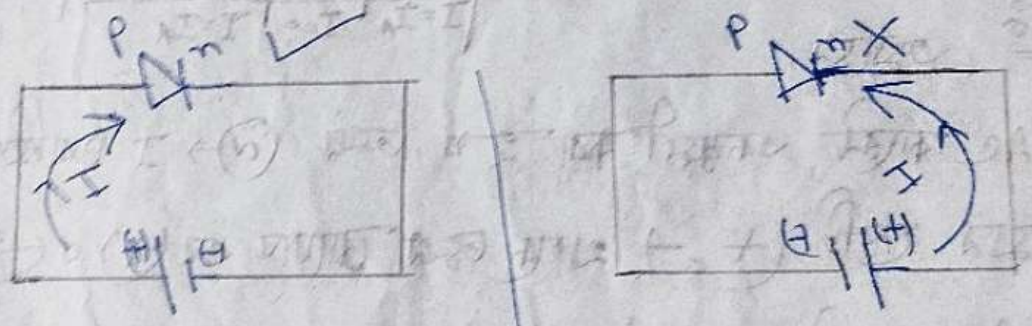
Reverse Biasing





circuit এর battery এর negative ও positive এর সাথে যথাক্রমে Al এর ও P এর negative ও positive charge এবং hole ও e^- কে বিপরীত আকর্ষণ করে যার কারণে কিছু hole (+) ও ও কিছু e^- (−) অতিক্রম করে নিষ্ক্রিয় অঞ্চল (0,0−) তৈরি হয়। যার কারণে Depletion layer কমে যায় ও electricity প্রবাহিত হয়। বা সহজভাবে electricity এর Invence প্রতিরোধ কমে যায়। এটি মূলত electricity এর Invence এ ব্যবহৃত।

Ex



Forward Biasing

তড়িৎ প্রবাহ হয়

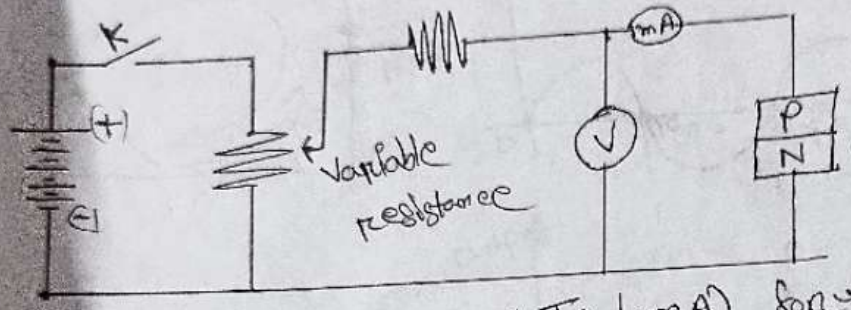
Revence Biasing

তড়িৎ প্রবাহ বাধা পায়।

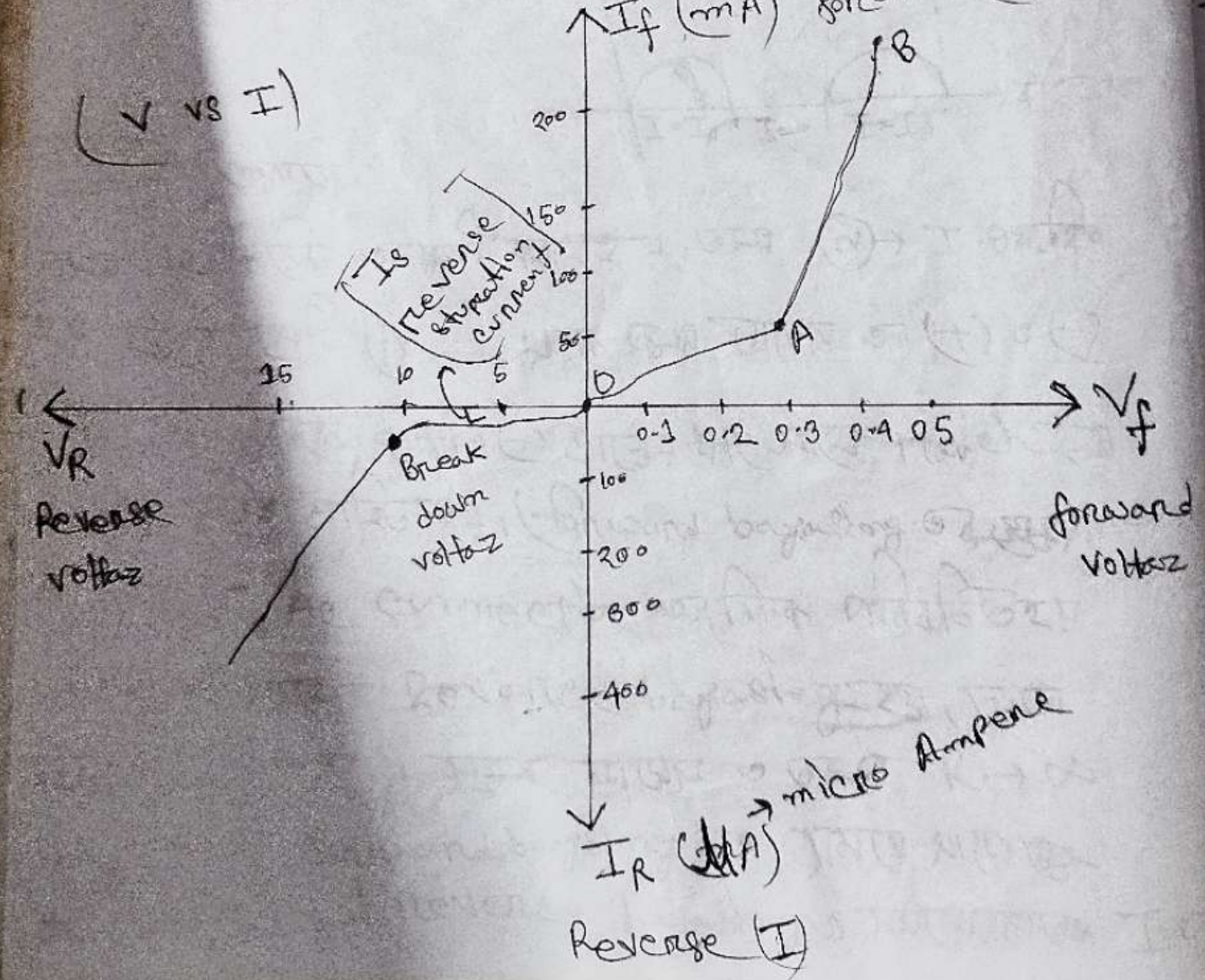
Rectification | একমুখী করণ

Forward & reverse bias

Voltaz ampere characteristic curve for PN junction



(V vs I)



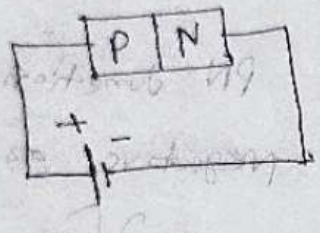
(i) গ্রাফের মধ্যে যখন, বাহিরের বিভবপার্থক্য শূন্য তখন তড়িৎ প্রবাহ শূন্য যা (0) কিন্তু বেশ বিদ্যমান। (Reverse off)

(ii) Forward bias : সম্মুখ বোঁকের মধ্যে যেমন যায়

যখন, battery এর positive pole PN junction এর positive এর সাথে এবং negative টা negative এর সাথে লাগানো তখন সেখানে তড়িৎ প্রবাহ করলে, কাটাতির positive pole এর কারণে p-type junction এর hole গুলো বিকর্ষিত করে এবং depletion layer এর negative charge গুলোকে Nutral করে ফেলে এই ভাবে কাজ করে ফলে battery এর N-pole ও N-type এ কাজ করে ফলে potential barrier (সম্ভাব্য বাধা) কমে যায়।

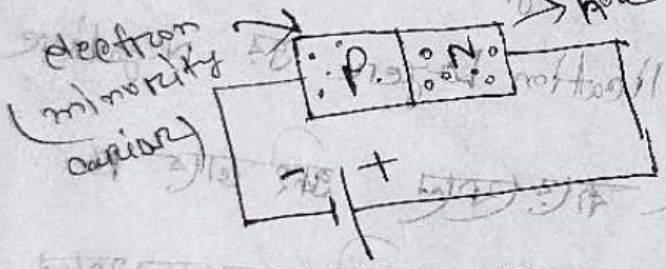
এই কাজ টুকুর ~~তড়িৎ প্রবাহের ফলে~~ জন্য তড়িৎ আসতে আসতে বাড়ে। গ্রাফের (OA) এর মত non-linear. কিন্তু যখন কোনো (সম্ভাব্য বাধা) থাকে না তখন তড়িৎ খুব দ্রুত প্রবাহিত হয় (AB) বক্র রেখার মত linear.

AB → The curve linear, ~~increase~~
The current increase simply with the increase the voltage.



→ forward biasing

(iii) Reverse biasing :- যারা বড় তারা minor (minority carrier)



→ hole (minority carrier)

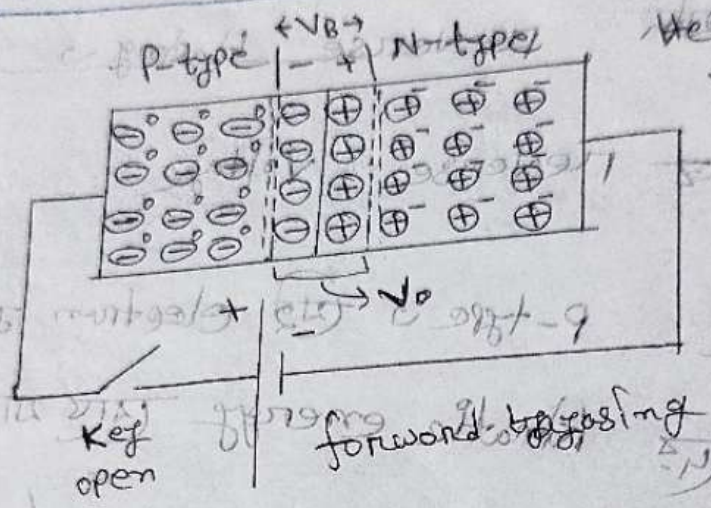
→ reverse biasing

যখন যখন তড়িৎ প্রবাহিত করবে তখন ~~তা~~ battery এর negative pole p type হতে hole টেনে আনবে যা battery এর positive pole এ n type হতে e⁻ টেনে আনবে এবং P-N junction বা ~~দিকে~~ এর depliction layer বড় বা potential barrier (সম্ভাব্য বাধা) আরো বড় করবে যার ফলে তড়িৎ প্রবাহিত

কম হবে বা হবেই না।

কিন্তু কিন্তু কিন্তু, যদি reverse biasing ও battery এর voltage reverse voltage বেড়ে যায় তাহলে p-type এ যেই electron কম ছিলো তাদের kinetic energy বেড়ে যাবে ফলে এক সময় semiconductor এর diode (যেকোন) নষ্ট হয়ে যাবে অর্থাৎ break down voltage যাবে। N-type এর minority carrier এর kinetic energy বেড়ে গেলে যদি potential barrier এর hole গুলোকে ধাক্কা দিয়ে বিতাড়িত করবে ফলে reverse voltage বেড়ে যাবে এবং diode breakdown হয়ে যাবে বা নষ্ট হয়ে যাবে।

Diode equation in (p-n) junction



Here, $V_B = V_0$

আমরা জানি, p-n junction circuit এর মধ্যে দুটি তড়িৎ প্রবাহ দেখা যায়,

① I_p → হোলের জন্য তড়িৎ প্রবাহ,

② I_n → ইলেকট্রনের জন্য তড়িৎ প্রবাহ

∴ সার্কিটে মোট তড়িৎ প্রবাহ, $\boxed{I = I_p + I_n}$ — (i)

I_p তড়িৎ প্রবাহ হলে N-type এ জমা হোলগুলো neutral হবে বা হোল পরিবর্তন হবে যাকে ΔP_n বলা বলা যায়,

অর্থাৎ $\boxed{I_p \propto \Delta P_n}$ অর্থাৎ

hole current is proportional to change in hole in n-region.

আবার,
I_n তড়িৎপ্রবাহ হলে, p-type এ ছিল e [illegible]
বা e^- এর পরিবর্তন হবে যাকে Δn_p বলা হয়।
কারণ, $\boxed{I_n \propto \Delta n_p}$ অর্থাৎ
electron current is proportional to change in electron in p-region.

Case 1 || When ~~short~~ switch (key) is open.

P_p = hole density in p-region.
n_n = electron density in ~~n-region~~ N-Region

By boltz-man equation

$$\boxed{P_p = P_n e^{V_B/V_T}}$$

Here,
V_B = potential barrier in the depletion layer.
V_T = voltage equivalent of temparature.
P_n = hole density in n-region.
V_0 = maximum potential barrier

formula, $V_T = \frac{T(K)}{11600}$

exm if $T = 27°C = 300°K$

then $V_T = \frac{300}{11600} = 26$ mili volt

So When switch is open

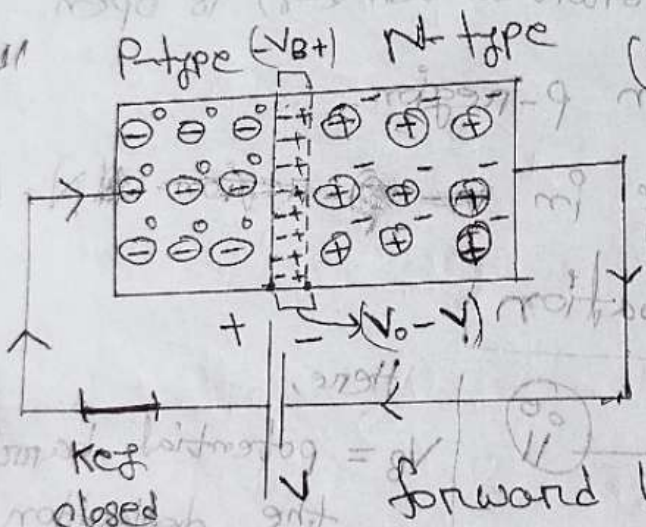
$V_B = V_0$ [State switch খোলা থাকলে depletion layer এর প্রস্থ বা বাধা প্রস্থ থাকে for forward bayas.]

then the equation (ii) will be,

$$P_p = P_n e^{V_B/V_T}$$

$$\Rightarrow \boxed{P_p = P_n e^{V_0/V_T}} \quad \text{(iii)}$$

again,



Case-II When switch 'key' is closed.

The junction will be forward bayasing & the voltage barrier or potential barrier is, $V_B = V_0 - V$

[V = external voltage]

মূলত যখন সার্কিটে ০V বা বন্ধ থাকে তখন বাহ্যিক বিভব (V) এর কারণে সার্কিটে ~~এ~~ forword bayasing বা সম্মুখ বোঁধ দেওয়া যায়, যার কারণে, p-n Junction এ সম্ভাব্য বাধা (Potential barrier) ($V_B = V_0$) কিছু বন্ধ সার্কিটে কমে যায়, সোলা সার্কিটে যা ছিলো (V_0) External Volaz V প্রয়োগ কারণে তা কমে, ($V_B = V_0 - V$) হয়ে যায়।

forword bayasing এর ফলে N-type এর মধ্যে হোলের পরিমান P_n হতে ΔP_n বৃদ্ধি পায়।

অর্থাৎ,
(ΔP_n) with forword bayas. The hole density in n-region increse from (P_n) to ($P_n + \Delta P_n$).

∴ for case-2,

we see, $V_B = V_0 - V$ & the $(P_n$

is ~~going~~ $(P_n + \Delta P_n)$

So, the equation no. (2) (ii) will be,

$$P_p = P_n e^{V_B/V_T}$$

$$\Rightarrow P_p = (P_n + \Delta P_n) e^{\frac{V_0 - V}{V_T}}$$

$$\Rightarrow P_p = (P_n + \Delta P_n) e^{\left(V_0/V_T - \frac{V}{V_T}\right)}$$

$$\Rightarrow P_p = (P_n + \Delta P_n) \left(\frac{e^{V_0/V_T}}{e^{V/V_T}}\right)$$

$$\Rightarrow \boxed{P_p = (P_n + \Delta P_n) \left(e^{V_0/V_T} \cdot e^{-V/V_T}\right)} \quad \text{(iv)}$$

Putting (eq-iii, P_p) value in equation (iv),

$$P_n \cancel{e^{V_0/V_T}} = (P_n + \Delta P_n)\left(\cancel{e^{V_0/V_T}} \cdot e^{-V/V_T}\right)$$

$$\Rightarrow P_n = (P_n + \Delta P_n)\, e^{-V/V_T}$$

$$\Rightarrow \frac{P_n}{e^{-V/V_T}} = (P_n + \Delta P_n)$$

$$\Rightarrow P_n \cdot e^{V/V_T} = P_n + \Delta P_n$$

$$\Rightarrow \Delta P_n = P_n e^{V/V_T} - P_n = P_n\left(e^{V/V_T} - 1\right)$$

$$\Rightarrow \boxed{\Delta P_n = P_n\left(e^{V/V_T} - 1\right)} \quad \text{(v)}$$

from equation (iii) we can write that,

$$P_p = P_n e^{V_0/V_T} \Rightarrow \boxed{P_n = P_p e^{-V_0/V_T}}$$

Putting the value of (P_n) in equation (v), ~~then~~

~~it looks like,~~ $\cancel{\Delta P_n = P_p e^{-V_0/V_T}\left(e^{V/V_T} - 1\right)}$

$$\boxed{\Delta P_n = P_p e^{-V_0/V_T} \cdot \left(e^{V/V_T} - 1\right)}$$

we know,

$\therefore I_p \propto \Delta P_n$

$\Rightarrow I_p \propto P_p e^{-V_0/V_T} \left(e^{V/V_T} - 1\right)$

$\Rightarrow I_p = I_{SP} \left(e^{V/V_T} - 1\right)$

I_{SP} & I_{SN} = Proportionality constant

I_0 = reverse saturation current (temperature dependent)

similarly, the expression for electron current due to diffusion of electron for n-region to p-region is given by,

$$I_n = I_{sn} \left(e^{V/V_T} - 1\right)$$

$\therefore$ Total current,

$$I = I_p + I_n$$

$$= I_{sp} \left(e^{V/V_T} - 1\right) + I_{sn} \left(e^{V/V_T} - 1\right)$$

$$= \left(I_{sp} + I_{sn}\right) \left(e^{V/V_T} - 1\right)$$

$\Rightarrow \boxed{I = I_0 \left(e^{V/V_T} - 1\right)}$ $I_0 = I_{sp} + I_{sn}$

$\therefore$ Diode equation, $\boxed{I = I_0 \left(e^{V/V_T} - 1\right)}$

$\therefore I = I_0 \left(e^{\frac{V}{nV_T}} - 1\right)$

n = material constant, for Ge = 1, Si = 2

Some important details

diode equation, $I = I_0 \left(e^{V/V_T} - 1\right)$

if, n = material ~~equation~~ constant, for Ge = 1, Si = 2 then

The diode equation will be,

$$I = I_0 \left(e^{\frac{V}{nV_T}} - 1\right)$$

এটি p-n junction এর মধ্যে দুটি (carrier বাহক) থাকে।

(i) majority carrier (সংখ্যাগরিষ্ঠ বাহক)

(ii) minority carrier (সংখ্যালঘু বাহক)

মূলত p-n junction এর মধ্যে কে বেশি বা কম তড়িৎ প্রবাহ দ্বারা তা মূলত এই carrier দ্বারা প্রকাশ করা হয়।

p-n (অভিমিলন) junction এর মধ্যে ~~যেই চার্জ তড়িৎ প্রবাহে~~

* তড়িৎপ্রবাহে বেশি দ্বায়ী majority carrier

* তড়িৎপ্রবাহে কম দ্বায়ী minority carrier।

* For p-type → majority carrier is hole
minority carrier is electron

* For n-type → majority carrier is electron
minority carrier is hole.

PIV rating। PIV (Peak Inverse Voltage) or PRV (Peak Reverse Voltage), একটি ~~diode এর~~ কোনো ধরনের সার্কিট কোন ধরনের ভোল্টেজ ব্যবহার করতে হবে তা নির্ধারণের জন্য ভোল্টেজের বৈশিষ্ট্য সম্পর্কে জানা দরকার। এই বৈশিষ্ট্য গুলো হলো ভোল্টেজের ~~পরম~~ rating, কার্যকরন ব্যবস্থা।

⊛ কোনো যন্ত্র নষ্ট না হয়ে কতটুকু সর্বোচ্চ বিভব প্রবাহ গ্রহন করতে পারে তা হচ্ছে ~~PIV rating~~ ~~বা~~ পরম সর্বোচ্চ বিভব।

এর গুরুত্ব এই যে, কোনো ব্যবস্থাতেই এই রেটিং এর উর্ধ্বে যন্ত্র ব্যবহার করা ঠিক নয়।

⊛ পুড়ে বা নষ্ট না হয়ে যাওয়ার পূর্ব পর্যন্ত একটি ভোল্টেজ কতটুকু সর্বোচ্চ বিমুখী বিভব গ্রহন করতে পারে তাকে ~~ইহার~~ PIV বা বিপরীত বিভব বলে।

প্রবাহিত প্রবাহিত ব্রেকভাল্ভ ওয়্যালের
জন্য ওই ভোল্টেজ ব্যবহার করা হয় অর্থাৎ PIV
সবসময় ব্রেকডাউন ভোল্টেজের চেয়ে কম হয়।
হতে হবে।

ডায়োডের কিছু বৈশিষ্ট্য:

(১) বিপরীত বিভব ছেদ: পুরো বা নষ্ট না হয়ে যাওয়ার
পূর্ব পর্যন্ত একটি ডায়োড কতটুকু সর্বোচ্চ বিমুখী
বিভব গ্রহন করতে পারে তাকে উহার বিপরীত বিভব
ছেদ বলে।

(২) ভার সম্মুখ প্রবাহ: সাবলীল তাপমাত্রায় ডায়োড
মাধ্যমে নিরবিচ্ছিন্নভাবে যে সম্মুখ প্রবাহ চলতে পারে
তাকে ভর ভার সম্মুখ প্রবাহ বলে।

(৩) সম্মুখ প্রচন্ড প্রবাহ: অতি অল্প সময়ের জন্য
যে বিরাট প্রবাহ ডায়োডের মধ্যদিয়ে প্রবাহিত হতে
পারে তাকে সম্মুখ প্রচন্ড প্রবাহ বলে।

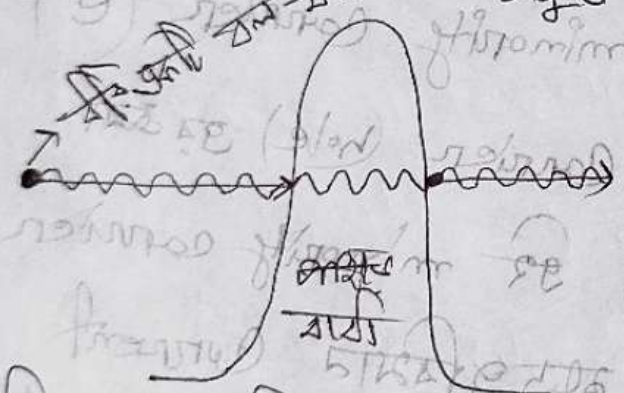
(৪) সর্বোচ্চ সম্মুখ বিভব: তাপমাত্রা খুব না বিশেষ
এর মধ্য দিয়ে সর্বোচ্চ যে বিভব প্রয়োগ করা যেতে
পারে তাকে সর্বোচ্চ সম্মুখ বিভব বলে।

Junction Breakdown

Reverse saturation current: Reverse bayashng
এর সময় মূলত p-type minority carrier (e^-)
এবং n-type minority carrier (hole) এর জন্য
reverse bayas এর মধ্যে এই minority carrier
এর চলা ফেরার জন্য কিছু খুব পরিমাণ current
পাওয়া যায় যাকে (I_s | reverse saturation
current) বলা হত।
forward bayas এ সেই পরিমাণ current পাওয়া
যেতে reverse bayas এর 1000 গুণ বেশি
এর বেশি পাওয়া যেতো।

Break down voltage | ব্রেক ডাউন voltage হলো একটি reverse bayasing এর সর্বোচ্চ সেই voltage, যেই voltage এর কারণে diode এর break down হয় বা diode ক্ষতিগ্রস্ত হয়ে যায়।

একটি Short কারণে একটি বল যার মধ্যে particle & wave মিলে আছে



quantum tunneling

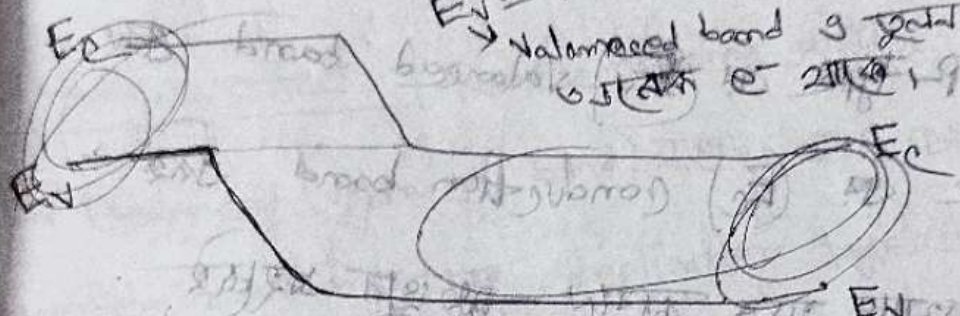
একটি বাধার যদি electromagnetic wave প্রবাহিত থাকে তাহলে সেটি কোনো মাধ্যম দ্বারা প্রতিফলিত হয় না। মূলত বাধা wave আকারে থাকার কারণে বাধার মধ্যে ঢুকে হওয়ার সম্ভাবনা থাকে না পারলেও wave আকারে বাধা পেরিয়ে বের হয়ে যেতে পারে।

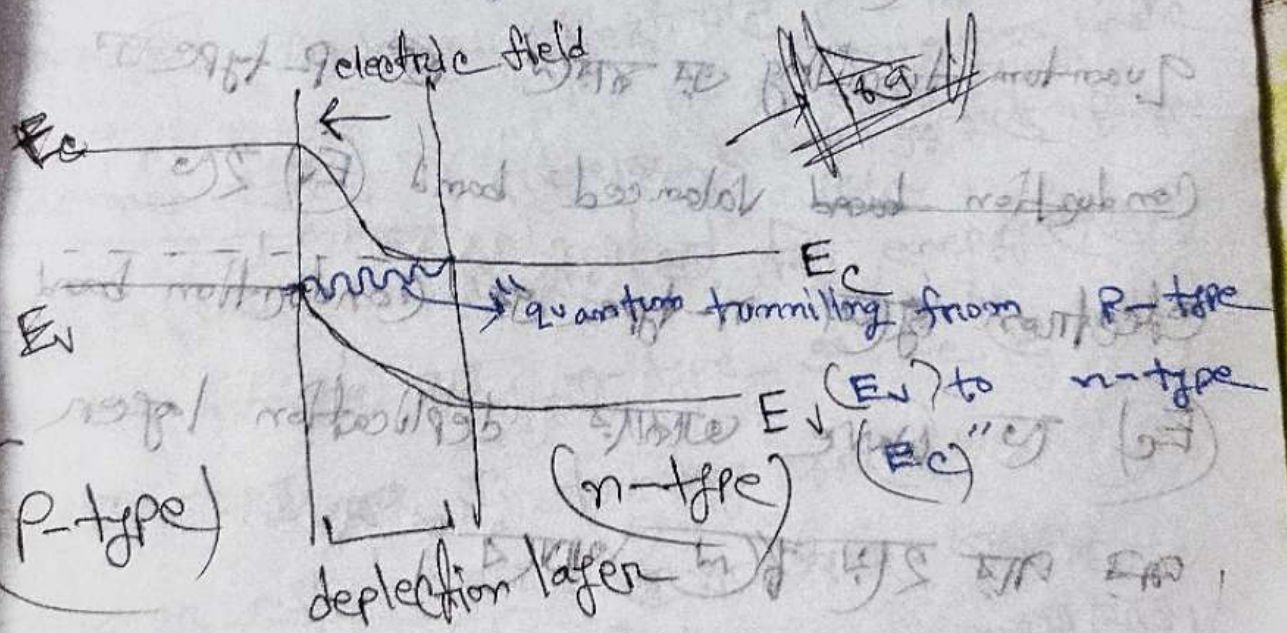
wave আকারে, বাধা অতিক্রম করে energy barrier পার হয়ে যাওয়া কে quantum tunnelling বলে।

E_C = conduction band = পরিবাহী ব্যান্ড

E_V = Valanced band = যোজক ব্যান্ড

→ Valanced band এ তুলনা মূলক অনেক e⁻ থাকে।





for (reverse bias)

কিন্তু, Reverse biasing এর মধ্যে n-type এর E_c (conduction band) হতে p-type এর (E_c) তে যাওয়া অনেক কঠিন হয়ে যায়, যার কারণে মূলত তড়িৎ প্রবাহিত হয় না,

কিন্তু, p-type এর (E_v) valanced band এবং n-type এর (E_c) conduction band এদের LL ও আছে যার কারণে খুব সহজেই quantum tunnelling এর কারণে p-type এর ~~conduction band~~ valanced band (E_v) হতে electron গুলো n-type এর conduction band (E_c) তে wave আকারে depliction layer পার হয়ে চলে যাবে।

মূলত P-type হতে e^- n-type মাধ্যম মাধ্যমে n-type হতে P-type এ তড়িৎ প্রবাহিত হয় অর্থাৎ বিপরীত মুখি তড়িৎ প্রবাহিত হয় যা ধনাত্মক এবং অনেক ক্ষুদ্র মানের হয়ে থাকে।

Avalance effect | Reverse biasing এর মধ্যে P-type এর Ev (~~Balanced~~ valanced band) হতে e^- quantum ~~tunnelin~~ tunnilling করে depliction layer এ প্রবেশ করা কেই Avalance effect বলে। e^- গুলো অনেক বেশি গতি হয়, kinetic energy এর জন্য

Zenner effect | Reverse biasing এর মধ্যে P-type এর Ev (valanced band) হতে কিছু energy পেয়ে quantum tunning করে n-type এর Ec (conducting band) এ প্রবেশ করে এই tunning করা কেই Zenner effect বলে। এ যার কারনে সমান বিপরীতমুখি প্রবাহ পরিমাণের হলেই পাওয়া যায়।

Zeeman effect এর কারণে, reverse biasing এর মধ্যে খুব পরিমাণ তড়িৎ উৎপন্ন হয় এর ফলে একই দিকে Kinetic energy তৈরী হয়।

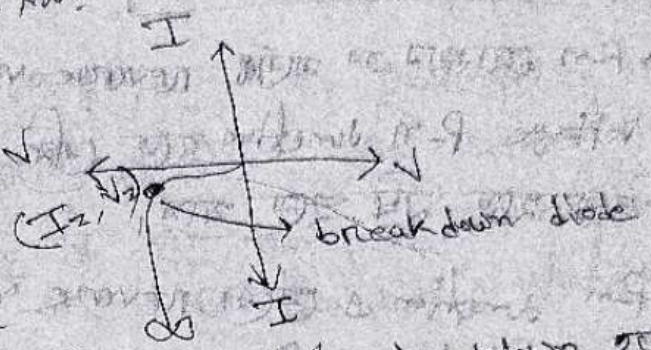
Zeeman effect এর কারণে যেই Kinetic energy তৈরী হয়, সেই Kinetic energy এর কারণে P-type এর minority carrier change অনেক গতি শক্তি লাভ করে depletion layer এর Nutral atom এর উপর ধাক্কা দিবে যার কারণে Atom হতে এর অধিক ~~ও~~ অনেক বেগ প্রাপ্ত হয়ে পরের Atoms গুলো ধাক্কা দিয়ে ~~all elec~~ electron বের করবে।

ফলে এক এক অনেক গুলো electron অনেক বেগ প্রাপ্ত হবে। ফলে সেখানে প্রচুর পরিমাণ ~~তড়িৎ~~ তড়িৎ উৎপন্ন হয়। I ~~ও~~।

resistance যেমনে infinity পরিমান তখন উৎপন্ন হয়

যখন Reverse এক সময় diode নষ্ট হয়, যা breakdown

হয়ে যায়।



এমনে অসীম পরিমান

কারনের জন্য diodeটি নষ্ট হয় যা diode breakdown হয়ে

যায়।

Breakdown voltage / zenner voltage | এই voltage এর কারনে reverse biasing এর মাধ্যমে diode নষ্ট হয়ে যায় তাকে breakdown voltage বলে। (V_Z)

~~Breakdown~~

zenner current | Breakdown Voltage এর সময় যে পরিমান current পাওয়া যায় তাকে zenner current বলে। (I_Z).

Short terms

PIV (Peak Inverse Voltage)

→ P-n জংশন এর সর্বোচ্চ reverse voltage.

→ Voltage P-n junction হতে বেশি হলে junction ভেঙ্গে নষ্ট হয়ে যায়।

→ P-n junction এ যেন reverse voltage যেন PIV rating অতিক্রম না করে। যদি করে তাহলে reverse current এর ফলে junction ডায়াস হয়ে নষ্ট হয়ে যাবে।

maximum power rating | damage বিহীন অবস্থায় P-n জংশনের অপচয় কৃত সর্বোচ্চ Power।

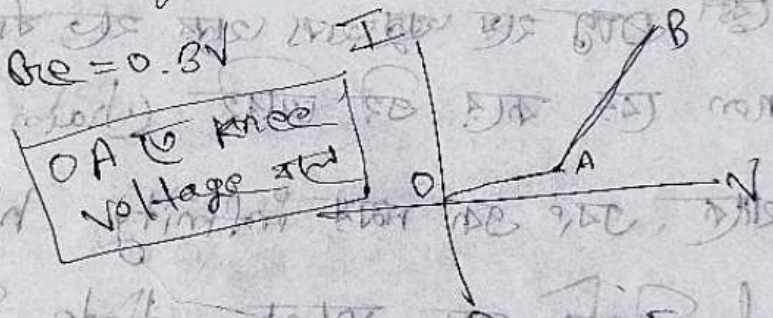
জংশনের সাথে 250 mw মানের লেখা থাকা মানে জংশনটি 250 mw অপচয় করতে পারে।

maximum forward current (current rating)

কোনো P-n junction এর মধ্য দিয়ে তড়িৎ প্রবাহিত হলে, যেই সর্বোচ্চ current পাওয়া যায় তাকে maximum forward current বলে। এর চাইতে বেশি current প্রবাহিত হলে diode নষ্ট হয়ে যাবে। এক সময় maximum current ও voltage বাড়ে না but electricity constant থাকে।

Knee Voltage/ যেই forward voltage এ P-n junction এ প্রবাহের দ্রুত বৃদ্ধি পায় যা বিভব বাধার কারণে

Si = 0.7V, Ge = 0.3V



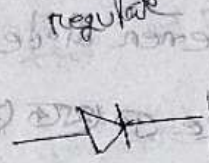
diode এর বাঁক হলো কারণ এরকমই কারণ।

Avalance Breakdown: যখন কোনো p-n সংযোগের চড়িয়ে বেগ বৃদ্ধি করা হয়, তখন minority carrier গুলোর velocity বেড়ে যায়। Kinetic energy বিশিষ্ট হওয়ায় Carrier গুলো দ্বারা (Avalance এবং Zener) effect এর কারণে যখন অণুর kinetic energy বেড়ে যায়, তখন অণু সমূহের বন্ধন ভেঙ্গে যায় এবং e গুলো আলাদা হয়ে অণু থেকে এর মত ধাক্কা দিয়ে electron বের করে এই ভাবেই chain reaction হতে থাকে, এবং এক সময় infinity high reverse current তৈরি হয় ফলে diode উত্তপ্ত হয়ে diode breakdown হয় বা নষ্ট হয়ে যায়।

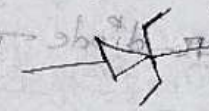
এই Breakdown কে Avalance breakdown বলে।

Zener diode

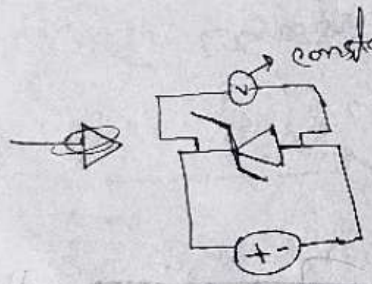
→ Zener diode is a heavily doped semiconductor diode which is designed to ~~condut~~ conduct current in reverse bias and regulate voltage across it.

Normal diode → 

Normal diode forward bias ও current conduct করে reverse biasও করে না.

zener diode → 

→ zener diode (forward & reverse bias) ও দুই ভাবেই current conduct করতে সক্ষম.

⇒ 

zener diode এর circuit এর voltage change করলেও এ ভাবে দুই প্রান্তে ~~বিভব~~ পার্থক্য সব সময় একই থাকে ⇐

important

⇒ In forward bias (i) It acts like a normal p-n junction diode.

In reverse bias (ii) It conducts current (when the reverse voltage across it is equal to or greater then zener voltage), এবং সেই voltage ও zener voltage এর সমান।

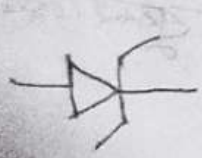
If voltage across zener diode = Vapplied

zener diode will conduct for: Vapplied $\geq V_z$ (zener voltage)

zener diode will regulate V_z, whatever (Vapplied) is beyond V_z। অর্থাৎ zener diode এর মধ্যে maintain করে যদি zener voltage এর থেকে বেশি volt দেয়া হয় তা হলেও ~~Zene~~ zener diode তার সর্বোচ্চ voltage zener voltage ই সুরক্ষিত করে।

Zener diode

In case of Forward bias,



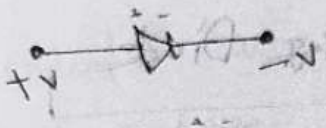
⇒ (+-) normal diode এর মতই কাজ করবে, diode material এর volt ই হবে থ্রেশল্ড volt.

$Si = 0.7V$, $Ge = 0.3V$

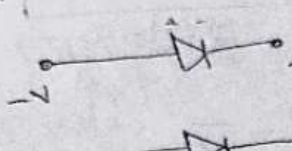
In case of reverse bias,

(i) applied voltage < zener voltage হলে, circuit open হবে, কোনো current flow হবে না।

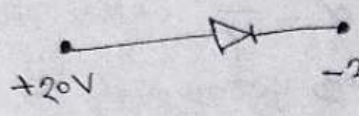
(ii) applied voltage > zener voltage হলে, সেটি current flow করবে but তার voltage = zener voltage সমান হবে।

(i) 

→ forward bias

(ii) 

→ reverse bias

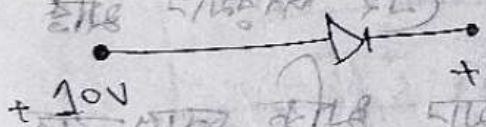
(iii) 

→ forward bias

(iv)

→ reverse bias

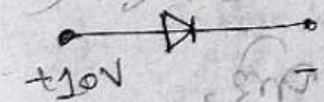
যদি diode এর positive পাশের volt, negative পাশের volt হতে বেশি হয় তাহলে forward bias না হলে reverse bias।

(i) 

→ 5V বেশি তাই forward bias

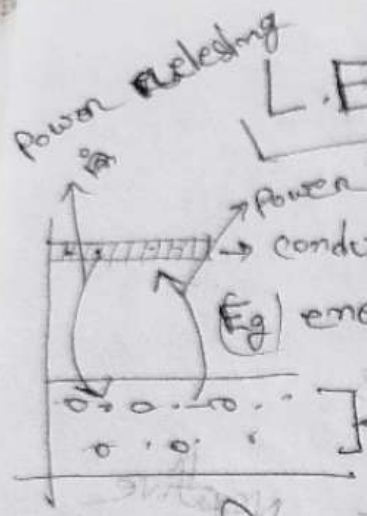
(ii)

→ $(-10-(-2)) = -8V$ কম তাই reverse bias হবে।

(iii) 

→ p-type এর volt বেশি তাই forward bias হবে।

L.E.D | Light Emitting Diode



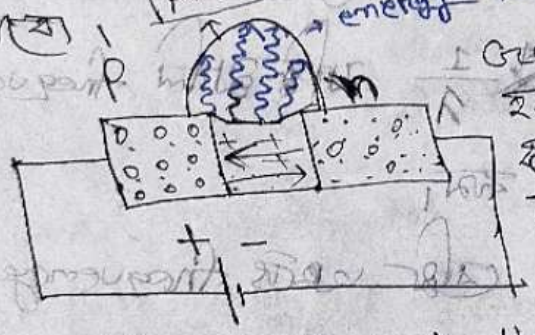
আমরা জানি, যোজন ব্যান্ড হতে পরমাণুর e সংযোগ নিদিষ্ট পরিমান শক্তি বা energy gap এর চেয়ে বেশি শক্তি দিলে সেটি conduction band এ চলে যায়, ঠিক তেমন যেই পরিমান শক্তি শোষন করে, ঠিক সেই পরিমান শক্তি ত্যাগ করে আবার valanced band এ চলে আসে। যখন শক্তি ছাড়ে তখন তা চরমভাবে বের হয় এবং তা আমরা দেখতে পাই,

conduction band হতে balanced band এ e^- শক্তি ত্যাগ করলে

আমরা জানি, $E = h\nu$ ∴ $\nu \propto E$

শক্তি frequency এর সমানুপাতিক। শক্তি বেশি হলে কম্পাঙ্ক বেশি হবে।

E_g = energy gap > 1.8 eV হলে আমরা আলো দেখতে পাবো।



Ge = 0.3V, Si = 0.7V হওয়ায় এরা LED তে কাজ করে না বা বর্ণ দেয় না।

In forward bias depletion layer কমে যায়, এবং minority carrier গুলো আবার Neutral (positive ও negative) charge এর সাথে পুনর্মিলিত হয়, অর্থাৎ hole ও e^- শক্তি ত্যাগ করে যা energy gap এর সমান (E_g > 1.8 eV) যা থেকে কিছু আলোক রশ্মির বিচ্ছুরণ ঘটে।

Ga As → infrared
(Gallium → Arsenic)

Ga As P → Red-yellow

Ga P → Red-free
(phosphite)

colour দেখা যায়

but Si, Ge এর colour দেখা যায় না

E ∝ ν এবং frequency শক্তির সমানুপাতিক,

$\nu = c\lambda \Rightarrow \nu \propto \frac{1}{\lambda}$ শক্তি হলো frequency

তরঙ্গদৈর্ঘ্য কম।

যার তরঙ্গদৈর্ঘ্য বেশি এবং frequency কম তাকে হালকা চোখে দেখা যায়।

⇒ লালের তরঙ্গদৈর্ঘ্য = 665 nm, তুলনামূলক কম তাই চোখে দেখা যায়।

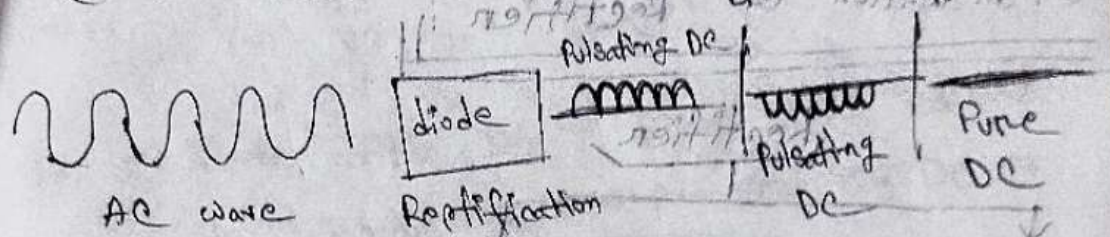
⇒ নীলের তরঙ্গদৈর্ঘ্য = 470 nm, তুলনামূলক বেশি তাই চোখে দেখা যায় না।

নীল is powerfull than লাল।

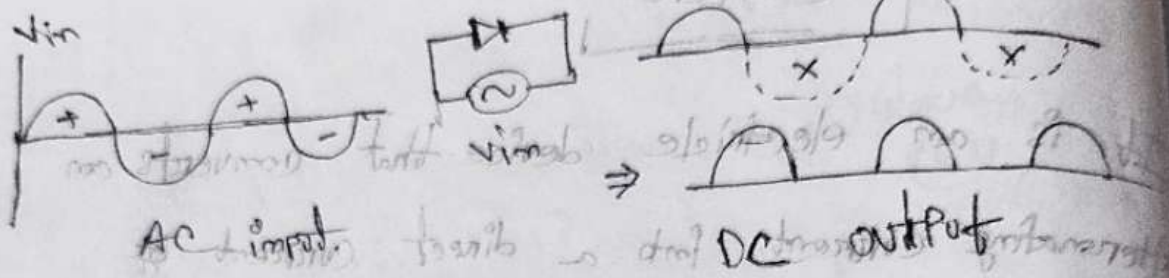
Rectifier

It is an electricle device that converts an alternating current into a direct current using one or more (Pn-Junction) diodes.

যা হলো একটি ইলেকট্রনিক যন্ত্র যেটি AC কারেন্ট কে DC কারেন্ট এ রূপান্তর করে।



* A P-N Junction ~~device~~ diodes allows electric current in only forward bayas condition and blows electric current in reverse bias condition. This property of diode allows it to act like a rectification.



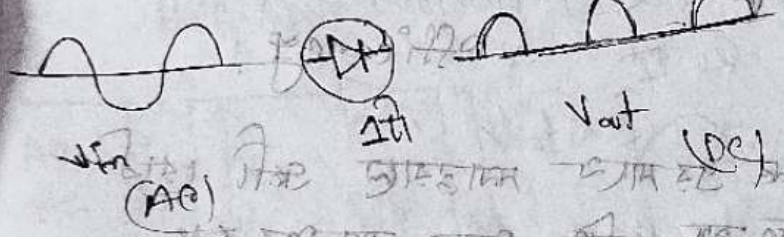
এখানে Rectifier এর মাধ্যমে AC current দিলে output এ পুরো একমুখী পরিণত প্রবাহ পাওয়া যায়।

Classification of Rectifier

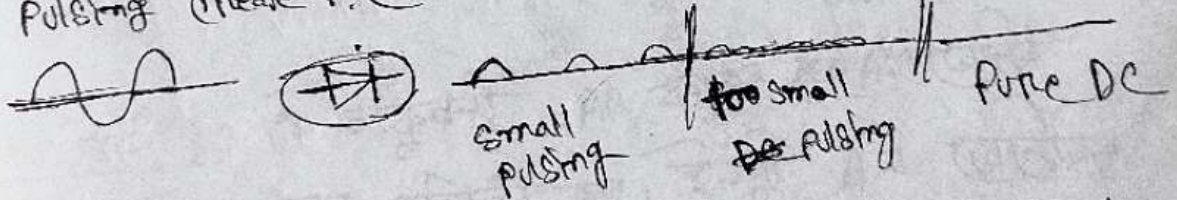
Rectifier

- half wave Rectification
- Full wave Rectification
  - Center tapped configuration
  - Bridge rectification configuration

Half wave Rectifier, এখানে মাত্র একটি P-n Junction ব্যবহৃত হয় ফলে, AC input দিলে ও output এ DC শুধু একদিকেই থাকে, যা কিছু পরপর Pulsing create করে।



(AC) এর Power কমালে DC তে Pulsing না হয়ে constant এবং কাছাকাছি Linear যায়। কারণ AC এর Power যতই হবে DC তে Pulsing create করতে তা থেকে সহায়তা করে।



Full wave Rectifier এর দুই ধরনের, (i) center tapped
দুটো diode লাগে

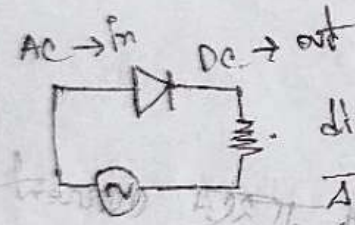
(ii) bridge rectifier,
4টা diode লাগে

Half / Full rectification analysis

(i) The D.C or average value of load current (I_{DC})

(ii) The rms value of load current.

(iii) Output voltage. (iv) Rectifier efficiency.

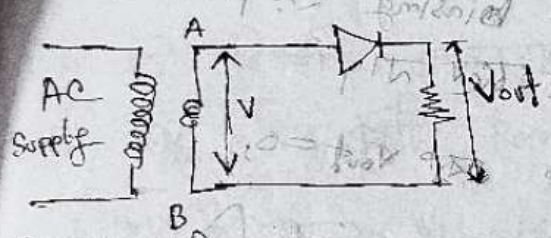


diode এর সাথে সমান্তরালে একটি রোধ যুক্ত হয় তাকে এবং এর মধ্যে load current বলে। DC current মাপা হয়।

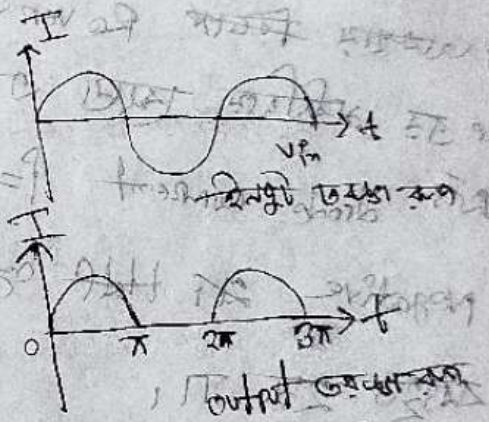
Bangla

① Half wave Rectifier। যে ইলেকট্রনিক্স ব্যবস্থাতে ইনপুট AC সিগন্যাল কেবল মাত্র অর্ধ চক্র এর জন্য পালসেটিং DC রূপে আউটপুট পাওয়া যায় তাকে Half wave অর্ধ-তরঙ্গ রেকটিফায়ার বলে।

নিচে Half wave rectifier চিত্র সহকারে বুঝানো হলো।



চিত্র: অর্ধ তরঙ্গ রেকটিফায়ার বর্তনী।



ইনপুট তরঙ্গরূপ

output তরঙ্গরূপ

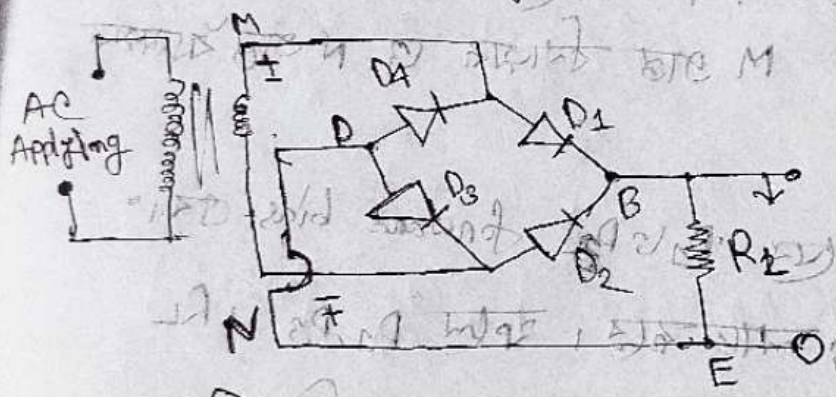
কার্যপ্রণালী। জোন কুন্ডলী AB বরাবর A.C ভোল্টেজ প্রতি অর্ধ চক্রে মেরু পরিবর্তন করে। ইনপুট A.C ভোল্টেজের পজিটিভ Half সাইকেলে A প্রান্ত B এর সাপেক্ষে ধনাত্মক হয়। এতে জাংশনটি forward bias প্রদান হয়। ফলে জাংশনের মধ্যদিয়ে প্রবাহ চলে।

এই বিদ্যুৎ পরিবহনের সময় ডায়োডটি শর্ট সার্কিট হিসাবে ক্রিয়া করে, যাতে বিদ্যুৎপ্রবাহ চলে। এ সময় AC ভোল্টেজের R_1 বরাবর বিভব পাতে এবং এটা আউটপুট ভোল্টেজ V_o গঠন করে। Negative Half cycle B এর সাপেক্ষে A প্রান্ত ধনাত্মক হয়। এ অবস্থায় Reverse biasing হয়। এবং এর মধ্যদিয়ে স্রোত প্রবাহ চলে না। অর্থাৎ diode current $I=0$ এবং $V_{out}=0$,

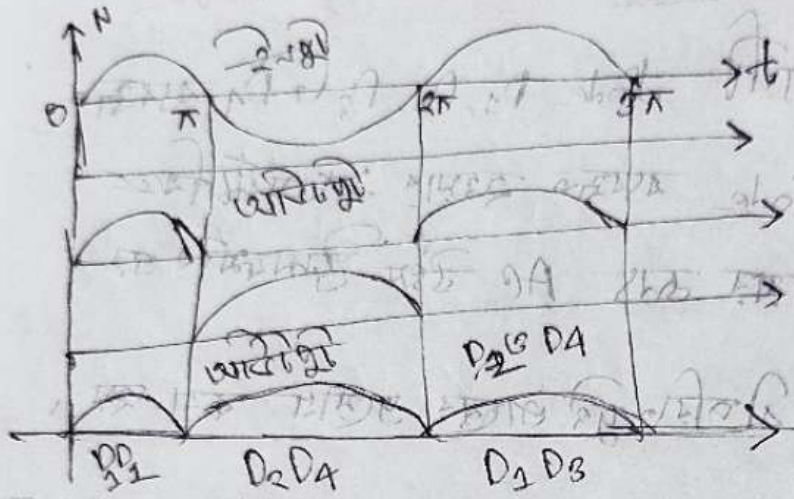
∴ Negative বা Half cycle এ লোডে শক্তি সরবরাহ করতে হয় না।

Full Wave Rectification । Full wave bridge

Rectifier ও চারটি diode D_1, D_2, D_3 ও D_4 ব্যবহার হয়, এই চারটি diode ব্যবহৃত হওয়ায় ~~অর্ধ~~ বিভব হয়, রেকটিফায়ার করার জন্য AC উৎস ট্রান্সফর্মার এর (V_m), সার্কিটের কলের বিপরীত দুই প্রান্তের প্রয়োগ করা হয়। অন্য দুই বিপরীত প্রান্তের মাঝে সংযোগ দেওয়া হয় লোড রেজিস্টর R_L। নিচে একটি Rectifier বর্তনী দেয়া হয়।

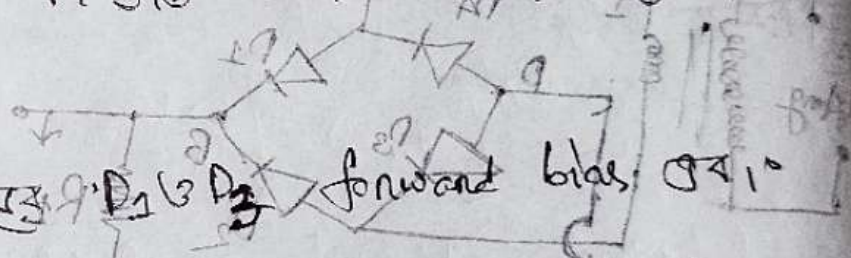


চিত্র: Full wave Rectifier circuit



চিত্র :- মোট তরঙ্গরূপ মান

কার্য পদ্ধতি: ইনপুট কুণ্ডলির AC বিভবের পজিটিভ Half cycle এ কুণ্ডলীর M প্রান্ত ধনাত্মক ও N প্রান্ত ঋণাত্মক বিভব লাভ করে।



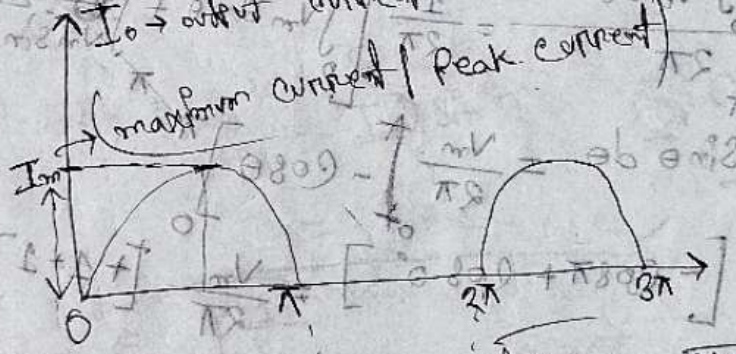
এই অবস্থায় ডায়োডের D_1 ও D_3 forward bias এবং D_2 D_4 reverse bias লাভ করে। ফলে D_1, D_3 ও RL মাধ্যমে বিদ্যুৎ MABEDCN পথে প্রবাহিত হয়।

আবার Input বিভবের Negative Half cycle এর ইনপুট কুণ্ডলীর N ⊕ Positive ও M. Negative বিভব

লাভ করায় D_2 ও D_4 অবস্থায় forward bias এবং D_1 ও D_3 Reverse bias লাভ করে। ফলে D_2, D_4, R_L মাধ্যমে বর্তনীতে বিদ্যুৎ NCDEDAM পথে প্রবাহিত হয়।

Half wave Rectifier (out put voltage & current, efficiency)

Half wave Rectifier এর মধ্যে output হিসাবে D.C voltage ও current পাওয়া যায়, যা মূলত একমুখী হয়।



(0 to π) & (2π to 3π) DC তে মূল current বিদ্যমান বিপরীত মুখী current পাওয়া যায় না

∴ Average output voltage = DC output voltage

$$= \frac{\text{Area under curve}}{\text{Base}} = \frac{\text{total Area}}{\text{total time period}}$$

∴ V_o = output voltage, V_m = maximum voltage,

২য় চাইলে,

output voltage, $V_o = V_m \sin\theta \; ; 0 < \theta < \pi$

$= 0 \; ; \pi < \theta < 2\pi$

∴ Average output voltage,

$$V_{DC} = \frac{\int_0^{2\pi} V_o \, d\theta}{2\pi} = \frac{1}{2\pi}\left[\int_0^{\pi} V_m \sin\theta \pm \cancel{\int_{\pi}^{2\pi} 0 \cdot d\theta}\right]$$

$$= \frac{V_m}{2\pi}\int_0^{\pi} \sin\theta \, d\theta = \frac{V_m}{2\pi}\left[-\cos\theta\right]_0^{\pi}$$

$$= \frac{V_m}{2\pi}\left[-\cos\pi + \cos 0^\circ\right] = \frac{V_m}{2\pi}\left[+1+1\right]$$

$$= \frac{2V_m}{2\pi} = \frac{V_m}{\pi}$$

$$\Rightarrow \boxed{V_{DC} = V_m/\pi}$$

$$\boxed{V_{average} = V_{DC} = V_m/\pi}$$

$\therefore V_{average} = V_{DC} = \frac{V_m}{\pi}$

$\therefore$ Average Current / output current

$$I_{average} = I_{DC} = \frac{V_{DC}}{R} = \frac{V_m}{R \cdot \pi} = \frac{V_m/R}{\pi}$$

$$\Rightarrow I_{DC} = \frac{(V_m/R)}{\pi} = \frac{I_m}{\pi}$$

$\therefore$ average current or Half wave Rectifier output D.C current is, $\boxed{I_{DC} = \frac{I_m}{\pi}}$

আমরা জানি, $I_o = I_m \sin\theta \quad , 0 < \theta < \pi$

$= 0 \quad , \pi < \theta < 2\pi$

$\therefore I_{rms} = \sqrt{\frac{1}{\ }}$

$\therefore I_{rms}$ হবে, $I_{dc} = \frac{1}{2\pi}\int_0^{2\pi} I_o \, d\theta$ এর সাথে সমান

হবে,

$$\therefore I_{rms} = \sqrt{\frac{1}{2\pi}\left(\int_0^{2\pi} I_0^2\, d\theta\right)}$$

$\pi < \theta < 2\pi$ বহির্ভূত
$I_0 = 0$ হয়

$$= \sqrt{\frac{1}{2\pi}\int_0^{\pi} I_m^2 \sin^2\theta \cdot d\theta}$$

এখানে (2π) হলো Time Period। যার কারণে RMS Rule এর উপর হবে না।

$$= \sqrt{\frac{I_m^2}{2\pi}\int_0^{\pi} \sin^2\theta\, d\theta} = \sqrt{\frac{I_m^2}{2\pi}\int_0^{\pi}\left(\frac{1-\cos 2\theta}{2}\right) d\theta}$$

$$= \sqrt{\frac{I_m^2}{4\pi}\left[\theta - \frac{\sin 2\theta}{2}\right]_0^{\pi}}$$

$$= \sqrt{\frac{I_m^2}{4\pi} \times \left[\pi - \frac{\sin 2\pi}{2} - 0 + \frac{\sin 0}{2}\right]}$$

$$= \sqrt{\frac{I_m^2 \cdot \pi}{4 \cdot \pi}} = \frac{I_m}{2}$$

$$\therefore \boxed{I_{rms} = \frac{I_m}{2}}$$

Half wave Rectifier efficiency

$$\eta = \frac{\text{DC output } \cancel{\text{voltage}} \text{ Power}}{\text{AC } \cancel{\text{output voltage}} \text{ Input Power}} = \frac{P_{DC}}{P_{AC}}$$

P_{DC} → ডিসি output পাওয়ার

P_{AC} → ইনপুট পাওয়ার (RMS)

$$= \frac{I_{dc}^2 \cdot R_L}{I_{rms}^2 \cdot R_L} = \left(\frac{I_{dc}}{I_{rms}}\right)^2$$

$$= \left(\frac{I_m}{\pi} \times \frac{2}{I_m}\right)^2 = \frac{4}{\pi^2}$$

R_L = Load Resistance

$$\Rightarrow \eta = \frac{4}{\pi^2} = 0.406 = 40.6\%$$

এখানে Half wave Rectifier এর মধ্যে যেটা current এর মধ্যে 40.6% current diode Rectifier এর মধ্যে করতে পারে (100% AC এর মধ্যে 40.6% DC তে convert করতে পারে)

Ripple factor of Half wave Rectifier

Ripple factor :

(i) এটি মূলত একটি Rectifier কর্তৃক যতটুকু Current output হয়, তার মধ্যে DC কারেন্টের পরিমান কতটুকু

(ii) Rectifier কর্তৃক output কারেন্টে AC ও DC একসাথে উভয়ই থাকে।

(iii) The Ripple factor measure the (%) of AC components in Rectifier output.

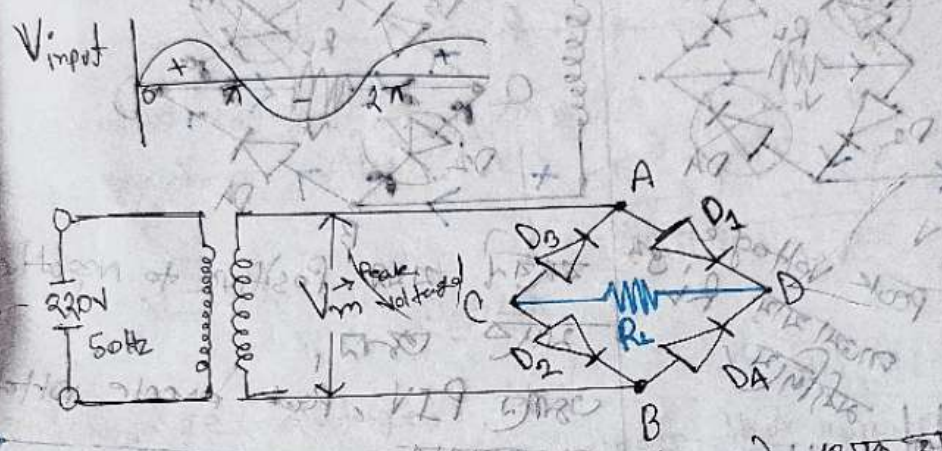
$$\therefore \text{Ripple factor} = \frac{(I_{AC})\text{RMS value of AC component in Rectifier output}}{(I_{DC})\text{Average value of output}}$$

Rectifier এর মধ্যে আদর্শ Ripple factor এর মান, $r = 0$, ধরা হয়।

Half wave এর জন্য Ripple factor, $r = 1.21$

অর্থাৎ Rectifier, যেই AC কে DC তে রূপান্তর করছে, এই রূপান্তরিত DC ও কারেন্টে ও, কি পরিমান AC কি এর মধ্যে বিদ্যমান আছে তাকেই Ripple factor বলা।

Full wave bridge Rectifier

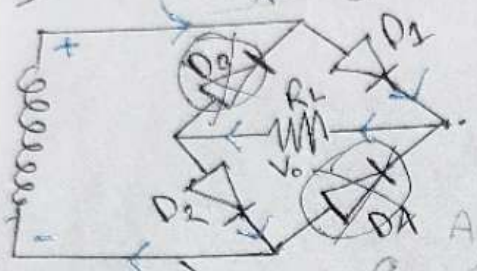


চিত্রে মোট দেখা যাচ্ছে input voltage (220V) থেকে যখন = V

আমরা Vm পাই তখন সেই Vm full wave Rectifier bridge দিয়ে যায়, যেখানে D_1, D_2 ও D_3, D_4 same position এ থাকে। D_3 D_1 (P,N,P,N) আবার D_2 D_4 ও (P,N,P,N) আকারে থাকে। A,B,C,D চারটি বিন্দু নির্দেশ আকারে দেয়া আছে। C ও D বিন্দু দুয়ের মাঝখানে একটি Load Resistance দেয়া আছে যেখানে দিয়ে Vm voltage প্রবাহিত হয়।

1st $0 \to \pi$ wave

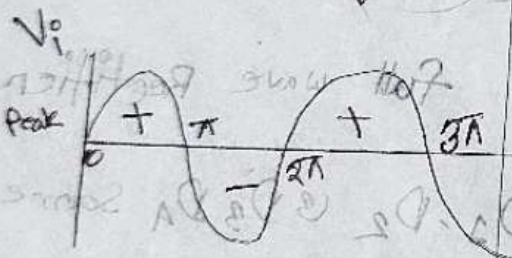
Forward bias

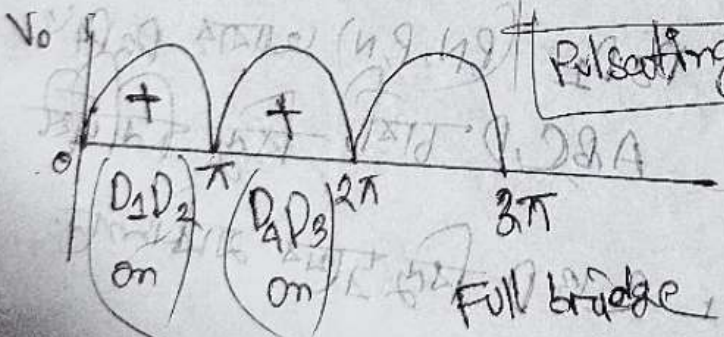


(PV) Peak voltage

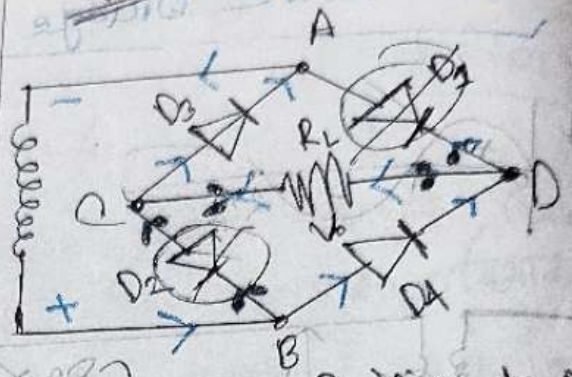
পাওয়া যায় R_L এর সর্বোচ্চ

V_o = output voltage





2nd $\pi \to 2\pi$ wave



কারণ যখন Positive to Negative যাবে তখন, তখনে PIV, Peak inverse voltage পাওয়া যাবে।

$PIV = V_m$ = Peak voltage

$V_o = V_m$ (ধ্রুবমান)

AC current

Pulsating DC

Full wave DC current Rectifier

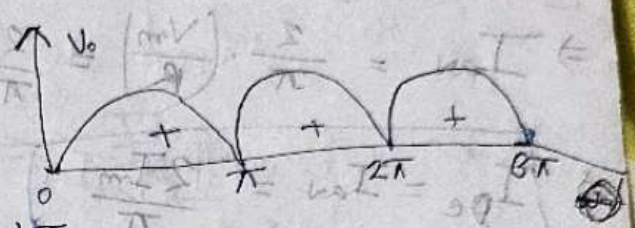
Full bridge

এখানে দেখা যায় যে, Rectifier এর মধ্যে আমরা মূলত DC current পেয়ে থাকি। (+ ও −) half wave থাকলেও Full bridge Rectifier তা (+ ও +) তৈরী করে।

Avarage (D.C) Load voltage & current for full wave Rectifier

V_o = output voltage

V_m = maximum voltage



তাহলে,

$V_o = V_m \sin\theta$; $0 \le \theta \le \pi$

∴ avarage voltage,

$$V_{av} = V_{dc} = \frac{\text{Area under the curve}}{\text{Base}}$$

$$= \frac{\int_0^{\pi} V_o \, d\theta}{\pi} = \frac{1}{\pi}\int_0^{\pi} V_o \, d\theta = \frac{1}{\pi}\int_0^{\pi} V_m \sin\theta \, d\theta$$

$$= \frac{V_m}{\pi}\left[-\cos\theta\right]_0^{\pi} = \frac{V_m}{\pi}\left(-\cos\pi + \cos 0\right)$$

$$= \frac{V_m}{\pi}(+1+1) = \frac{2V_m}{\pi}$$

$$\therefore \boxed{V_{avarage} = V_{DC} = \frac{2V_m}{\pi}}$$

avarage or DC voltage for full wave Rectifier

আবার,

$$I_{av} = \frac{V_{av}}{R} = \frac{2V_m}{\pi \cdot R}$$

$$\Rightarrow I_{av} = \frac{2}{\pi} \cdot \left(\frac{V_m}{R}\right) = \frac{2}{\pi} \cdot I_m$$

$$\Rightarrow \boxed{I_{DC} = I_{av} = \frac{2I_m}{\pi}}$$

avarage or DC current for full wave Rectifier

RMS load current & RMS Load voltage

RMS → Root Mean Square

we know,

$$I = I_m \sin\theta \quad 0 \le \theta \le \pi$$

$$\therefore I_{rms} = \sqrt{\frac{\int_0^\pi I^2 \cdot d\theta}{\pi}} = \sqrt{\frac{1}{\pi} \cdot \int_0^\pi (I_m \sin\theta)^2 d\theta}$$

$$= \sqrt{\frac{1}{\pi} \cdot I_m^2 \int_0^\pi \sin^2\theta \cdot d\theta} = \sqrt{\frac{I_m^2}{\pi} \int_0^\pi \frac{1}{2}(1 - \cos 2\theta)\, d\theta}$$

$$= \sqrt{\frac{I_m^2}{2\pi}\left(\int_0^\pi d\theta - \int_0^\pi \cos 2\theta \, d\theta\right)}$$

$$= \sqrt{\frac{I_m^2}{2\pi} \cdot \left[\theta - \frac{\sin 2\theta}{2}\right]_0^{\pi}} = \sqrt{\frac{I_m^2}{2\pi}\left[\pi - \frac{\sin 2\pi}{2} - 0 + \frac{\sin 0}{2}\right]}$$

$$= \sqrt{\frac{I_m^2}{2\pi}(\pi - 0 - 0 + 0)}$$

$$= \sqrt{\frac{I_m^2}{2} \cdot \frac{\pi}{\pi}} = \frac{I_m}{\sqrt{2}}$$

$$\therefore \boxed{I_{rms} = \frac{I_m}{\sqrt{2}}}$$ → RMS value of load current in full wave rectifier.

$$\therefore V_{rms} = I_{rms} \cdot R$$

$$\Rightarrow V_{rms} = \frac{I_m}{\sqrt{2}} \cdot R = \frac{I_m R}{\sqrt{2}} = \frac{V_m}{\sqrt{2}}$$

$$\Rightarrow \boxed{V_{rms} = \frac{V_m}{\sqrt{2}}}$$ → RMS value of load voltage in full wave rectifier.

Rectifier effeciency for full wave diode

$$\text{Efficiency} = \frac{\text{output DC Power}}{\text{Input AC Power}} \times 100\%$$

we know, Power (P) = $I^2 R$

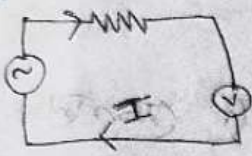
$$\therefore \eta = \frac{I_{dc}^2 \cdot R}{I_{AC}^2 \cdot R} = \frac{I_{dc}^2 \cdot R}{I_{rms}^2 \cdot R} = \frac{\left(\frac{2I_m}{\pi}\right)^2 \cdot R}{\left(\frac{I_m}{\sqrt{2}}\right)^2 \cdot R}$$

$$= \frac{4I_m^2/\pi^2}{I_m^2/2} = \frac{4I_m^2 \cdot 2}{I_m^2 \cdot \pi^2} = \frac{8}{\pi^2} \times 100\%$$

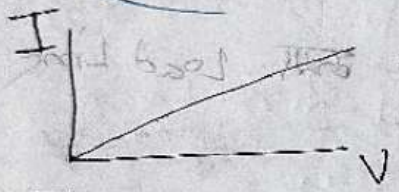
$$\therefore \eta = \frac{8}{\pi^2} \times 100\%$$

$$\boxed{\eta = 81.13\%}$$ → efficiency for full wave Rectifier

Linear & non-linear element

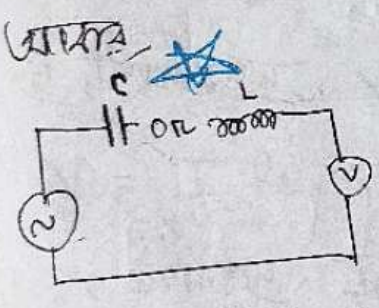


এখানে $V \propto I$ অর্থাৎ যদি (V vs I) এর গ্রাফ আঁকি তাহলে তাহলে আমরা একটি সরল রেখা পাব এখানে যে Resistance টিকে যার জন্য আমরা ~~Linear~~ ~~Lin~~ straight line পেয়েছি তাই এক বা (Resistance হলো Linear element)

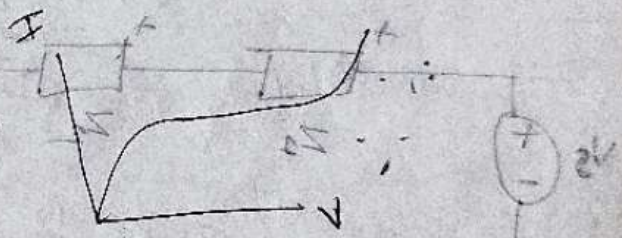


($V \propto I$) ohm's Law

আবার,



→ গ্রাফ



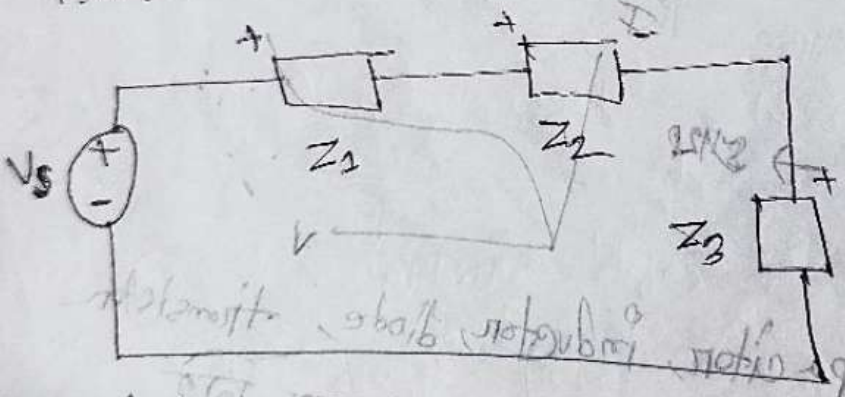
এখানে যেমন Capacitor, inductor, diode, transistor এর জন্য non-Linear গ্রাফ পাওয়া যায় তাই Capacitor, inductor, diode, transistor হলো Non-Linear element

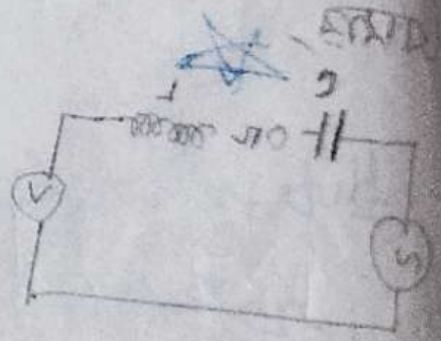
Load Line

Load Line is used to the circuits where non-Linear elements are present.

diode, transistor, capacitor, inductor যেখানে থাকে সেখানে Load Line used করা হয়।

Circuit এ KVL, KCL সহজে linear element থাকলে বাস্তব করা হয়, কিন্তু non-Linear element থাকলে সমস্যা করা হয়, কিন্তু Load Line KVL, KCL apply করার জন্য Load Line দরকার।

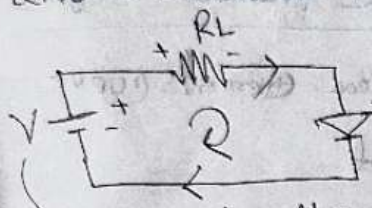




∴ Load Line,

$V_s = Z_1 + Z_2 + Z_3$

The graphical representation of (KVL) in a circuit containing a voltage source, resistance and a non-linear element.



V_D = the voltage across the diode

central voltage,

Applying KVL, $\boxed{V = IR}$

$\therefore V = I_D R_L + V_D$ — (i) forward bayas

(i) নং সমীকরণে, $V_D = 0$ হলে,

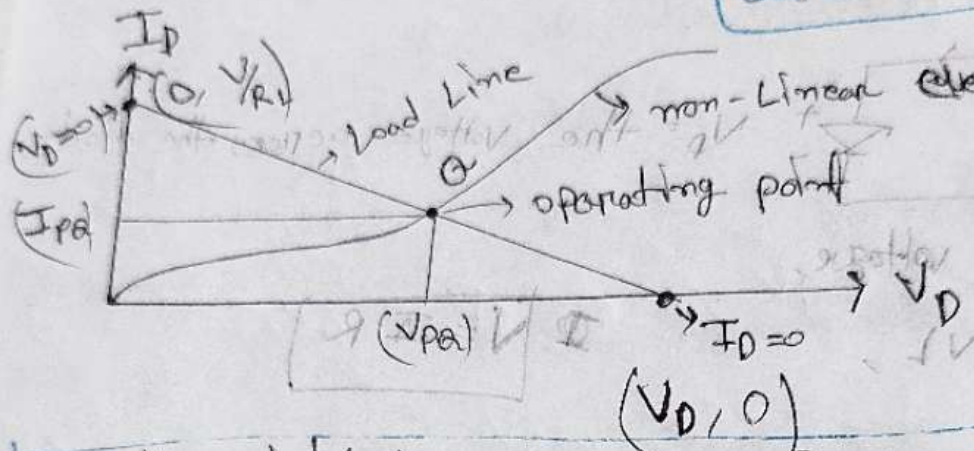
$V = I_D R_L$ — (ii)

(i) নং সমীকরণে, $I_D = 0$ হলে,

$V = V_D$ — (iii)

∴ একটি forward bayas এর মধ্যে I-V curve এর মধ্যে (i ও ii) নং সমীকরণের মান বসিয়ে পাই।

Diode forward bayas



Operating point (Q) ও Load Line শুধু non-Linear element এর forward bayas এর মধ্যে থাকে।

~~(I-D) curve (diode এর মধ্যে) প্রত্যেক~~

Diode এর forward bayas এর মধ্যে (I-V) curve এর প্রত্যেকটি point হলো operating point নির্দিষ্ট পরিমাণ কারেন্ট পেতে হলে ঐ Q point এর জন্য কি পরিমাণ voltage দিলে আমরা সেই পরিমাণ তড়িৎ পাবো তাকেই (Best operating point) বলে।

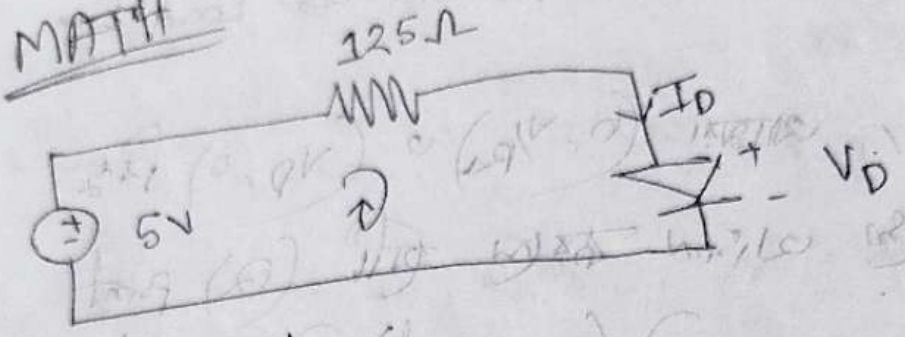
Best operating point পাওয়ার জন্য Load Line প্রয়োজন,

যেমন চিত্রে, আমরা $(0, V_{PQ})$ ও $(V_D, 0)$ বিন্দু বরাবর সরলরেখা আঁকন করলে যদি (Q) point উদ্দেশ করি। আমরা এই (Q point) কেই best operating point বলে থাকি ডায়োডের জন্য।

এবং সেই পিন্টি অনুযায়ী যদি আমরা V_{PQ} প্রদান করি তাহলে আমরা diode হতে I_{PQ} পরিমাণ তড়িৎ পাবো।

যদি এমন বলা হলে আমরা Q point (V_{PQ}, I_{PQ}) অর্থাৎ Q এর স্থানাঙ্ক পেয়ে যাবো।

MATH



applying KVL

$5 = (125 \cdot I_D) + V_D \Rightarrow 5 - V_D = 125 I_D$

$\Rightarrow I_D = -\frac{1}{125} V_D + \frac{1}{25}$

y = m x + c গুণ সাথে করলে পাই

$\boxed{m = -\frac{1}{125}, \; c = 1/25}$

(i) $V_D = 0$ হলে, $I_D = \frac{1}{25} = 40mA = 0.04A$

∴ y অক্ষের স্থানাঙ্ক, $y = (0, 0.04A)$

(ii) $I_D = 0$ হলে, $V_D = 5V$

∴ X অক্ষের স্থানাঙ্ক, $x = (5, 0)$

Signal দুই ধরনের হয়,

(i) Straight line (Pure DC current)

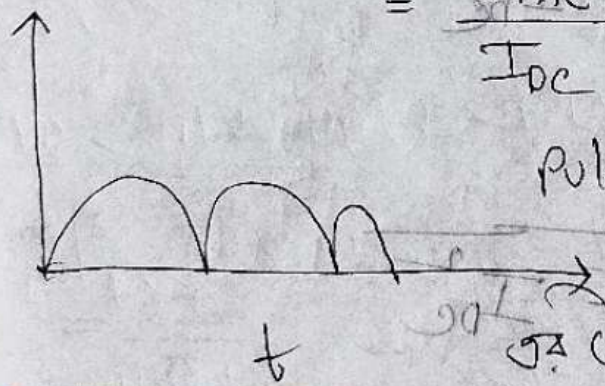
(ii) Sin, cosine, Line (AC or Pulsating DC)

Ripple factor :

একটি Rectifier কতটুকু পরিমাণ current output হয়, তার মধ্যে DC কারেন্টের পরিমাণ বুঝায়।

$$\therefore \text{Ripple factor} = \frac{\text{RMS value of } (I_{AC}) \text{ component}}{\text{Average value of } (I_{DC}) \text{ component}}$$

$$= \frac{I_{AC}}{I_{DC}}$$



Pulsating DC current এর মধ্যে AC ও DC এর মিশ্রণ বিদ্যমান থাকে

$$i = i_{AC} + i_{DC}$$

$$\therefore \boxed{i_{AC} = i - i_{DC}} \quad \text{(i)}$$

$\therefore$ RMS Value of AC components or I_{AC}

$$= \sqrt{\frac{1}{2\pi}\int_0^{2\pi} i_{AC}^2 \, d\theta} = \sqrt{\frac{1}{2\pi}\int_0^{2\pi} (i - i_{DC})^2 \, d\theta}$$

$$i_{AC} = i - i_{DC} \quad \text{(i)}$$

$$= \sqrt{\frac{1}{2\pi}\int_0^{2\pi} (i^2 - 2 i i_{DC} + i_{DC}^2) \, d\theta}$$

$$= \sqrt{\frac{1}{2\pi}\int_0^{2\pi} i^2 \, d\theta - \frac{1}{2\pi}\int_0^{2\pi} 2 i I_{DC} \, d\theta + \frac{1}{2\pi}\int_0^{2\pi} i_{DC}^2 \, d\theta}$$

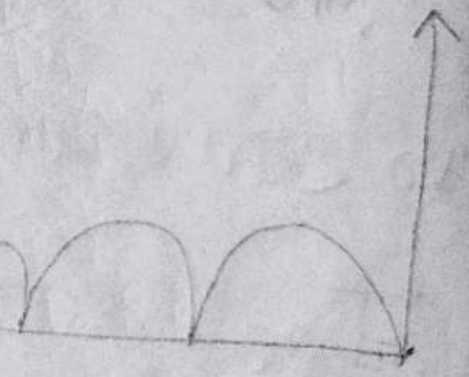
$$= \sqrt{I_{rms}^2 - 2 I_{DC} \cdot \frac{1}{2\pi}\int_0^{2\pi} i \, d\theta + \frac{1}{2\pi}\int_0^{2\pi} i_{DC}^2 \, d\theta}$$

$$= \sqrt{I_{rms}^2 - 2 I_{DC} \cdot I_{DC} + \frac{1}{2\pi} I_{DC}^2 \int_0^{2\pi} d\theta}$$

$$= \sqrt{I_{rms}^2 - 2 I_{DC}^2 + \frac{2\pi}{2\pi} I_{DC}^2}$$

$$= \sqrt{I_{rms}^2 - I_{DC}^2}$$

$$\therefore I_{AC} = \sqrt{I_{rms}^2 - I_{DC}^2}$$



$\therefore$ Ripple factor, $= \dfrac{I_{AC}\ (RMS)}{I_{DC}}$

$$= \frac{\sqrt{I_{rms}^2 - I_{DC}^2}}{I_{DC}} = \sqrt{\frac{I_{rms}^2 - I_{DC}^2}{I_{DC}^2}}$$

$$= \sqrt{\frac{I_{rms}^2}{I_{DC}^2} - 1}$$

$$\therefore \text{Ripple factor} = \sqrt{\frac{I_{rms}^2}{I_{DC}^2} - 1}$$

For half wave

$I_{rms} = \dfrac{I_m}{2}$

$I_{DC} = \dfrac{I_m}{\pi}$

$\therefore$ Ripple factor for Half wave

$$= \sqrt{\frac{\left(\frac{I_m}{2}\right)^2}{\left(\frac{I_m}{\pi}\right)^2} - 1} = \sqrt{\frac{\pi^2}{2^2} - 1}$$

$$= 1.211 = \boxed{121.1\ \%}$$

For full wave

$I_{rms} = \dfrac{I_m}{\sqrt{2}}$

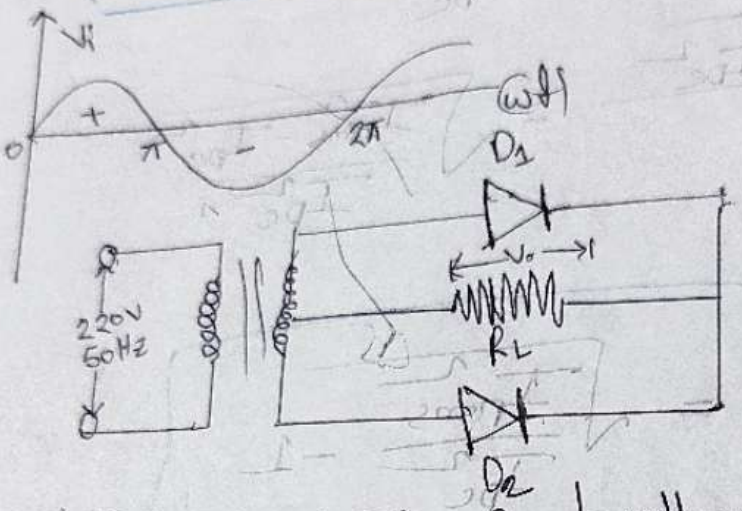
$I_{DC} = \dfrac{2I_m}{\pi}$

$\therefore$ Ripple factor for full wave

$$= \sqrt{\frac{\left(\frac{I_m}{\sqrt{2}}\right)^2}{\left(\frac{2I_m}{\pi}\right)^2} - 1} = \sqrt{\frac{\pi^2}{8} - 1}$$

$$= 0.48 = \boxed{48\%}$$

Centre tap full wave Rectifier



ট্রান্সফরমারের center থেকে একটি connection নেয়া হয়েছে বলে একে center tap Rectifier বলে।

ব্যাখ্যা: চিত্রে দেখানো হচ্ছে যে, input voltage 220V থেকে যখন আমরা Vm পাই তখন ঐ আমরা centre tap circuit এর মধ্যে Vm voltage পাই, এখানে D_1 ও D_2 দুই জায়গায় আছে এবং এদের মাঝখানে একটি Resistance (Load) আছে যেখানে maximum volt পাই (Vm). Load Resistance টি Transistor এ 3 number Loop এর মাঝে লাগানো আছে

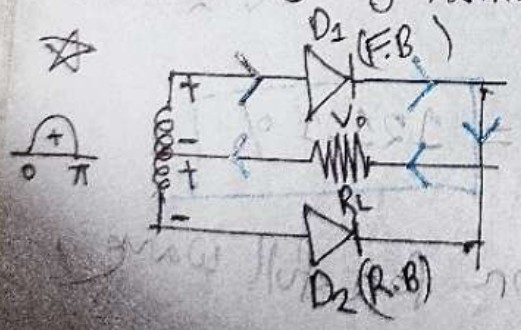


fig 1

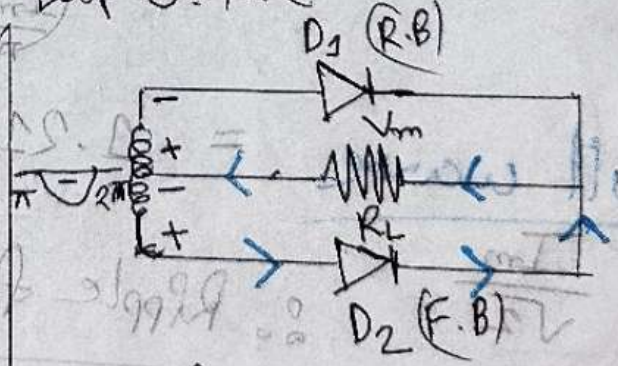


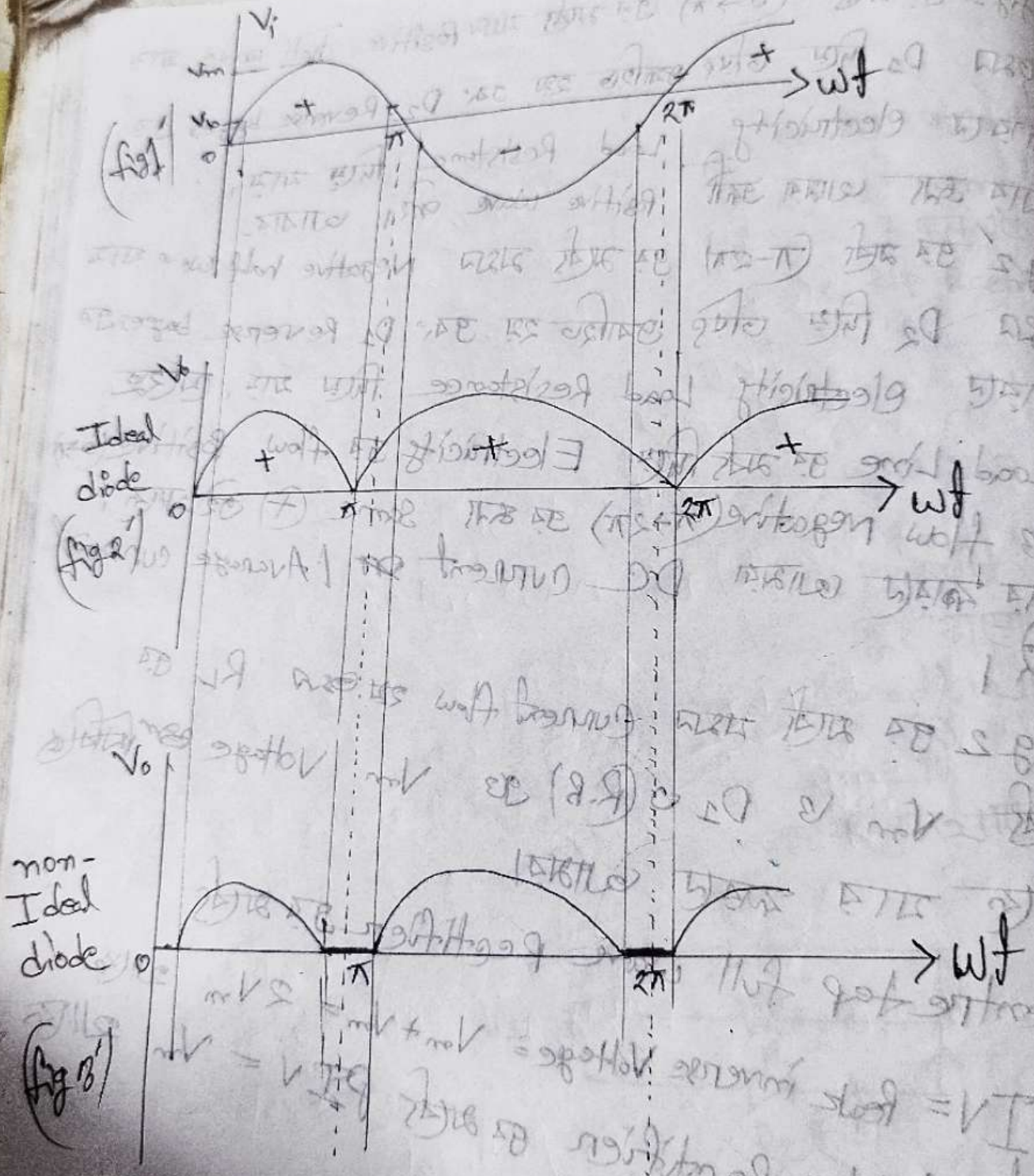
fig 2

fig 1 এর মধ্যে $(0 \to \pi)$ এর মধ্যে যখন Positive half wave যায় তখন D_1 দিয়ে তড়িৎ প্রবাহিত হয় এবং D_2 Reverse bayes এর কারণে electricity Load Resistance দিয়ে যায়। যার জন্য আমরা একটি Positive wave পাই। আবার fig 2 এর মধ্যে $(\pi - 2\pi)$ এর মধ্যে যখন Negative half wave যায় তখন D_2 দিয়ে তড়িৎ প্রবাহিত হয় এবং D_1 Reverse bayes এর কারণে electricity Load Resistance দিয়ে যায়, যেহেতু Load Line এর মধ্য দিয়ে Electricity এর flow Positive এবং flow Negative $(\pi \to 2\pi)$ এর জন্য Same (+) এই থাকে। যার কারণে আমরা DC current / Average current পাই।

fig 2 এর মধ্যে যখন current flow হয় তখন R_L এর মধ্যে V_m ও D_1 ও (R.B) এর V_m Voltage দিয়ে থাকে যার কারণে আমরা Centre tap full wave Rectifier এর মধ্যে

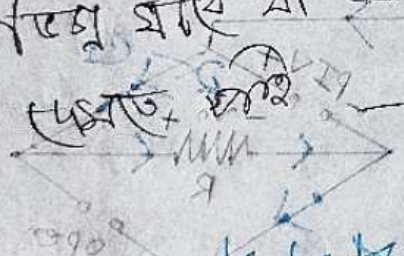
PIV = Peak inverse Voltage = $V_m + V_m = 2V_m$ থাকে।

But bridge Rectifier এর মধ্যে PIV = V_m থাকে।


V_i
V_m
V_0
0
π
2π
ωt
(fig 1)
V_0
Ideal diode
0
π
2π
ωt
(fig 2)
V_0
non-Ideal diode
0
π
2π
ωt
(fig 3)

ব্যাখ্যা: চিত্র (fig 1') হলো ~~[illegible]~~ input voltage (Vi) এর graph যা মূলত সাইন wave এর দেখায়।

(fig-2') এ আমরা output voltage এর চিত্র পাই যেখানে আধা সেমাইনের wave পাই। But বাস্তবে (fig3') এর wave graph পাই, কারণ (fig 1') অনুযায়ী V_b voltage এর বৃদ্ধি যখন ~~voltage পাবো তখন~~ voltage পাবো তখনই মনে positive pulse পাওয়া যাবে অথচ পাওয়া যাচ্ছে না। যার কারণে pulsating এর মাঝে কিছু ভাঙা অংশ চিহ্ন থাকে যা আমরা (fig3') এর মধ্যে দেখতে পাই

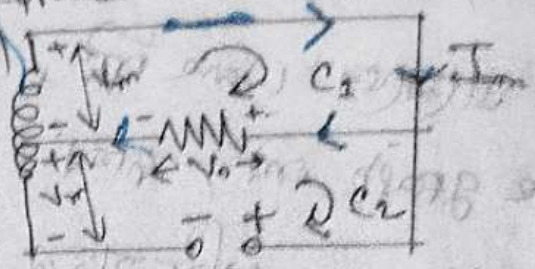


(ভাঙা অংশ চিহ্নিত)

(Center tap Rectifier এর মধ্যে voltage drope কম হয়। বেশি দামী Rectifier cause transistor এর মাঝে center tappin করে Load Resistance দেয়)

Peak inverse voltage (PIV) for ~~[illegible]~~ full wave centre tap & bridge Rectifier

C_1 = current



For center tap (सेंटर टैप)

C_1 ⊖ voltage loop लगाने पर,

$+V_m - V_o = 0$

$\Rightarrow \boxed{V_o = V_m}$

C_2 ⊖ voltage loop लगाने पर,

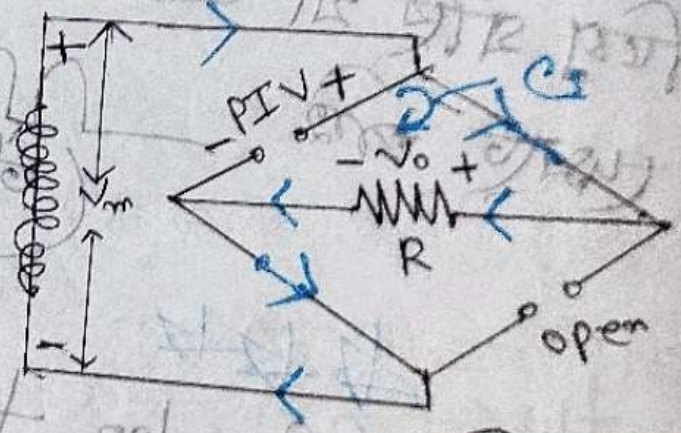
$PIV - V_m - V_o = 0$ $[V_o = V_m]$

$\Rightarrow \boxed{PIV = 2V_m}$ → "for center tap full wave Rectifier"

PIV

bridge Rectifier ⊖ voltage drop [illegible] then contribute

For [illegible] Bridge Rectifier



(V_m) (+) to (−) आने तक

voltage loop लगाने पर,

$V_m - V_o = 0$

$\Rightarrow \boxed{V_m = V_o}$

बाकी, C_1 loop ⊖ voltage loop लगाने पर,

$PIV - V_o = 0$

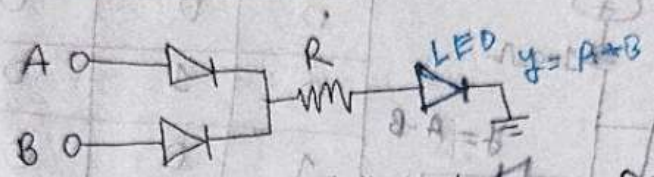
$\Rightarrow PIV = V_o$ $[V_o = V_m]$

$\Rightarrow \boxed{PIV = V_m}$ → "for bridge type full wave Rectifier."

[illegible] diode bridge Rectifier

Diode Logic Gates

① OR Gate



Truth table

0 = 0 volt
1 = +5 volt

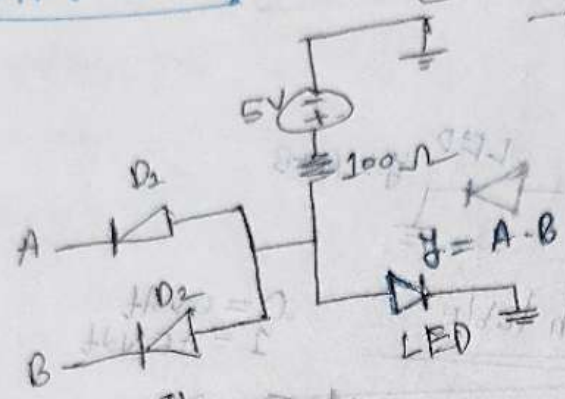
A	B	y = A+B	LED
0	0	0	off
0	1	1	ON
1	0	1	ON
1	1	1	ON

যখন A = 0 volt & B = 5 volt দেয়া হয় তখন circuit এর A এর diode off থাকলেও B diode দিয়ে 5 volt যায় যার কারণে আমরা LED তে আলো দেখতে পাই।

মূলত শুধু মাত্র যখন A ও B প্রত্যেক diode এ (0, 0) volt প্রদান করা হবে তখনই LED off থাকবে তা ছাড়া all time on থাকবে।

AND Gate

0 = 0V
1 = 5V



Truth table

A	B	y = A·B	LED
0	0	0	off
0	1	0	off
1	0	0	off
1	1	1	ON

ব্যাখ্যা (i) যখন A = 0V B = 0V থাকবে তখন যেহেতু 5V থাকে তখন আমরা জানি electricity High to Low voltage এ যায় সেই কারণে LED off থাকবে কারণ current A & B প্রান্তে চলে যাবে।

(ii) A = 0V B = 5V থাকলে High to Low voltage আমাকে কাজ করবে আমাদের forward bayas হবে But (B) প্রান্তে 5 volt থাকায় যেহেতু voltage different সেই জন্য electricity pass হবে না Reverse bayas হিসাবে কাজ করবে তাই LED zero থাকবে

(iii) A = 5V & B = 0V থাকলেও LED zero থাকবে (ii) নং এর মত

(iv) যখন A = 5V, B = 5V থাকবে তখন আগত volt এর potential different থাকবে যার কারণে A,B Reverse bayas হিসাবে কাজ করে। এবং LED তে electricity যায় এবং এটি (ON) হয়।

Physics Department

Md. Emon

Roll: 270091

Session: 2020-2021

Subject: PHA (202) (Electronics 1) (FFN)

MD. EMON
Dept. PHYSICS
PHA-202

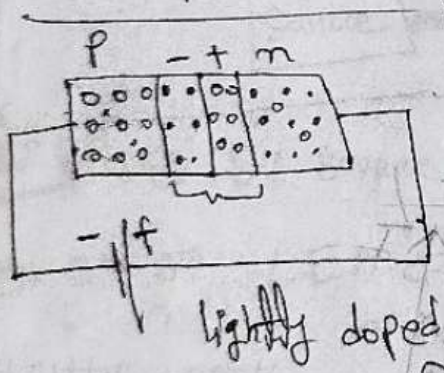
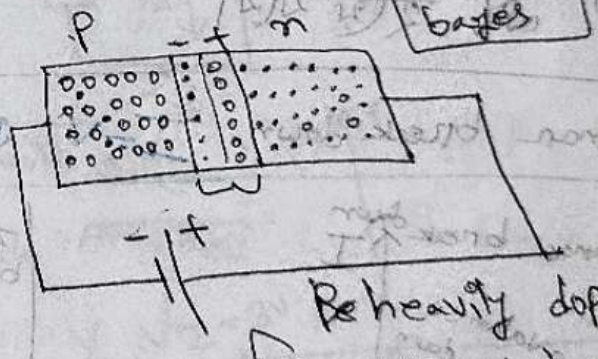
2

Zener diode as a Voltage Regulator

A zener diode is heavily doped p-n junction diode which is specially designed to operate in the breakdown region is known as zener diode.

একটি p-n junction এ যখন অতিমাত্রায় doping করা হয় তখন সেই p-n junction কে zener diode বলে।

Comparison

Normal p-n junction	Zener diode
	
lightly doped	Be heavily doped
⊛ এখানে doping কম পরিমাণের করা হয়েছে	⊛ এখানে, বেশি মাত্রায় doping করা হয়েছে।
⊛ depliction layer বেশি (d)	⊛ depliction layer কম (d),
⊛ Voltage বাড়ালে, P-type এর minority carrier (e^-) এর সংখ্যা বেড়ে যায় এবং depliction layer এর e^- কুলোতে	⊛ Voltage বাড়ালে মূলত, depl এখানে Electric field কাজ করে। আইডিয়ে

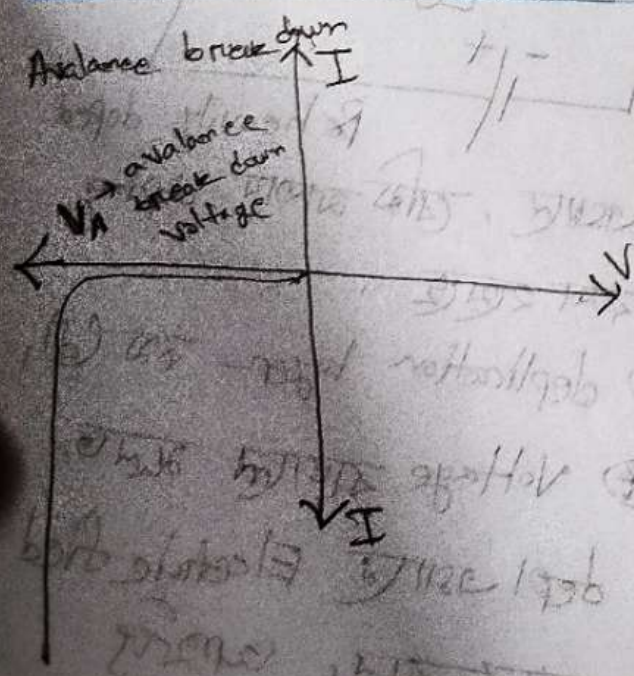
দিয়ে ধাক্কা দেয় এবং ধাক্কা খাওয়া e^- গুলো আবার পেছনের e^- গুলোকে ধাক্কা দেয় ফলে প্রচুর পরিমাণ তড়িৎ প্রবাহিত এবং diode নষ্ট হয়ে যায় একেই Avalance Break down বলে।

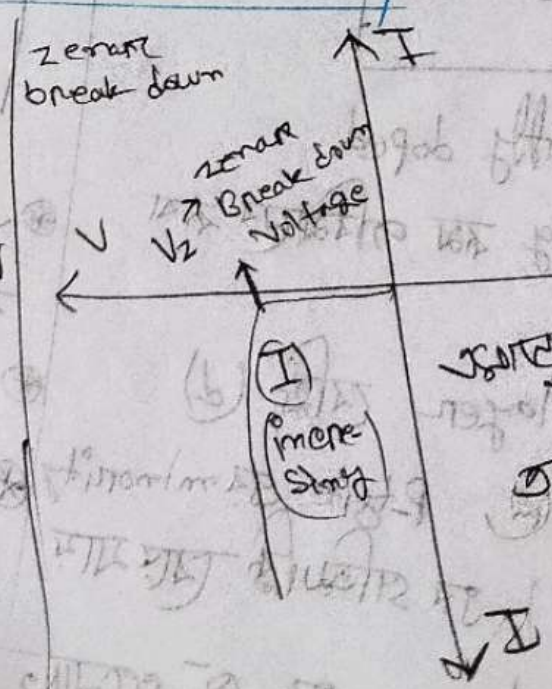
* Avalance Break down হতে হলে Voltage বেশি লাগে, কারণ এখানে doping কম করা হয়েছে।
* নষ্ট হয়ে যায়।

($V = E.d$) এখানে Voltage খুব কম Electric field তৈরি করে, যার কারণে depliction layer এর মধ্যে সেই semiconductor element এর bonding থাকে, সেই bonding break হয়ে e^- বের হয়ে আসে এবং তড়িৎ প্রবাহিত হয়, একেই Zener break down বলে।

* কম Voltage হলেই break down হয়
* নষ্ট হয় না।

Zener break down, I-V Characteristic





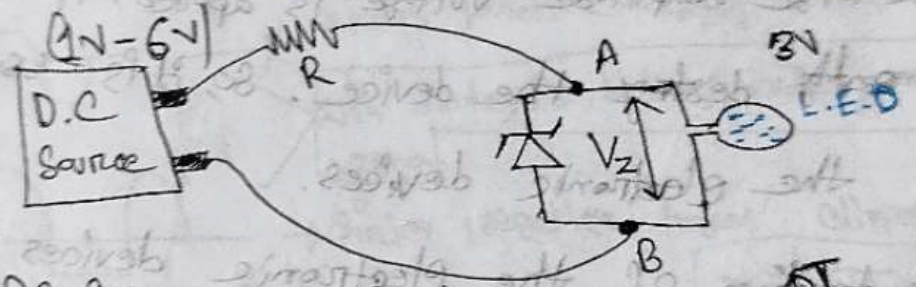
এখানে V constant এবং I বৃদ্ধি পাচ্ছে।

I-V graph দেখে বুঝা যায় খুব কম পরিমাণ voltage পেলেই Reverse bayas এ zener diode break down হয়ে যায়, ~~ব্যাক~~ তারপর voltage constant থাকে এবং Electricity বাড়তে থাকে, ~~এবং cons~~

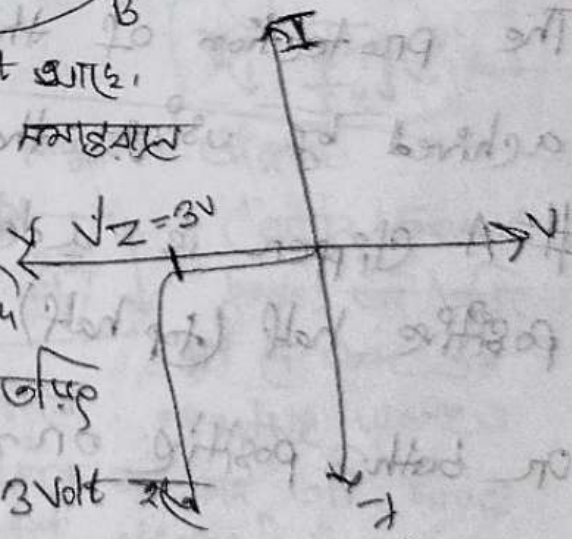
$$\boxed{\text{Votage} = \uparrow I}$$

এখানে বুঝা যাচ্ছে যে, তড়িৎ প্রবাহ যতই বাড়ানো হোক না কেন Zener diode এর Voltage constant থাকে, যার কারণে একে Voltage Regulaton হিসাবে ব্যবহার করা হয়

Ex:



ব্যাখ্যা: চিত্রে, DC Source হতে (1-6) volt আছে। যা 3V এর LED এবং Zener diode সমান্তরালে লাগানো হয়েছে। Source হতে যদি 3V এর নিচে volt আসে তাহলে তড়িৎ LED দিয়ে প্রবাহ হবে কিন্তু যদি 3volt হবে বেশি আসে তাহলে Zener diode Resistan এর মধ্যে Potenstial drop তৈরী করবে এবং constant voltage থাকবে



~~L.ED এর দুই প্রান্ত~~
এখানে A&B দুই প্রান্তের potential different constant
এখানে voltage constant রাখতে সাহায্য করে Zener
diode কে Voltage Regulator বলা হয়।

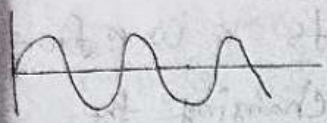
Clipper Circuit

Electronic device are very sensetive to voltage. If a large amplitude voltage is applied, it may permanently destroy the device. So, it is used to protect the electronic devices.

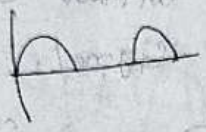
The protection of the electronic devices can be achived by using the clipper circuit.

A clipper is a device that removes either the positive half (top half) or negative half (bottom half) or both positive or negative halves.

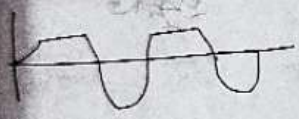
Clipper মানে circuit এর wave এর আকার পরিবর্তন করে যাতে কোনো device নষ্ট না হয়।


এটি একটি circuit এর মধ্যে wave

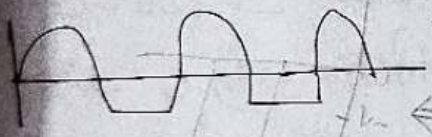
After clipper,

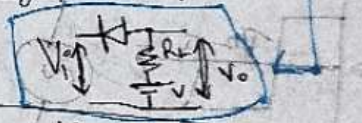

→ Negative clipper (Negative wave বাদ যাবে)

→ Positive clipper (positive wave বাদ যাবে)

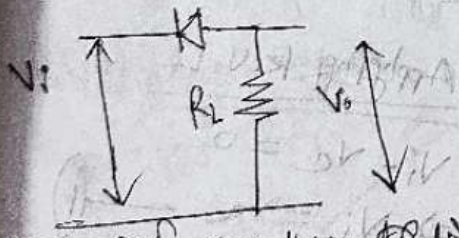

→ Sines positive bayes clipper

যদি diode, R_L, battery sines এ থাকে


→ Sines negative bayes clipper

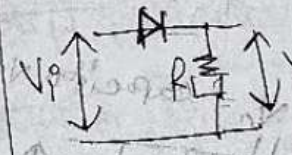


Sines positive clipper



এখানে, শুধু negative wave পাওয়া যাবে, কারণ এটি Reverse bayes এর উপর ভিত্তি করে কাজ করে

Sines negative clipper



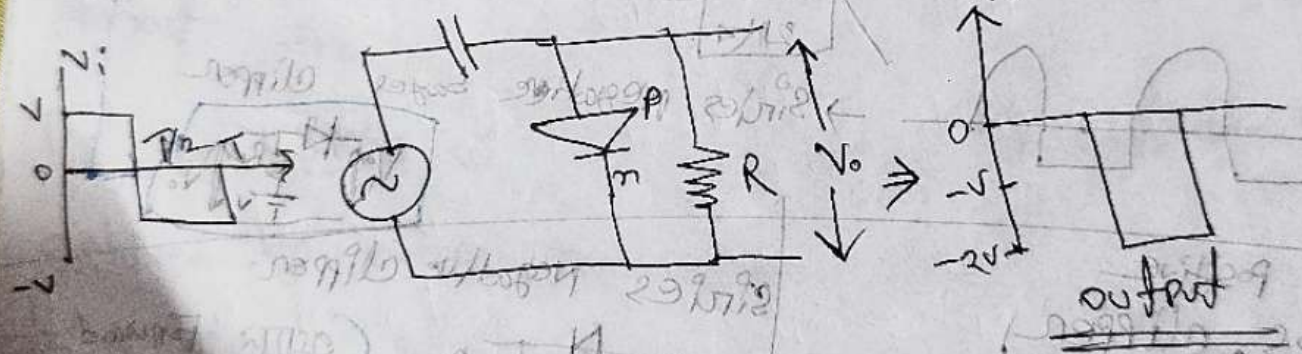
(এখানে Forward bayes এর উপর ভিত্তি করে শুধু (+) wave এর কাজ পাবো, negative wave এ (−) থাকবে না তাই এটি Sines negative clipper)

diode ও R_L (Load Resistance) Sines এ লাগালে তাকে বলে Sines clipper

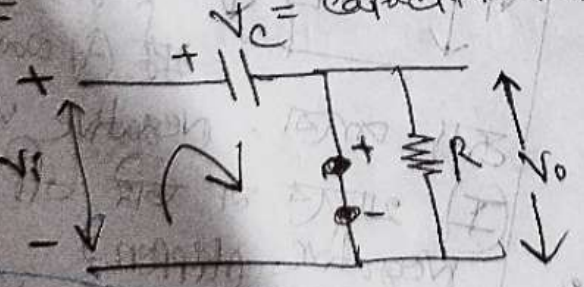
Clamper circuit

A clamper is a network constructed of a diode, a resistor & a capacitor that shifts a waveform to a different DC Level without changing the appearance of the applied signal.

Clamper হলো এমন এক সার্কিট যার মধ্যে থাকবে একটি diode, capacitor ও রোধ থাকবে কিন্তু তার আকার Signal এর Amplitude বড় করবে but তার আকৃতি পরিবর্তন করবে না।



Case 1



Applying K.V.L

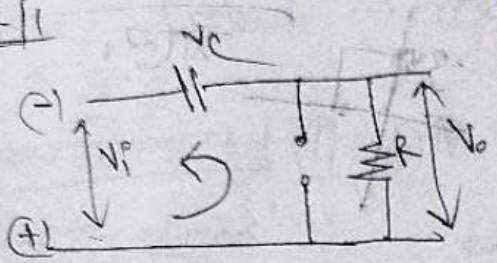
$V_i - V_c = 0$

$\Rightarrow V_i = V_c$ —— (1)

Circuit টি forward bias এ থাকে তখন

Current diode দিয়ে প্রবাহিত হয় এবং Capacitor ও Charge হতে থাকে, যার কারণে input voltage ও output voltage সমান থাকে।

Case 2 :



for negative clamper

Applying KVL

$-V_i - V_c - V_o = 0$

$\Rightarrow \boxed{V_o = -2V_i}$ $[V_c = V_i]$ from (1) নং equation

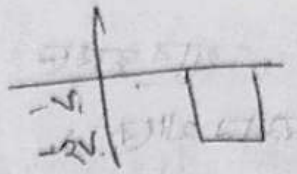
বাকিটা এখানে, যখন Reverse bayas হয় তখন current diode দিয়ে না গিয়ে গিয়ে Resistance দিয়ে যায়, যার কারণে আমরা $V_{output} = -2V_i$ for negative cycle ও পেয়ে থাকি।

কিন্তু বলতে হবে, যখন diode off হয়েছে। তখন Capacitor discharge হয়নি। cause Capacitor discharge হলে, আমরা $\boxed{V_o = -2V_i}$ (Proved) পেতাম না।

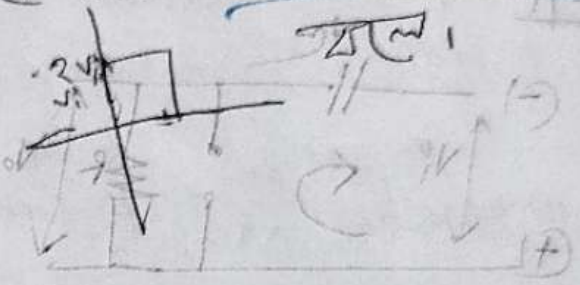
Clampers

- Positive clampers
- Negative clamper

waveform নিচের দিকে সরালে তাকে negative clamper বলে।



waveform উপরের দিকে হলে তাকে positive clamper বলে।



Transistor

When a ~~thirdd~~ third doped element is added to a crystal diode in such a way that two PN-junction are formed, that resulating device is called transistor

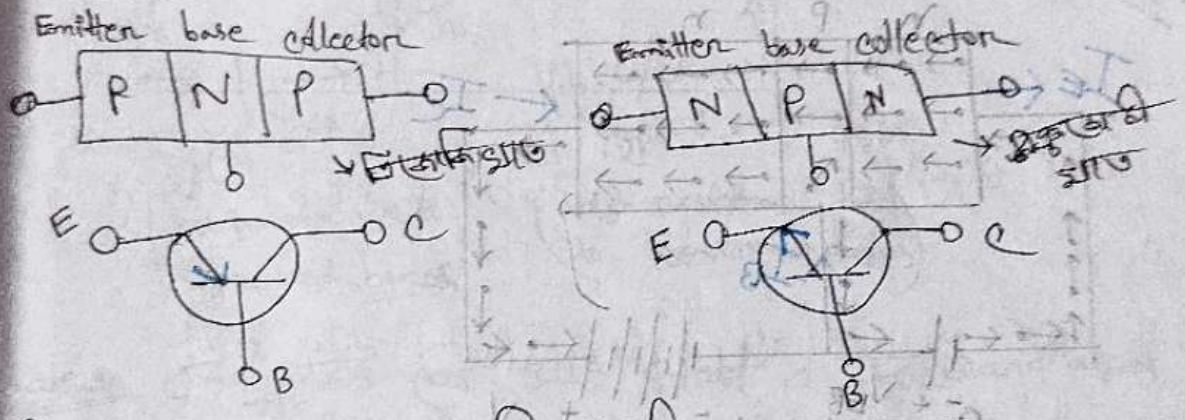
Transfer resistance = Transistor.

যখন একটি P-N junction এর সাথে আরেকটি doping করা পদার্থ add করা হয় তখন তাকে Transistor বলে।

Transistor have 3 terminals

(i) Emitter (নিঃ সারক) → Highly doped
(ii) collector (সং গ্রাহক) → lightly doped
(iii) base (ভূমি) → moderate doped

Transistor দুই ধরনের। (i) PNP (ii) NPN



(i) Emitter এ গ্রাফের পরিমান বেশি
(ii) base এর গ্রাফের পরিমান Emitter ও collector এর থেকে কম।
(iii) Collector এ গ্রাফের পরিমান base ও Emitter এর গ্রাফের পরিমানের যোগ এর সমান।

Size ratio

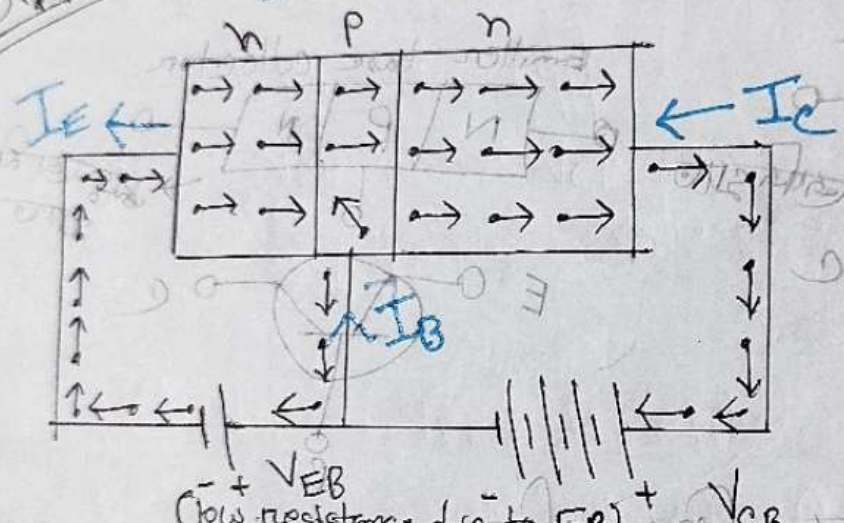
Collector > Emitter > Base

PNP তার ক্ষেত্রে majority carrier hole, minority carrier electron.

NPN তার ক্ষেত্রে majority carrier electron, minority carrier hole.

Transistor Action

① npn

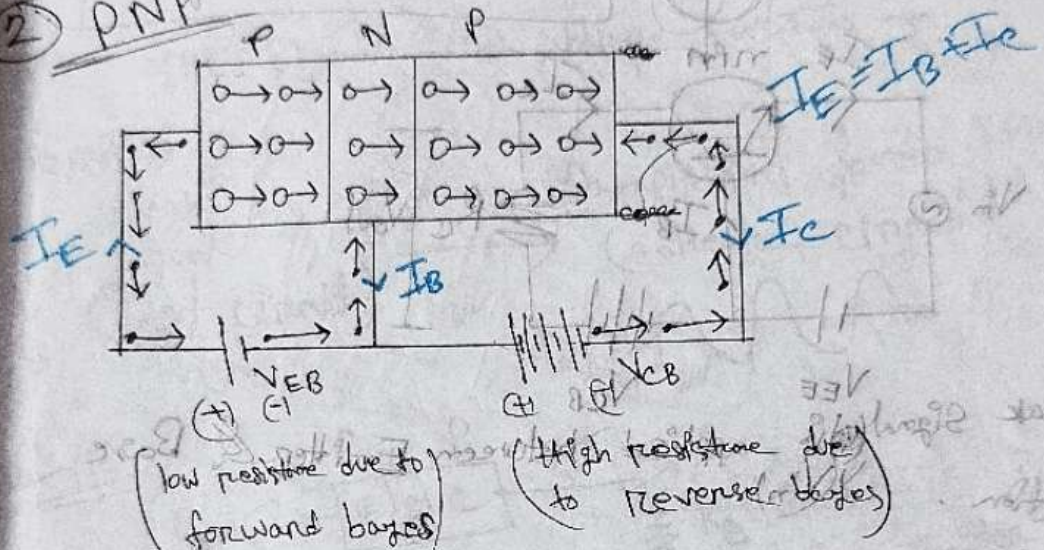


$\therefore I_C + I_B = I_E$

বর্ণনা: npn transistor এর মধ্যে V_{EB} = Emitter Base voltage Low থাকে এবং সেখানে forward bayes এর জন্য প্রবাহিত হয়। V_{EB} হতে I_B (Base current) P junction এ যুক্ত এবং (Emitter current) I_E দিয়ে বের হয়, আবার V_{CB} (collector base voltage) এর কারণে (I_C)

Collector current গ্রহণ করে, কারণ সেখানে Reverse bayes কাজ করে।

② PNP



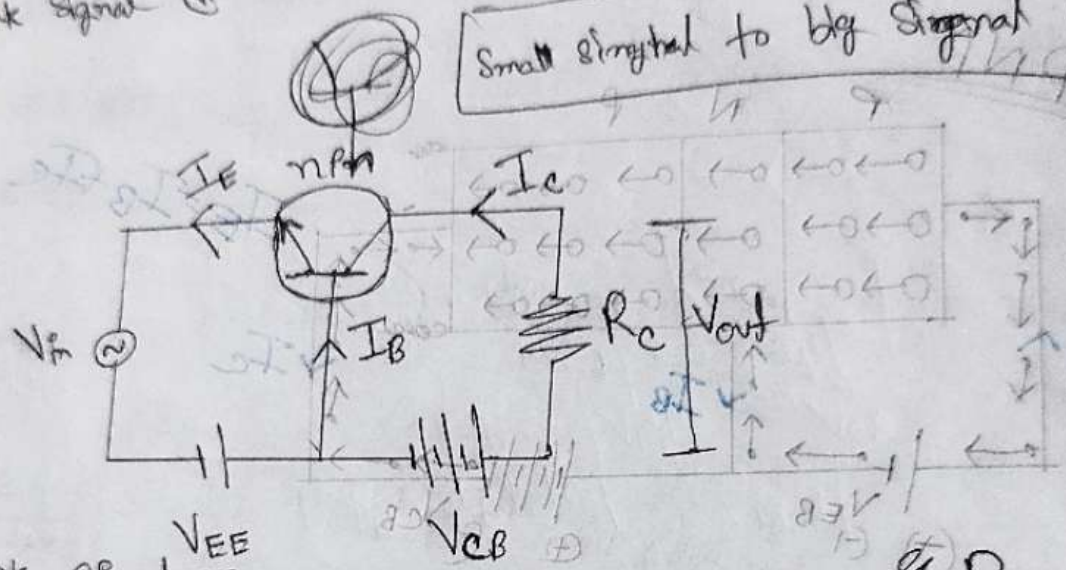
Case ১ এর মতো, এখানে first ও Forward bayes এ I_E দিলে এর I_B বাইরে যাবে। এবং I_C তৈরি হবে।

Just Voltage pole & transistor Change হয়েছে।

Transistor as an Amplifier

Weak signal কে মূলত Strong signal এ রূপান্তর করে।

Small signal to big signal



① Weak signal (V_{in}) is applied between Emitter & Base junction.

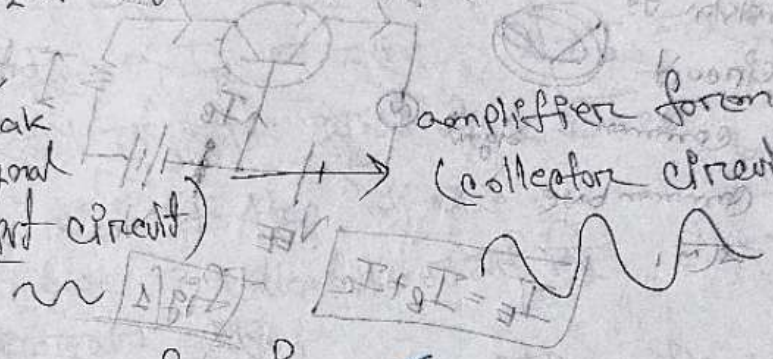
② a DC voltage (V_{EE}) is applied in the input circuit to keep it always forward bayes.

③ output taken across the load resistance R_C connected in the collector circuit.

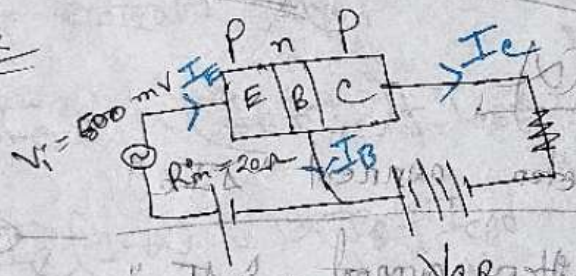
কারণ বলপ্রয়োগ circuit এ মূলত কোনো resistance নাই অর্থাৎ Low Resistance, যার কারণে, সেখানে অল্প মাত্রার voltage থাকে এবং সেখানে সেই voltage এর সমান I_E

emitter ও তড়িৎ প্রবাহিত হয়। প্রবাহিত হলে emitter এর তড়িৎ বলতে collector দিয়ে I_c বের হয় তখন সেখানে ~~বিরাট~~ বড় মানের রোধ R_c এর সাথে ~~result~~ multiply হয়ে ছোট signal এর voltage ও পরিবর্তন হয়।

অর্থাৎ,



Example



I_E = Emitter current
I_B = Base current
I_C = Collector current

Input current, $I_E = \frac{V_i}{R_{in}} = \frac{500\,mV}{20\Omega} = 25\,mA$

$I_E = I_C = 25\,mA$ হবে

output voltage, $V_o = I_C \times R_C$
$= 25 \times 1000\,\Omega$ mA
$= 25V$

∴ V_i ছিল 500mV, $V_o = 25V$

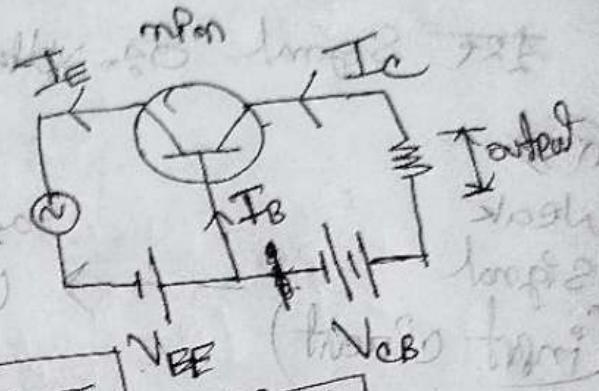
∴ Voltage amplification, $A_v = \frac{V_{out}}{V_{in}} = \frac{25V}{500mV} = 50V$

অর্থাৎ, [ক্ষুদ্র মানের বিভবকে এই ভাবেই বড় বিভব তৈরী করে Amplifier]

Transistor connection

(1) Common Base connection (CB)

যে Transistor এর দুই পাশের circuit এর Base common থাকে তাকে common base circuit বলে।



$$I_E = I_B + I_C$$

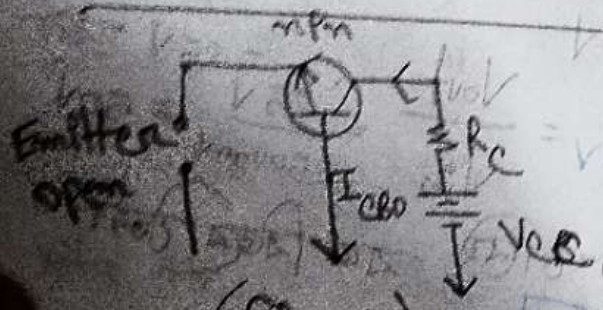
fig 1

Current Amplification (α)

$$\alpha = \frac{\text{Change in collector current } \Delta I_C}{\text{Change in Emitter current } \Delta I_E} \quad \text{—— (1)}$$

Value of "α" < 1 or "α" $= 1$

Expression for collector current (I_C)



(fig 2)

* Base দিয়ে যেসব অতিরিক্ত Leakage হয়েছে তাকে Leakage current (I_{CBO}) বলে।

collector current

∴ I_C = Emitter current that reaches the collector terminal (+) the leakage current.

$$\Rightarrow \boxed{I_C = \alpha I_E + I_{CBO}} \quad \text{—— (2)}$$

$\alpha = \frac{I_C}{I_E}$

$\Rightarrow I_C = \alpha I_E$

I_{CBO} = collector base current with open Emitter

এখানে $I_C = \alpha I_E$ এর সাথে I_{CBO} যোগ হয়, কারণ যখন fig 2 এর মধ্যে তথা Emitter off থাকে তখন Base ও collector এর মধ্যে কিছু তড়িৎ প্রবাহমান থাকে।

$$\Rightarrow I_C = \alpha(I_B + I_C) + I_{CBO}$$

from fig 1 $I_E = I_B + I_C$

$$\Rightarrow I_C(1-\alpha) = \alpha I_B + I_{CBO}$$

$$\Rightarrow \boxed{I_C = \left(\frac{\alpha}{1-\alpha}\right) I_B + \left(\frac{1}{1-\alpha}\right) I_{CBO}} \quad \text{—— (3)}$$

→ collector current when Base is common connection.

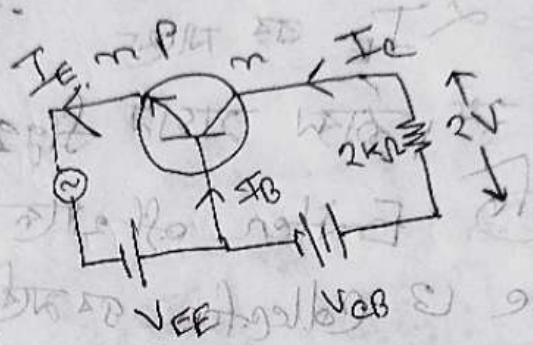
(2 & 3) number equation are used to find collector current (I_C)

(I_{CBO} কে Leakage current বলে।)

MATH

In a common base connection, $\alpha = 0.95$. The voltage drop across $2k\Omega$ resistance which is connected in the collector, is 2V. Find the base current.

$\alpha = 0.95$
$R_C = 2k\Omega$
$V_C = 2V$



আমরা জানি,

$$I_C = \frac{V_C}{R_C} = \frac{2}{2\times10^3} = 1mA$$

we know, $\alpha = \frac{I_C}{I_E} \Rightarrow 0.95 = \frac{I_E}{1mA} = \frac{1mA}{0.95} = 1.05mA$

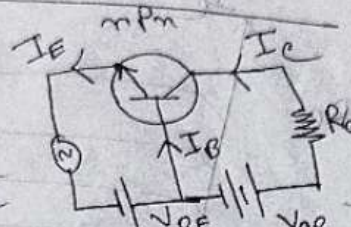
$\therefore$ Base current, $I_E = I_C + I_B$

$\Rightarrow I_B = I_E - I_C = (1.05 - 1)mA$

$\Rightarrow I_B = 0.05mA$

Characteristic of common Base connection

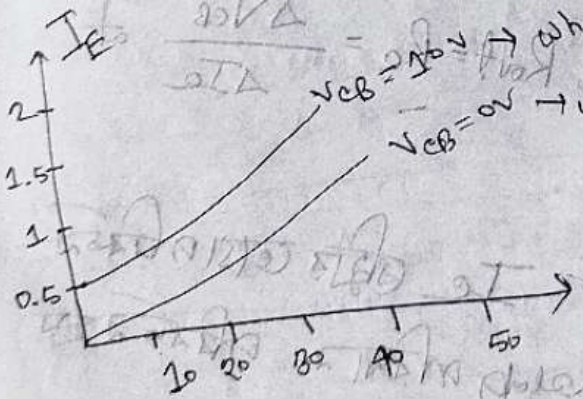
(A) Input characteristic



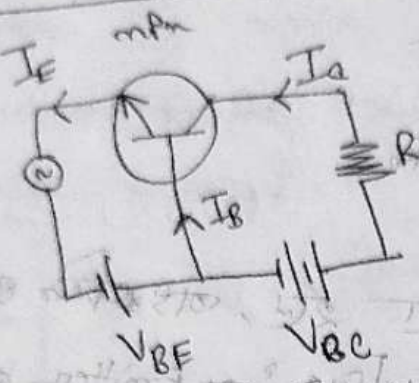
(i) সামান্য পরিমাণ Emitter-base voltage বাড়ালে, তাড়াতাড়ি হারে (I_E) Emitter-এ অধিক প্রবাহ বেড়ে যায়। [কেননা: input Emitter এর input Resistance is small]

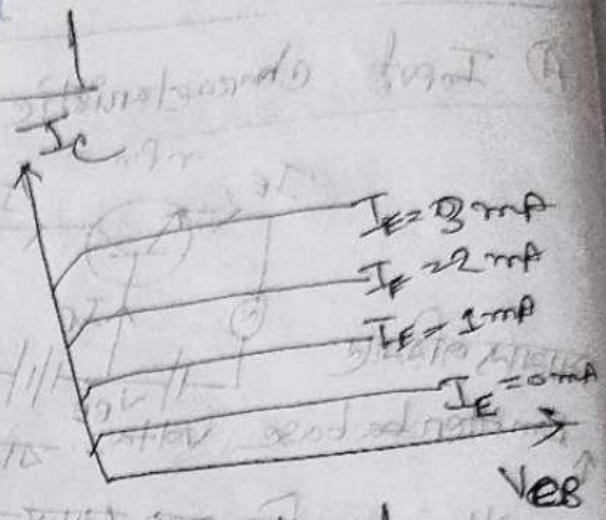
(ii) "I_E" is almost independent of collector-base voltage "V_{CB}". [একটি V_{CB} বসালে বা কমালে I_E এর উপর কোনো প্রভাব ফেলে না]

(iii) Input Resistance, $R_i = \frac{\Delta V_{BE}}{\Delta I_E}$ [When V_{CB} = constant]
→ Base Emitter
collector Base



(B) Output characteristic





(i) 'Ic' varies (পরিবর্তন হয়) with V_{BC} only at low resistance

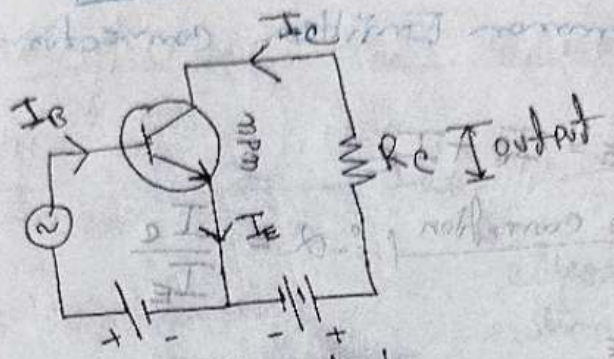
(ii) A very change in 'VCB' produces only a tiny change in Ic।

(iii) 'Ic' becomes independent of 'VCB' and depends only 'IE'।

(iv) Output Resistance, $R_{out} = R_C = \frac{\Delta V_{CB}}{\Delta I_C}$ at constant I_E।

বিঃদ্রঃ এখানে I_E এর জন্য Ic এর মধ্যে তারতম্য হয় এবং (Ic) এর তারতম্য পরিমাণ পরিবর্তন হয় V_{BC} এর জন্য।

Common Emitter Connection



Current amplification factor

$$\beta = \frac{\Delta I_C}{\Delta I_B} = \frac{\text{Change in collector current "}\Delta I_C\text{"}}{\text{Change in Base current "}\Delta I_B\text{"}}$$

Value of β = 20-500. This type of connection is frequently (সচরাচর) used as it gives current gain (বর্তনী) as well as Voltage gain.

Relation between β, α

$$\alpha = \frac{\Delta I_C}{\Delta I_E}, \quad \beta = \frac{\Delta I_C}{\Delta I_B}$$

we know,

$$\Delta I_E = \Delta I_B + \Delta I_C$$

$$\Rightarrow \Delta I_B = \Delta I_E - \Delta I_C \quad \therefore \beta = \frac{\Delta I_C}{\Delta I_B} = \frac{\Delta I_C}{\Delta I_E - \Delta I_C}$$

$$\Rightarrow \beta = \frac{\Delta I_C / \Delta I_E}{\frac{\Delta I_E}{\Delta I_E} - \frac{\Delta I_C}{\Delta I_E}} = \frac{\alpha}{1-\alpha}$$

$$\boxed{\therefore \beta = \frac{\alpha}{1-\alpha}}$$

Expression for collector current in common Emitter connection

We know, $I_E = I_B + I_C$

From Common Base connection, $\therefore \alpha = \frac{I_C}{I_E}$

$\Rightarrow I_C = \alpha I_E$

$\therefore$ when the Emitter is open, collector current will be,

I_C = Emitter current that reaches the collector terminal + leakage current when emitter is open

$\Rightarrow I_C = \alpha I_E + I_{CBO}$ [I_{CBO} = Collector Base current when emitter is open

$\Rightarrow I_C = \alpha (I_B + I_C) + I_{CBO}$

$\Rightarrow I_C (1-\alpha) = \alpha I_B + I_{CBO}$

$\Rightarrow I_C = \left(\frac{\alpha}{1-\alpha}\right) I_B + \left(\frac{1}{1-\alpha}\right) I_{CBO}$ — (1)

in common ~~emitter~~ emitter connection, when the base is open. The collector current will be,

$$I_{CEO} = \frac{1}{1-\alpha} I_{CBO} \quad \text{—— (ii)}$$

I_{CEO} → collector Emitter current when ~~Emitter~~ base is open

I_{CBO} → collector base current when Emitter is open.

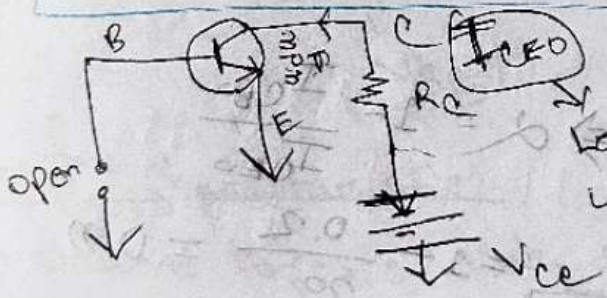
And, the relation of (α, β) is

$$\beta = \frac{\alpha}{1-\alpha} \quad \text{—— (iii)}$$

Putting (ii, iii) equation value in equation (1)

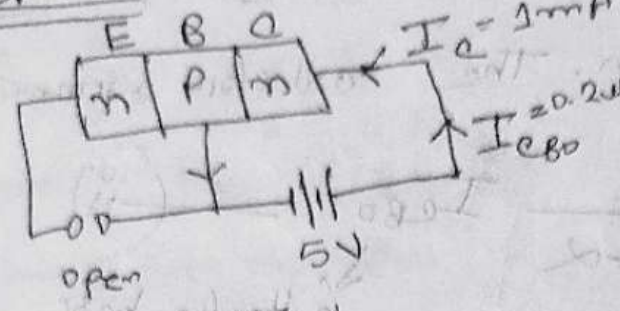
$$\boxed{I_C = \beta . I_B + I_{CEO}}$$

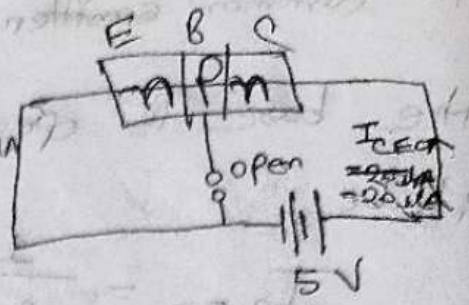
→ collector current when Emitter is common connection



I_{CEO} → Leakage current when Base is open

Question





Find α, I_E, I_B

আমরা জানি, for first ~~ckt~~ circuit

যদি Emitter open থাকে তাহলে collector current,

$$I_C = \alpha I_E + I_{BCO} = \alpha(I_B + I_C) + I_{CBO}$$

$$\Rightarrow I_C = \frac{\alpha}{1-\alpha} I_B + \frac{1}{1-\alpha} I_{CBO} \quad \text{--- (i)}$$

$\beta = \frac{\alpha}{1-\alpha}$ হলে, (i) নং equation হবে,

$$\Rightarrow I_C = \beta I_B + I_{CEO} \quad \text{--- (ii)}$$

$$\therefore \frac{1}{1-\alpha} I_{CBO} = I_{CEO}$$

$$\Rightarrow 1-\alpha = \frac{I_{CBO}}{I_{CEO}} \Rightarrow \alpha = 1 - \frac{I_{CBO}}{I_{CEO}}$$

$$= 1 - \frac{0.2}{20} = 0.99$$

$$\Rightarrow \boxed{\alpha = 0.99}$$

আবার, $I_C = \alpha I_E + I_{CBO}$

$\Rightarrow I_E = \frac{I_C - I_{CBO}}{\alpha} = \frac{1mA - 0.2\mu A}{0.99}$

$I_E = 1009.89\ \mu A$

1 metre = 1000 millimetre

1 mili = 1000 μmetre

1 meter = 10^6 μmetre

$I_E = I_B + I_C$

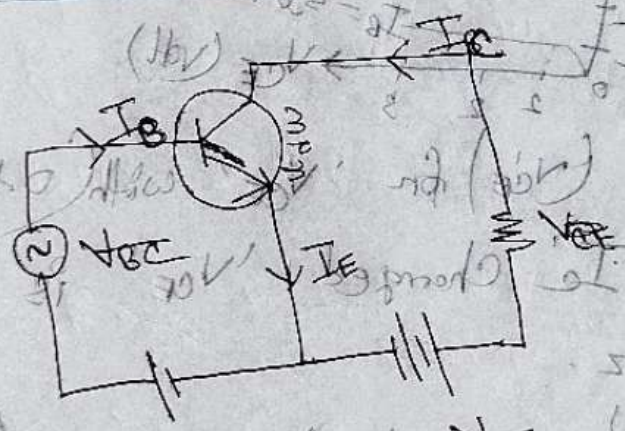
$\Rightarrow I_B = I_E - I_C$

$= (1009.89 - 1000)\ \mu A$

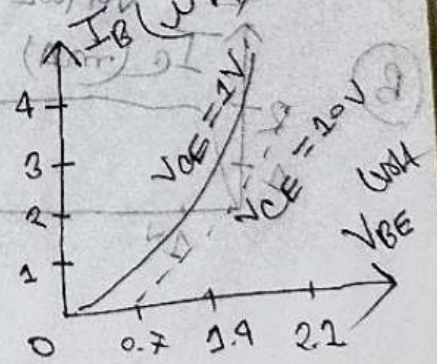
$= 9.89\ \mu A$

(বিস্তারিত)

Characteristics of common Emitter connection



$V_{BE} = V_{CE}$



Input Characteristic

(A) forward bayes a diode এর মতো

I-V curve increase পায়।

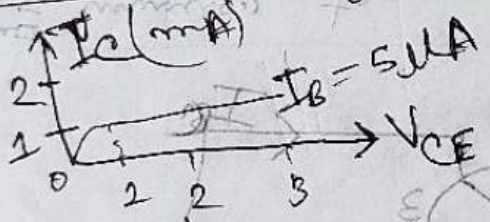
(B) "I_B" increase Less rapidly with (V_{BE}) voltage

অর্থাৎ (V_{BE}) Volt বাড়ালে I_B তাড়াতাড়ি প্রবাহ আর করা হয়ে বাড়ে। এবং V_{BE} কম দিলে V_{CE} অনেক বৃদ্ধি পায় অর্থাৎ এটি Amplifier হিসাবে কাজ করে।

(C) input Resistance $R_i = \frac{\Delta V_{BC}}{\Delta I_B}$ what "V_{CE}" constant.

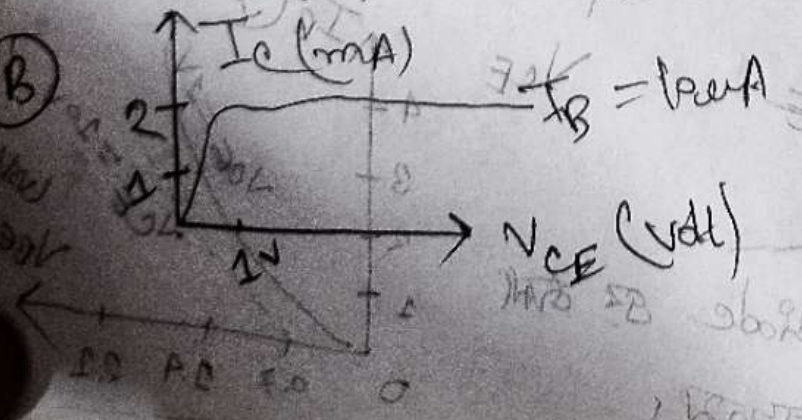
Output Characteristic :

(A) I_C (Varies)



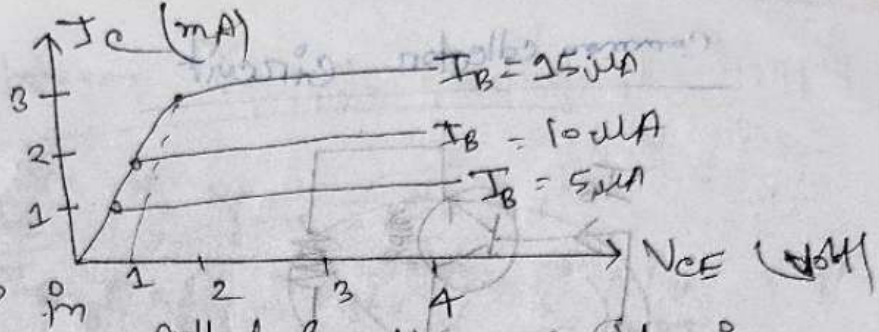
পরিবর্তন হয় with (V_{CE}) for "V_{CE}" with (0 to 1) volt only. I_C Changed "V_{CE}" is called knee voltage.

(B)

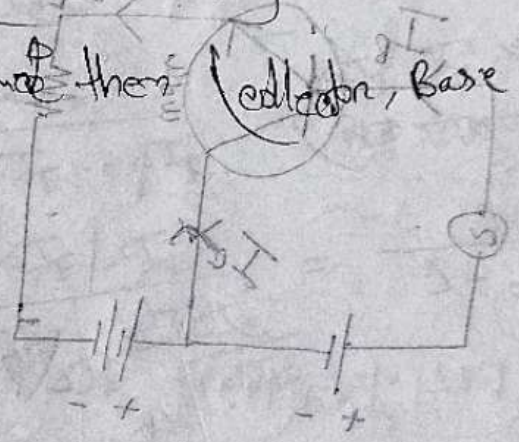


$R_{output} = \frac{\Delta V_{CE}}{\Delta I_C}$ at I_B Constant

(c)

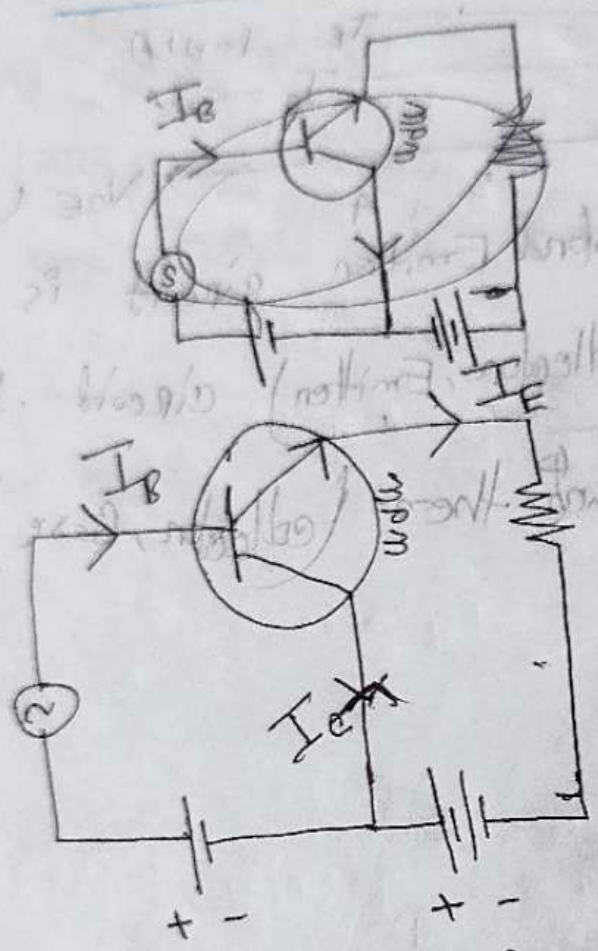


The slop in Collector Emitter circuit is noticable that (Collector, Emitter) circuit has R_o has less Resistance then (collector, Base) R_i Resistance.



$$\frac{\Delta I_C}{\Delta I_B} = \gamma$$

Common collector circuit



∴ Current amplification factor,

$$\boxed{\gamma = \frac{\Delta I_E}{\Delta I_B}}$$

Relation between γ and α

$$\alpha = \frac{\Delta I_C}{\Delta I_E}, \quad \gamma = \frac{\Delta I_E}{\Delta I_B}$$

$$\Rightarrow I_E = I_B + I_C \Rightarrow \Delta I_E = \Delta I_B + \Delta I_C$$

$$\Rightarrow \Delta I_B = \Delta I_E - \Delta I_C$$

$$\Rightarrow \frac{\Delta I_E}{\Delta I_B} = \frac{\Delta I_E}{\Delta I_E - \Delta I_C}$$

[ΔI_E দ্বারা ভাগ করে]

$$\Rightarrow \gamma = \frac{\Delta I_E / \Delta I_E}{\Delta I_E / \Delta I_E - \frac{\Delta I_C}{\Delta I_E}} = \frac{1}{1-\alpha}$$

$$\therefore \boxed{\gamma = \frac{1}{1-\alpha}}$$

$$\beta = \frac{\alpha}{1-\alpha}, \quad \gamma = \frac{1}{1-\alpha} = 1+\beta$$

$$\gamma = 1+\beta$$

Expression for collector current

$I_C = \alpha I_E + I_{CBO}$] → we know that

$I_E = (I_C) + I_B = (\alpha I_E + I_{CBO}) + I_B$

$\Rightarrow I_E(1-\alpha) = I_B + I_{CBO}$

$\Rightarrow I_E = \frac{1}{1-\alpha} I_B + \frac{1}{1-\alpha} I_{CBO}$ —— (i)

we know

$\beta = \frac{1}{1-\alpha} \frac{\alpha}{1-\alpha}$

$\therefore \beta + 1 = \frac{\alpha}{1-\alpha} + 1$

$= \frac{\alpha + 1 - \alpha}{1-\alpha}$

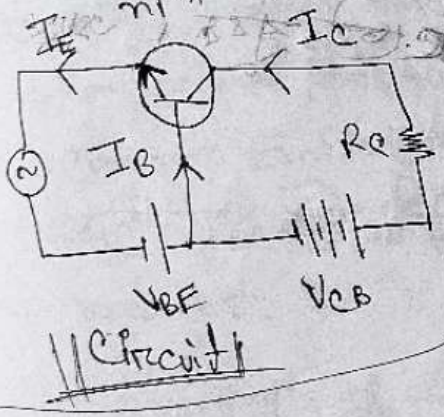
$\boxed{(\beta+1) = \frac{1}{1-\alpha}}$

$\gamma = \frac{1}{1-\alpha}$

$\therefore I_E = (\beta+1) I_B + (\beta+1) I_{CBO}$

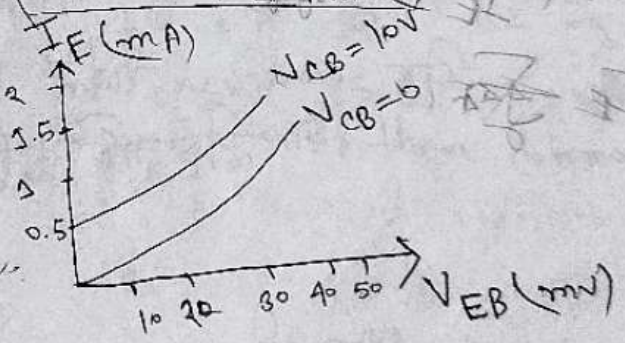
S.No	Features	Common Base	Common Emitter	Common Collector
1	'Ri'	low (~100Ω)	low (~750Ω)	very high (~750kΩ)
2	'Rout'	very High (~450kΩ)	High (~45kΩ)	low (~50Ω)
3	Voltage gain	~150	~500	>1
4	Application	for High frequency Applications	for audio frequency application	For Impedance matching

Shots trick || Common base connection



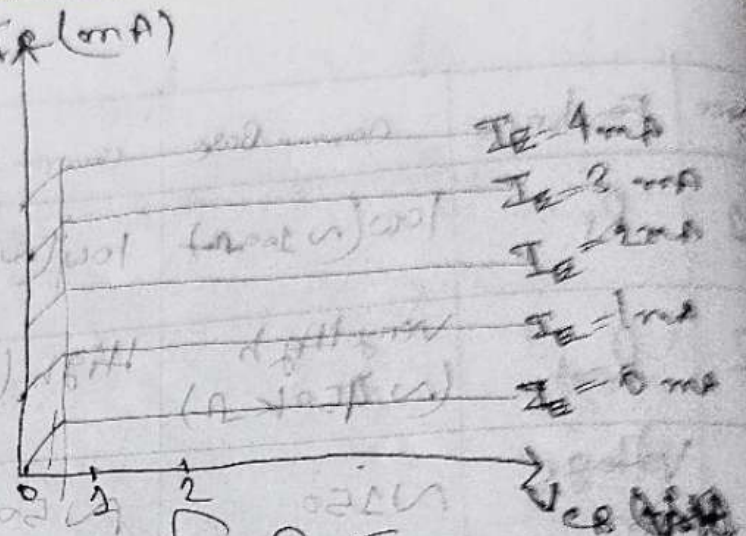
|| Circuit

input characteristic

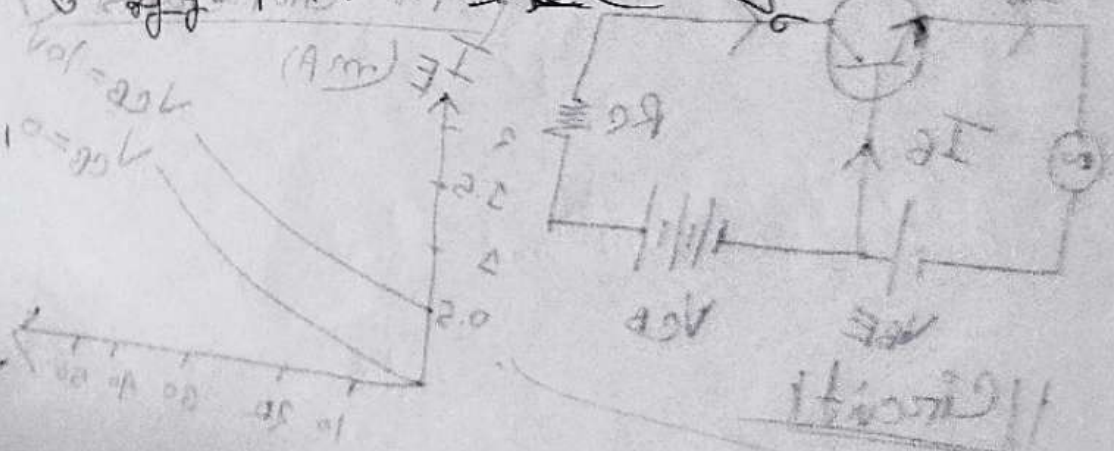


এখানে খুব অল্প পরিমাণ Emitter current বৃদ্ধি পেলে ভোল্টেজ অনেক বেড়ে যায়, Collector Base voltage অনেক বৃদ্ধি পায়, Input Resistance অনেক কম। এবং input characteristic এ V_{CB} constant

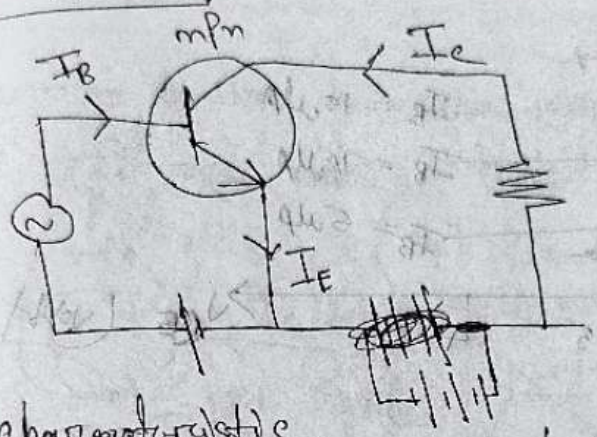
output characteristic



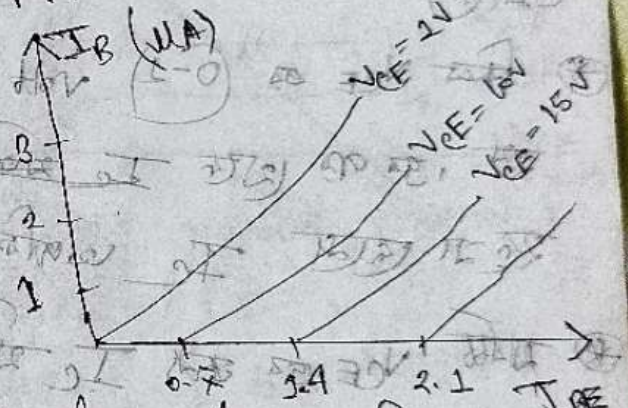
আমরা (V_{CB}) খুব অল্প মানের Resistance মধ্যে I_C খুব অল্প পরিবর্তন হয় এবং পরিবর্তনের ফলে বিভব অতই বৃদ্ধি করা হক না কেনো, I_C তার বেশি পরিবর্তন হয় না। যখন V_{CB} = (1-2) volt হয়, তখন লক্ষ্যণীয় যে, I_C প্রায় অপরিবর্তিত। অর্থাৎ I_C এর কোনো পরিবর্তন দেখা যায় না। খুব অল্প পরিমাণ V_{CB} বৃদ্ধি অল্প পরিমাণ I_C পরিবর্তন করে। I_E ও বৃদ্ধি নির্ভরে I_C তেই বৃদ্ধি। আবার I_E বৃদ্ধি।



Common Emitter)



input characteristic

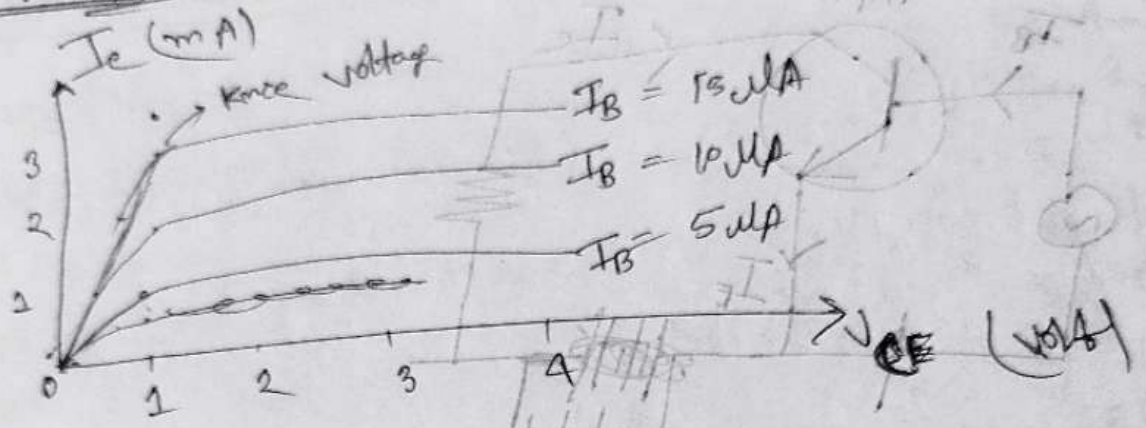


* গ্রহণত এটিকে forward bayes diode curve দেখায়।

* I_B এখানে, common base connection এর input Resistance হতে common Emitter এর input resistance বৃদ্ধি পায় কারণে I_B এখানে ধীরে ধীরে বৃদ্ধি পায়। then common base argument.

* V_{BE} এলেন বৃদ্ধিতে V_{CE} অনেক বৃদ্ধি পায়।

Output Characteristic



এখানে

* ~~যখন~~ V_{CE} এর (0-1) volt এর মধ্যে I_C পরিবর্তন হয়, এর পর থেকে I_C ~~মান বৃদ্ধি~~ V_{CE} যতই বেশি হোক না কেন I_C অপরিবর্তন থাকে।

* ~~সর্বনিম্ন~~ V_{CE} এর কম I_C যতটুকু পরিবর্তন হয় তাকে Knee voltage বলে।

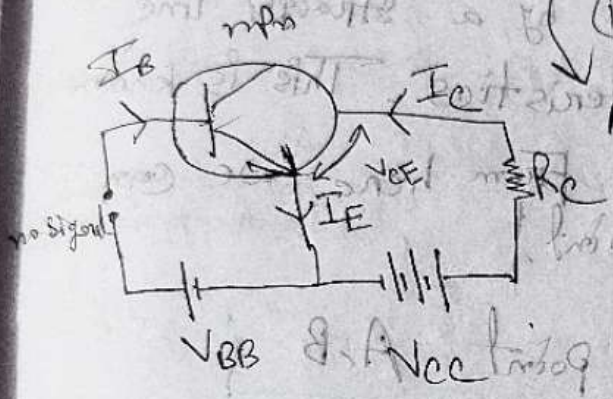
* common base এর output characteristic এর ঢাল বেশি অর্থাৎ Resistance বেশি,

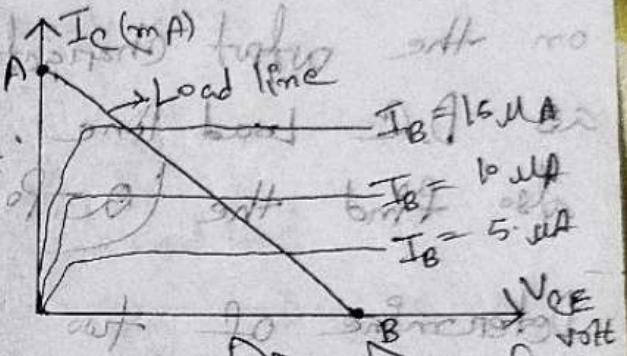
But common Emitter এর output characteristic এর ঢাল তুলনামূলক কম তাই Resistance কম,

Reason $\boxed{I \propto \frac{1}{R}}$

Load line Analysis for Transistor

একটি common Emitter transistor থেকে ~~পুরো~~ I_c collector কারেন্ট পেতে পারি, (i) Output characteristic (ii) Load line Analysis.





এখানে, V_{BB} ও V_{CC} হলো বাহির হতে অতিরিক্ত বিভব প্রদান করে যা ধ্রুবক বা অপরিবর্তনশীল বিভব।

বিভব output circuit এর মধ্যে KVL প্রয়োগ করলে পাই

$$V_{CC} - I_C R_C - V_{CE} = 0 \quad \text{--- (1)}$$

$$\Rightarrow I_C R_C = V_{CC} - V_{CE}$$

$$\Rightarrow I_C = \frac{V_{CC}}{R_C} - \frac{V_{CE}}{R_C}$$

$$\therefore I_C = -\frac{1}{R_C} V_{CE} \quad \text{--- (2)}$$

V_{CC} হলো collector এর সাথে সংযুক্তভাবে যে V_{BB} দেয়া হয়, যা ধ্রুবক এর এটি অনেকগুণ মান তাই

$$\boxed{\frac{V_{CC}}{R_C} \simeq 0}$$

Eq(2) হতে দেখা যায়ে, $I_C = -\frac{1}{R_C} V_{CE}$

Eq(2) এটি is a first degree equation and can be represented by a straight line on the output characteristics. This is known as D.C Load line. From here we can also find the (Q-Point)

Determine of two point A, B

From equation (1) if "$I_C = 0$" then it can written that $V_{CC} - 0 - V_{CE} = 0$

$\Rightarrow V_{CE} = V_{CC}$

output Characteristics এর মধ্যে B বিন্দুতে $I_C = 0$ হলে point B = V_{CC} হবে on the collector emitter voltage axis.

From eq (1) When $V_{CE} = 0$

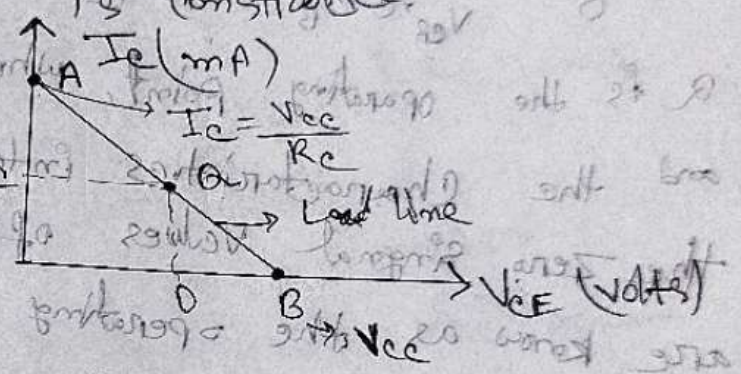
$V_{CC} - I_C R_C - 0 = 0 \Rightarrow I_C R_C = V_{CC}$

$\Rightarrow I_C = \frac{V_{CC}}{R_C}$,

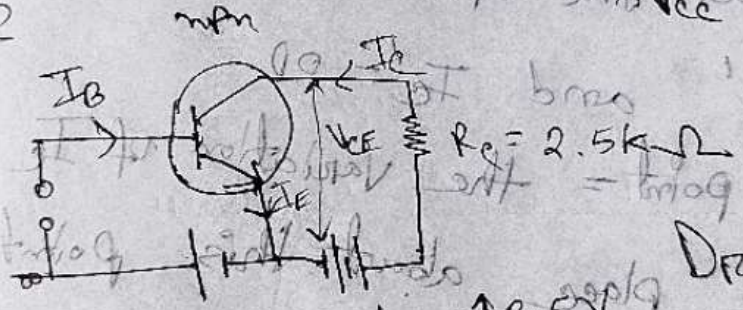
output characteristics এর মধ্যে A থেকে $V_{CE} = 0$ এর point টি হবে, $\frac{V_{CC}}{R_C}$ this gives the end point A (OA) on the collector current 'I_C' axis.

By joining two point we can draw D.C Load line 'AB' is constructed.

Importance



Question



Draw the load line?

We know,

$V_{CC} - I_C R_C - V_{CE} = 0$ $[\because I_C = 0]$

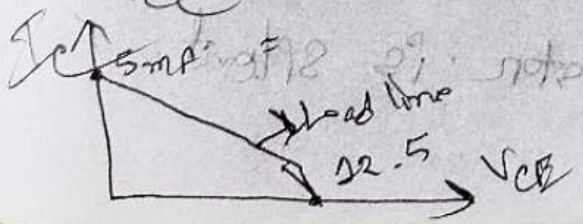
$\Rightarrow V_{CC} = V_{CE}$

Again, $V_{CC} - I_C R_C = 0$

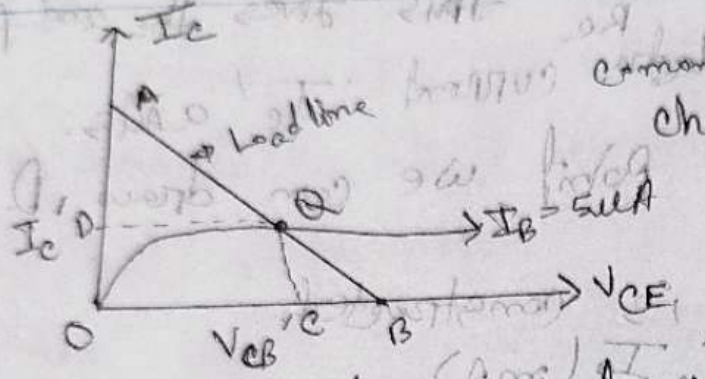
$\Rightarrow I_C = \frac{V_{CC}}{R_C}$

$= \frac{12.5V}{2.5k\Omega}$ $(2.5 \times 10^3 \Omega)$

$I_C = 5mA$



Q- Point/ operating point / Quiessent (silent) Point



Common Emitter output characteristics.

Q is the operating point, where the load line and the characteristics intersect. Therefor, the zero singnal values of (I_C) and (V_{CB}) are know as the operating point.

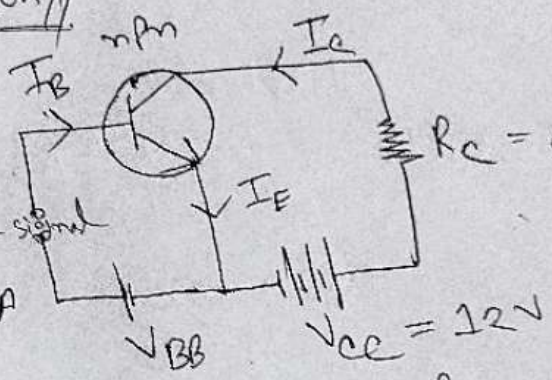
$V_{CB}' = OC'$ and $I_C' = OD$

Operating point = the variation of I_C and V_{CE} take place about this point when signal is applied.

Q Point = it is the point on $I_C - V_{CE}$ characteristics when the transistor is silent.

ট্রানজিস্টর যখন off থাকে তখন আমরা সেই Load line
এবং সেই load line এবং output Characteristics এর
ছেদবিন্দু পরস্পরের সেই বিন্দুকে তুলে ধরে এটি Q-
পয়েন্ট

important Question//



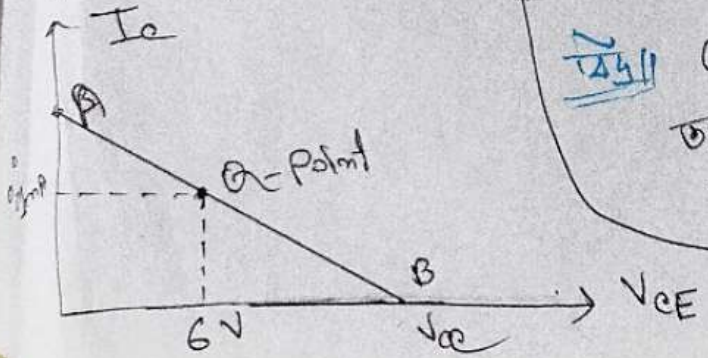
Draw the Load line and what is Q-Point if $I_B = 20\mu A$ And $\beta = 50$?

we know, Current Amplification for common emitter, $\beta = \frac{I_C}{I_B} \Rightarrow I_C = \beta . I_B = 50 \times 20\mu A$
$= 1mA$

আবার, KVL in output circuit,

$V_{CC} - V_{CE} - I_C R_C = 0$ for zero signal,

$\Rightarrow V_{CE} = 12 - (1mA \times 6K\Omega) = 6V$



মনে circuit যখন on থাকে তখন আমরা Q Point বাহির করি

Physics Department

Md. Emon

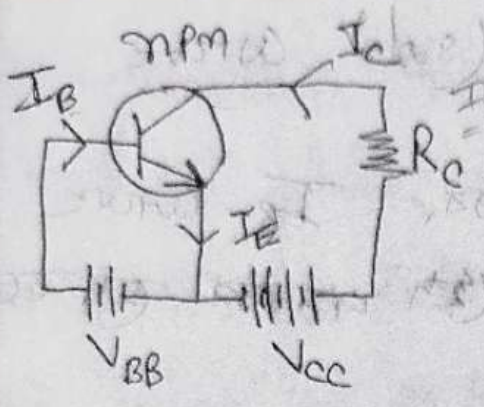
Roll: 270091

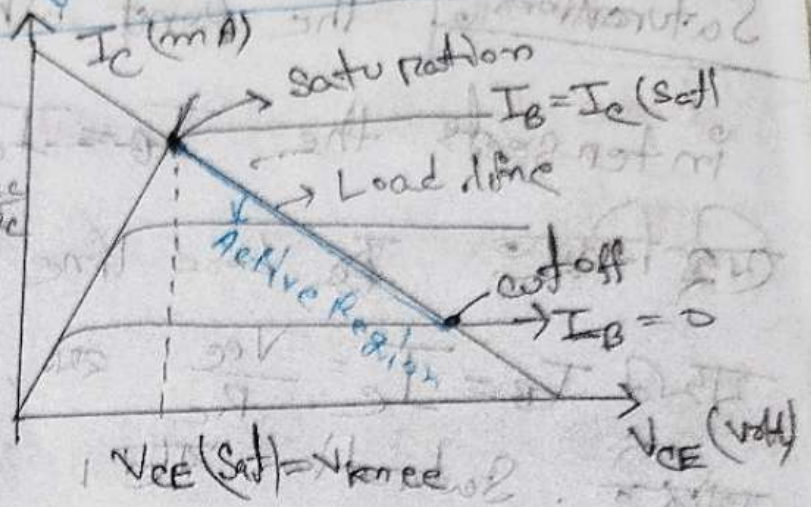
Session: 2020-2021

Sub:- PHA-202 (Electronics I)

3

Cutt off point and Saturation points





Cutt off The point where the load line intersects the $I_B = 0$ curve is known as cut off.

Load line এবং Base current zero এর কর্ভা I_C vs V_{CE} curve এর মিলুত ছেদ করে তাকেই মূলত cutt off point বলে।

Here (i) এখানে শুধু Leakage current "I_{CEO}" বিদ্যমান

(ii) Base-Emmiter junction no longer Remains (এর অবস্থিতি নেই) for forward bias.

(iii) Transistor action is lost.

(iv) V_{CE} (cutoff) is equal to V_{CC}.

বাহ্যিক ভিত্তি V_{CC}
Emitter → collector voltage
V_{CE} নাম হয়।

Saturation: The point where the load line intersects the $I_B = I_C(sat)$ curve সেই বিন্দুতে Load line এবং I_B curve যখন $I_B = I_C = \frac{V_{CC}}{R_C}$ হয়, তখন transistor কে Saturation বলে।

(i) Saturation point এ Base current I_B maximum যদি collector current $I_C = \frac{V_{CC}}{R_C} = I_C(sat)$

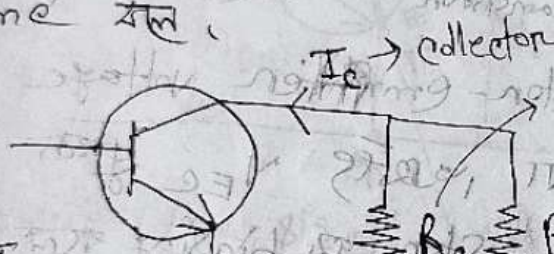
(ii) Here Base-collector junction is no longer remains Reversed biased, And transistor action is lost.

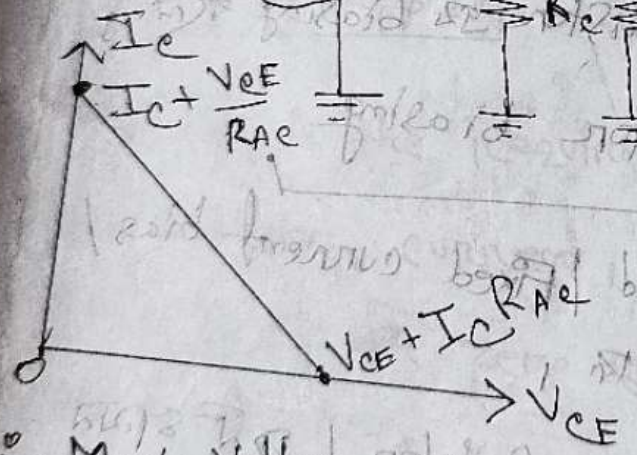
$V_{CE} = V_{CE}(sat) =$ Knee voltage.

Active Region: The region between "cut off" and "Saturation" is known as 'Active Region'. Here Base-Emitter and collector Emitter are on forward and Reversed biased. Transistor action normally.

A.C Load Line : This is the line on the characteristics of a transistor circuit, which gives the values of I_C and V_{CE} when signal is applied.

যখন transistor এর মধ্যে AC তড়িৎ প্রবাহের ফলে যেই Load Line পাওয়া যায় সেই load কে বলে A.C Load Line বলে।





∴ Total Resistance for Singnal

$$\frac{1}{R_{AC}} = \frac{1}{R_C} + \frac{1}{R_L}$$

$$\Rightarrow R_{AC} = \frac{R_C R_L}{R_C + R_L} \quad \text{(i)}$$

∴ Max-Voltage $= V_{CE} + V_{AC} = V_{CE} + I_C R_{AC}$

∴ Max-collector current $= I_C + I_{AC} = I_C + \frac{V_{CE}}{R_{AC}}$ (ii)

Transistor Biasing

The proper flow of zero signal collector current and the maintance of proper collector-emmitter voltage during the passage of signal is ~~know~~ known as transistor biasing.

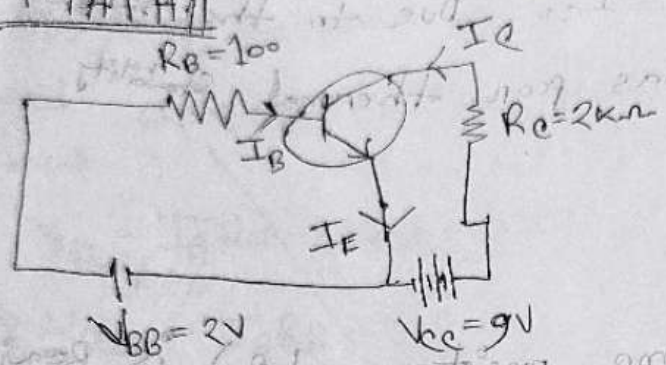
বাংলা। common emitter transistor এর মধ্যে যেই collector current প্রবাহের জন্য collector-emmitter voltage এর কোনো পরিবর্তন হয় না। অর্থাৎ V_{EC} যুক্ত থাকে তাকেই মূলত transistor এর biasing বলে।

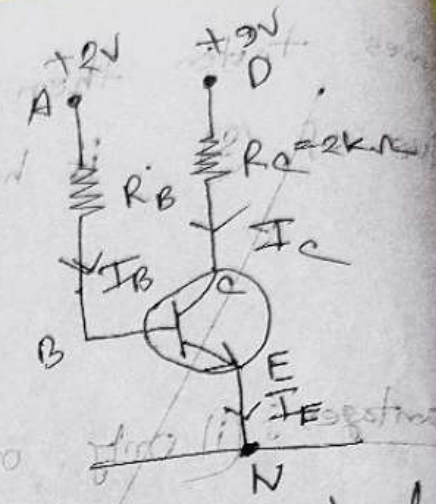
Methods of transistor biasing

(i) Base Resistor method / Fixed current bias / স্থির স্রোত / ধ্রুব প্রবাহ স্রোত।

(ii) Biasing with Feedback Resistor / পুনঃ প্রদান রোধের দ্বারা biasing.

MATH 11





(i) Find I_C, V_{CE}. Given $\beta = 50$. Neglect small V_{BE}?

(ii) $R_B = 50k\Omega$ Find the new operating point.

ABEN এ KVL করে পাই,

$$V_{BB} - I_B R_B - V_{BE} = 0 \Rightarrow I_B R_B = V_{BB} \Rightarrow I_B = \frac{V_{BB}}{R_B}$$

$$\Rightarrow I_B = \frac{2V}{100k\Omega} = 20\mu A$$

$$\therefore I_C = \beta I_B = 50 \times 20\mu A = 1000\mu A = 1mA$$

Again DCEN এ KVL করে পাই,

$$V_{CC} - I_C R_C - V_{CE} = 0 \Rightarrow V_{CE} = V_{CC} - I_C R_C$$

$$\therefore V_{CE} = 9V - (1mA \times 2k\Omega) = 7V$$

$R_B' = 50$

∴ new ABEN এ KVL করলে,

$V_{BB} - I_B R_B' - V_{BE} = 0 \Rightarrow \frac{V_{BB}}{R_B'} = I_B = \frac{3V}{50k\Omega} = 40\mu A$

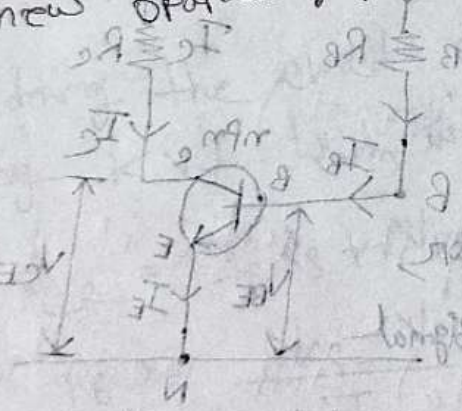
∴ $I_C = \beta I_B = 50 \times 40\mu A = 2000\mu A = 2mA$

∴ DCEN এ KVL করে,

$V_{CE} = V_{CC} - I_C R_C = 9 - (2mA \times 2k\Omega) = 5V$

∴ new operating point, $= (5V, 2mA)$

$= (V_{CE}, I_C)$

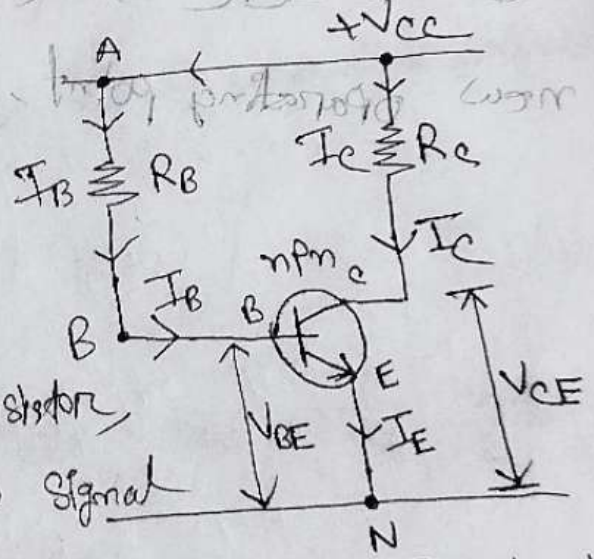


Biasing | Biasing is an act of application of DC voltages to establish a fixed level of current and voltage.

(এই বর্ণনাতে শুধু একটি source (+Vcc) ব্যবহার হয়)

Base Resistor method | Fixed current bias

In this method, A high Resistance (R_B) (kΩ) is connected between the base and negative end of supply for npn transistor. Here the required zero signal base current (I_B) is provided by (+Vcc) and it flows through R_B. In this loop, accody work like forward bias.



The Required value of zero signal base current (I_B) can be made to flow by selecting the proper value of base resistor (R_B).

From circuit analysis (current amplification) for common emitter current ($I_C = \beta I_B$) where we let that I_C be the required zero signal collector current.

Considering the closed circuit (ABENA) and applying K.V.L. then we get

$$V_{CC} = I_B R_B + V_{BE}$$

$$\Rightarrow R_B = \frac{V_{CC} - V_{BE}}{I_B} \quad [V_{CC} \gg V_{BE}]$$

$$\Rightarrow R_B \simeq \frac{V_{CC}}{I_B}$$

V_{BE} is generally quite small as compared to V_{CC} the former can be neglected with

error. for that we can write that:

$$R_B = \frac{V_{CE}}{I_B}$$

It may be noted that, (V_{CE}) is a fixed known quantity and (I_B) is ~~chosen~~ chosen at some suitable value. For that (R_B) can always be found directly. And for this reason, this method is sometimes called (fixed bias method).

(স্থিতিমাত্রা | স্থায়ী ব্যবস্থা)

Stability factor (S) | The rate of change of collector current (I_C) with respect to the collector leakage current (I_{CO}) at constant (β and I_B) is called stability factor and denoted by (S).

Leakage current | Normally, current carriers do not pass through an insulator. It is seen that in a reverse-biased diode, some current flows through the depletion region. This current called leakage current.

যেহেতু Reverse bias এ ~~অনেক~~ কিছু প্রবাহিত হয় না, ~~কিন্তু তা সত্ত্বেও~~ depletion layer এ মেরু মুক্ত ~~অল্প পরিমাণে~~ কিছু প্রবাহিত হয় যাকেই leakage current বলে।

$$\therefore \text{Stability factor, } S = \frac{1+\beta}{1-\beta\left(\frac{dI_B}{dI_C}\right)}$$

In fixed bias method, I_B is independent of I_C for that, $\frac{dI_B}{dI_C} = 0$

$$\therefore \text{Stability factor, } S = 1+\beta$$

Thus the stability factor in fixed bias (fixed current) method is $(\beta+1)$. This means that I_{CO} changes $(\beta+1)$ times as much as any change in I_{CO}. For instance if $\beta = 100$, then $S = 101$ which means that I_C increase 101 times faster then I_{CO}. Due to large value of (S) in fixed bias. It has poor thermal stability. | তাপ বাড়লে Transistor ক্ষতিগ্রস্ত হয়

Advantages

(i) This

Resist

(ii) Bias

the

(iii) b

ate

Dis

Advantages:

(i) This biasing circuit is very simple as only one Resistance (R_B) is required.

(ii) Biasing condition can easily be set and the calculation are simple.

(iii) base emmiter junction dosent need any outer voltage V_{BE}. এজন্য মূল (V_{CC}) ব্যবহৃত হয় যার কারণে এটি বাজেটবান্ধব নয়।

Disadvantages:

(i) This method provides poor stabilisation. কারণ এজন্য তাপমাত্রা বাড়লে collector current কমানোর কোনো ব্যবস্থা নেই। for example, if (β) increase due to transistor replacement, then (I_C) also increase in constant (I_B)

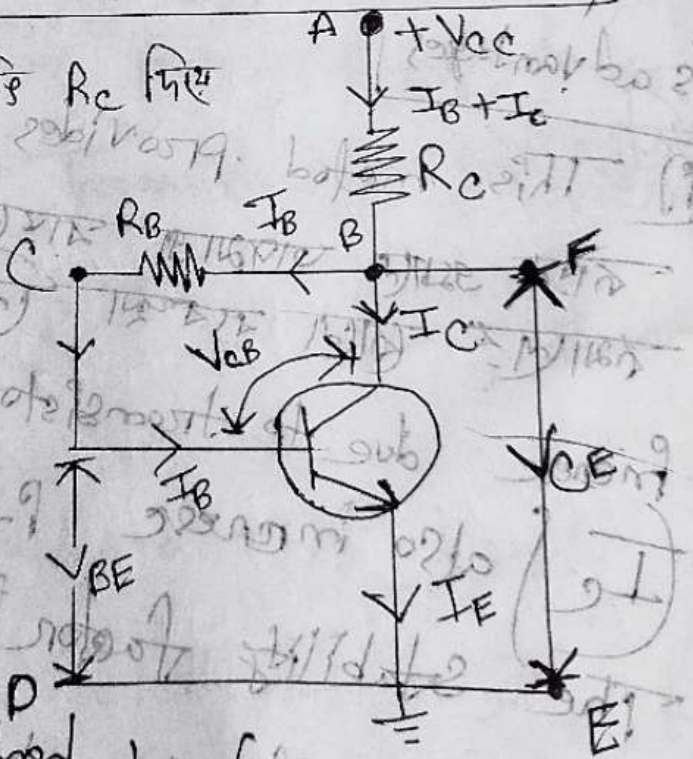
(ii) The stability factor is very high, যার কারণে There are stronge chance for thermal runway

I_c increase → শক্তি অপচয় বাড়ে (Power dissipation increase)

Resistance of the device decrease → This will increase the temparature of (C-B) junction.

Thermal Runway Process

Biasing with feedback Resistor



উৎস (+Vcc) হতে $I_B + I_c$ ভরিড় R_c দিয়ে প্রবাহিত হয়। I_c ভরিড় transistor collector ও I_B ভরিড় transistor Base ও প্রবাহিত হয়।

i) The required zero signal (I_B) is determined by (V_{CB}).

(ii) (V_{CC}) forward biases the base emitter junction. Hence (I_B) flows through (R_B). This cause the zero signal (I_C) to flow in the circuit.

(ABCDA) তে KVL প্রয়োগ করে পাই,

$$V_{CC} = (I_B + I_C) \cdot R_C + I_B R_B + V_{BE} \quad \text{--- (i)}$$

$$\Rightarrow V_{CC} = I_C R_C + I_B R_B + V_{BE}$$

[এখানে $I_B <<< I_C$ $\therefore I_B + I_C \simeq I_C$]

$$\Rightarrow R_B = \frac{V_{CC} - I_C R_C - V_{BE}}{I_B}$$

$$\Rightarrow R_B = \frac{V_{CC} - V_{BE} - \beta I_B R_C}{I_B} \quad [I_C = \beta I_B] \quad \text{(ii)}$$

এই সূত্র দ্বারা আমরা R_B বের করতে পারি।

এখন, BCDEFB তে voltage distribution করলে

$$V_{CE} = V_{CB} + V_{BE} \Rightarrow V_{CB} = V_{CE} - V_{BE}$$

$$\Rightarrow I_B R_B = V_{CE} - V_{BE} \quad \therefore R_B = \frac{V_{CE} - V_{BE}}{I_B} \quad \text{(iii)}$$

(ii ও iii) নং সমীকরণ দিয়ে আমরা R_B বের করতে পারিনা।

Advantages

Due to temp Rise of β increase → I_C (↑)

↓

voltage drop across R_C (↑) = V_{CE} (↓) → I_B (↓)

কারণ: $V_{CE} = V_{BE} + V_{CB}$ from eq (iii)

যদি Circuit এর তাপমাত্রা বৃদ্ধি পায় তখন (β) বাড়ে।

β যদি বাড়ে ($I_C = \beta I_B \Rightarrow I_C \propto \beta$) তাহলে I_C বৃদ্ধি পাবে। যখন তাপ প্রবাহিত হবে তখন R_C এ voltage drop দেখা যাবে। আমরা জানি, transistor biasing এর মধ্যে I_C এর পরিবর্তনের ফলে V_{CE} কমে থাকে। এমনকি V_{CE} বাড়বে না তাই I_C যখন বৃদ্ধি পাবে তখন V_{CE} কমে গিয়ে circuit কে stabilised করবে।

আবার যখন V_{CE} কমে যাবে তখন V_{BB} ও কমে যাবে ফলে I_B কমে যাবে according to circuit analysis, I_B যখন কমে যায় তখন I_C এটি I_C কেও কমিয়ে আনে এবং ~~পূর্ব বর্তি~~ I_C এর মানে রূপান্তরিত করে। In this way The circuit provides some stabilization of the operating point. $[I_B \propto I_C]$

উপরের সার্কিটে collector voltage (V_{CC}) এবং Base Resistor এর মধ্যে ব্যবহৃত হয়, ফলে অপমাত্রা কারণে যখন (β) বাড়ে তখন এটি এবং I_B কে Control করে এবং অবস্থানের অপমাত্রাকে স্থির রাখে collector feedback bias নামে পরিচিত। or voltage feedback bias বলে।

Q-Point এর মান হতে

$$V_{CC} = \beta I_B R_C + I_B R_B + V_{BE}$$

$$\Rightarrow V_{CC} = I_B(\beta R_C + R_B) + V_{BE}$$

$$\Rightarrow I_B = \frac{V_{CC} - V_{BE}}{\beta R_C + R_B}$$

(ABFEA) তে KVL প্রয়োগ করে পাই,

$$V_{CC} = (I_B + I_C) \cdot R_C + V_{CE} \quad [I_C >>> I_B]$$

$$\Rightarrow V_{CC} = I_C R_C + V_{CE}$$

$$\Rightarrow V_{CC} = \beta I_B R_C + V_{CE} \quad [I_C = \beta I_B]$$

$$\Rightarrow V_{CE} = V_{CC} - \beta I_B R_C$$

$$\boxed{V_{CE} = V_{CC} - \beta R_C \left(\frac{V_{CC} - V_{BE}}{\beta R_C + R_B}\right)}$$

$$\boxed{I_C = \beta I_B = \beta \left(\frac{V_{CC} - V_{BE}}{\beta R_C + R_B}\right)}$$

Operating Point

∴ Stability factor (ii) I_C eq

$$\Rightarrow R_B = \frac{V_{CC} - I_C R_C - V_{BE}}{I}$$

∴ Stability factor (ii) I_C eq

$$V_{CC} = (I_B + I_C) R_C + I_B R_B + V_{BE}$$

$$\Rightarrow V_{CC} = I_B (R_C + R_B) + I_C R_C + V_{BE}$$

$$\Rightarrow I_B = \frac{V_{CC} - I_C R_C - V_{BE}}{R_C + R_B}$$

$$\therefore \frac{d}{dI_C} I_B = \frac{-R_C}{R_C + R_B}$$

$$\therefore \text{Stability factor, } S = \frac{1+\beta}{1 - \beta\left(\frac{dI_B}{dI_C}\right)}$$

$$\Rightarrow S = \frac{(\beta+1)(R_C + R_B)}{R_C + R_B + \beta R_C}$$

$$\Rightarrow S = \frac{\beta+1}{\left[R_C + R_B / R_C + R_B + \beta R_C\right]}$$

∴ বলা যেতে পারে, fm

Thermal stability

biasing with feedback Resistor > fixed bias circuit

$S < \beta + 1$ $S = \beta + 1$

S এর মান যত কম হবে ততই circuit কে তা stable করে রাখবে।

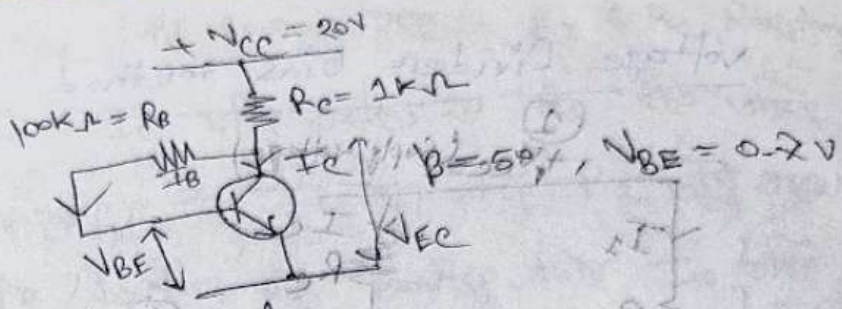
⇒ Advantages / (i) Simple method

(ii) Stabalization of operating point.

Dis advantages / (i) This circuit gives negative feedback which reduces the gain more voltage. For that I_C & I_B decreases

(ii) Stability factor is fairly high. It less than fixed bias but not very good although

Math



Find operating point.

We know, $V_{CE} = V_{CC} - \beta R_C \left(\frac{V_{CC} - V_{BE}}{\beta R_C + R_B}\right)$

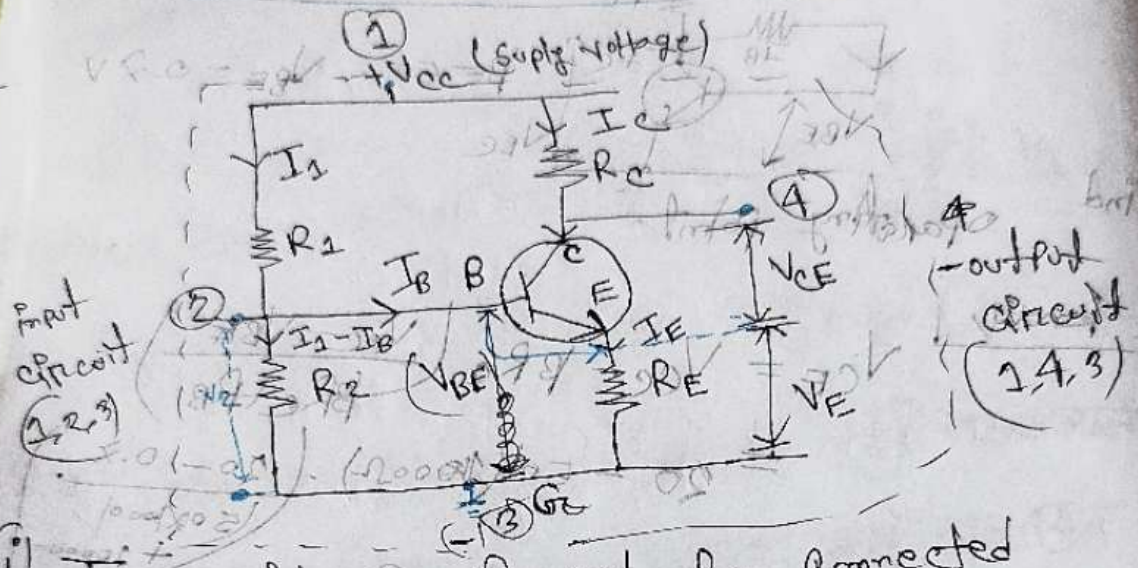
$= 20 - 50(1000\Omega) \cdot \left(\frac{20 - 0.7}{(50 \times 1000) + 100000}\right)$

$= 18.567\ V$

$\therefore I_C = \beta \cdot I_B = \beta \left(\frac{V_{CC} - V_{BE}}{\beta R_C + R_B}\right)$

$= 50\left(\frac{20 - 0.7}{(50 \times 1000) + 100000}\right) = 0.919\ mA$

Voltage Divider bias method



(i) Two resistance R_1 and R_2 connected across the suply voltage "Vcc" Provid biasing. Here the voltage divider fromed by R_1 & R_2.

(ii) The Emiter Resistance (R_E) Provides stabilisation.

(iii) The voltage drope across R_2 forward biases the (B-E junction). This causes I_B and hence I_C flows in the zero singnal condition. ~~Signal~~

উপরের $+V_{cc}$ Supply Source হতে R_1 ও R_c Resistance দিয়ে I_1 ও I_c তড়িৎ প্রবাহিত হয় R_1 হতে তড়িৎ I_B transistor ও তবং $(I_1 - I_B)$ তড়িৎ R_2 দিয়ে প্রবাহ করে। npn Junction এর Emitter দিয়ে I_E তড়িৎ R_E দিয়ে প্রবাহিত হয়। R_2 রোধের মধ্যে (V_2) বিভব থাকে এবং R_E এর দুই প্রান্ত V_E ও Collector - Emitter ও V_{EC} Volt কাজ করে Base ও Emitter এর দুই প্রান্তে V_{BE} Volt বিদ্যমান।

Circuit Analysis 1 Input circuit (1, 2, 3) হতে আমরা (R_2) রোধের মধ্যে সেই (V_2) Voltage কাজ করে তা বের করতে হবে।

(1, 2, 3, 1) ও KVL প্রয়োগ করে।

$$V_{cc} = I_1 R_1 + (I_1 - I_B) R_2$$

$$\Rightarrow V_{cc} = I_1 R_1 + I_1 R_2$$

$$\Rightarrow V_{cc} = I_1 (R_1 + R_2)$$

$$\left[\begin{array}{l} I_1 >>> I_B \\ \therefore I_1 - I_B \approx I_1 \end{array} \right]$$

$$\Rightarrow I_1 = \frac{V_{CC}}{(R_1+R_2)} \quad \text{—— (1)}$$

∴ R_2 বরাবর বিভব পাত সেই বিভবপাত করবে,

$$V_2 = I_1 R_2 = \frac{V_{CC}}{(R_1+R_2)} \times R_2,$$

$$\Rightarrow V_2 = \frac{V_{CC} R_2}{R_1+R_2} \quad \text{—— (2)}$$

(∴ Base-Emiter loop এ KVL প্রয়োগ করলে)

$$V_2 = I_E R_E + V_{BE}$$

$$\Rightarrow V_2 = (I_B + I_C) R_E + V_{BE}$$

$$I_E = I_B + I_C$$

$$I_B \ll I_C$$

$$\therefore I_E \approx I_C$$

$$\Rightarrow V_2 = I_C R_E + V_{BE}$$

$$\Rightarrow I_C = \frac{V_2 - V_{BE}}{R_E} \quad \text{—— (3)}$$

আবার, output circuit (2.A.1) এ KVL প্রয়োগ করে

$$V_{CC} = I_C R_C + V_{CE} + I_E R_E$$

$$\Rightarrow V_{CC} = I_C R_C + V_{CE} + I_C R_E \quad [I_C \simeq I_E]$$

$$\Rightarrow V_{CC} = I_C (R_E + R_C) + V_{CE}$$

$$\Rightarrow V_{CE} = V_{CC} - I_C (R_E + R_E) \quad \text{—— (4)}$$

আবার, $I_C = \dfrac{V_{CC} - V_{CE}}{R_C + R_E}$ —— (5)

equation (3, 4, 5) এর মধ্যে দেখা যাচ্ছে, ~~এই ক্ষেত্রে~~ (β) এর কোনো হস্তক্ষেপ নেই অর্থাৎ operating point, I_C ও V_{CE} does not depend upon (β) for transistor এবং same ~~টাই~~ transistor এর ~~এই~~ সাথে যুক্ত করলেও (Q-point বা operating point) β এর উপর নির্ভর করে না।

Effect of temperature change

Temp Rise (↑) ⟶ I_C (↑) ≈ I_E (↑) ⟶ voltage drop across R_E (↑)

I_C (↓) ⟵ (↓) I_B ⟵ V_{BE} (↓) ⟵ R_E (↑)

to Blocking value

I_C

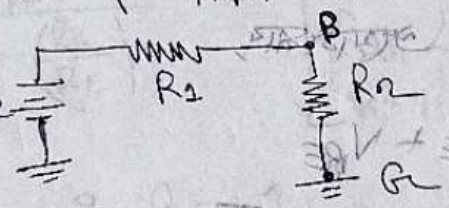
* ব্যাখ্যা ঃ circuit এর temp বৃদ্ধিপেলে I_C বৃদ্ধিপাবে। আমরা জানি $I_C \approx I_E$ এবং I_E বৃদ্ধিপাবে অধিক পরিমাণ এবং I_E এর জন্য (R_E) এর প্রান্তে voltage drop বেশি যাবে ফলে V_{BE} হ্রাসপাবে এবং যার ফলে I_B ও কমে যাবে ($I_B \propto V_{BE}$) আমরা যদি I_B কমে যায় তাহলে I_B আবার I_C কে কমিয়ে তার পূর্বের অবস্থায় ফিরিয়ে আনবে।

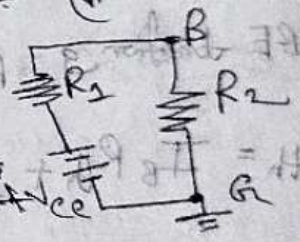
Q Point / Operating point /

$$I_C = \frac{V_2 - V_{BE}}{R_E} = \frac{V_{CC} - V_{CE}}{R_C + R_E}$$

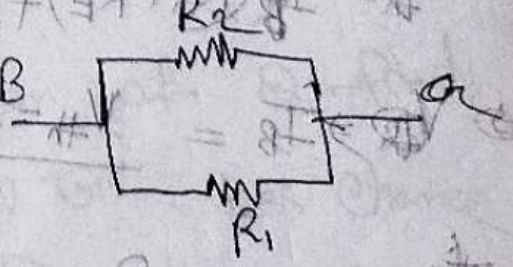
$$V_{CE} = V_{CC} - I_C(R_C + R_E)$$

Stability factor / Voltage divider bias method এর circuit এর ~~open~~ input ও output circuit কে আলাদা করে পারি। input circuit এর কে আলাদা করলে



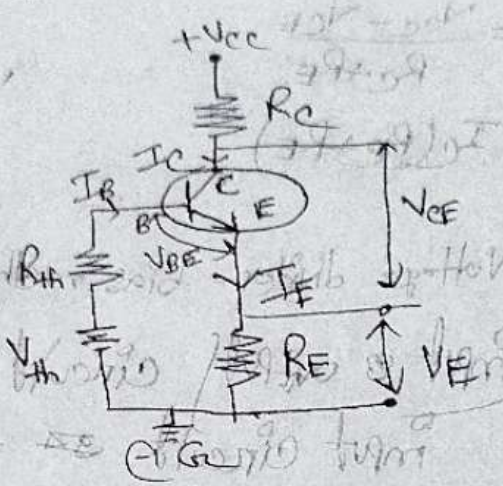


এখন circuit টা Thevenin's theorem এর অনুযায়ী $\pm V_{CC} = 0$ হলে বা disconnect করলে Terminal BG এর রোধ হবে



$$R_{th} = \frac{R_1 R_2}{R_1 + R_2}$$

(B.Q) terminal output circuit এর সাথে Join করা হলো,



BE junction এ KVL প্রয়োগ করে,

$$V_{th} = I_B R_{th} + I_E R_E + V_{BE}$$

$$[I_E = I_B + I_C]$$

$$\Rightarrow V_{th} = I_B R_{th} + I_B R_E + I_C R_E + V_{BE}$$

$$\Rightarrow V_{th} = I_B (R_{th} + R_E) + I_C R_E + V_{BE}$$

$$\Rightarrow I_B = \frac{V_{th} - I_C R_E - V_{BE}}{R_{th} + R_E}$$

$$\therefore \frac{dI_B}{dI_C} = \frac{-R_E}{R_{th} + R_E}$$

$\therefore$ Stability factor, $S = \dfrac{1+\beta}{1-\beta\dfrac{dI_B}{dI_C}} = \dfrac{1+\beta}{1+\dfrac{R_E\beta}{R_{th}+R_E}}$

$\Rightarrow S = \dfrac{1+\beta}{\dfrac{R_{th}+R_E+\beta}{R_{th}+R_E}} = \dfrac{1+\beta}{\dfrac{R_E(R_{th}+R_E+1)}{R_{th}+R_E}} = \dfrac{1+\beta}{\dfrac{R_{th}}{R_E}+1}$

$\Rightarrow S = \dfrac{(\beta+1)(R_{th}+R_E)}{R_{th}+R_E+\beta R_E} = \dfrac{(\beta+1)(R_{th}+R_E)}{(\beta+1)R_E+R_{th}}$

$\Rightarrow S = \dfrac{(\beta+1)\left(\dfrac{R_{th}}{R_E}+1\right)}{(\beta+1)+\left(\dfrac{R_{th}}{R_E}\right)}$

$R_{th} << R_E \therefore \dfrac{R_{th}}{R_E} \simeq 0$

$\Rightarrow S = \dfrac{\beta+1}{\beta+1} \quad \therefore S = 1$

S এর সর্বনিম্ন মান এবং।

Advantages (1) Better stabilization of Q-point.

(2) Stability factor অনেক কম তাই less chance of thermal Runway। মুক্তি অপায় কম হয়।

③ β যদি তার জন্য stability factor ও কমবে প্রভাব পড়ে না।

④ Better biasing condition provided by voltage drop across R_E।

R_E তে voltage drop হওয়ায় সেখানে ভোল্টেজ অতিরিক্ত প্রবাহ পড়তে যায়।

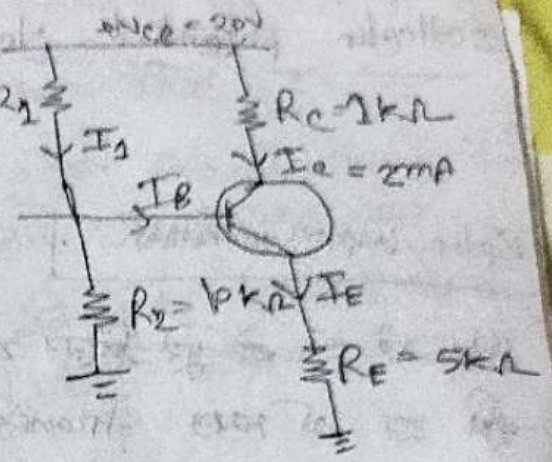
Disadvantage

① complicated circuit

② Expensive

③ Calculations are not easy

Find, I_E, V_{CE}, V_C



$\therefore V_2 = I_1 R_2$

কিন্তু, $+V_{cc} = I_1 R_1 + I_1 R_2$

$\Rightarrow I_1 = \frac{V_{cc}}{R_1 + R_2}$

$\therefore V_2 = \frac{V_{cc}}{R_1+R_2} \cdot R_2 = 10V$

$\therefore$ In base circuit, $V_2 = I_E R_E + V_{BE}$

$\Rightarrow V_2 = I_E R_E$ [V_{BE} = too small]

$I_E = \frac{10V}{5k\Omega} = 2mA$

$\therefore$ output circuit এ KVL প্রয়োগ করে

$V_{cc} = I_C R_C + I_E R_E + V_{CE}$

$= I_C (R_C + R_E) + V_{CE}$ [$I_C \approx I_E$]

$\therefore V_{CE} = V_{cc} - I_C (R_C + R_E) = 8$

∴ Collector potential, $V_C = V_{CC} - I_C R_C$

$= 20 - (2mA \times 1k\Omega)$

$= 18V$

Bipolar, Unipolar transistor | যে সকল transistor এ Hole ও e এই দুই ধরনের বাহকের জন্য বিদ্যুৎ প্রবাহ সৃষ্টি হয় ঐ সকল transistor কে বাইপোলার transistor বলে। আর যদি কেবল একটি বাহক অর্থাৎ Hole দ্বারা বিদ্যুৎ পরিবহিত হয় তাহলে তাকে unipolar বলে।

Thermal Runway | ট্রানজিস্টর এ I_{co} বৃদ্ধি পেলে তাপমাত্রা বৃদ্ধি পেলে তাপ পাবে। যদি হিটসিংক ব্যবস্থা না থাকে তবে উপর তাপ Collector leakage current I_{co} বৃদ্ধি করবে। 6°C ও 10°C এর জন্য Ge ও Si এর প্রবাহ double হয়। I_{co} বৃদ্ধি পেলে $S = 1+\beta$ ও বৃদ্ধি পাবে ফলে transistor এর তাপমাত্রা আরো বৃদ্ধি পাবে। transistor এর তাপমাত্রা বৃদ্ধি পেলে আবার I_{co} এর বৃদ্ধি পাবে এবং within 1 sec transistor টি নষ্ট হয়ে যাবে। ট্রানজিস্টর এই স্বয়ংক্রিয় ভাবে নষ্ট হয়ে যাওয়াকে thermal Runway বলে

Stabilization of transistor | ট্রানজিস্টর তাপমাত্রা বৃদ্ধি পেলে বা বর্তনীতে অন্য transistor এর প্রতিস্থাপন করলে I_C ও V_{CE} পরিবর্তন হয়। কিন্তু বর্তনীতে যদি thermal runway না হয় তার জন্য আপেক্ষিক স্থায়ী স্থির মানের দরকার। stabilization এমন এক প্রক্রিয়া যেক্ষেত্রে বর্তনীর তাপমাত্রা পরিবর্তন বা β এর পরিবর্তনের ফলে আপেক্ষিক স্থায়ীত্বকে প্রভাবিত করে না।

ট্রানজিস্টর ও ভ্যাকুয়াম টিউবের তুলনা

Transistor	ভ্যাকুয়াম টিউব
আকারে ছোট	আকারে বড়
স্থায়িত্ব অনেক বেশি	স্থায়িত্ব অনেক কম
বর্তনীর দক্ষতা বেশি	বর্তনীর দক্ষতা কম
ফিলামেন্ট ব্যবহার করা হয় না	ফিলামেন্ট ব্যবহৃত হয়
সেমি পরিবাহী ডিভাইস	ফাঁকা পরিবাহী ডিভাইস নয়।

Proved $I_{CEO} = \frac{1}{1-\alpha} I_{CBO}$

আমরা জানি $I_C = \alpha I_E + I_{CBO}$

এখানে, $\frac{\Delta I_C}{\Delta I_E} = \alpha$, $\frac{\Delta I_C}{\Delta I_B} = \beta$

$\therefore \alpha = \left(\frac{\Delta I_C}{\Delta I_B + \Delta I_C}\right) = \left(\frac{\Delta I_B}{\Delta I_C} + \frac{\Delta I_C}{\Delta I_C}\right)^{-1}$

$\Rightarrow \alpha = \frac{\beta}{1+\beta}$

এখন, $\beta = \frac{\Delta I_C}{\Delta I_B} = \left(\frac{\Delta I_E - \Delta I_C}{\Delta I_C}\right)^{-1}$

$= \left(\frac{1}{\alpha} - 1\right)^{-1} \Rightarrow \beta = \frac{\alpha}{1-\alpha}$

$\therefore I_C = \frac{\beta}{1+\beta} I_E + I_{CBO}$

$\Rightarrow (1+\beta) I_C = \beta(I_C + I_B) + (1+\beta) I_{CBO}$

$\Rightarrow I_C = \beta I_B + (1+\beta) I_{CBO}$

$I_C = \beta I_B + I_{CEO}$

cause we know $I_C = \left(\frac{\alpha}{1-\alpha}\right) I_B + I_{CEO}$

$\therefore I_{CEO} = (1+\beta) I_{CBO} = \left(1 + \frac{\alpha}{1-\alpha}\right) I_{CBO}$

~~$\Rightarrow I_{CEO} = \frac{1}{1-\alpha}$~~ ~~$I_{CEO} = (1+\beta) I_{CBO}$~~

$\therefore I_{CEO} = \frac{1}{1-\alpha} I_{CBO}$ Proved

বিশুদ্ধ অর্ধপরিবাহী) যে সকল অর্ধপরিবাহিতে কোনো অপদ্রব বা ভেজাল যুক্ত থাকেনা তাদেরকে বিশুদ্ধ অর্ধপরিবাহি বলে। আর বিশুদ্ধ অর্ধপরিবাহিতে পরিবহন ও যোজন বন্ধের e^- ও hole সংখ্যা সমান থাকলে তাকে অর্ধপরিবাহি বলে। Ex: Si, Ge

বহির্জাত অর্ধপরিবাহী: বিশুদ্ধ অর্ধপরিবাহির সাথে উপযুক্ত পরিমাণ অপদ্রব মেশালে হলে যে অর্ধপরিবাহি সৃষ্টি হয় তাকে বহির্জাত অর্ধপরিবাহী বলে।

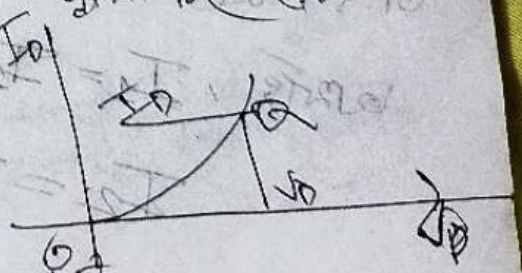
ডোপিং: বিশুদ্ধ অর্ধপরিবাহির সাথে উপযুক্ত পরিমাণ ভেজাল মিশানোর প্রক্রিয়াকেই ডোপিং বলে।

ডোপিং করলে বহু সংখ্যক মুক্ত e^- সৃষ্টি হয়, ফলে সংখ্যা অর্ধপরিবাহির পরিবাহিতা বৃদ্ধি পায়। পরিবাহিতা বাড়ানো বা কমানোর জন্যই ডোপিং করা হয়।

সংযোজিত অর্ধপরিবাহি	বর্হিত অর্ধপরিবাহি
এটি বিশুদ্ধ অর্ধপরিবাহি	এটি অবিশুদ্ধ অর্ধপরিবাহি
কিন্তু এটি 0°K তাপমাত্রায় কু পরি অপরিবাহির ন্যায় আচরণ করে	0°K তাপমাত্রায় পরিবাহির ন্যায় আচরণ করে
পরিবাহিতা নির্ভর থাকে	পরিবাহিতা doping এর উপর নির্ভর করে
তাপমাত্রা অর্ধপরিবাহীর কারণে এটি থাকে না।	এটি প্রতি পূর্ণ পদার্থ n-type, P-type হলো বর্হিত অর্ধপরিবাহি।
বিশুদ্ধ জেনে ও হলো সংযোজিত অর্ধপরিবাহি	

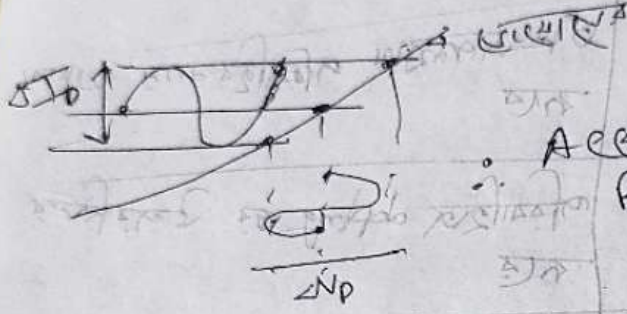
DC রোধ : তাপমাত্রাযুক্ত প্রবাহ এর জন্য রোধের যে রোধ তাই ডি.সি রোধ, রোধের বরাবর মোট ডি.সি বিভব ও মোট প্রবাহ মাত্রা মোট অনুপাত দ্বারা DC রোধ নির্ণয় করা হয়।

$$DC\ রোধ = R_D = \frac{V_D}{I_D}$$



I-V curve সরলরেখা নয় তাই $R_D \neq$ constant.

AC রোধ ॥ পর্যায়কৃত প্রবাহের জন্য ভোল্টেজের যে রোধ তাই AC রোধ।



$\therefore$ AC রোধ, $R_{AC} = \frac{\Delta V_D}{\Delta I_D}$

Chapter : 4

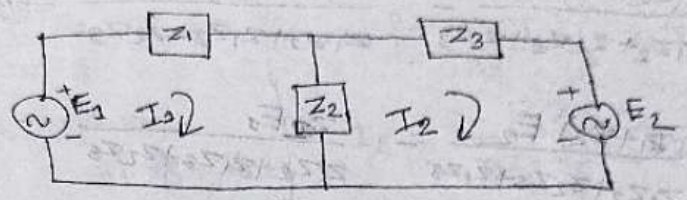
সুপার পজিশন তত্ত্ব :

যে কোনো রৈখিক ইলেকট্রনিক ও জেনারেটর সমন্বিত কোনো নেটওয়ার্ক, যে কোনো উপাদান দিয়ে প্রবাহিত কারেন্ট এবং জেনারেটর জুড়ে দ্বারা পৃথকভাবে ও উপাদান দিয়ে মোট তড়িৎ সমন্বয়ের সমষ্টির সমান।

অর্থাৎ, $I_1 = I_1' + I_1''$

$I_2 = I_2' + I_2''$

বর্ণনা ॥



চিত্র ঃ ক

চিত্র ঃ ক এর বাম ও ডান পাশের জেনারেটর E_1, E_2 দিয়ে প্রবাহিত তড়িৎ I_1, I_2 হলে উভয় পাশেই KVL প্রয়োগ করে পাই

$$E_1 = (Z_1+Z_2)\cdot I_1 + Z_2 I_2$$

$$\Rightarrow I_1(Z_1+Z_2) + Z_2 I_2 - E_1 = 0 \quad \text{—— (1)}$$

আবার,

$$E_2 = (Z_2+Z_3) I_2 + Z_2 I_1$$

$$\Rightarrow Z_2 I_1 + (Z_2+Z_3) I_2 - E_2 = 0 \quad \text{—— (2)}$$

$$\left.\begin{aligned} (Z_1+Z_2)\cdot I_1 + Z_2 I_2 - E_1 &= 0 \\ Z_2 I_1 + (Z_2+Z_3) I_2 - E_2 &= 0 \end{aligned}\right\}$$ বজ্র গুণন করে পাই,

$$\frac{I_1}{-E_2 Z_2 + E_1(Z_2+Z_3)} = \frac{I_2}{-E_1 Z_2 + E_2(Z_1+Z_2)} = \frac{1}{(Z_1+Z_2)(Z_2+Z_3) - Z_2^2}$$

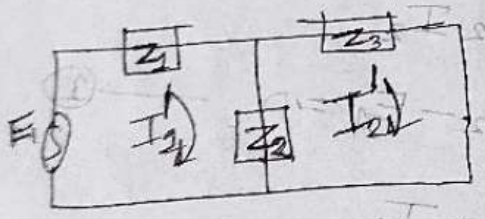
$$\therefore I_1 = \frac{(Z_2+Z_3)E_1}{Z_1Z_2+Z_2Z_3+Z_1Z_3} - \frac{Z_2E_2}{Z_1Z_2+Z_1Z_3+Z_2Z_3} \quad \text{--- (3)}$$

$$\therefore I_2 = \frac{(Z_1+Z_2)E_2}{Z_1Z_2+Z_2Z_3+Z_1Z_3} - \frac{Z_2E_1}{Z_1Z_2+Z_1Z_3+Z_2Z_3} \quad \text{--- (4)}$$

∴ সুপার পজিশন তত্ত্ব অনুসারে

first of all "ক" চিত্রে $E_2 = 0$ হলে,

I_1', I_2'



∴ উভয় ক্ষেত্রে KVL প্রয়োগ করলে,

$$(Z_1+Z_2)I_1' + Z_2I_2' - E_1 = 0 \quad \text{--- (5)}$$

$$(Z_2+Z_3)I_2' + Z_2I_1' = 0 \quad \text{--- (6)}$$

সমাধান করে I_1', I_2' নির্ণয় করতে হবে

∴ 6 নং হতে,

$$I_2' = \frac{-Z_2I_1'}{(Z_2+Z_3)} \quad \text{--- (7)}$$

6 নং হতে

$$I_1' = \frac{-(Z_2+Z_3)I_2'}{Z_2} \quad \text{--- (8)}$$

(7) এর সাথে (5) এ বসিয়ে পাই

$$(Z_1+Z_2)\, I_1' - \frac{Z_2^2 I_1'}{(Z_2+Z_3)} - E_1 = 0$$

$$\Rightarrow (Z_2+Z_3)(Z_1+Z_2)\, I_1' - Z_2^2 I_1' = (Z_2+Z_3) E_1$$

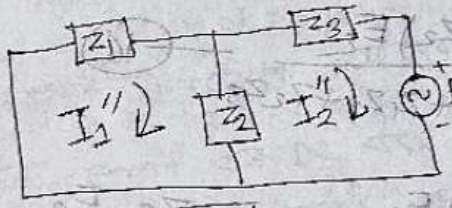
$$\Rightarrow I_1' = \frac{(Z_2+Z_3)\, E_1}{Z_1Z_2+Z_1Z_3+Z_2Z_3} \quad (9)$$

(8) এর সাথে (5) এ বসিয়ে পাই

$$(Z_1+Z_2)\cdot\left\{\frac{-(Z_2+Z_3) I_2'}{Z_2}\right\} + Z_2 I_2' - E_1 = 0$$

$$\Rightarrow I_2' = \frac{-E_1 Z_2}{Z_1Z_2+Z_1Z_3+Z_2Z_3} \quad (10)$$

Part of all "ক" তে, $E_1 = 0$ হলে, I_1'', I_2'' হবে,



∴ উভয় পাশে KVL প্রয়োগ করলে,

$$(Z_1+Z_2)\, I_1'' + Z_2 I_2'' = 0 \quad (11)$$

$$Z_2 I_1'' + (Z_2+Z_3)\, I_2'' - E_2 = 0 \quad (12)$$

সমাধান করে I_1'', I_2'' বের করতে হবে।

11 হতে

$$I_2'' = \frac{-(Z_1+Z_2)\, I_1''}{Z_2} \quad (13)$$

11 হতে

$$I_1'' = \frac{-Z_2 I_2''}{(Z_1+Z_2)} \quad (14)$$

13 এ বসান 12 তে বসিয়ে পাই

$$Z_2 I_1'' + (Z_2+Z_3)\left\{-\frac{(Z_1+Z_2)I_1''}{Z_2}\right\} - E_2 = 0$$

$$\Rightarrow I_1'' = \frac{-Z_2 E_2}{Z_1Z_2+Z_1Z_3+Z_2Z_3} \quad \text{--- (15)}$$

14 এর মান 12 তে বসিয়ে পাই

$$-\frac{Z_2^2 I_2''}{(Z_1+Z_2)} + (Z_2+Z_3) I_2'' - E_2 = 0$$

$$\Rightarrow I_2'' = \frac{(Z_1+Z_2)E_2}{Z_1Z_2+Z_1Z_3+Z_2Z_3} \quad \text{--- (16)}$$

(9+15) করলে,

$$I_1' + I_1'' = \frac{(Z_2+Z_3)E_1}{Z_1Z_2+Z_1Z_3+Z_2Z_3} - \frac{Z_2 E_2}{Z_1Z_2+Z_1Z_3+Z_2Z_3}$$

$$\Rightarrow \boxed{I_1' + I_1'' = I_1}$$

(10+16) করলে একই ভাবে

$$\boxed{I_2' + I_2'' = I_2}$$

অর্থাৎ, সকোনো উপাদান ও উপাদান দিয়ে প্রবাহিত প্রবাহ, জেনারেটর গুলো দ্বারা সৃষ্ট কারেন্ট সমূহের জোর সমষ্টির সমান। ৩ ও ৫ হতে ক উপরিপাতন বা সুপারপজিশনটি প্রমাণিত হয়।

Proved

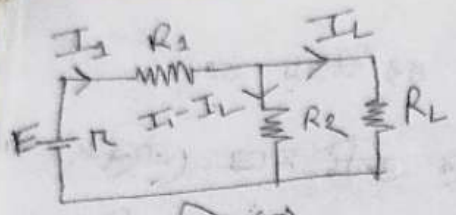
থেভেনিনের তত্ত্ব নিয়ে আলোচনা কর।

তত্ত্ব: একটি রৈখিক নেটওয়ার্ক বা e.m.f এর উৎস এবং প্রতিরোধ বিন্যাস করে তার যেকোন দুটি প্রান্তকে একটি মাত্র জেনারেটর উৎসের সাথে একটি মাত্র প্রতিরোধকে সিরিজ সংযোগ করে প্রতিস্থাপন করা যায়। যখন এদের সাথে বাহ্যিক বর্তনীর সংযোগ করা হয় তখন জেনারেটর উৎসের e.m.f এর সকল অভ্যন্তরিন উৎসকে তাদের অন্তঃরোধ দ্বারা প্রতিস্থাপন করা যায় তখন নেটওয়ার্কের প্রান্তদ্বয়ের মধ্যে সিরিজ প্রতিরোধ হবে সমতুল্য প্রতিরোধ।

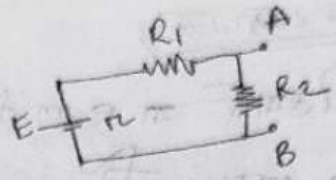
একটি রৈখিক নেটওয়ার্ক কে একটি লোডের মধ্য দিয়ে যুক্ত হয়েছে। এখানে e.m.f এর DC উৎস E অভ্যন্তরিন রোধ r_i এবং R_1, R_2 উৎসের সাথে শ্রেণি সমবায় যুক্ত আছে। এখানে A এবং B নেটওয়ার্কের দুটি প্রান্ত এবং এই দুই প্রান্তের সাথে বাহ্যিক রোধ R_L যুক্ত আছে। অতএব I_L তড়িৎ প্রবাহ R_L এর মধ্য দিয়ে যায় তবে

$$I_L = \frac{V}{R_L + R}$$

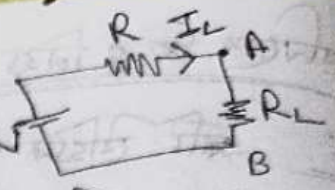
এখানে R হলো সমতুল্য রোধ।



চিত্র:(ক)



চিত্র (খ)



চিত্র:গ

চিত্র (ক) এ KVL প্রয়োগ করে পাই প্রথম loop এ

$$E = I_1(R_1 + r) + R_2(I_1 - I_L) \quad \text{——— (1)}$$

$$\Rightarrow E = I_1(R_1 + R_2 + r) - I_L R_2$$

আবার চিত্র:(খ) এর জন্য আমরা KVL প্রয়োগ করলে

$$I_L R_L = (I_1 - I_L) \cdot R_2$$

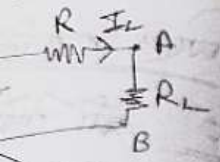
$$\Rightarrow I_1 = \frac{I_L(R_L + R_2)}{R_2} \quad \text{——— (2)}$$

(2) এর মান (1) এ বসিয়ে পাই,

$$E = \frac{I_L(R_L + R_2)}{R_2} \cdot (R_1 + R_2 + r) - I_L R_2$$

$$\Rightarrow I_L = \frac{E R_2}{(R_L + R_2)(R_1 + R_2 + r) - R_2^2}$$

$$\Rightarrow I_L = \frac{E R_2}{R_1 R_L + R_2 R_L + r R_L + R_1 R_2 + R_2^2 + r R_2 - R_2^2}$$



$$\Rightarrow I_L = \frac{ER_2}{R_1R_L + R_2R_L + rR_L + R_1R_2 + rR_2}$$

$$\Rightarrow I_L = \frac{ER_2}{R_L(R_1+R_2+r) + R_2(R_1+r)}$$

$$\Rightarrow I_L = \frac{E.\left(\frac{R_2}{R_1+R_2+r}\right)}{R_L + \frac{R_2(R_1+r)}{R_1+R_2+r}} \quad \text{—— (3)}$$

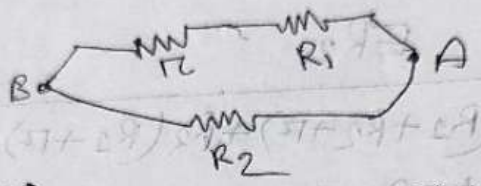
চিত্র (ঘ) অনুসারে, A,B প্রান্তের সাথে যদি R_L যুক্ত না থাকে। তাহলে নীট রোধের মধ্য দিয়ে I প্রবাহিত হবে,

$$I = \frac{E}{R_1+R_2+r}$$

চিত্র (ঘ) অনুসারে, A ও B প্রান্তের জন্য থেভেনিন বর্তনীর ক্ষেত্রে বিভব পার্থক্য, $V = I.R_2$

$$\Rightarrow V = \frac{E.R_2}{R_1+R_2+r} \quad \text{—— (4)}$$

চিত্র (২) অনুযায়ী A ও B প্রান্তের রোধ হবে



∴ তুল্য রোধ, A ও B প্রান্তের তুল্য রোধ,

$$\frac{1}{R} = \left(\frac{1}{R_2} + \frac{1}{R_1+r}\right)$$

$$\Rightarrow R = \frac{(R_1+r)\cdot R_2}{R_1+R_2+r} \quad (5)$$

(4, 5) নং সমীকরণ (3) এ বসিয়ে পাই,

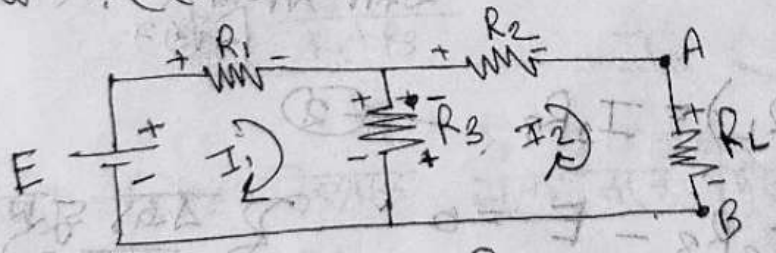
$$\boxed{I_L = \frac{V}{R_L+R}}$$

ইহাই থেভেনিনের প্রতিপাদ্য তত্ত্ব

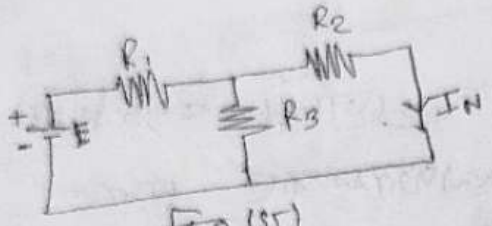
নরটনের উপপাদ্য বিবৃত কর ও প্রমাণ কর ?

উত্তর: যে কোনো সংযোজক ইলেমেন্ট ও ভোল্টেজ উৎস বিশিষ্ট একটি দুই টার্মিনাল নেটওয়ার্ককে আপসারণ করে, যেখানে কেবল একটি ~~ধ্রুবী নটনে~~ নর্টনের কারেন্ট উৎস ও একটি সমতুল্য ইমপিডেন্সের সমান্তরাল সমন্বয়ে গঠিত একটি সমতুল্য সার্কিট ব্যবহার করা যায়। এক্ষেত্রে নর্টন কারেন্ট হবে টার্মিনাল দুটোর মধ্যে ~~ধ্রুবী~~ সার্কিট কারেন্ট এবং সমতুল্য ইমপিডেন্স হবে ঐ স্থানের আউটপুট ইমপিডেন্স।

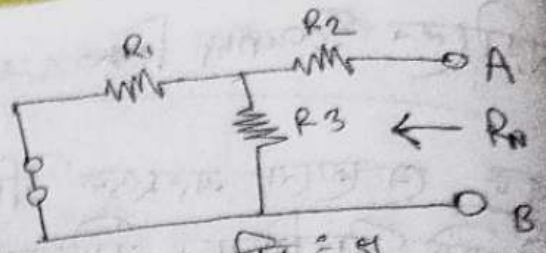
প্রমাণ: দুই প্রান্ত বিশিষ্ট একটি রৈখিক নেটওয়ার্ক ~~বিবেচনা~~ বিবেচনা করি যার একটি সক্রিয় ও একটি নিষ্ক্রিয় শাখা রয়েছে। ধরি দুই প্রান্তের লোড R_L যুক্ত আছে।



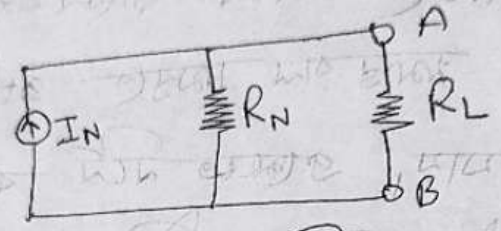
চিত্র (ক) নরটনের তত্ত্ব প্রমাণের মূল বর্তনী।



চিত্র (ঘ)



চিত্র : ঙ



চিত্র : চ

চিত্র : ঘনীনের সমতুল বর্তনী।

চিত্র ঘ হতে মনেকরি I_1 ও I_2 যথাক্রমে সক্রিয় ও নিষ্ক্রিয় নেটওয়ার্কের মধ্য দিয়ে প্রবাহিত যেন প্রবাহমান। তখন (1, 2) লুপে KVL প্রয়োগ করে পাই,

$$E = I_1(R_1+R_3) - I_2R_3 \quad \text{—— (1)}$$

→ একটি সক্রিয় ও অন্যটি নিষ্ক্রিয়

আবার,

$$I_2(R_2+R_3+R_L) = I_1R_3 \quad \text{—— (2)}$$

$$\therefore (R_1+R_3)I_1 - I_2R_3 - E = 0$$

$$\therefore -R_3I_1 + (R_2+R_3+R_L)I_2 + 0.E = 0$$

} বজ্র সূত্র করে পাই,

$$\frac{I_1}{E(R_2+R_3+R_L)} = \frac{I_2}{ER_3} = \frac{1}{R_1R_2+R_1R_3+R_1R_L+R_2R_3+R_3R_L}$$

$$\therefore \; I_2 = \frac{ER_3}{R_L(R_1+R_3)+R_2(R_1+R_3)+R_1R_3}$$

$$\Rightarrow \; I_2 = \frac{\frac{ER_3}{(R_1+R_3)}}{R_L+R_2+\frac{R_1R_3}{R_1+R_3}}$$

$$= \frac{\frac{ER_3}{(R_1+R_3)}}{R_L+K} \quad \text{—— (3)}$$

এখানে, $K = R_2 + \frac{R_1R_3}{R_1+R_3}$ এবং এখন A ও B প্রান্তকে

খোলা করলে $(R_L = 0)$ প্রবাহিত মোট সার্কিট প্রবাহ মানের

মান নির্ণয়ের (3) এ বসিয়ে পাই, তা (ম) নির্ণিত হল

$$I_N = \frac{\frac{ER_3}{R_1+R_3}}{K} = I_N \quad [R_L = 0] \quad \text{—— (4)}$$

এখন বিকল্প রীতিতে শূন্য করে দিলে প্রান্ত A ও B এর

মধ্যবর্তী রোধ, $R_N = K = R_2 + \frac{R_1R_3}{R_1+R_3}$ —— (5) (নির্ণেয় সমীকরণ)

৪২৩ সমীকরণ (3, 4, 5) হতে দেখা যায়,

$$I_2 = \frac{I_N k}{(R_N + R_L)} = \frac{I_N R_N}{(R_N + R_L)} \quad \text{—— (6)}$$

$$\therefore I_2 = \frac{\frac{E R_3}{R_1 + R_3}}{R_L + \left(R_2 + \frac{R_1 + R_3}{R_1 + R_3}\right)} = \frac{I_N k}{R_L + k}$$

$$\Rightarrow \boxed{I_2 = \frac{I_N R_N}{R_N + R_L}} \quad \text{—— (6)}$$

থাকার, বিবেচ্য বর্তনীর নর্টনের সমতুল্য বর্তনী চিত্র (ঘ) হতে দেখা লোডের মধ্য দিয়ে প্রবাহ মাত্রা,

$$I_2 = \frac{I_N R_N}{(R_N + R_L)} \quad \text{—— (7)}$$

∴ দেখা যাচ্ছে যে সমীকরণ (6, 7) একই রকম সুতরাং নর্টনের নীতির তত্ত্ব প্রমাণিত হয়।

AC উৎস হলে R এর পরিবর্তে Z অর্থাৎ

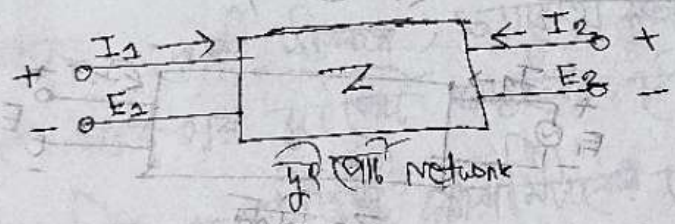
$$I_2 = \frac{I_N Z_N}{(Z_N + Z_L)} \text{ হবে}$$

Important || দুই পোর্ট নেটওয়ার্কের সমীকরণ, বিভিন্ন প্যারামিটার ও সমতুল বর্তনী।

① Impedance parameter ② Admittance Parameter

③ Hybrid parameter.

① Impedance parameter | কোনো রৈখিক দুই পোর্ট সমতুল নেটওয়ার্ক প্রতিষ্ঠার জন্য যোগাযোগকারী বিভিন্ন প্যারামিটারকে যেটাকে Impedance parameter বলে, একটি দুইপোর্ট network বিবেচনা করি।



দুই পোর্ট network

I_1 = Input প্রবাহমাত্রা
I_2 = output প্রবাহমাত্রা
E_1 = input ভিত্তি
E_2 = output ভিত্তি
Z = ইমপিডেন্স।

input ও অউটপুট বর্তনীর সমীকরণ:

$$E_1 = I_1 Z_{11} + I_2 Z_{12} \quad \text{—— (1)}$$

$$E_2 = I_1 Z_{21} + I_2 Z_{22} \quad \text{—— (2)}$$

∴ Z_{11} নির্ণয় || 1নং সমীকরণে $I_2 = 0$ বসালে, $E_1 = Z_{11} I_1 + 0$

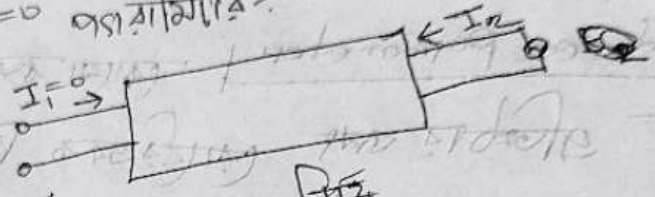
∴ খোলা বর্তনীর input Impedance Parameter

$$Z_{11} = \frac{E_1}{I_1}$$

Z_{12} নির্ণয়ঃ (1) নং সমীকরণে $I_1 = 0$ (input খোলা করে) বসিয়ে পাই

$E_1 = 0 + I_2 Z_{12}$

$\Rightarrow Z_{12} = \left.\frac{E_1}{I_2}\right|_{I_1=0}$ = খোলা বর্তনীর বিপরীত চলাচল ইমপিডেন্স পরামিতির।

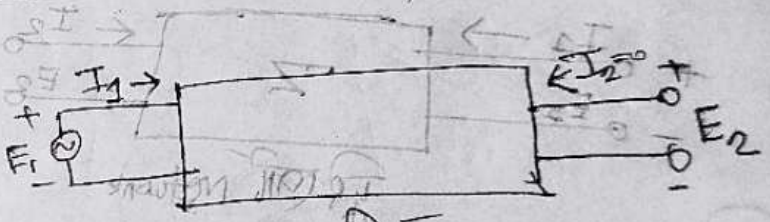


Z_{12} নির্ণয়

Z_{21} নির্ণয়ঃ (2) নং সমীকরণে, $I_2 = 0$ (খোলা বর্তনীর সরাসরি চলাচল ইমপিডেন্স)

$E_2 = 0 + I_1 Z_{21}$

$Z_{21} = \left.\frac{E_2}{Z_{21}}\right|_{I_2=0}$

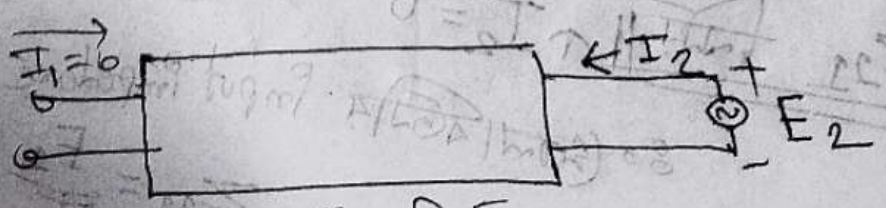


Z_{21} নির্ণয়

Z_{22} নির্ণয়ঃ 2 নং সমীকরণে, $I_1 = 0$ বসালে,

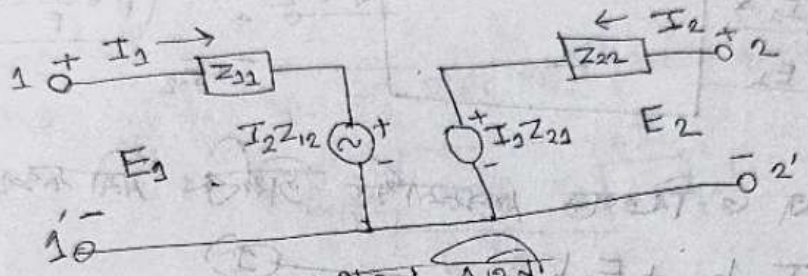
$E_2 = I_2 Z_{22}$

$Z_{22} = \left.\frac{E_2}{I_2}\right|_{I_1=0}$ = খোলা বর্তনীর আউটপুট Impedance Parameter



Z_{22} নির্ণয়

সমীকরণ (১, ২) অনুযায়ী, সমতুল বর্তনী আঁকা যায়,

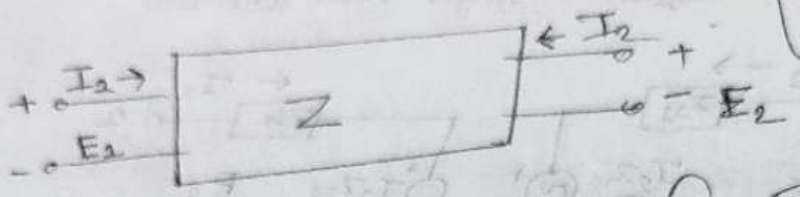


সমতুল বর্তনী

হাইব্রিড প্যারামিটার | প্যারামিটার বর্তনীর ফাংশন সমীকরণের অন্তর্ভুক্ত রুক্ষরাশি বিশ্লেষ যা বর্তনীর বিশ্লেষে বৈশিষ্ট্য যেমন যোর্ন, বিকল্প, ভোল্টেজ কত ইত্যাদি অনুরূপ, কোনো ব্যবস্থার দুইপোর্ট সমতুল নেটওয়ার্ক প্রতিষ্ঠার জন্য মিশ্র ধরন বিশ্লেষ প্যারামিটারের সেটকে হাইব্রিড প্যারামিটার বলে। এদের হাইব্রিড প্যারামিটার বলা হয় কেননা প্যারামিটার গুলো মিশ্র মাত্রা বিশ্লেষ।

একটি দুইপোর্ট বর্তনী বিবেচনা করি।

$R = \frac{E}{I}$ = Impedance
$R' = \frac{I}{E}$ = Admittance



∴ আমরা ও বিভবকে নিম্নোক্ত রাশিতে প্রকাশ করব।

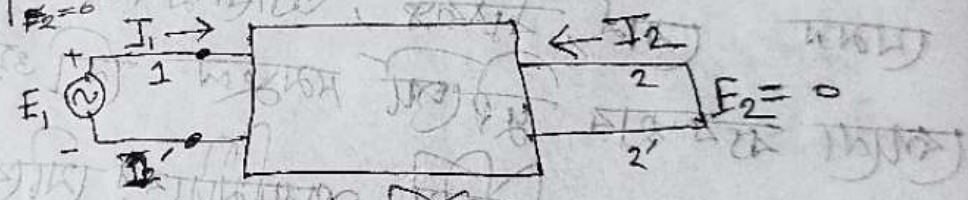
$$E_1 = I_1 h_{11} + E_2 h_{12} \quad (1)$$

$$I_2 = I_1 h_{21} + E_2 h_{22} \quad (2)$$

h_{11} নির্ণয় (1) নং সমীকরণে $E_2 = 0$ বসিয়ে পাই

$$E_1 = I_1 h_{11}$$

$$\Rightarrow h_{11} = \left.\frac{E_1}{I_1}\right|_{E_2=0} = h_i = \text{ইনপুট ইমপিডেন্স}$$ Input Impedence Parameter

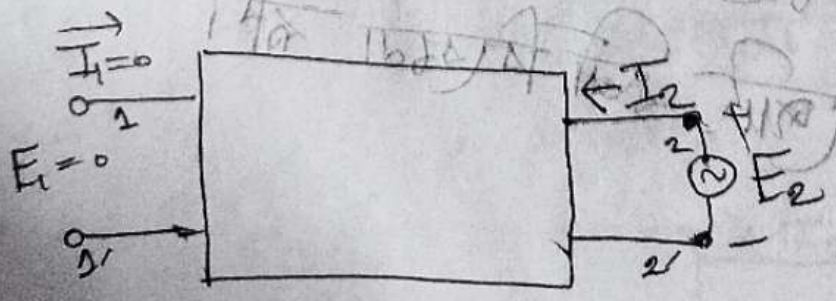


h_{11} নির্ণয়

h_{12} নির্ণয় (1) নং সমীকরণে $I_1 = 0$ বসিয়ে পাই

$$E_1 = E_2 \cdot h_{12}$$

$$\Rightarrow h_{12} = \left.\frac{E_1}{E_2}\right|_{I_1=0} = h_r = \text{ভোল্টেজ রিভার্স ট্রান্সফার রিভের অনুপাত}$$

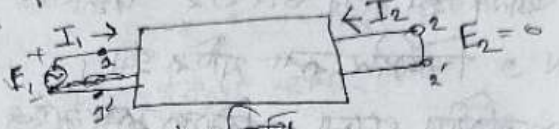


h_{12} নির্ণয়

h_{21} নির্ণয়: (২) সমীকরণে $E_2 = 0$ বসিয়ে পাই

$I_2 = h_{21} I_1$

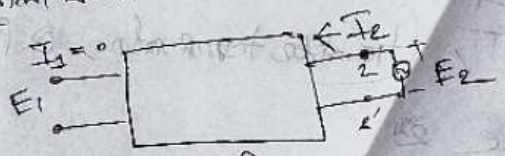
$\Rightarrow h_{21} = \left.\frac{I_2}{I_1}\right|_{E_2=0} = h_f$ = ধনি প্রবাহ লাভ প্রবাহলাভ = যুগ্ম



h_{21} নির্ণয়

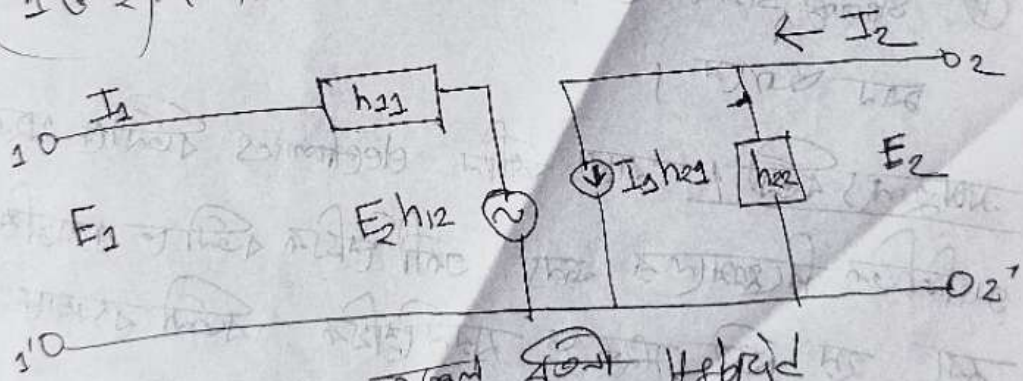
h_{22} নির্ণয়: ২ (নং) সমীকরণে, $I_1 = 0$ বসিয়ে পাই

$h_{22} = \left.\frac{I_2}{E_2}\right|_{I_1=0} = h_o$ = খোলা বর্তনী আউটপুট অ্যাডমিটেন্স



h_{22} নির্ণয়

∴ (১ ও ২) নং সমীকরণ দিয়ে Hybrid সমতুল্য বর্তনী,



সমতুল্য বর্তনী Hybrid

hybrid Parameter এর সুবিধা।

① যেহেতু transistor এর input, output রাশির ও voltage এর মধ্যে হিসাবে আনা হয় না। তাই এই পদ্ধতিতে transistor circuit বিশ্লেষণ ও ডিজাইন করা সঠিক হয়।

② h- প্যারামিটার গুলো পরিমাপ করা সহজ।

সীমাবদ্ধতা ॥ h এর সঠিক মান পাওয়া কঠিন। কারণ Parameter গুলো (transistor temperature, Q point) change করলে h change হয়

(i) এটাকে সরাসরি প্রয়োগ করা যায় না।

(ii) AC Strong Signal এ মান সঠিক থাকে না, দুর্বল AC Signal এ কার্যকারিতা মান আসে।

সমতুল্য বর্তনী :- কোনো জটিল electronics বর্তনীকে সহজভাবে গাণিতিক বিশ্লেষণের জন্য একটি রৈখিক বর্তনীতে রূপান্তরিত করা হয় এবং সহজ ও সরল রৈখিক বর্তনী ব্যবস্থাকে সমতুল্য বর্তনী বলে।

হাইব্রিড প্যারামিটার। কোনো বর্তনীর দুই পোর্ট সমন্বিত নেটওয়ার্ক বিবেচনা করে যিনি একক বিশিষ্ট প্যারামিটারের সেটকে হাইব্রিড প্যারামিটার বলে।

উপরিপাতন নীতি:- কোনো রৈখিক দ্বি-পাক্ষিক নেটওয়ার্কে কোন বৈদ্যুতিক উপাদানের মধ্য দিয়ে বিদ্যুৎ প্রবাহমাত্রা এবং এর সমস্ত উপাদান বরাবর বিভব পার্থক্য পৃথক পৃথক উৎসের জন্য প্রবাহমাত্রা ও বিভব পার্থক্যের বীজগাণিতিক যোগফলের সমান।

বুঁক কারেন্ট উৎস। যে তড়িৎ উৎসের অভ্যন্তরীন ইম্পিডেন্স বহিস্থ লোড ইম্পিডেন্সের তুলনায় অতি উচ্চমানের তাকে বুঁক কারেন্ট উৎস বলে।

নীরেক্ত কারেন্ট:- $I_B = 0$ হলেও যে কারেন্টের প্রবাহ মাত্রা পাওয়া যায় তাকে নীরেক্ত প্রবাহমাত্রা বলে।

স্থির বিভব উৎস। যে তড়িৎ উৎসের অভ্যন্তরীন impedance বহিঃস্থ লোড impedance তুলনায় অতি ক্ষুদ্র হয় তাকে স্থির বিভব উৎস বলে। লোড কারেন্ট পরিবর্তনের সময় আউটপুট ভোল্টেজ প্রায় সমান থাকে।

স্থির প্রবাহ উৎস। যে মৌলিক উৎসের অন্তঃস্থীন Impedance বিশিষ্ট লোড ইমপিডেন্স তুলনায় অতি উচ্চমানের তাকে স্থির প্রবাহ উৎস বলা হয়।

থেভিনিনের তত্ত্ব ও নর্টনের তত্ত্বের মধ্যে পার্থক্য

থেভিনিনের তত্ত্ব: যে বর্তনীর দুই প্রান্ত বিশিষ্ট রৈখিক দ্বি-পাক্ষিক নেটওয়ার্ক কে একটি বিভব উৎসের সাথে সিরিজে রোধ যুক্ত করে একটি সমতুল বর্তনী দ্বারা প্রতিস্থাপিত করা হয় তাকে থেভিনিন তত্ত্ব বলে।

(i) সকল বিভব উৎস ও প্রবাহ উৎসকে মৃত করে থেভিনিন রোধ নির্ণয় করা হয়।

(ii) বিভব ও প্রবাহ উৎসকে পুনঃস্থাপিত করে থেভিনিন বিভব Eth নির্ণয় করা হয়।

(iii) পরবর্তীতে চিহ্নিত দুই প্রান্তের মধ্যবর্তী খোলা বর্তনীর বিভব নির্ণয় করা হয়।

নীতির তত্ত্ব :

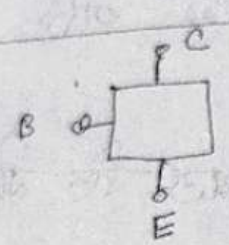
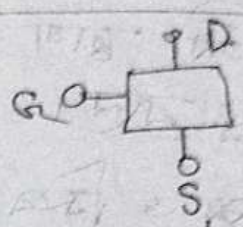
(i) যে বর্তনীতে যে কোন দুই অন্তর্নিহিত বৈধিক দ্বি-পাক্ষিক নেটওয়ার্ককে কারেন্ট উৎসের সাথে সমান্তরালে যোগ যুক্ত সমতুল বর্তনী দ্বারা প্রতিস্থাপন করা হয় তাকে নীতি তত্ত্ব বলে।

(ii) কারেন্ট উৎস ও ভিন্ন উৎসকে প্রথমে খোলা বলে নীতি যোগ নির্ণয় করা হয়।

(iii) ভিন্নও কারেন্ট উৎসকে পুনঃস্থাপিত করে নীতি কারেন্ট নির্ণয় করা হয়।

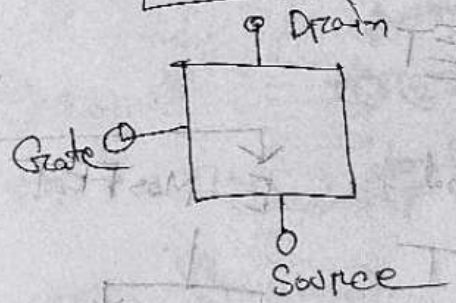
(iv) পরবর্তীতে দিক দুই প্রান্তের সংযোগ ~~[illegible]~~ এটি সার্কিট কারেন্ট বের করা হয়।

Chapter : 5 FET | field effect transistor

BJT / Bipolar junction transistor	F.E.T field effect transistor
 এখানে তিনটি terminal বিদ্যমান, Base emitter, collector	 এখানে তিনটি terminal বিদ্যমান Source, Gate, Drain
Bipolar	এতে electron ও Hole দ্বারা তড়িৎ প্রবাহিত হয়।	Unipolar	electron অথবা Hole, যেকোনো একটি দ্বারা তড়িৎ প্রবাহিত হয়।
এখানে NPN, PNP ট্রানজিস্টার বিদ্যমান এবং circuit এর total output collector current এগুলো মূল (I_B Base current দ্বারা control করে)	এটি একটি voltage control device বলে কারণ Drain এর current মূলত V_{GS} Source ও Gate এর voltage দ্বারা control করা হয়
BJT তে শব্দ বেশি বিধায় উপযুক্ত হয়	FET তে শব্দ কম বিধায় উপযুক্ত হয়।
BJT এর আকার তুলনামূলক বড়	FET এর আকার BJT এর ($\frac{1}{5}$) অংশ।

BJT এর সমস্যা কম	FET এর সমস্যা বেশি
Low Input impedance	High Input impedance
voltage কম / current বেশি	অর্থাৎ, voltage বেশি current কম।
এটি বাহক electron & hole	এটি বাহক electron or hole
শক্তি বিকিরণ করে। যেমন LED	শক্তি বিকিরণ করে না।
খুলনা বড়ো	আকারে বড়
তাপীয় স্থিতিশীলতা ভালো নয়	তাপীয় স্থিতিশীলতা ভালো

F.E.T



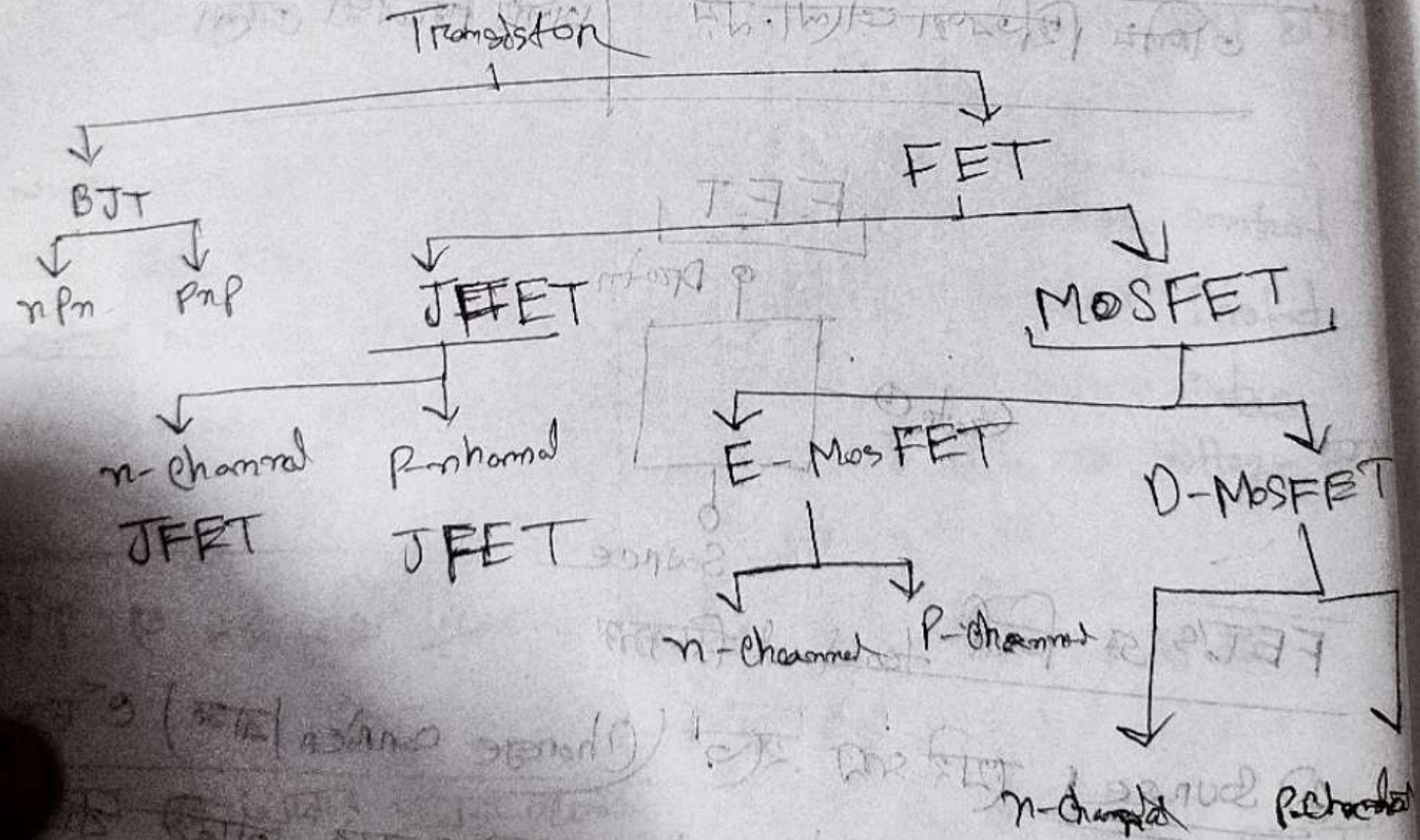
FET's এর তিনটি ~~terminal বিদ্যমান~~

① Source — যেই সোর্স হতে (Charge carrier বাহক) e^- অথবা hole Channel এ প্রবেশ করে তাকেই বা

এই terminal কে source বলে।

Drain: যেই পথ হতে বাহক (e⁻ or hole) channel হতে বাহির হয়ে যায় সেই terminal কে Drain বলে।

Gate: যেই terminal দ্বারা channel এর পরিবাহিতা নিয়ন্ত্রণ করা হয়, অর্থাৎ বিভব channel এর পরিবাহিতা control করে তাই এই terminal হলো Gate

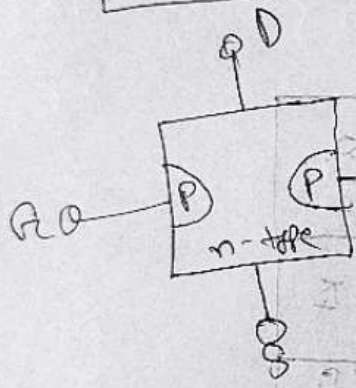


MOSFET → ~~Metal~~ Metal Oxide Semiconductor Field Effect Transistor

E - MOSFET → Enhancement - MOSFET

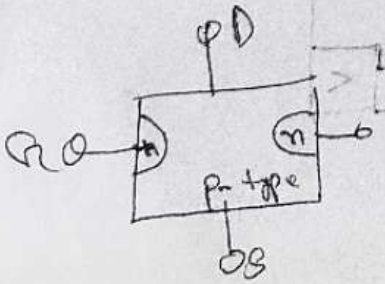
D - MOSFET → Depletion - MOSFET

JFET, এই ভাবে থাকে হয়।

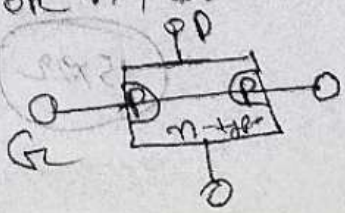


~~একটি~~ প্রশস্ত n-type এর body বা channel এর Gate এর সাথে সাথে P type doping করা হয়। এবং এর সাথে ~~P type~~ ~~দুটো~~ block লাগানো হয়েছে যারা P-type hardly doped করা থাকে। body টি N-type বা negative e⁻ বলেই একে N-channel JFET বলা হয়।

n-channel



কিছু blocks (P or n) এর terminal জোড়াকারে থাকে,



2

J. FET হলো Unipolar transistor cause এখানে electron অথবা hole এর জন্য তড়িৎ প্রবাহ ঘটে থাকে।

∴ N-channel JFET : যদি electron এর জন্য তড়িৎ প্রবাহিত হয়

∴ P channel JFET : যদি hole এর জন্য তড়িৎ প্রবাহিত হয়।

B.J.T || এর মধ্যে (npn) is better than (pnp) cause, npn এর e^- হলো ~~minority~~ majority carrier, e^- বেশি থাকে তাই npn transistor ভালো।

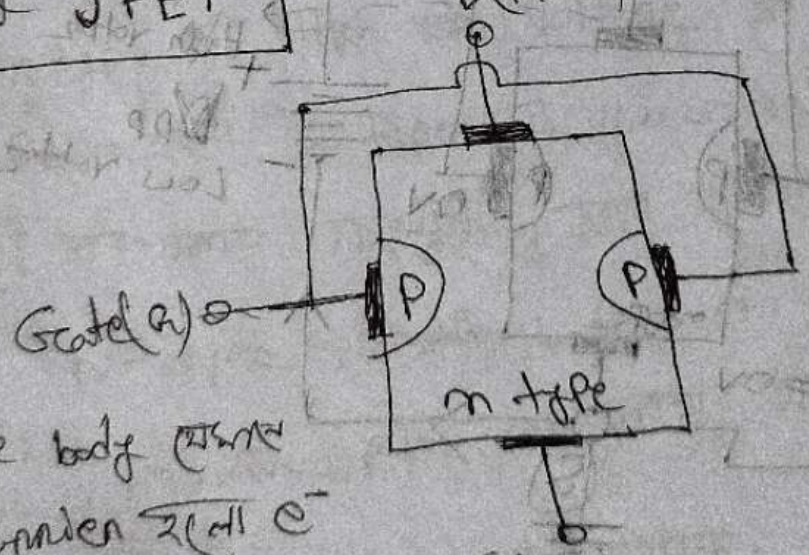
then hole তাই nPn transistor ভালো।

ঠিক তেমনি JFET এর মধ্যে N-channel ভালো থাকে।

$\log_{10} 100 = 2$

$e^{\log} = e^2$

n-channel JFET



এখানে n-type body যেখানে majority carrier হলো e^-

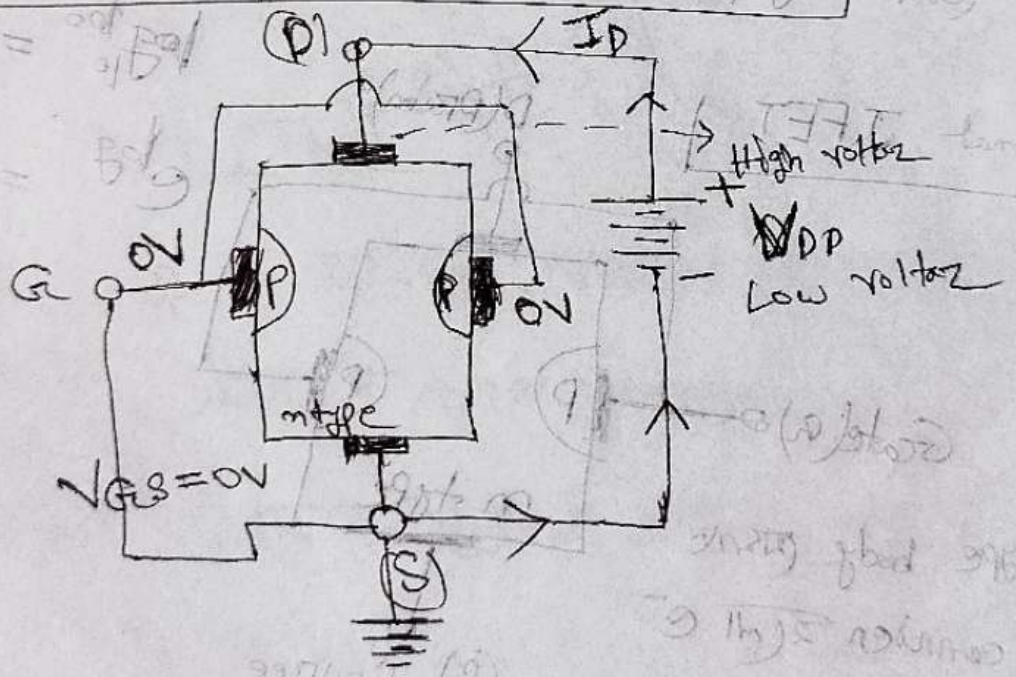
Gate বরাবর highly p-type doping করে তড়িৎ যুক্ত করা হয়েছে। যেদিকে e^- প্রবেশ

3 (D) দিয়ে e^- বাহির করা হয়, যেহেতু e^- এর বেগের দিকের বিপরীত হলো তড়িৎপ্রবাহের দিক তাই (D) দিকে (S) এর মধ্যে তড়িৎ প্রবাহমান থাকবে। এবং এর প্রবাহমাত্রা নির্ভর করবে V_{GS} = G ও S এর মধ্যবর্তি বিভব, পথে

২টি case বিদ্যমান, ① $V_{GS}=0$ হলে $V_{DS}>0$, $I_D>0$

② $V_{GS}<0$ হলে $V_{DS}>0$

Case 1 when $V_{GS}=0$, $V_{DS}>0$



Source ও Drain হলো n-type এবং n-channel এর মধ্যে Gate এর দুই পাশে highly (P-type) doping

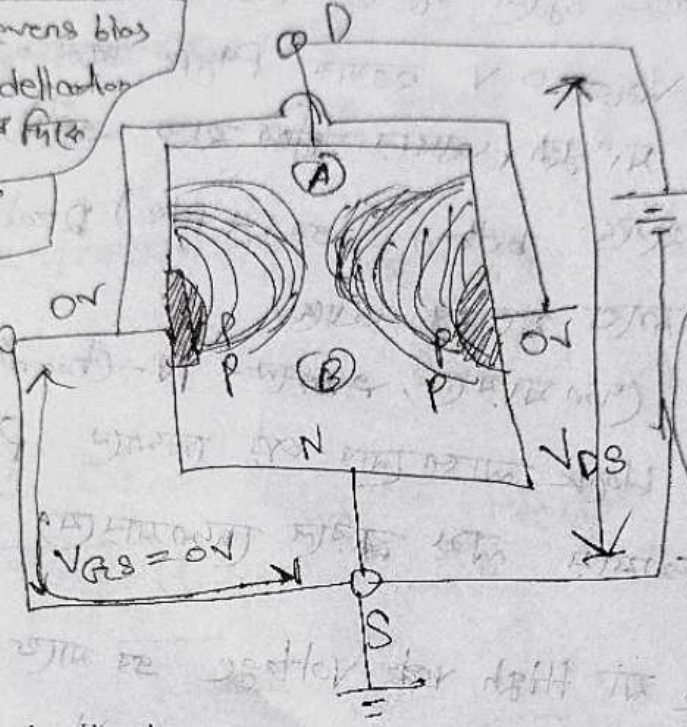
করা হয়েছে। Gate ও Source এর মধ্যে একটি বিভব $V_{GS}=0$ যার connection মূলত Ground করে দেয়া হয়েছে

∴ P type doping গুলো মূলত Gate এর পাশে করা হয়েছে এবং $V_{GS}=0$ V হওয়ায় P type মূলত low voltage দ্বারা সংযুক্ত। আমার বাহির হতে একটি battery সংযুক্ত করা হয়েছে battery এর (+ pole) Drain ও (− pole) Source এর সাথে সংযুক্ত আছে।

বিদ্যুৎ লক্ষ করলে দেখা যায়ে যে, N-channel এ p-type doping block লাগানোর এর মধ্যে P-N ও N-P Junction এ দেখা যায় লক্ষ করলে দেখা যায় যে Drain হলো N-type যা High voltage এর সাথে সংযুক্ত এবং Gate হলো P-type যা Low voltage এর সাথে বা (0V) এর সাথে সংযুক্ত। যার কারণে বলা যেতে পারে N-type, battery এর positive ও P type, negative pole এর সাথে সংযুক্ত হওয়ায় এখানে Reverse bias দেখা যায়। আমরা জানি Reverse bias এ battery on করলে P-N Junction

এর মধ্যে deplication layer বৃদ্ধি পায়, যা চিত্রে মাধ্যমে দেখানো হলো।

(A) এখানে Revers bias বেশি তাই deplication layer উপরের দিকে voltage drop কম



B এখানে Reverse bias কম তাই depliction layer কম cause voltage drop অনেক বেশি

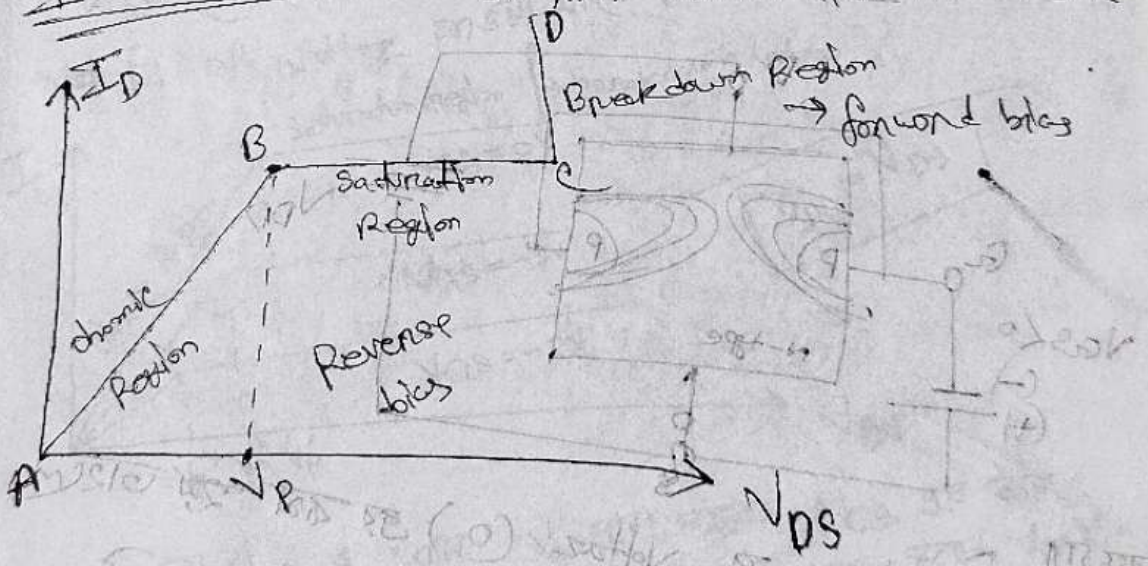
P-N junction
P type এর deplication layer বেড়ে যায়। এবং Drain থেকে Voltage drop হতে হতে হবে Source এ এসে Low voltage হয়ে যায়। Deplication layer এত এত পরিমাণ বৃদ্ধি পেয়েছে যে, দুই layer এর মাঝে খুব অল্প পরিমাণ পথ আছে চার্জ প্রবাহের জন্য।

Deplication layer বাড়ার কারণে Channel আরো পাতলা হয়ে যায়, যার কারণে external

voltage বাড়ালে হলেও N- channel এর মধ্যে তড়িৎ প্রবাহ constant থাকে for depliction layer

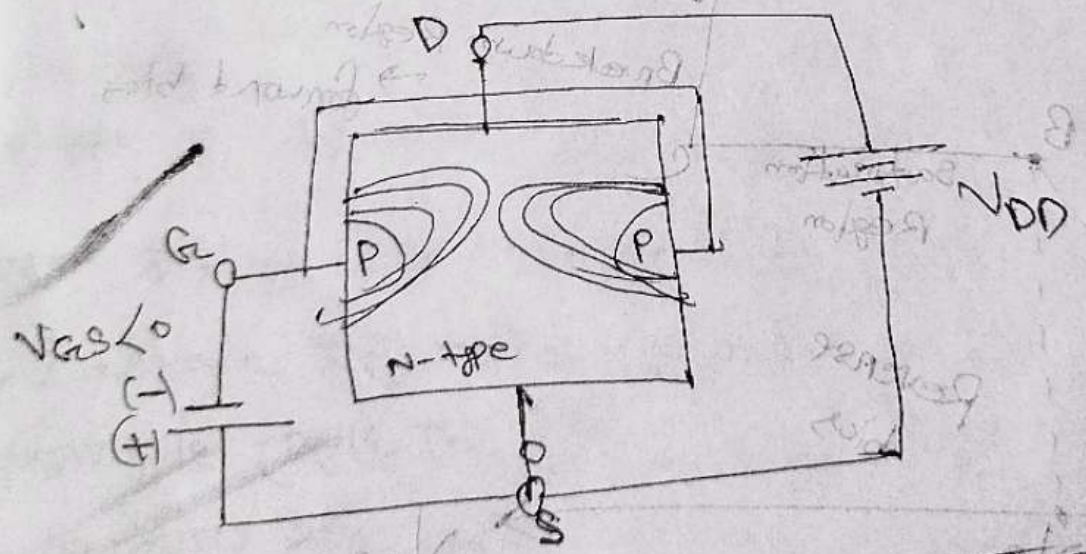
Pinch off situation, যখন depliction layer বৃদ্ধি পেয়ে তড়িৎ প্রবাহ বন্ধ হয়ে যায় voltage বৃদ্ধি করলেও তড়িৎ প্রবাহ বন্ধ থাকে। সেই voltage ও এই situation Pinch off of voltage বলে এবং V_P দ্বারা প্রকাশ করা হয়। V_P তে আসলে current বন্ধ হয়। voltage আরো পরিমাণ বৃদ্ধি পেলে এর সময় circuit forward bias হয়

I- V Curve



উপরে দেখা যাচ্ছে যে, V_{DS} বাড়ার সাথে সাথে I_D বৃদ্ধি পাচ্ছে। কিন্তু A→B Point পর্যন্ত ohm ohm এর মধ্যে মান লেখা হয় যখন Pinch off voltage হয় তখন I_D বৃদ্ধি না পেয়ে খুব কমে। Voltage V_{DS} বৃদ্ধি পেলেও I_D খুব কম থাকে। BC হলো Saturation Region যা ohm এর মধ্যে মানানসই তবে, Volt Voltage >>>> V_P হলে N-channel এর breakdown হয়ে যায় এবং অধিক পরিমান অধিক প্রবাহ হয়।

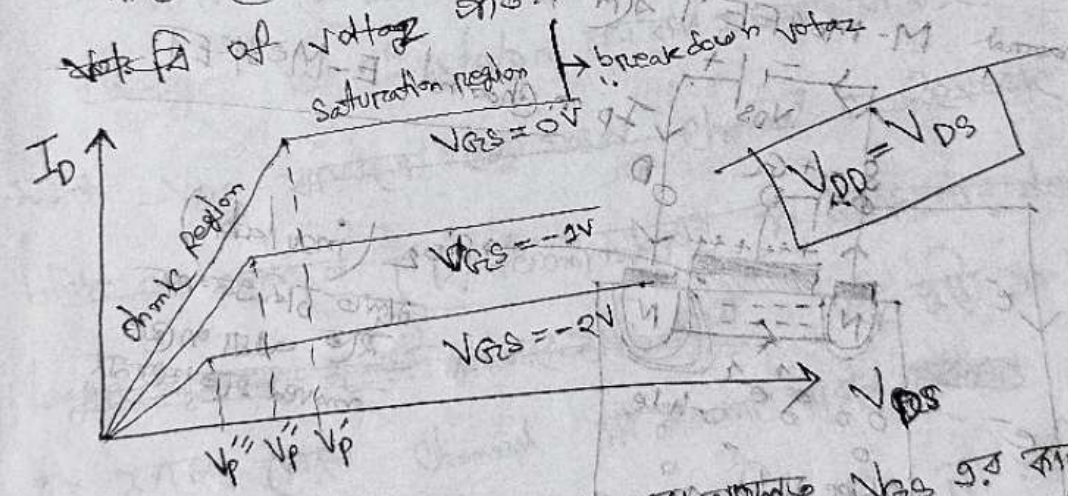
Case - 2 $V_{GS} < 0$, $V_{DS} > 0$



ব্যাখ্যা: যদি V_{GS} এর Voltage (0) এর কম হয় তাহলে external voltage V_{DD} এর কম voltage এর কারণেই

depliction layer বাড়বে, অর্থাৎ

as a example, যদি, যখন $V_{GS} = 0V$ ছিলো এবং $V_{DD} = 4V$ দেয়া হয়েছিল তখন Drain to source এর মধ্যে Voltaz drop এর কারণে depliction বড় হচ্ছিল, কিন্তু যখন $V_{GS} < 0$ করা হলো তখন V_{DD} এ একই মানের জন্য Depliction layer আরো দ্রুত বড় হচ্ছিল, অর্থাৎ V_{GS} এর মান যত কম হবে ততদ্রুত Depliction layer বাড়বে, যার কারণে বলা যেতে পারে যে, V_{GS} যত কম হবে তত দ্রুত pinch of voltaz পাওয়া যাবে।

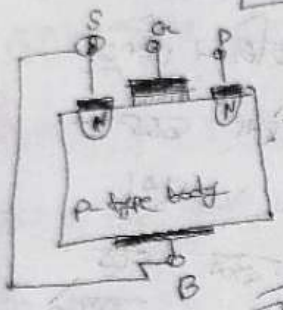


কম V_{DS} এ আমরা V_P পাবো, যাহাতে V_{GS} এর কারণে হয়ে থাকে, কারণ $V_{GS} < 0$ নেয়া হয়

MOSFET

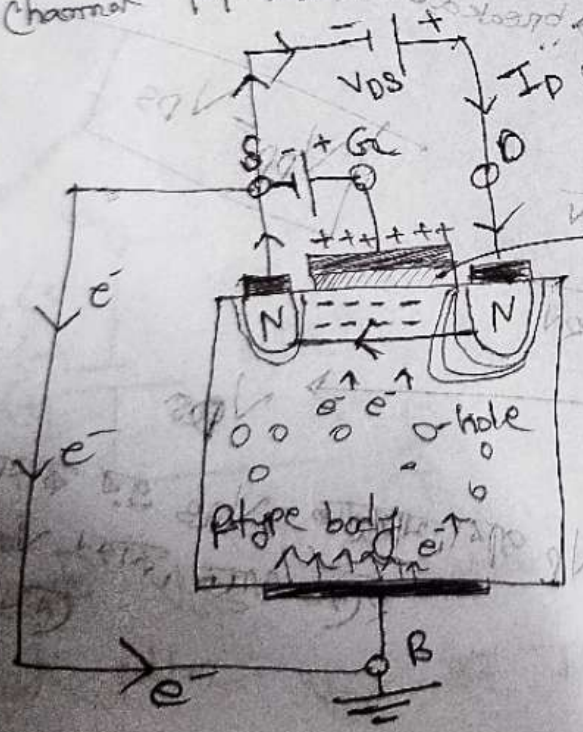
M-MOSFET

Mosfet ও doping করা উপাদান দিয়ে channel করলে doping হতে change তার তাপাই হয় Eg n-channel



MOSFET এ মতো ~~Source~~ Source, Gate, Drain এবং Body terminal কিন্তু Source ও Body terminal একসাথে সংযুক্ত থাকে তাই এই দুই terminal কে আমরা একটি হিসাবে গণ্য করব। MOSFET এ যখন p-type body তে S ও (D) terminal ও N-type doping করা হয় তখন একে N-channel M-MOSFET বলে।

E-MOSFET



মূলত চার্জ একপাশ হতে অন্য পাশে moved হতে পারে না

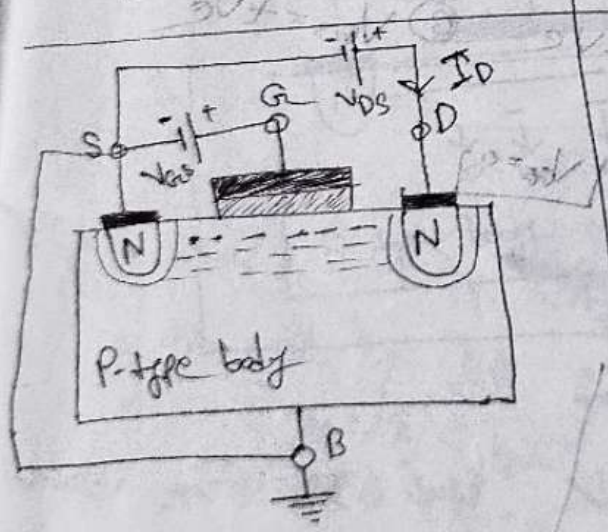
কারণ ॥ এখানে N-channel M-MOSFET নেয়া হয়েছে যেখানে সেমিকন্ডাক্টর body হলো P-type এবং (S,D) এর পাশে, n-type doping করা হয়েছে। (S,D) terminal কে join করা হয়েছে (-), (+) pole দ্বারা যাতে Reverse bias তৈরী হয় কারণ MOSFET এর n-type এর সাথে (D) terminal V_{DS} এর Positive pole এবং Body terminal এর (+) P-type এর সাথে (-) pole সংযুক্ত থাকে যার কারণে এখানে Reverse bias দেয়া যায়। কিন্তু আবার P-type body channel কে ও (G) terminal এর মাঝে (SiO_2 Insulator) লাগানো থাকে যাতে কারো Charge এই Insulator এর মধ্যে যাতায়াত না করতে পারে। ~~যখন V_{DS} বাড়ানো হয় তখন channel এ Reverse bias এর কারণে (D) terminal এর n block এর depletion layer এলাকা বেশি হয়ে বৃদ্ধি পায়~~ এবং দুটো n block এর মাঝে কোনো channel না থাকার কারণে ~~কোনো~~ সেখান হতে কোনো প্রকার তড়িৎ প্রবাহিত হয় না যদিও V_{DS} দেয়া হচ্ছে কেননা। তাই যখন অধিক মাত্রায়

V_{GS} বাড়ানো হয় তখন V_{GS} এর কারণে e^- গুলো পরিবাহিত হয়ে Body terminal হতে P-type body তে প্রবেশ করে এবং, Negative charge গুলো দুটি n-block doping করা n-block এর মাঝে সরে জমা হয়ে channel তৈরী করে। যার কারণে যখন V_{DS} দেয়া হয় তখন I_D তড়িৎ প্রবাহিত হয়ে High to low voltage এ যেতে পারে। এখন V_{DS} বৃদ্ধি করলে Revers bias এর জন্য D-terminal এর doping করা n-block এর depliction layer বড় হবে এবং দুই n-block এর channel সরু করার চেষ্টা করবে যাতে তড়িৎ কম প্রবাহিত হয়, যদি V_{GS} stop রেখে V_{DS} বাড়ানো হয় তাহলে ~~তড়িৎ প্রবাহিত~~ ~~হবে~~ I_D খুব খারাপ like JFET এর মত, তাই তড়িৎ প্রবাহ বাড়ানোর জন্য দুই N-block এর মাঝখানে e^- এর সংখ্যা বাড়াতে হবে অর্থাৎ V_{GS} বাড়াতে হবে

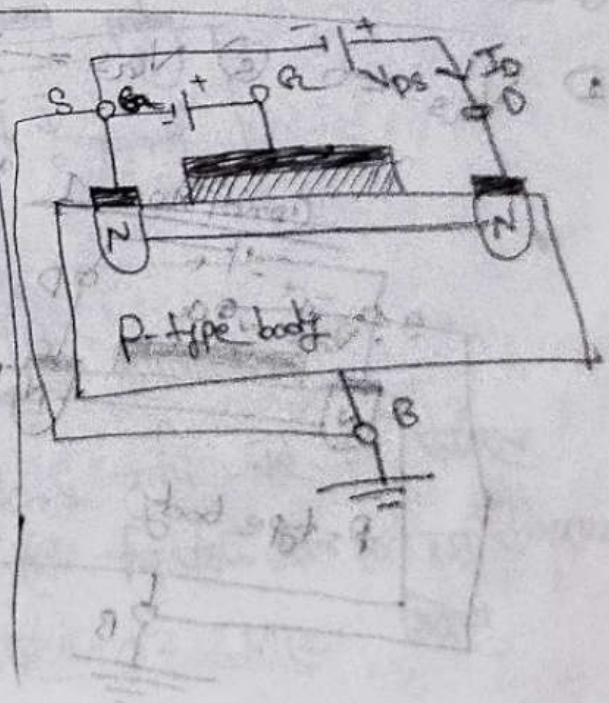
যাতে করে যেখানে দুই block এর মধ্যবর্তী channel
বন্ধ হয় এবং V_{DS} এর কারণে I_D তখন প্রবাহিত হয়।
এবং আমরা G- terminal এর (SiO2) layer এর উপরের (positive charge/hole) এবং (SiO2) layer এর
নিচের e⁻ গুলো অপসারিত হতে পারবে না due to
(SiO_2 layer/ Passivation).

D-MOSFET

E - MOSFET



D-MOSFET

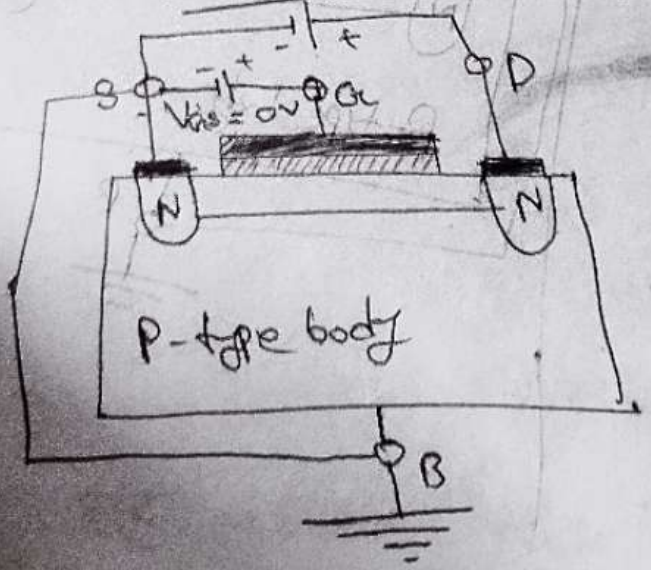


E-MOSFET এ মূলত প্রবাহের I_B তড়িৎ প্রবাহের জন্য N Blocks গুলোর মধ্যে কোনো প্রকার Channel বা যোগপথ থাকে না। যোগপথ বা Channel তৈরী করার জন্য V_{GS} Volt এবং পরবর্তীতে V_{DS} V_{th} অতিক্রম হলে Channel তৈরী হয়।

কিন্তু D-MOSFET এ মূলত I_B তড়িৎ প্রবাহের জন্য N-Blocks গুলোর মধ্যে আগেথেকেই Channel তৈরী করা থাকে, যার কারণে আমরা তিনটি condition এর কারণে আমরা I_B', I_B'', I_B''' পাবো,

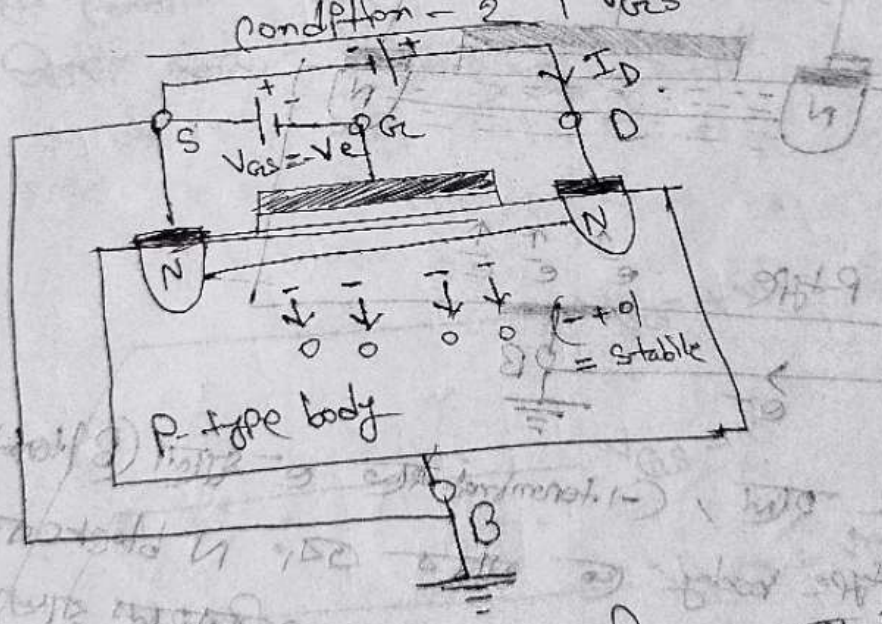
① $V_{GS} = 0$ ② $V_{GS} = -ve$ ③ $V_{GS} = +ve$

Condition 1 [$V_{GS} = 0$]



∴ চিত্রে V_{DS} বাড়ালে I_D বাড়বে। V_{DS} যদি অতিরিক্ত বাড়ানো হয় তবে I_D = constant হবে কেননা V_{DS} বেশি বাড়ালে n-type block গুলো depletion layer বেড়ে যাবে যার কারণে I_D constant থাকবে। V_{DS} বেশি বাড়ানো হলেও I_D constant থাকবে। এখানে ধরি, $I_D = I_D'$

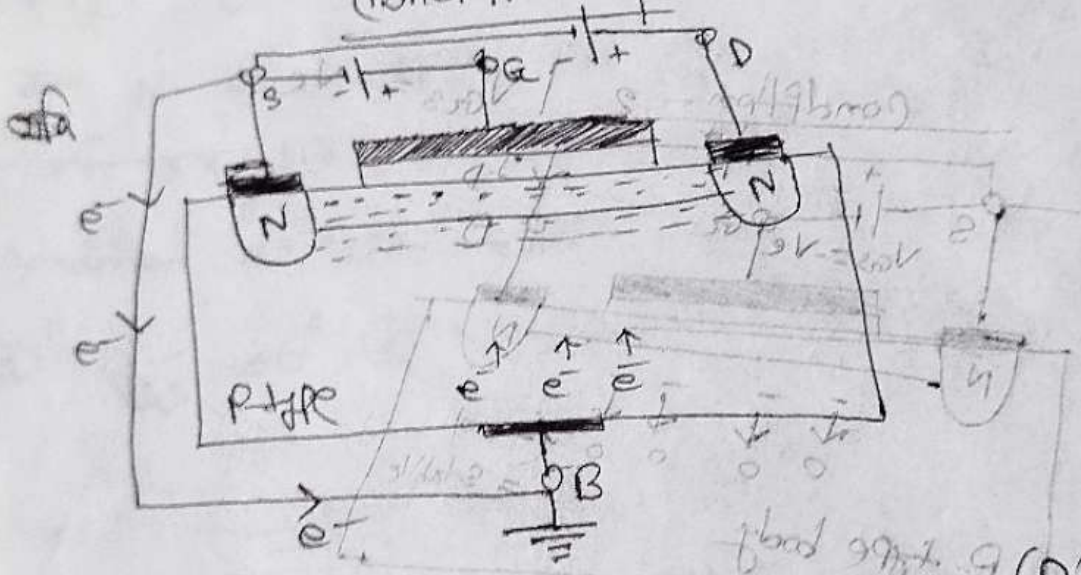
condition - 2 | $V_{GS} = -Ve$



এখানে, একই ভাবে just V_{GS} যদি -ve হয় তাহলে N blocks এর e^- গুলো কে বিকর্ষিত করবে যা ইলেকট্রন P-type এর Hole এর সাথে মিলে

সমান অবস্থায় চলে যাবে, এবং V_{DS} এর কারণে Reverse bias এ depletion layer বড় হয়ে n-blocks এর মধ্যবর্তী channel গুলো আরো সরু হয়ে যায় যার কারণে I_D কিছু চলতে থাকে বেশি কিছু যায়। এখন $I_D = I_D''$ ধরি,

Condition-3



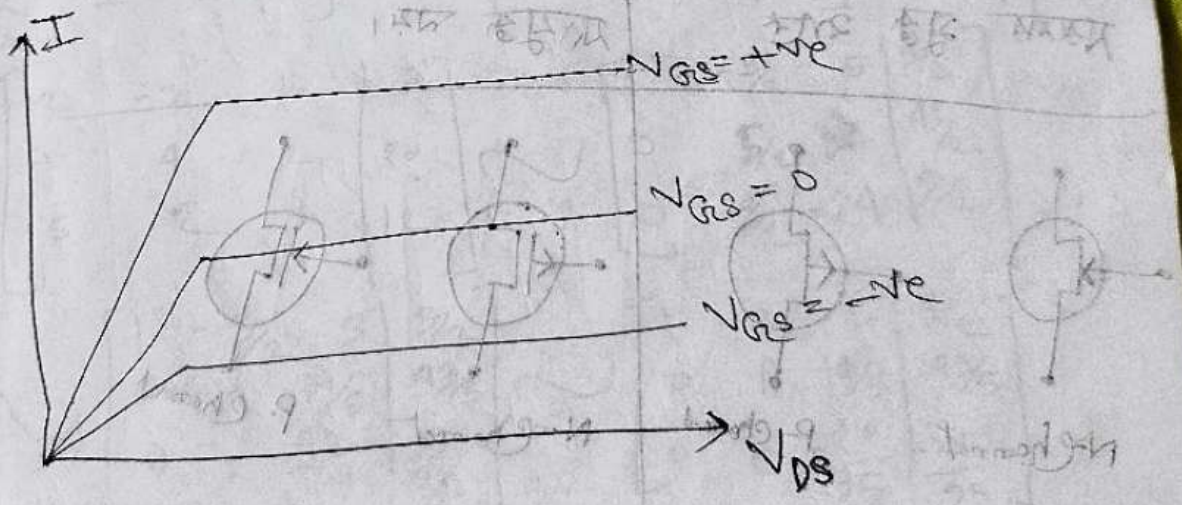
$V_{GS} = +ve$ হলে, (-) terminal হতে e^- গুলো (B) terminal দিয়ে P-type body তে যাবে এবং N blocks এর মধ্যে চলে অবস্থান করবে এবং I_D পরিবহনের রাস্তা প্রস্তুত করতে থাকবে V_{DS} এর জন্য এবং আরো বেশি N-blocks এর ~~[illegible]~~ ~~[illegible]~~ channel ~~[illegible]~~

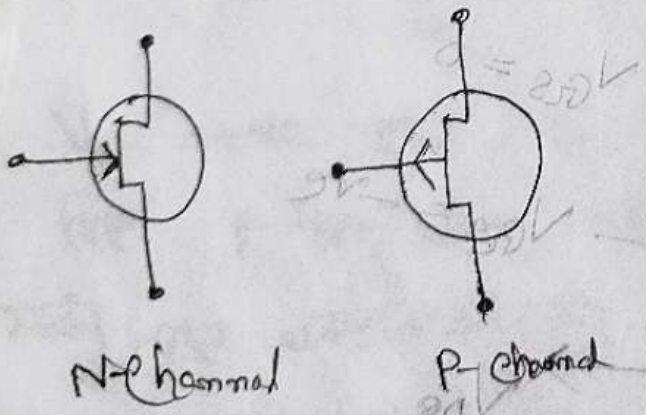
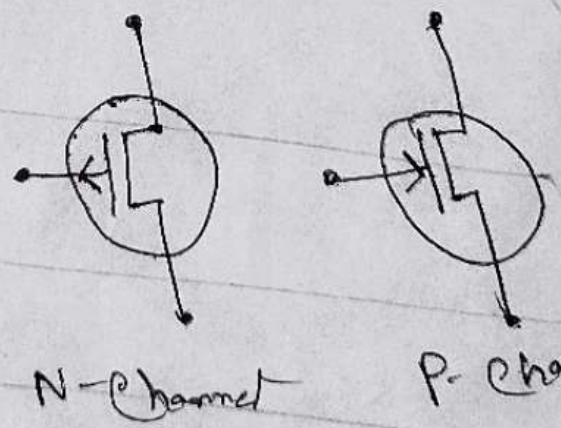
জন্য আরো ভালোভাবে I_D প্রবাহিত হয়।

তখন $I_D = I_D'''$

Condition 1	Condition 2	Condition 3
$V_{GS} = 0$	$V_{GS} = -ve$	$V_{GS} = +ve$
$V_{DS} > 0$	$V_{DS} > 0$	$V_{DS} > 0$
I_D'	I_D''	I_D'''

উপরের Condition's গুলোর মধ্যে বৃদ্ধিক্রমে Drain Current এর তারতম্য হল, $I_D''' > I_D' > I_D''$



FET & MOS	MOSFET
FET = Field Effect Transistor	Metal oxide semi-conductor Field Effect Transistor
দুটি P-type, দুটি N-type থাকবেই থাকে।	একটি P-type ও একটি N-type থাকতে পারে
Depletion Mode ও কার্যকরী	Enhancement ও Depletion দুটি Mode এই কার্যকরী
এর Gate এর P-channel ও N-channel এর সাথে সরাসরি যুক্ত থাকে	এটি এর P-channel এবং N-channel এর সাথে সরাসরি সংযুক্ত নয়।
	
N-channel P-channel	N-channel P-channel