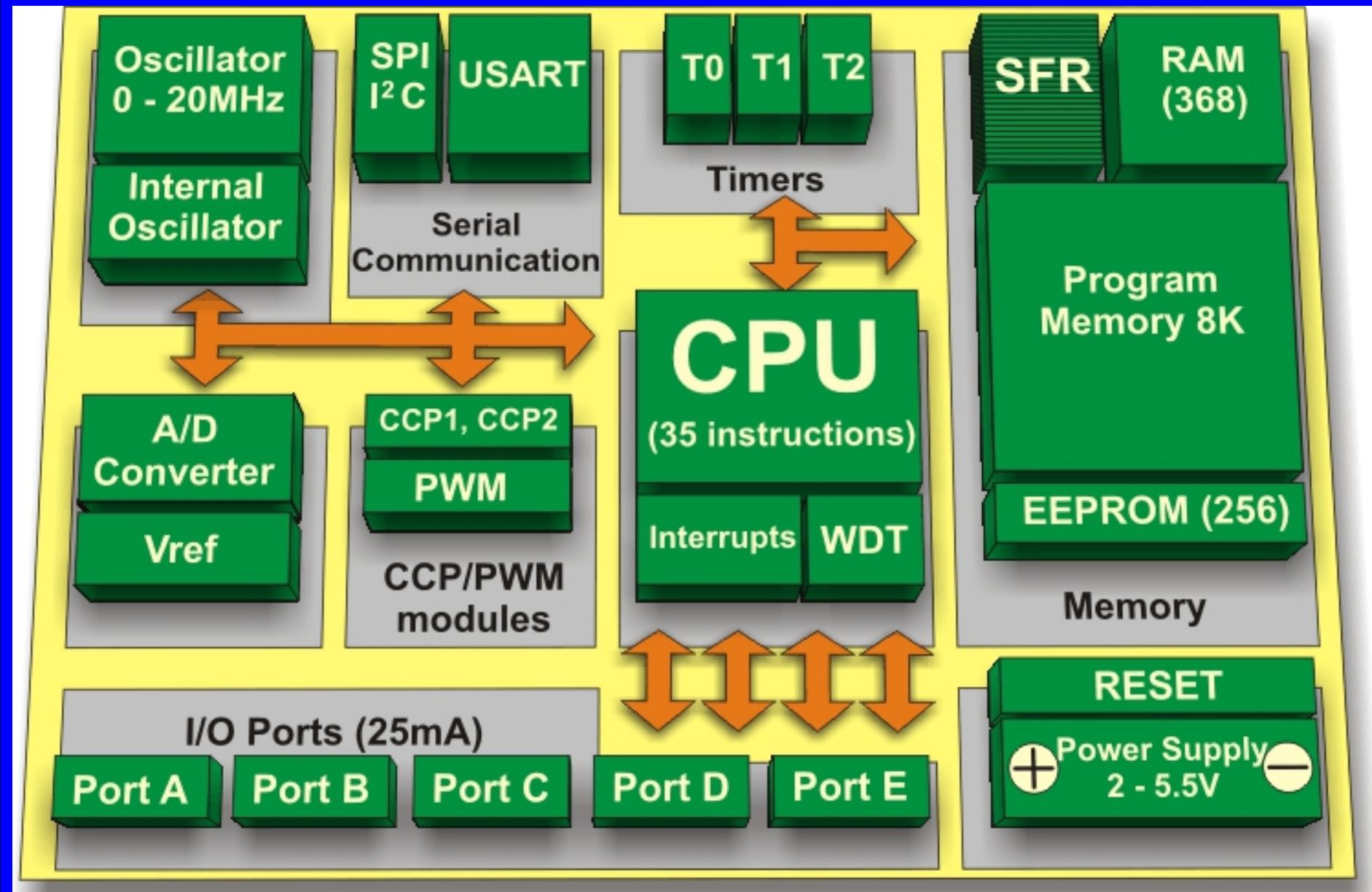


**ĐẠI HỌC CÔNG NGHIỆP TP. HỒ CHÍ MINH**  
**KHOA CÔNG NGHỆ ĐIỆN TỬ**  
**BỘ MÔN ĐIỆN TỬ MÁY TÍNH**

## **CHƯƠNG 4**

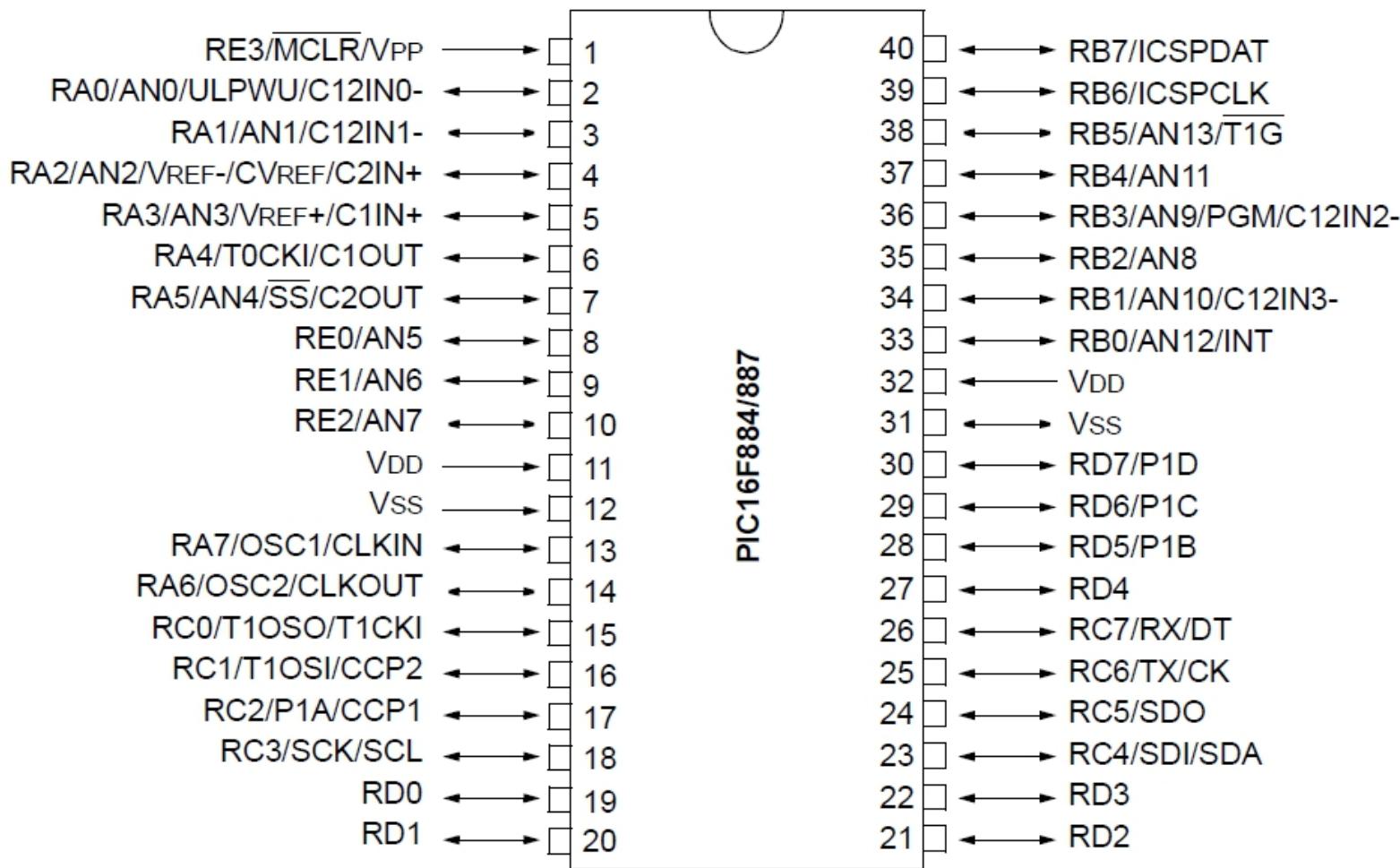
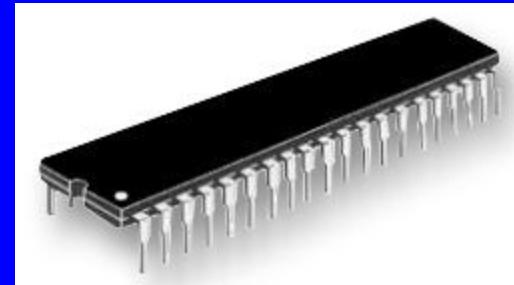
# **PORT XUẤT NHẬP CỦA VÐK 8bit PIC16F887**

# SƠ ĐỒ KHỐI TỔNG QUÁT CỦA PIC16F887



# SƠ ĐỒ CHÂN CỦA PIC16F887

## ➤ Kiểu chân PDIP:



# CÁC CÔNG XUẤT NHẬP

Nội dung bao gồm:

- Tổng quan về công xuất/nhập
- Cấu trúc và chức năng của Port A
- Cấu trúc và chức năng của Port B
- Cấu trúc và chức năng của Port C
- Cấu trúc và chức năng của Port D
- Cấu trúc và chức năng của Port E.

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

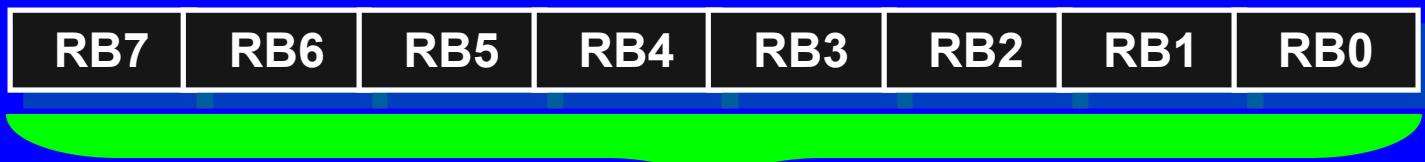
- Tối đa lên đến 35 ngõ vào/ra (I/O) hai chiều
  - Một vài chân được đa hợp thêm với các chức năng ngoại vi
- **Khả năng điều khiển dòng cao ( $\approx 25mA$ )**
- Thao tác trực tiếp với từng chân chỉ trong vòng 1 chu kỳ lệnh
- Hầu hết các I/O đều có **chức năng bảo vệ ESD**
- **Cấu hình I/O mặc định khi reset:**
  - Các chân Analog vẫn giữ chức năng **Analog**
  - Các chân Digital là các chân **Input**.

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

- Mỗi PORTx ( $x = A, B, C, D, E$ ) sẽ có một thanh ghi điều khiển chiều tương ứng TRISx

- Ví dụ đối với Port B:

PORTB Register (**PORTB**)



Dữ liệu

PORTB Tri-State Register (**TRISB**)



- 1 = chân Port B tương ứng là ngõ vào (**Input**)
- 0 = chân Port B tương ứng là ngõ ra (**Output**)

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

- Mỗi PORTx ( $x = A, B, C, D, E$ ) sẽ có một thanh ghi điều khiển chiều tương ứng TRISx

- Ví dụ đối với Port B:

PORTB Register (**PORTB**)



Cấu hình chiều dữ liệu

PORTB Tri-State Register (**TRISB**)

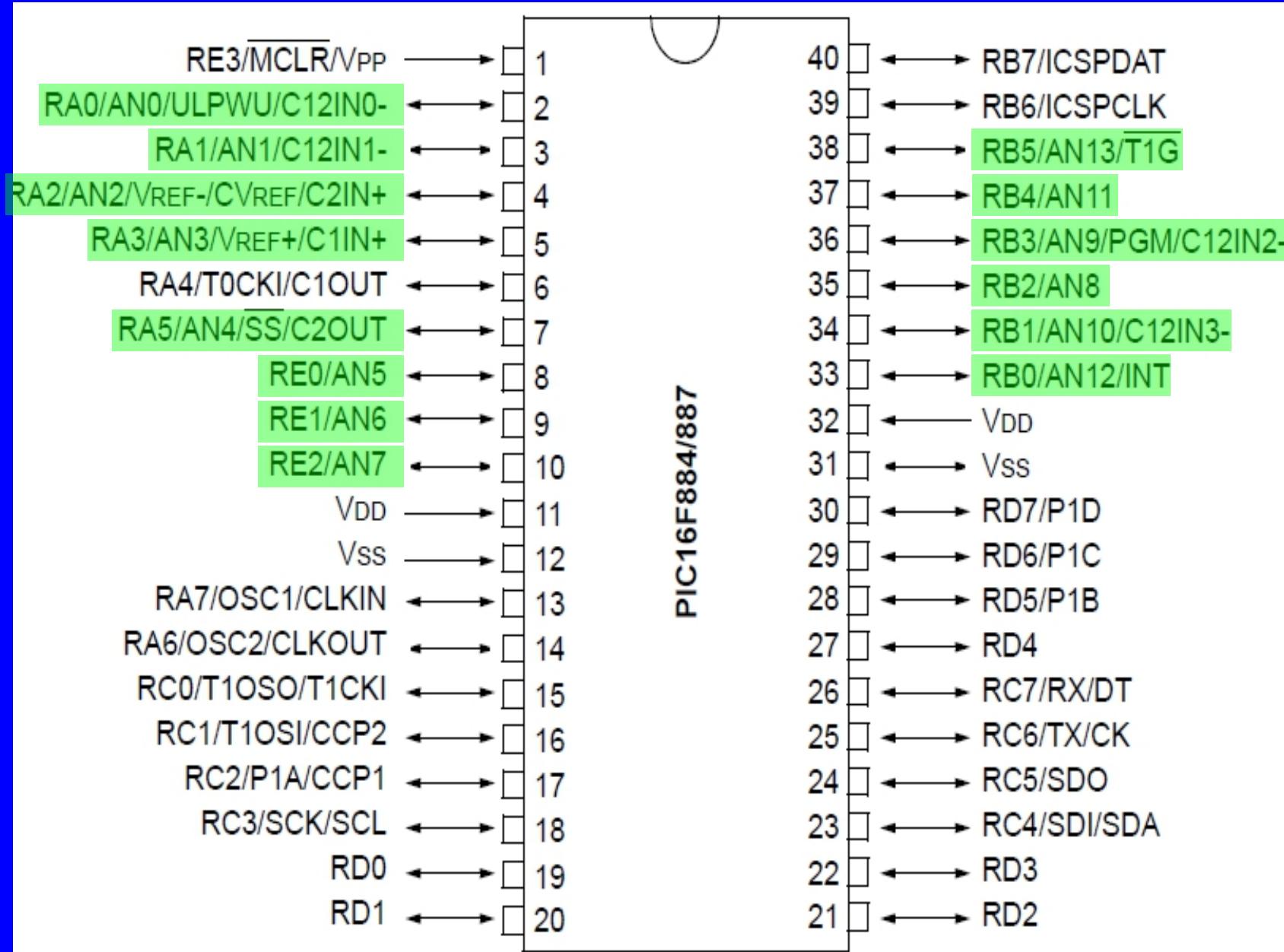


- 1 = chân Port B tương ứng là ngõ vào (**Input**)
- 0 = chân Port B tương ứng là ngõ ra (**Output**)

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

- Đối với các I/O được đa hợp với các ngoại vi tương tự thì khi reset các I/O này sẽ mặc định là ngõ vào tương tự (**Analog Input**)
- Để thay đổi cấu hình của các I/O này (**Analog Input  $\Leftrightarrow$  Digital I/O**):
  - Trường hợp PIC16F887: sử dụng thanh ghi Analog Select (**ANSEL** và **ANSELH**)
  - Trường hợp PIC16F877A: sử dụng thanh ghi Analog Control 1 (**ADCON1**).

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP



PIC16F884/887

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

- **Trường hợp PIC16F887:** Thanh ghi dùng để cấu hình ngõ vào tương tự thành I/O số (**Digital I/O**) là **ANSEL** và **ANSELH**

Analog Select Register (**ANSEL**)

ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
------	------	------	------	------	------	------	------

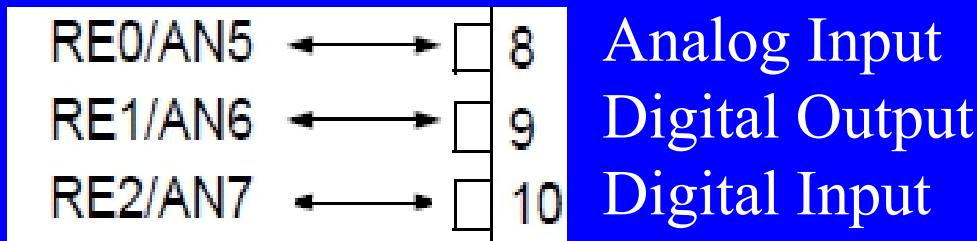
Analog Select High Register (**ANSELH**)

		ANS13	ANS12	ANS11	ANS10	ANS9	ANS8
--	--	-------	-------	-------	-------	------	------

- 1 = Chân tương ứng là ngõ vào tương tự (**Analog Input**)
- 0 = Chân tương ứng là ngõ vào/ra số (**Digital I/O**)

# VÍ DỤ 1

- Cho port E của **PIC16F887** có cấu hình như sau:

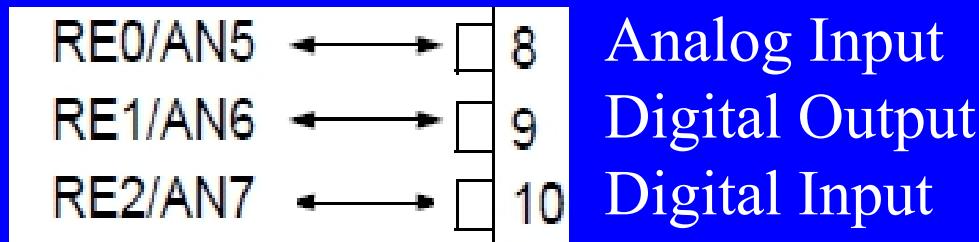


- Hãy xác định giá trị của thanh ghi **TRISE**, **ANSEL**, **ANSELH**

TRISE7	TRISE6	TRISE5	TRISE4	TRISE3	TRISE2	TRISE1	TRISE0
ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
		ANS13	ANS12	ANS11	ANS10	ANS9	ANS8

# VÍ DỤ 1

- Cho port E có cấu hình như sau:



- Giá trị của thanh ghi **TRISE, ANSEL, ANSELH**

<b>TRISE</b>	0	0	0	0	x	1	0	1
<b>ANSEL</b>	0	0	1	x	x	x	x	x
<b>ANSELH</b>			x	x	x	x	x	x

# VÍ DỤ 2

- Cho port A của **PIC16F887** có cấu hình như sau:

RA0/AN0/ULPWU/C12IN0-	↔	2	Analog Input
RA1/AN1/C12IN1-	↔	3	Analog Output
RA2/AN2/VREF-/CVREF/C2IN+	↔	4	Digital Input
RA3/AN3/VREF+/C1IN+	↔	5	Analog Input
RA4/T0CKI/C1OUT	↔	6	Digital Input
RA5/AN4/SS/C2OUT	↔	7	Analog Output
RA7/OSC1/CLKIN	↔	13	Digital Output
RA6/OSC2/CLKOUT	↔	14	Analog Input

- Hãy xác định giá trị của thanh ghi **TRISA**, **ANSEL**, **ANSELH**

## ➤ Giá trị của thanh ghi **TRISA, ANSEL, ANSELH**

RA0/AN0/ULPWU/C12IN0-	↔	□ 2	Analog Input
RA1/AN1/C12IN1-	↔	□ 3	Digital Output
RA2/AN2/VREF-/CVREF/C2IN+	↔	□ 4	Digital Input
RA3/AN3/VREF+/C1IN+	↔	□ 5	Analog Input
RA4/T0CKI/C1OUT	↔	□ 6	<b>Analog Input</b>
RA5/AN4/SS/C2OUT	↔	□ 7	Digital Output

RA7/OSC1/CLKIN	↔	□ 13	Digital Output
RA6/OSC2/CLKOUT	↔	□ 14	Analog Input

<b>TRISA</b>	0	1	0	1	1	1	0	1
<b>ANSEL</b>	x	x	x	0	1	0	0	1
<b>ANSELH</b>			x	x	x	x	x	x

# VÍ DỤ 3

- Cho port B của **PIC16F887** có cấu hình như sau:

40	↔	RB7/ICSPDAT	Digital Input
39	↔	RB6/ICSPCLK	Analog Input
38	↔	RB5/AN13/T1G	Digital Output
37	↔	RB4/AN11	Analog Input
36	↔	RB3/AN9/PGM/C12IN2-	Analog Input
35	↔	RB2/AN8	Digital Output
34	↔	RB1/AN10/C12IN3-	Digital Output
33	↔	RB0/AN12/INT	Analog Input

- Hãy xác định giá trị của thanh ghi **TRISB**, **ANSEL**, **ANSELH**

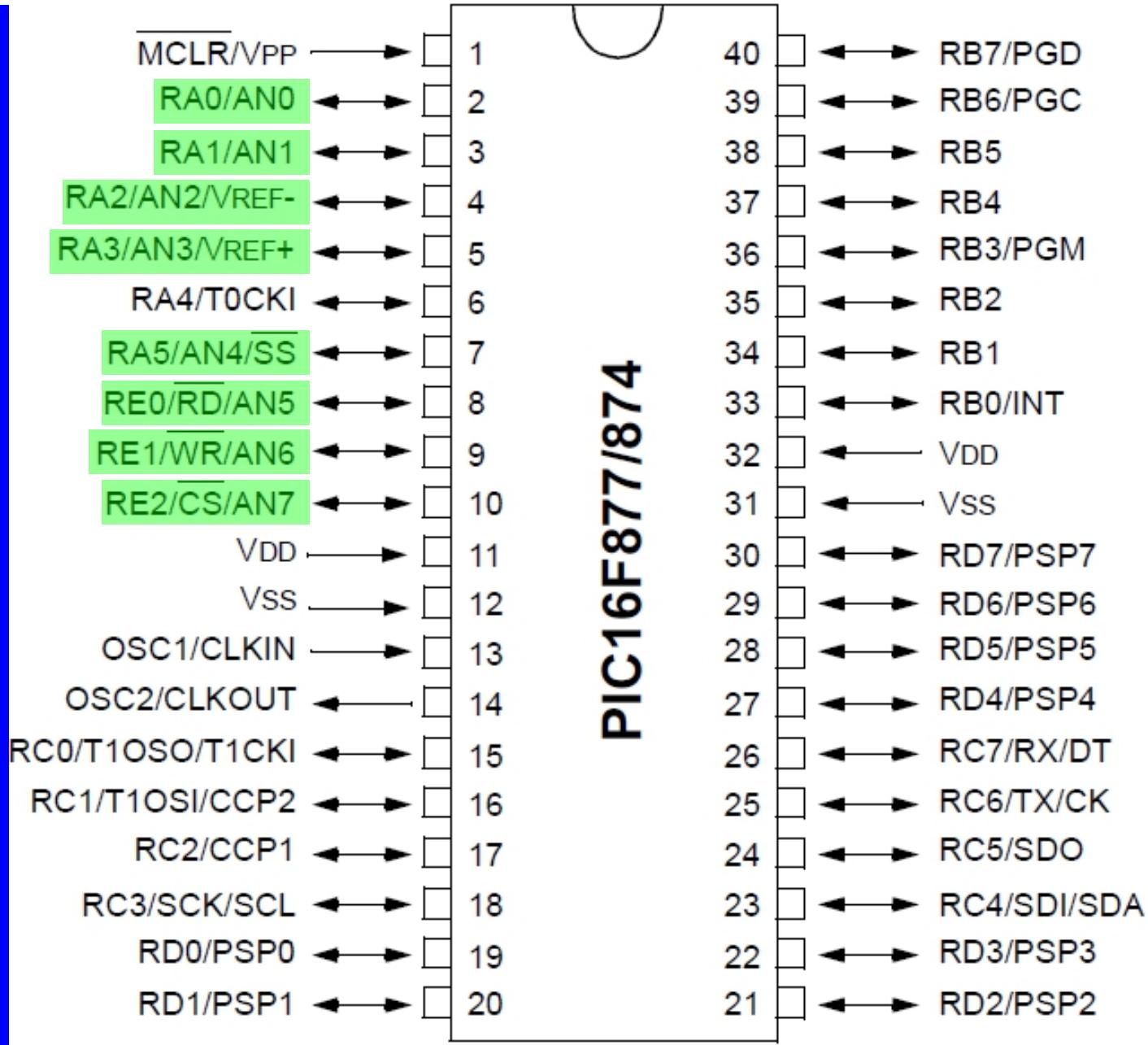
## ➤ Giá trị của thanh ghi **TRISB, ANSEL, ANSELH**

40	↔ RB7/ICSPDAT	Digital Input
39	↔ RB6/ICSPCLK	Analog Input
38	↔ RB5/AN13/T1G	Digital Output
37	↔ RB4/AN11	Analog Input
36	↔ RB3/AN9/PGM/C12IN2-	Analog Input
35	↔ RB2/AN8	Digital Output
34	↔ RB1/AN10/C12IN3-	Digital Output
33	↔ RB0/AN12/INT	Analog Input

<b>TRISB</b>	1	1	0	1	1	0	0	1
<b>ANSEL</b>	x	x	x	x	x	x	x	x
<b>ANSELH</b>	x	x	0	1	1	0	1	0

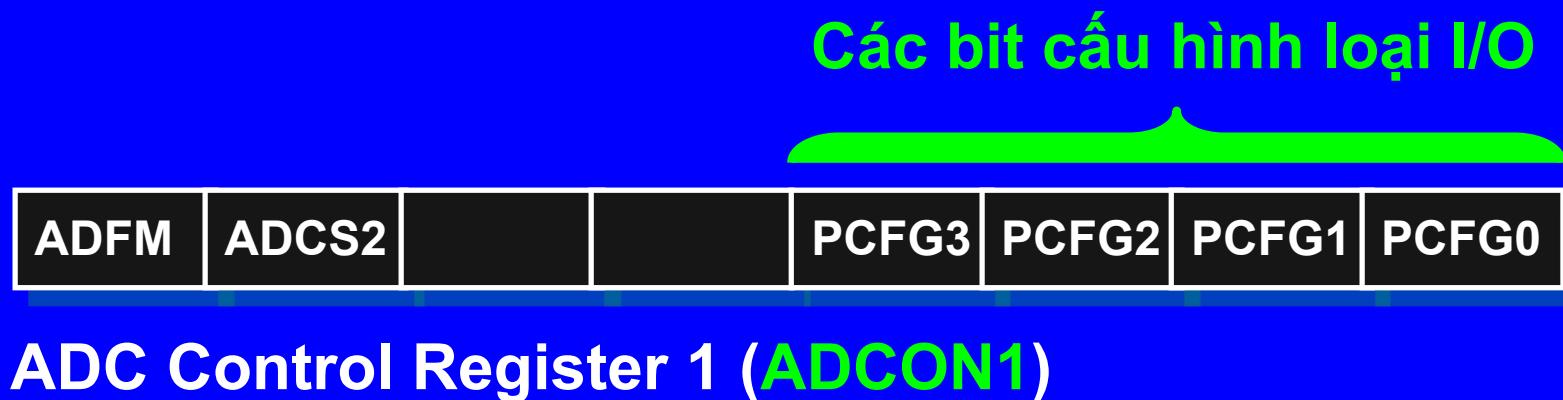
# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

**PIC16F877A**



# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

- Trường hợp PIC16F877A: Thanh ghi dùng để cấu hình ngõ vào tương tự thành I/O số (Digital I/O) là ADCON1



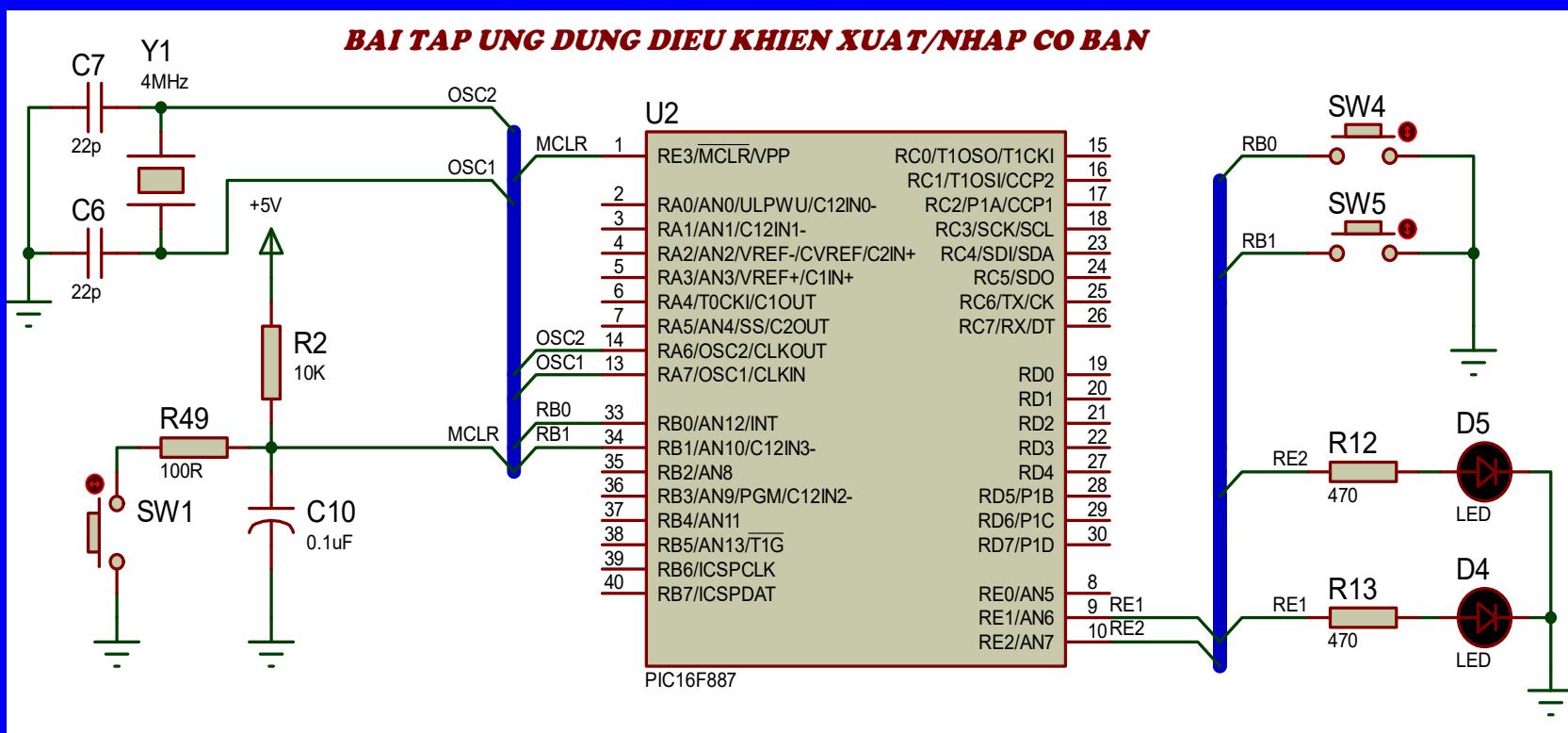
# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

PCFG3: PCFG0	AN7 <sup>(1)</sup> RE2	AN6 <sup>(1)</sup> RE1	AN5 <sup>(1)</sup> RE0	AN4 RA5	AN3 RA3	AN2 RA2	AN1 RA1	AN0 RA0
0000	A	A	A	A	A	A	A	A
0001	A	A	A	A	VREF+	A	A	A
0010	D	D	D	A	A	A	A	A
0011	D	D	D	A	VREF+	A	A	A
0100	D	D	D	D	A	D	A	A
0101	D	D	D	D	VREF+	D	A	A
011x	D	D	D	D	D	D	D	D
1000	A	A	A	A	VREF+	VREF-	A	A
1001	D	D	A	A	A	A	A	A
1010	D	D	A	A	VREF+	A	A	A
1011	D	D	A	A	VREF+	VREF-	A	A
1100	D	D	D	A	VREF+	VREF-	A	A
1101	D	D	D	D	VREF+	VREF-	A	A
1110	D	D	D	D	D	D	D	A
1111	D	D	D	D	VREF+	VREF-	D	A

A = Analog input

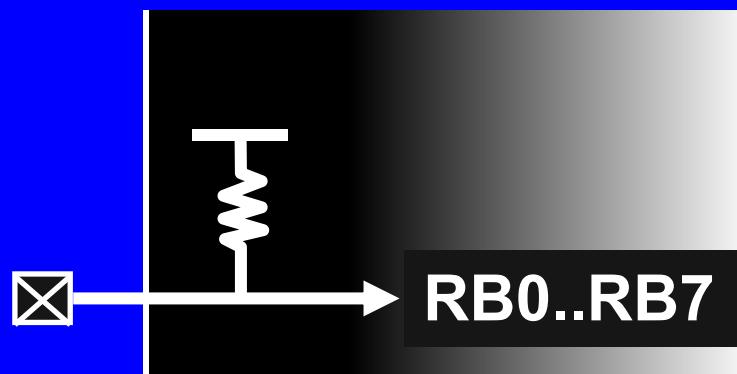
D = Digital I/O

# Ví dụ nút nhấn



## ➤ Tính năng điện trở kéo lên (Pull-up Resistor)

- Chỉ áp dụng cho Port B
- Chỉ có khi I/O được cấu hình là ngõ vào
- Kích hoạt bằng cách:
  - Trường hợp PIC16F887: Sử dụng thanh ghi WPUB và bit RBPU trong thanh ghi OPTION
  - Trường hợp PIC16F877A: Sử dụng bit RBPU



Pull-up Resistor

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

- Trường hợp PIC16F887: Sử dụng thanh ghi **WPUB** và bit **nRBPU** trong thanh ghi OPTION OPTION\_REG Register (**OPTION\_REG**)

nRBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
-------	--------	------	------	-----	-----	-----	-----

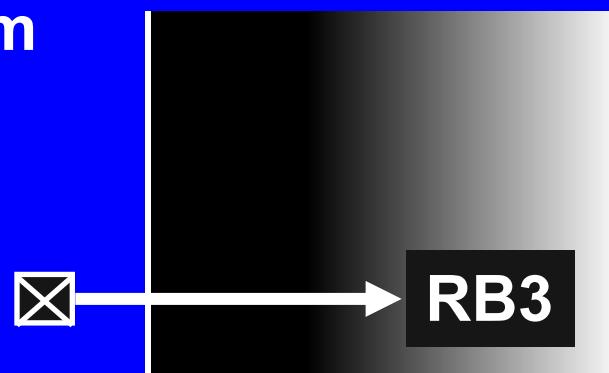
1 = Cấm      0 = Cho phép

## Weak Pull-Up PORTB Register (**WPUB**)

WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0
-------	-------	-------	-------	-------	-------	-------	-------

1 = Cho phép      0 = Cấm

Ví dụ: Kích hoạt tính năng điện trở kéo lên cho chân RB3



Pull-up Resistor

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

- Trường hợp PIC16F887: Sử dụng thanh ghi **WPUB** và bit **RBPU** trong thanh ghi OPTION OPTION\_REG Register (**OPTION\_REG**)

0	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
---	--------	------	------	-----	-----	-----	-----

1 = Cấm      0 = Cho phép

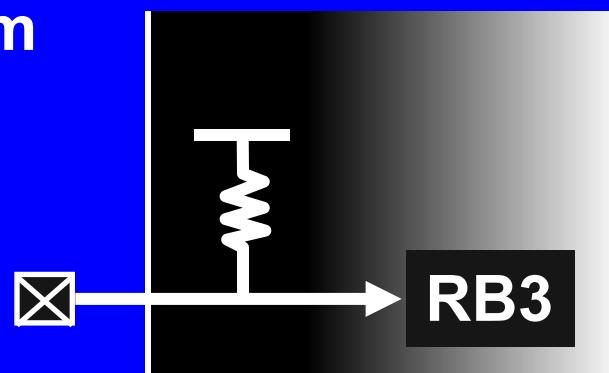
## Weak Pull-Up PORTB Register (**WPUB**)

WPUB7	WPUB6	WPUB5	WPUB4	1	WPUB2	WPUB1	WPUB0
-------	-------	-------	-------	---	-------	-------	-------

1 = Cho phép

0 = Cấm

Ví dụ: Kích hoạt tính năng điện trở kéo lên cho chân RB3



Pull-up Resistor

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

- Trường hợp PIC16F877A: Sử dụng bit RBPU trong thanh ghi OPTION

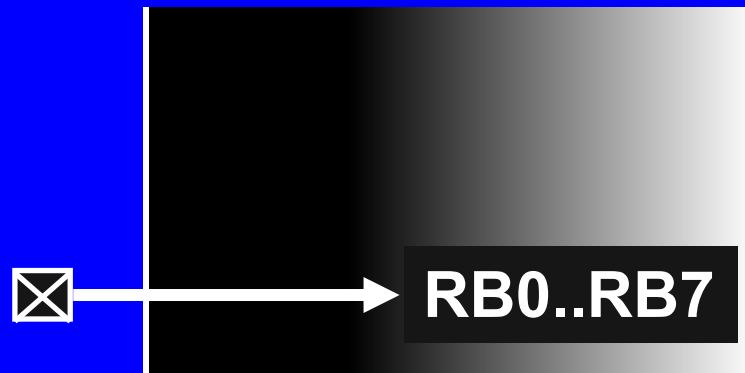
OPTION\_REG Register (OPTION\_REG)

RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
------	--------	------	------	-----	-----	-----	-----

1 = Cấm

0 = Cho phép

Ví dụ: Kích hoạt tính năng điện trở kéo lên cho Port B (RB0..RB7)



Pull-up Resistor

# TỔNG QUAN VỀ CÔNG XUẤT NHẬP

- Trường hợp PIC16F877A: Sử dụng bit RBPU trong thanh ghi OPTION

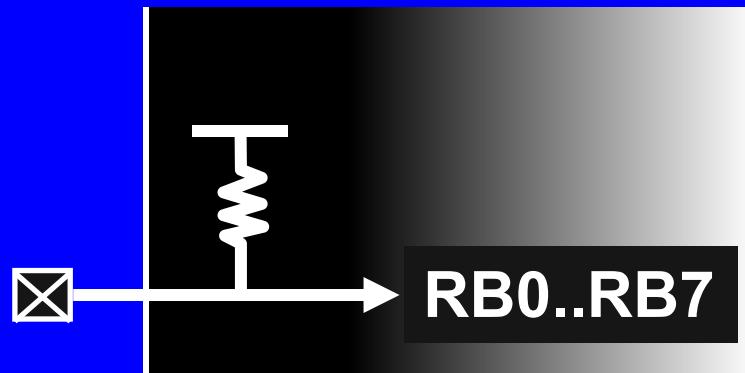
OPTION\_REG Register (OPTION\_REG)

0	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
---	--------	------	------	-----	-----	-----	-----

1 = Cấm

0 = Cho phép

Ví dụ: Kích hoạt tính năng điện trở kéo lên cho Port B (RB0..RB7)



Pull-up Resistor

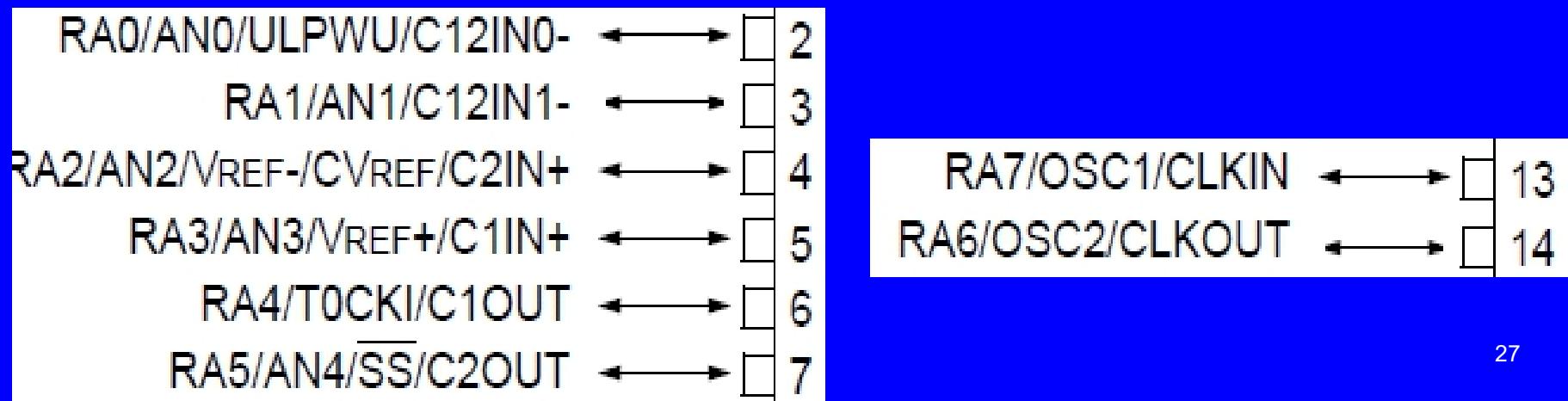
# CẤU TRÚC VÀ CHỨC NĂNG PORT A

- Port A có 8 chân (**RA0 – RA7**)
  - Đối với PIC16F877A chỉ có 6 chân (RA0 – RA5)
- Việc ghi các giá trị (0 hoặc 1) vào thanh ghi **TRISA** sẽ qui định chiều các chân Port A
- Các thao tác điều khiển Port:
  - READ: Đọc trạng thái của chân
  - WRITE: Ghi vào bộ chốt cổng (RD-MD-WR)
- Thanh ghi ANSEL phải được khởi tạo để cấu hình một ngõ vào tương tự thành ngõ vào số

# CẤU TRÚC VÀ CHỨC NĂNG PORT A

## ➤ Chân RA0 / AN0 / ULPWU / C12IN0-

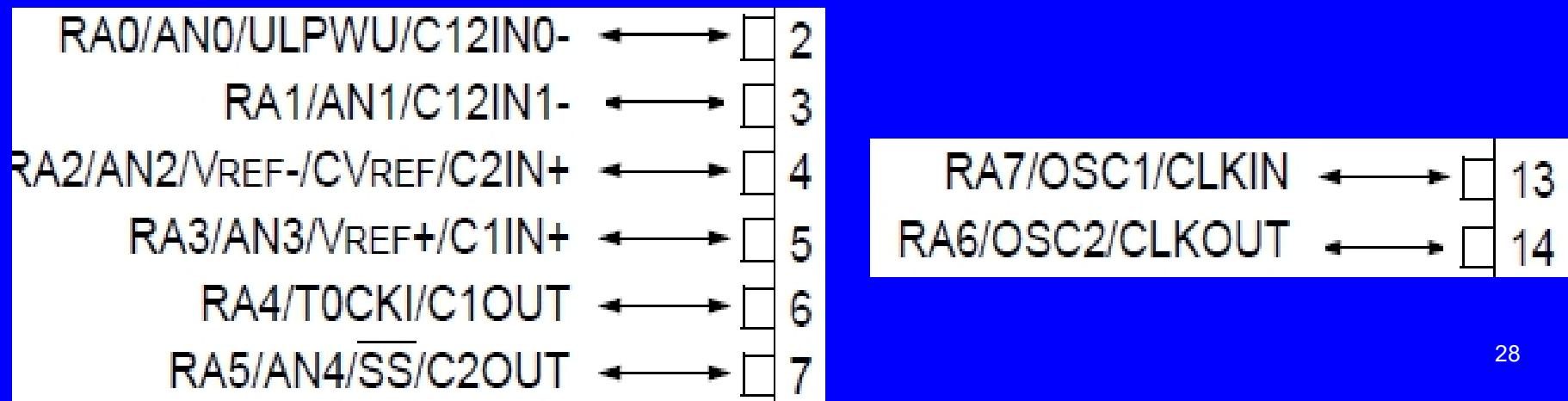
- **RA0:** I/O đa mục đích
- **AN0:** Ngõ vào tương tự cho ADC
- **ULPWU:** Ngõ vào tương tự cho phép tạo ra một ngắt khi có sự giảm chậm điện áp tại chân RA0
- **C12IN0-:** Ngõ vào tương tự (-) cho bộ so sánh C1 hoặc C2.



# CẤU TRÚC VÀ CHỨC NĂNG PORT A

## ➤ Chân RA1 / AN1 / C12IN1-

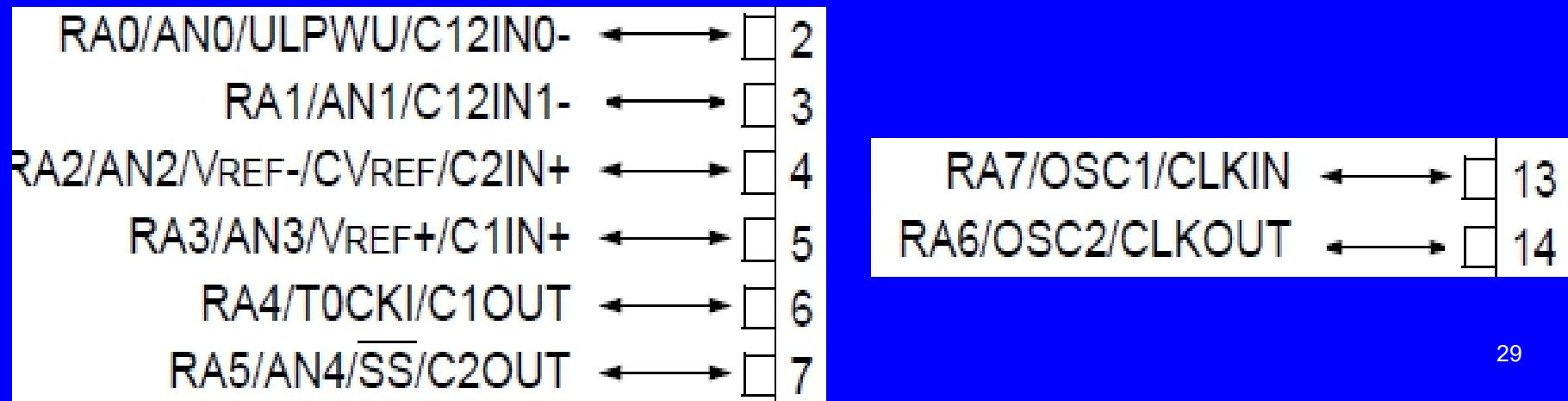
- **RA1:** I/O đa mục đích
- **AN1:** Ngõ vào tương tự cho ADC
- **C12IN1-:** Ngõ vào tương tự (-) cho bộ so sánh C1 hoặc C2.



# CẤU TRÚC VÀ CHỨC NĂNG PORT A

## ➤ Chân RA2 / AN2 / VREF- / CVREF / C2IN+

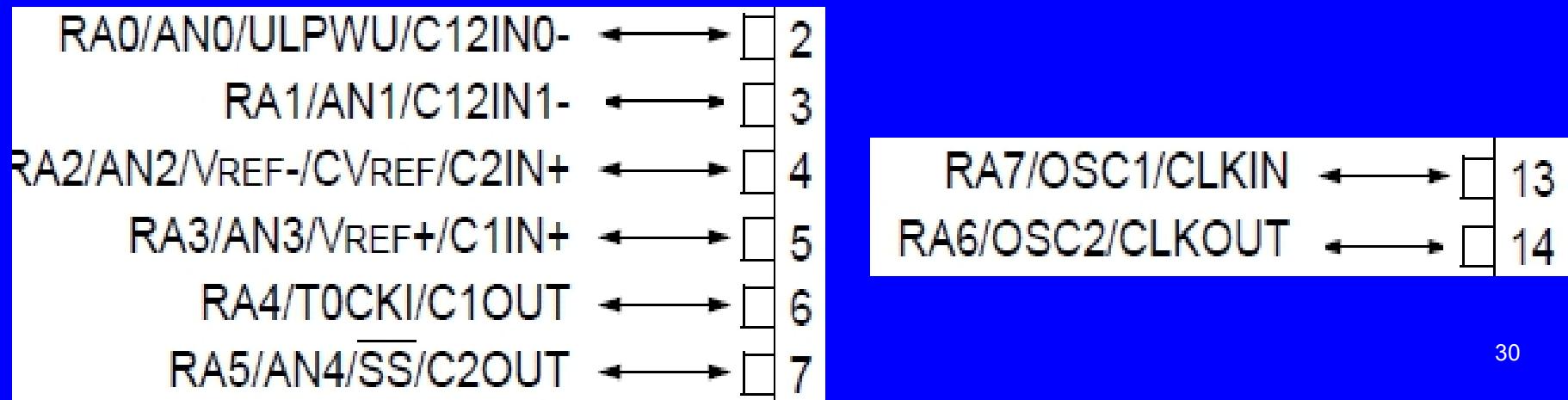
- **RA2:** I/O đa mục đích
- **AN2:** Ngõ vào tương tự cho ADC
- **VREF-:** Ngõ vào điện áp tham chiếu (-) cho ADC và bộ so sánh
- **CVREF:** Ngõ ra điện áp tham chiếu bộ so sánh
- **C2IN+:** Ngõ vào tương tự (+) cho bộ so sánh C2.



# CẤU TRÚC VÀ CHỨC NĂNG PORT A

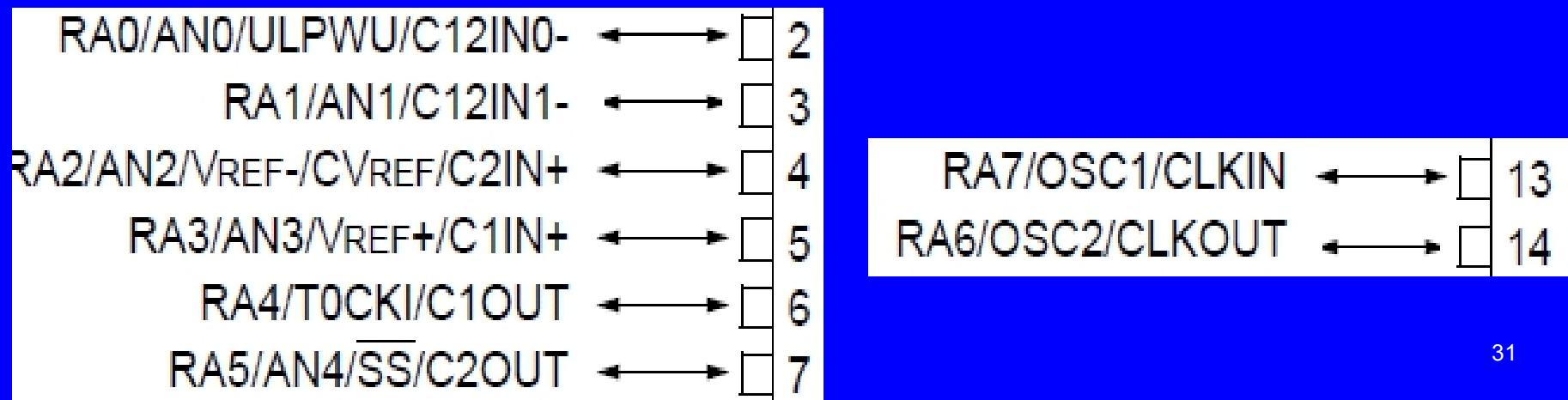
## ➤ Chân RA3 / AN3 / VREF+ / C1IN+

- **RA3:** I/O đa mục đích
- **AN3:** Ngõ vào tương tự cho ADC
- **VREF+:** Ngõ vào điện áp tham chiếu (+) cho ADC và bộ so sánh
- **C1IN+:** Ngõ vào tương tự (+) cho bộ so sánh C1.



## ➤ Chân RA4 / T0CKI / C1OUT

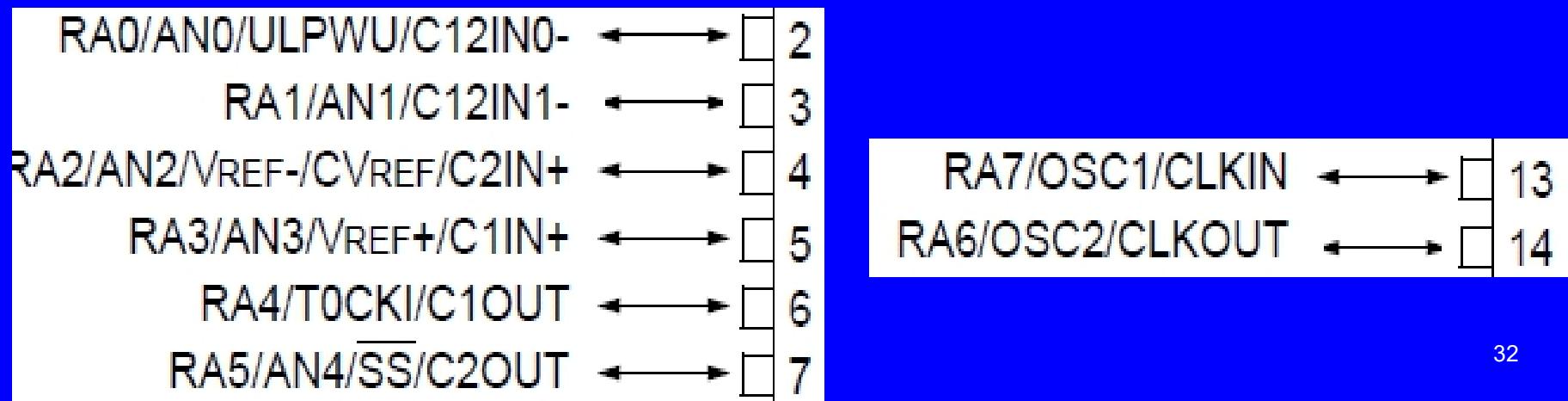
- **RA4:** I/O đa mục đích
- **T0CKI:** Ngõ vào xung clock cho Timer0
- **C1OUT:** Ngõ ra số từ bộ so sánh C1.



# CẤU TRÚC VÀ CHỨC NĂNG PORT A

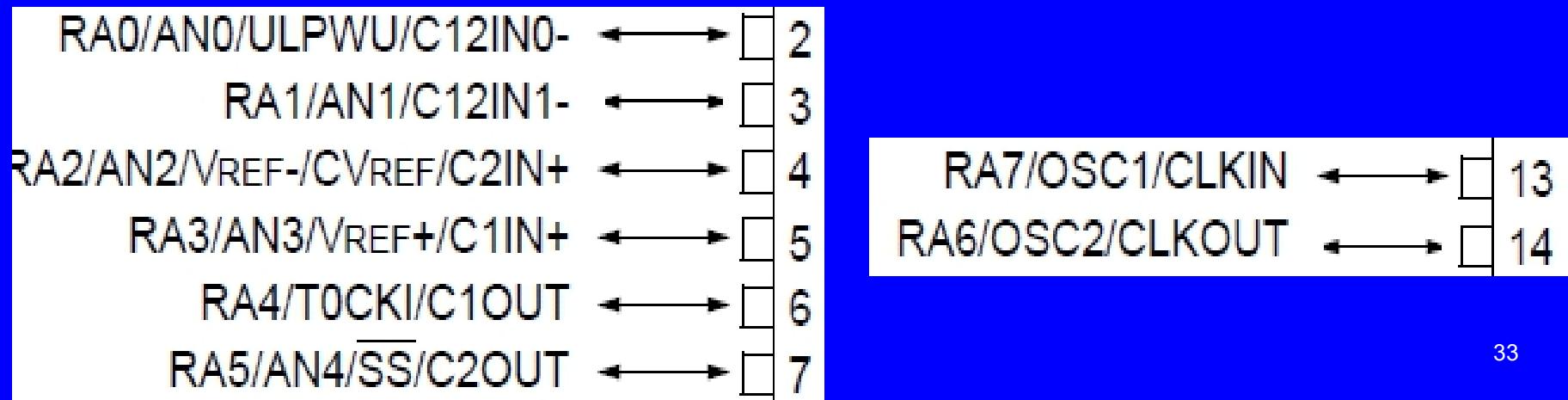
## ➤ Chân RA5 / AN4 / SS\ / C2OUT

- **RA5:** I/O đa mục đích
- **AN4:** Ngõ vào tương tự cho ADC
- **SS\:** Ngõ vào chọn chức năng SLAVE cho MSSP
- **C2OUT:** Ngõ ra số từ bộ so sánh C2.



## ➤ Chân RA6 / OSC2 / CLKOUT

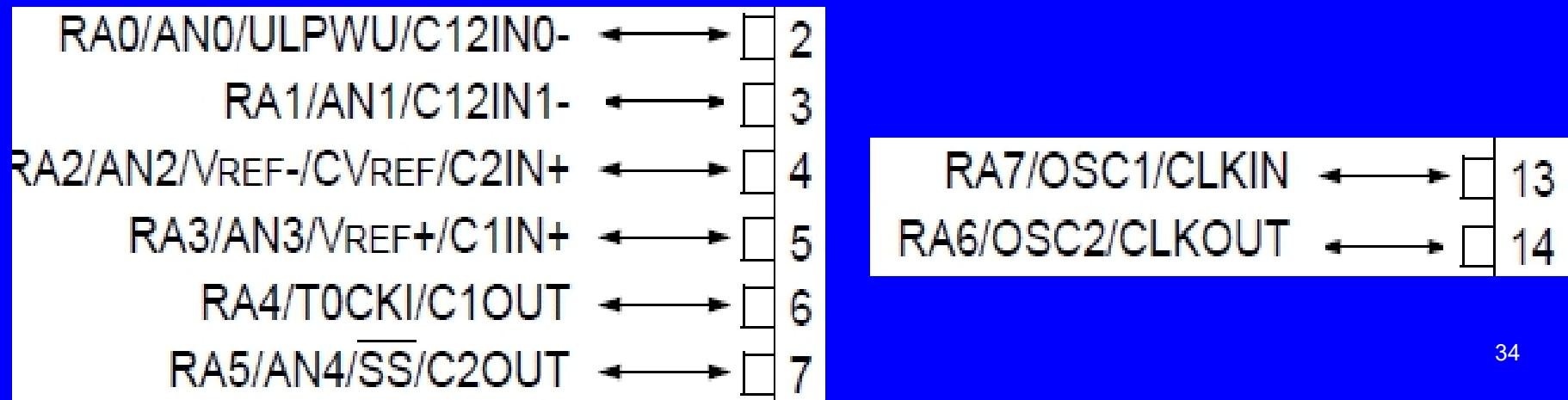
- **RA6:** I/O đa mục đích
- **OSC2:** Nối với thạch anh / bộ cộng hưởng
- **CLKOUT:** Ngõ ra xung clock mạch dao động.



# CẤU TRÚC VÀ CHỨC NĂNG PORT A

## ➤ Chân RA7 / OSC1 / CLKIN

- **RA7:** I/O đa mục đích
- **OSC1:** Nối với thạch anh / bộ cộng hưởng
- **CLKIN:** Ngõ vào xung clock mạch dao động



# CẤU TRÚC VÀ CHỨC NĂNG PORT A

Name	Function	Input Type	Output Type	Description
RA0/AN0/ULPWU/C12IN0-	RA0	TTL	CMOS	General purpose I/O.
	AN0	AN	—	A/D Channel 0 input.
	ULPWU	AN	—	Ultra Low-Power Wake-up input.
	C12IN0-	AN	—	Comparator C1 or C2 negative input.
RA1/AN1/C12IN1-	RA1	TTL	CMOS	General purpose I/O.
	AN1	AN	—	A/D Channel 1 input.
	C12IN1-	AN	—	Comparator C1 or C2 negative input.
RA2/AN2/VREF-/CVREF/C2IN+	RA2	TTL	CMOS	General purpose I/O.
	AN2	AN	—	A/D Channel 2.
	VREF-	AN	—	A/D Negative Voltage Reference input.
	CVREF	—	AN	Comparator Voltage Reference output.
	C2IN+	AN	—	Comparator C2 positive input.
RA3/AN3/VREF+/C1IN+	RA3	TTL	CMOS	General purpose I/O.
	AN3	AN	—	A/D Channel 3.
	VREF+	AN	—	A/D Positive Voltage Reference input.
	C1IN+	AN	—	Comparator C1 positive input.

Bảng tổng hợp chức năng của Port A

# CẤU TRÚC VÀ CHỨC NĂNG PORT A

Name	Function	Input Type	Output Type	Description
RA4/T0CKI/C1OUT	RA4	TTL	CMOS	General purpose I/O.
	T0CKI	ST	—	Timer0 clock input.
	C1OUT	—	CMOS	Comparator C1 output.
RA5/AN4/ <u>SS</u> /C2OUT	RA5	TTL	CMOS	General purpose I/O.
	AN4	AN	—	A/D Channel 4.
	<u>SS</u>	ST	—	Slave Select input.
	C2OUT	—	CMOS	Comparator C2 output.
RA6/OSC2/CLKOUT	RA6	TTL	CMOS	General purpose I/O.
	OSC2	—	XTAL	Crystal/Resonator.
	CLKOUT	—	CMOS	Fosc/4 output.
RA7/OSC1/CLKIN	RA7	TTL	CMOS	General purpose I/O.
	OSC1	XTAL	—	Crystal/Resonator.
	CLKIN	ST	—	External clock input/RC oscillator connection.

Bảng tổng hợp chức năng của Port A

# CẤU TRÚC VÀ CHỨC NĂNG PORT A

## ➤ Các thanh ghi có liên hệ với Port A

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
ADCON0	ADCS1	ADCS0	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	0000 0000
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	0000 -000
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	0000 -000
CM2CON1	MC1OUT	MC2OUT	C1RSEL	C2RSEL	—	—	T1GSS	C2SYNC	0000 --10	0000 --10
PCON	—	—	ULPWUE	SBOREN	—	—	POR	BOR	--01 --qq	--0u --uu
OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
PORTA	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxx xxxx	uuuu uuuu
SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged, — = unimplemented locations read as '0'. Shaded cells are not used by PORTA.

X: Không biết

U: Không thay đổi

— : Dự trữ (Đọc về có giá trị '0')

Tô đậm: Không dùng cho Port A

# CẤU TRÚC VÀ CHỨC NĂNG PORT B

- Port B có 8 chân (**RB0 – RB7**)
- Việc ghi các giá trị (0 hoặc 1) vào thanh ghi **TRISB** sẽ qui định chiều các chân Port B
- Các thao tác điều khiển Port:
  - READ: Đọc trạng thái của chân
  - WRITE: Ghi vào bộ chốt cổng (RD-MD-WR)
- Thanh ghi ANSELH phải được khởi tạo để cấu hình một ngõ vào tương tự thành ngõ vào số
- Mỗi chân Port B đều có tính năng điện trở kéo lên.

# CẤU TRÚC VÀ CHỨC NĂNG PORT B

## ➤ Chân RB0 / AN12 / INT

- **RB0:** I/O đa mục đích
- **AN12:** Ngõ vào tương tự cho ADC
- **INT:** Ngõ vào ngắt ngoài kích cựng.

40	↔	RB7/ICSPDAT
39	↔	RB6/ICSPCLK
38	↔	RB5/AN13/T1G
37	↔	RB4/AN11
36	↔	RB3/AN9/PGM/C12IN2-
35	↔	RB2/AN8
34	↔	RB1/AN10/C12IN3-
33	↔	RB0/AN12/INT

# CẤU TRÚC VÀ CHỨC NĂNG PORT B

## ➤ Chân RB1 / AN10 / C12IN3-

- RB1: I/O đa mục đích
- AN10: Ngõ vào tương tự cho ADC
- C12IN3-: Ngõ vào tương tự (-) cho bộ so sánh C1 hoặc C2.

## Chân RB2 / AN8

- RB2: I/O đa mục đích
- AN8: Ngõ vào tương tự

40	↔	RB7/ICSPDAT
39	↔	RB6/ICSPCLK
38	↔	RB5/AN13/T1G
37	↔	RB4/AN11
36	↔	RB3/AN9/PGM/C12IN2-
35	↔	RB2/AN8
34	↔	RB1/AN10/C12IN3-
33	↔	RB0/AN12/INT

# CẤU TRÚC VÀ CHỨC NĂNG PORT B

## ➤ Chân RB3 / AN9 / PGM / C12IN2-

- **RB3:** I/O đa mục đích
- **AN9:** Ngõ vào tương tự cho ADC
- **PGM:** Cho phép lập trình nối tiếp điện áp thấp
- **C12IN2-:** Ngõ vào tương tự (-) cho bộ so sánh C1 hoặc C2.

40	↔	RB7/ICSPDAT
39	↔	RB6/ICSPCLK
38	↔	RB5/AN13/T1G
37	↔	RB4/AN11
36	↔	RB3/AN9/PGM/C12IN2-
35	↔	RB2/AN8
34	↔	RB1/AN10/C12IN3-
33	↔	RB0/AN12/INT

## ➤ Chân RB4 / AN11

- **RB4:** I/O đa mục đích
- **AN11:** Ngõ vào tương tự cho ADC

## Chân RB5 / AN13 / T1G\

- **RB5:** I/O đa mục đích
- **AN13:** Ngõ vào tương tự cho ADC
- **T1G\:** Ngõ vào cổng của Timer 1.

40	↔	RB7/ICSPDAT
39	↔	RB6/ICSPCLK
38	↔	RB5/AN13/T1G
37	↔	RB4/AN11
36	↔	RB3/AN9/PGM/C12IN2-
35	↔	RB2/AN8
34	↔	RB1/AN10/C12IN3-
33	↔	RB0/AN12/INT

# CẤU TRÚC VÀ CHỨC NĂNG PORT B

## ➤ Chân RB6 / ICSPCLK

- **RB6:** I/O đa mục đích
- **ICSPCLK:** Xung clock lập trình nối tiếp

## Chân RB7 / ICSPDAT

- **RB7:** I/O đa mục đích
- **ICSPDAT:** Dữ liệu lập trình nối tiếp

40	↔	RB7/ICSPDAT
39	↔	RB6/ICSPCLK
38	↔	RB5/AN13/T1G
37	↔	RB4/AN11
36	↔	RB3/AN9/PGM/C12IN2-
35	↔	RB2/AN8
34	↔	RB1/AN10/C12IN3-
33	↔	RB0/AN12/INT

# CẤU TRÚC VÀ CHỨC NĂNG PORT B

Name	Function	Input Type	Output Type	Description
RB0/AN12/INT	RB0	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN12	AN	—	A/D Channel 12.
	INT	ST	—	External interrupt.
RB1/AN10/C12IN3-	RB1	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN10	AN	—	A/D Channel 10.
	C12IN3-	AN	—	Comparator C1 or C2 negative input.
RB2/AN8	RB2	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN8	AN	—	A/D Channel 8.
RB3/AN9/PGM/C12IN2-	RB3	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN9	AN	—	A/D Channel 9.
	PGM	ST	—	Low-voltage ICSP™ Programming enable pin.
	C12IN2-	AN	—	Comparator C1 or C2 negative input.

Bảng tổng hợp chức năng của Port B

# CẤU TRÚC VÀ CHỨC NĂNG PORT B

Name	Function	Input Type	Output Type	Description
RB4/AN11	RB4	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN11	AN	—	A/D Channel 11.
RB5/AN13/ $\overline{T1G}$	RB5	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN13	AN	—	A/D Channel 13.
	$\overline{T1G}$	ST	—	Timer1 Gate input.
RB6/ICSPCLK	RB6	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	ICSPCLK	ST	—	Serial Programming Clock.
RB7/ICSPDAT	RB7	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	ICSPDAT	ST	TTL	ICSP™ Data I/O.

Bảng tổng hợp chức năng của Port B

# CẤU TRÚC VÀ CHỨC NĂNG PORT B

## ➤ Các thanh ghi có liên hệ với Port B

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
ANSELH	—	—	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8	--11 1111	--11 1111
CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
CM2CON1	MC1OUT	MC2OUT	C1RSEL	C2RSEL	—	—	T1GSS	C2SYNC	0000 --10	0000 --10
IOCB	IOCB7	IOCB6	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0	0000 0000	0000 0000
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000x
OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
WPUB	WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged, — = unimplemented read as '0'. Shaded cells are not used by PORTB.

X: Không biết

— : Dự trữ (Đọc về có giá trị '0')

U: Không thay đổi

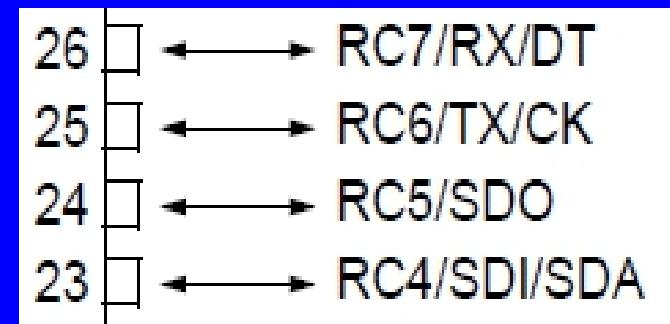
Tô đậm: Không dùng cho Port B

# CẤU TRÚC VÀ CHỨC NĂNG PORT C

- Port C có 8 chân (RC0 – RC7)
- Việc ghi các giá trị (0 hoặc 1) vào thanh ghi **TRISC** sẽ qui định chiều các chân Port C
- Các thao tác điều khiển Port:
  - READ: Đọc trạng thái của chân
  - WRITE: Ghi vào bộ chốt cổng (RD-MD-WR)

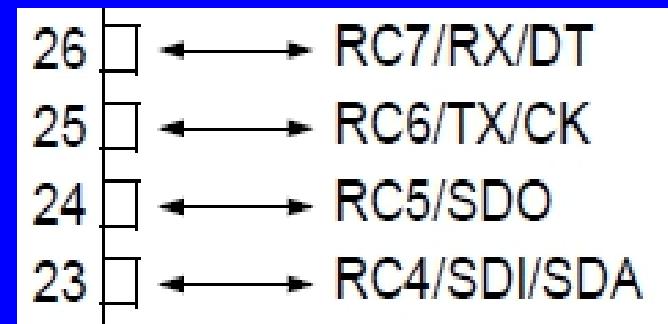
## ➤ Chân RC0 / T1OSO / T1CKI

- **RC0:** I/O đa mục đích
- **T1OSO:** Ngõ ra bộ dao động Timer 1
- **T1CKI:** Ngõ vào xung clock Timer 1.



## ➤ Chân RC1 / T1OSI / CCP2

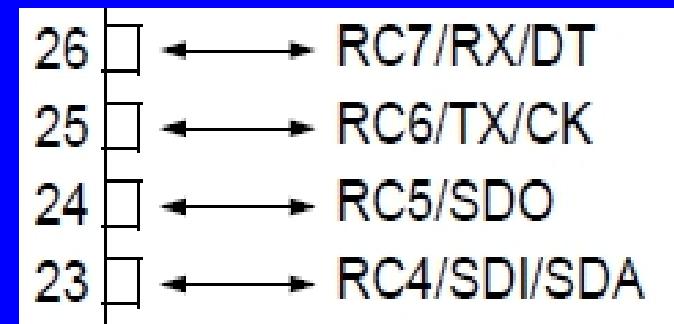
- **RC1:** I/O đa mục đích
- **T1OSI:** Ngõ vào bộ dao động Timer 1
- **CCP2:** Ngõ vào bắt giữ (Capture) và ngõ ra so sánh/điều xung (Compare/PWM) cho bộ so sánh C2.



# CẤU TRÚC VÀ CHỨC NĂNG PORT C

## ➤ Chân RC2 / P1A / CCP1

- **RC2:** I/O đa mục đích
- **P1A:** Ngõ ra điều xung
- **CCP1:** Ngõ vào bắt giữ (Capture) và ngõ ra so sánh (Compare) cho bộ so sánh C1.

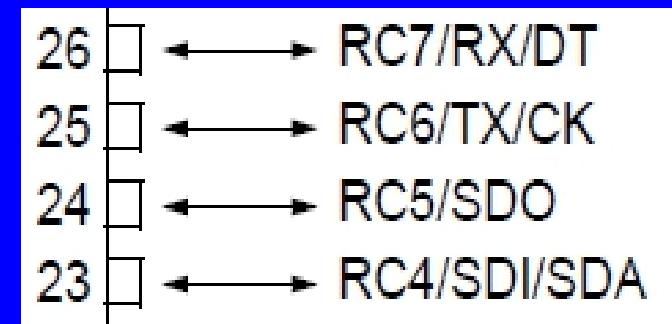


## ➤ Chân RC3 / SCK / SCL

- **RC3:** I/O đa mục đích
- **SCK:** Xung clock cho SPI
- **SCL:** Xung clock cho I<sup>2</sup>C.

## Chân RC4 / SDI / SDA

- **RC4:** I/O đa mục đích
- **SDI:** Ngõ vào dữ liệu nối tiếp cho SPI
- **SDA:** I/O dữ liệu nối tiếp cho I<sup>2</sup>C.



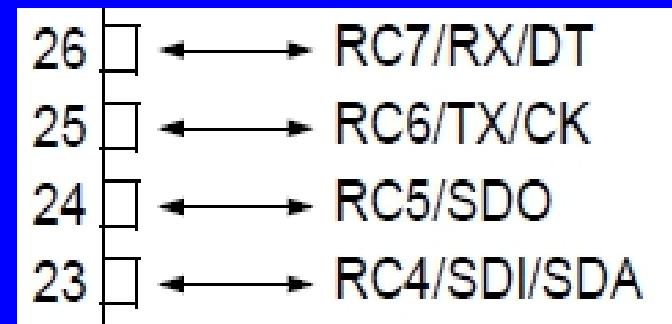
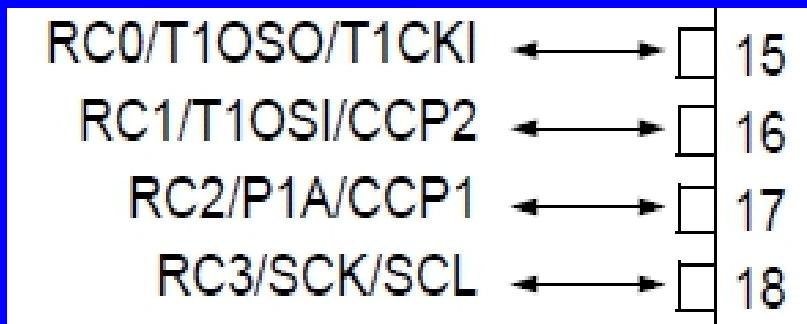
# CẤU TRÚC VÀ CHỨC NĂNG PORT C

## ➤ Chân RC5 / SDO

- **RC5:** I/O đa mục đích
- **SDO:** Ngõ ra dữ liệu nối tiếp cho SPI

## Chân RC6 / TX / CK

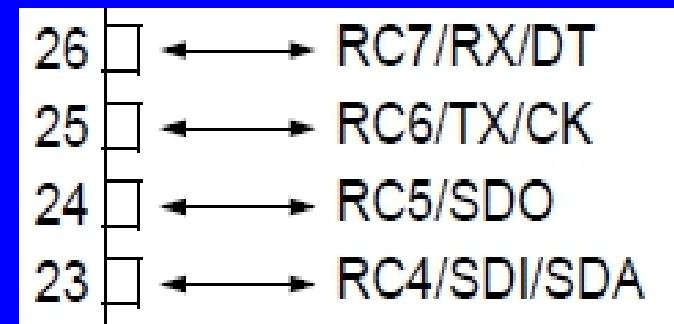
- **RC6:** I/O đa mục đích
- **TX:** Ngõ ra nối tiếp bắt đồng bộ cho USART
- **CK:** I/O xung clock đồng bộ cho USART.



# CẤU TRÚC VÀ CHỨC NĂNG PORT C

## ➤ Chân RC7 / RX / DT

- **RC7:** I/O đa mục đích
- **RX:** Ngõ vào nối tiếp bắt đồng bộ cho USART
- **DT:** I/O dữ liệu nối tiếp đồng bộ cho USART.



# CẤU TRÚC VÀ CHỨC NĂNG PORT C

Name	Function	Input Type	Output Type	Description
RC0/T1OSO/T1CKI	RC0	ST	CMOS	General purpose I/O.
	T1OSO	—	XTAL	Timer1 oscillator output.
	T1CKI	ST	—	Timer1 clock input.
RC1/T1OSI/CCP2	RC1	ST	CMOS	General purpose I/O.
	T1OSI	XTAL	—	Timer1 oscillator input.
	CCP2	ST	CMOS	Capture/Compare/PWM2.
RC2/P1A/CCP1	RC2	ST	CMOS	General purpose I/O.
	P1A	ST	CMOS	PWM output.
	CCP1	—	CMOS	Capture/Compare/PWM1.
RC3/SCK/SCL	RC3	ST	CMOS	General purpose I/O.
	SCK	ST	CMOS	SPI clock.
	SCL	ST	OD	I <sup>2</sup> C™ clock.
RC4/SDI/SDA	RC4	ST	CMOS	General purpose I/O.
	SDI	ST	—	SPI data input.
	SDA	ST	OD	I <sup>2</sup> C data input/output.

Bảng tổng hợp chức năng của Port C

# CẤU TRÚC VÀ CHỨC NĂNG PORT C

Name	Function	Input Type	Output Type	Description
RC4/SDI/SDA	RC4	ST	CMOS	General purpose I/O.
	SDI	ST	—	SPI data input.
	SDA	ST	OD	I <sup>2</sup> C data input/output.
RC5/SDO	RC5	ST	CMOS	General purpose I/O.
	SDO	—	CMOS	SPI data output.
RC6/TX/CK	RC6	ST	CMOS	General purpose I/O.
	TX	—	CMOS	EUSART asynchronous transmit.
	CK	ST	CMOS	EUSART synchronous clock.
RC7/RX/DT	RC7	ST	CMOS	General purpose I/O.
	RX	ST	—	EUSART asynchronous input.
	DT	ST	CMOS	EUSART synchronous data.

Bảng tổng hợp chức năng của Port C

# CẤU TRÚC VÀ CHỨC NĂNG PORT C

## ➤ Các thanh ghi có liên hệ với Port C

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000
PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	---0 0001
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged, — = unimplemented locations read as '0'. Shaded cells are not used by PORTC.

X: Không biết

U: Không thay đổi

— : Dự trữ (Đọc về có giá trị '0')

Tô đậm: Không dùng cho Port C

# CẤU TRÚC VÀ CHỨC NĂNG PORT D

- Port D có 8 chân (**RD0 – RD7**)
- Việc ghi các giá trị (0 hoặc 1) vào thanh ghi **TRISD** sẽ qui định chiều các chân Port D
- Các thao tác điều khiển Port:
  - READ: Đọc trạng thái của chân
  - WRITE: Ghi vào bộ chốt cổng (RD-MD-WR).

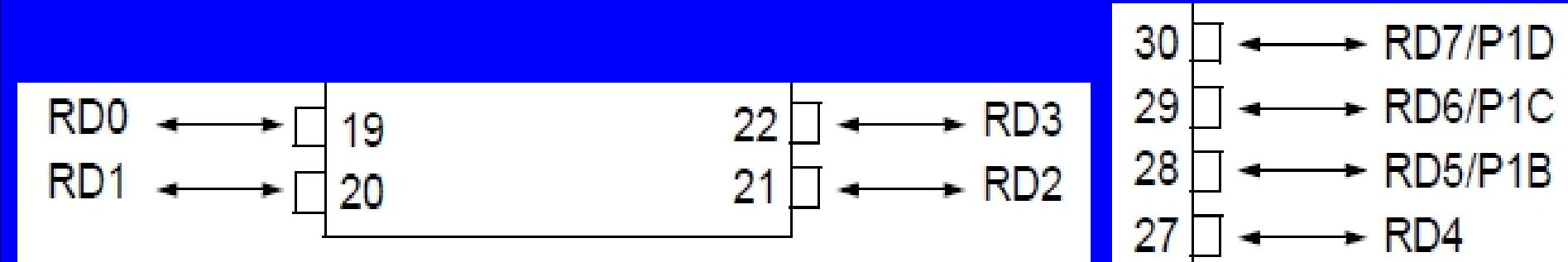
# CẤU TRÚC VÀ CHỨC NĂNG PORT D

## ➤ Chân RD<4:0>

- RD<4:0>: I/O đa mục đích.

## Chân RD5 / P1B

- RD5: I/O đa mục đích
- P1B: Ngõ ra điều xung.



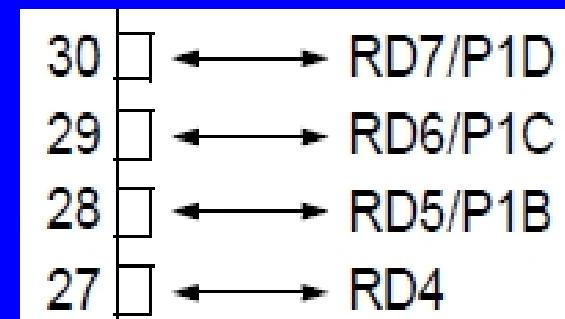
# CẤU TRÚC VÀ CHỨC NĂNG PORT D

## ➤ Chân RD6 / P1C

- RD6: I/O đa mục đích
- P1C: Ngõ ra điều xung.

## Chân RD7 / P1D

- RD7: I/O đa mục đích
- P1D: Ngõ ra điều xung.



# CẤU TRÚC VÀ CHỨC NĂNG PORT D

Name	Function	Input Type	Output Type	Description
RD0	RD0	TTL	CMOS	General purpose I/O.
RD1	RD1	TTL	CMOS	General purpose I/O.
RD2	RD2	TTL	CMOS	General purpose I/O.
RD3	RD3	TTL	CMOS	General purpose I/O.
RD4	RD4	TTL	CMOS	General purpose I/O.
RD5/P1B	RD5	TTL	CMOS	General purpose I/O.
	P1B	—	CMOS	PWM output.
RD6/P1C	RD6	TTL	CMOS	General purpose I/O.
	P1C	—	CMOS	PWM output.
RD7/P1D	RD7	TTL	CMOS	General purpose I/O.
	P1D	AN	—	PWM output.

Bảng tổng hợp chức năng của Port D

# CẤU TRÚC VÀ CHỨC NĂNG PORT D

## ➤ Các thanh ghi có liên hệ với Port D

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
PORTD	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	uuuu uuuu
PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	---0 0001
TRISD	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged, — = unimplemented locations read as '0'. Shaded cells are not used by PORTD.

X: Không biết

U: Không thay đổi

— : Dự trữ (Đọc về có giá trị '0')

Tô đậm: Không dùng cho Port D

# CẤU TRÚC VÀ CHỨC NĂNG PORT E

- Port E có 4 chân (RE0 – RE3)
  - Đối với PIC16F877A chỉ có 3 chân (RE0 – RE2)
- Việc ghi các giá trị (0 hoặc 1) vào thanh ghi **TRISE** sẽ qui định chiều các chân Port E
- Các thao tác điều khiển Port:
  - READ: Đọc trạng thái của chân
  - WRITE: Ghi vào bộ chốt cổng (RD-MD-WR)
- Thanh ghi ANSEL phải được khởi tạo để cấu hình một ngõ vào tương tự thành ngõ vào số.

## ➤ Chân RE0 / AN5

- **RE0:** I/O đa mục đích
- **AN5:** Ngõ vào tương tự cho ADC

## Chân RE1 / AN6

- **RE1:** I/O đa mục đích
- **AN6:** Ngõ vào tương tự cho ADC



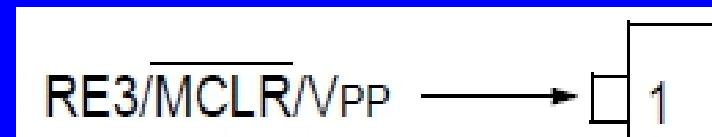
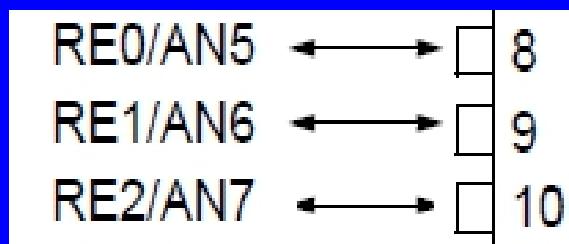
# CẤU TRÚC VÀ CHỨC NĂNG PORT E

## ➤ Chân RE2 / AN7

- **RE2:** I/O đa mục đích
- **AN7:** Ngõ vào tương tự cho ADC

## Chân RE3 / MCLR\ / VPP

- **RE3:** Ngõ vào đa mục đích
- **MCLR\:** Ngõ vào reset chính của vi điều khiển



# CẤU TRÚC VÀ CHỨC NĂNG PORT E

Name	Function	Input Type	Output Type	Description
RE0/AN5	RE0	TTL	CMOS	General purpose I/O.
	AN5	AN	—	A/D Channel 5.
RE1/AN6	RE1	TTL	CMOS	General purpose I/O.
	AN6	AN	—	A/D Channel 6.
RE2/AN7	RE2	TTL	CMOS	General purpose I/O.
	AN7	AN	—	A/D Channel 7.
RE3/MCLR/VPP	RE3	TTL	—	General purpose input.
	MCLR	ST	—	Master Clear with internal pull-up.
	VPP	HV	—	Programming voltage.

Bảng tổng hợp chức năng của Port E

# CẤU TRÚC VÀ CHỨC NĂNG PORT E

## ➤ Các thanh ghi có liên hệ với Port E

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
PORTE	—	—	—	—	RE3	RE2	RE1	RE0	---- xxxx	---- uuuu
TRISE	—	—	—	—	TRISE3	TRISE2	TRISE1	TRISE0	---- 1111	---- 1111

Legend: x = unknown, u = unchanged, — = unimplemented locations read as '0'. Shaded cells are not used by PORTE

X: Không biết

U: Không thay đổi

— : Dự trữ (Đọc về có giá trị '0')

Tô đậm: Không dùng cho Port E