**83.Nêu các đặc điểm trong kỹ thuật cài đặt RISC.**

Đặc điểm trong kỹ thuật cài đặt RISC

* Kích thước lệnh cố định 4 bytes.
* Sử dụng lệnh load/store.
* Nhiều thanh ghi: 32 thanh ghi 32 bit cho số nguyên, 32 thanh ghi 64 bit dành cho số thực.
* Đánh địa chỉ đơn giản.
* Tập lệnh nhỏ.
* Hỗ trợ ít kiểu dữ liệu.
* Các lệnh thực hiện nhanh chỉ cần 1 xung clock.
* Có bus riêng cho dữ liệu và mã lệnh

**84.Cho biết ý nghĩa của cụm từ RISC (Reduced Instruction Set Computer)**

RISC là viết tắt của Bộ hướng dẫn giảm. Nó được thiết kế để giảm thời gian thực hiện bằng cách đơn giản hóa tập lệnh. Nó sử dụng các hướng dẫn tối ưu hóa cao. Bộ xử lý dựa trên RISC thường được sử dụng cho các thiết bị di động như điện thoại di động và máy tính bảng vì chúng hiệu quả hơn

**85.Trình bày kỹ thuật đường ống đơn vị lệnh (pipeline lệnh).**

* Chia quá trình thực hiện câu lệnh thành nhiều công đoạn và cho các công đoạn thực hiện gối nhau.
* Các loại sung đột:
  + Cấu trúc: Một số công đoạn của các lệnh khác nhau cùng dùng chung một tài nguyên phần cứng.
  + Dữ liệu
  + Điều khiển

Lý thuyết:

1. Cho biết ý nghĩa khi nói bus địa chỉ có độ rộng 24 bit

- Bus gồm 24 đường dây dẫn, CPU có khả năng quản lý không gian nhớ là 2 ^ 24 = 16MB

2. Trình bày sơ đồ khối chung của hệ thống vào ra trong máy tính

- CPU thực hiện trao đổi thông tin với các thiết bị ngoại vi thông qua các thiết bị giao diện (các khối ghép nối) như sau:

Thiết bị giao diện là thiết bị khả trình (có thể lập trình), có 3 loại thanh ghi

+ Thanh ghi điều khiển (control): nhận và chứa các từ điều khiển xác lập chế độ làm việc

+ Thanh ghi trạng thái (status): chứa thông tin trạng thái làm việc

+ Thanh ghi dữ liệu (data): làm bộ đệm nơi trung chuyển dữ liệu vào ra

--> mỗi thanh ghi đều được gán một địa chỉ nhất định, địa chỉ thanh ghi dữ liệu được gọi là địa chỉ cơ sở của công hay gọi tắt là địa chỉ cổng

3. Trình bày cấu trúc chung của modul vào ra dữ liệu

- Thiết bị giao diện được chế tạo theo module, gọi là module vào/ra hoặc gọi là control card. Mỗi module có 3 loại thanh ghi:

+ các thanh ghi điều khiển nhận và chứa các từ điều khiển xác lập chế độ làm việc của thiết bị

+ các thanh ghi trạng thái chứa thông tin phản ánh trạng thái làm việc của thiết bị ngoại vi

+ các thanh ghi dữ liệu thực hiện chức năng bộ đệm, trung chuyển dữ liệu ra vào

4. Cho biết ý nghĩa khi nói bus dữ liệu có độ rộng 32 bit

- Bus gồm 32 đường dây dẫn, CPU có khả năng xử lý toán hạng 32 bit trong 1 chu kỳ lệnh

5. Trình bày phương pháp vào ra dữ liệu theo định trình

- Đây là phương pháp mà quá trình vào ra được thưc hiện tức thời nhờ các lệnh vào/ra và CPU không cần quan tâm đến trạng thái của thiết bị vào ra (bao gồm giao diện và thiết bị ngoại vi)

+ Nhược điểm: độ tin cậy trong truyền, nhận dữ liệu không cao, dữ liệu truyền nhận dễ bị chồng lên nhau gây mất dữ liệu nếu bên nhận xử lý không kịp

- phương pháp này thích hợp với những quá trình vào/ra có chu kỳ cố định và có thể xác định trước.

6. Trình bày phương pháp vào ra theo kiểu thăm dò:

- CPU kiểm tra trạng thái sẵn sàng làm việc của thiết bị trước khi việc vào/ra dữ liệu được thực hiện. Khi thiết bị chưa sẵn sàng làm việc thì CPU lại phải tiếp tục thăm dò, việc thăm dò được

lặp đi lặp lại cho đến khi thiết bị sẵn sàng trao đổi dữ liệu với CPU thì quá trình nhận dữ liệu được tiến hành

Ưu điểm: quá trình nhận dữ liệu có độ tin cậy cao vì việc truyền nhận dữ liệu chỉ xảy ra khi hai bên truyền nhận đều sẵn sàng

Nhược điểm: chiếm dụng nhiều thời gian của CPU cho việc thăm dò nên hiệu quả hệ thống không cao.

7. Trình bày phương pháp dữ liệu vào ra theo kiểu ngắt cứng.

- Khái niệm ngắt cứng: CPU phải tạm dừng tiến trình đang thực hiện để chuyển sang thực hiện tiến trình phục vụ ngắt khi có yêu cầu ngắt từ phần mạch bên ngoài gửi đến CPU

- Phương pháp vào ra theo kiểu ngắt cứng là phương pháo mà thiết bị vào ra chủ động khởi tạo quá trình vào/ra dữ liệu nhờ hệ thống ngắt

Ưu điểm: quá trình vào ra dữ liệu được thực hiện ngay khi có yêu cầu, độ tin cậy cao. Hiệu suất CPU cao vì không mấy thời gian thăm dò trạng thái của thiết bị vào ra

Tuy nhiên, pp này vẫn phải thông qua CPU nên hiệu năng hoạt động toàn hệ thống chưa phải là cao nhất

8.Trình bày cấu trúc của hệ thống vào ra theo kiểu ngắt cứng

- Hệ thống ngắt cứng gồm thiết bị điều khiển ngắt PIC, BUS dữ liệu và các thiết bị vào ra

- PIC nhận các yêu cầu ngắt IRQi ( i = 0 -> 7), xử lý ưu tiên ngắt và cung cấp số hiệu ngắt có ưu tiên cao nhất cho CPU qua bus dữ liệu, CPU căn cứ vào số hiệu này thực hiện quá trình vào ra

với chương trình được chọn

9. Trình bày quá trình vào ra dữ liệu theo phương pháp ngắt cứng:

Quá trình xảy ra cụ thể như sau:

- CPU đang thực hiện tiến trình A

- Các thiết bị vào/ra có yêu cầu phục vụ, phát ra tín hiệu IRQi (i = 0 -> 7) tới PIC. Mỗi thiết bị vào ra được ấn định sẵn một số hiệu ngắt nhất định

- Thiết bị PIC lựa chọn số hiệu ngắt có mức ưu tiên cao nhất, phát tín hiệu yêu cầu tới CPU yêu cầu CPU phục vụ

- Nếu CPU chấp nhận ngắt, CPU hoàn thành nốt lệnh đang thực hiện, tiến hành lưu trạng thái của tiến trình đang thực hiện và trạng thái hiện thời của CPU

- CPU phát tín hiệu sẵn sàng phục vụ yêu cầu ngắt tới PIC

- PIC phát số tín hiệu ngắt được chọn tới CPU qua bus dữ liệu

- Dựa vào số liệu này CPU xác định địa chỉ chương trình con phục vụ ngắt, kích hoạt và thực hiện vào ra dữ liệu

- Kết thúc, CPU lấy lại trạng thái cũ của CPU và tiến trình A vừa bị ngắt để tiếp tục thi hành

10. Trình bày khái niệm quá trình DMA, cấu trúc của hệ thống vào ra theo kiểu DMA

Khái niệm:

- DMA: direct memory access (truy cập bộ nhớ trực tiếp)

- Quá trình DMA là quá trình vào/ra dữ liệu giữa bộ nhớ và thiết bị ngoại vi mà không thông qua CPU

- Cấu trúc hệ thống: thêm mạch DMAC ghép nối với bus hệ thống để điều khiển trao đổi dữ liệu giữa module vào ra với bộ nhớ chính

11. Trình bày quá trình vào/ra dữ liệu theo kiểu DMA

- CPU đang hoạt động bình thường (CPU quản lý bus hệ thống gồm bus A - bus địa chỉ, bus D - bus dữ liệu, bus C - bus điều khiển)

- DMAC được xác lập chế độ làm việc, nhận thông tin về địa chỉ đầu khối nhớ chứa dữ liệu và kích thước khối dữ liệu cần truyền

- Các thiết bị vào/ra phát tín hiệu DRQi cho DMAC để chọn tín hiệu có mức ưu tiên cao nhất

- DMAC phát tín hiệu BRQ/HOLD = 1 cho CPU, yêu cầu CPU chuyển nhượng bus

- Nếu CPU chấp nhận, CPU thực hiện nốt chu kỳ máy, phát tín hiệu BGT/HLDA chấp nhận chuyển nhượng bus

- CPU tự tách ra khỏi hệ thống bus, quyền điều khiển bus thuộc về DMAC

- DMAC phát tín hiệu DACKi báo cho thiết bị được chọn vào/ra dữ liệu. DMAC phát ra địa chỉ ô nhớ đầu tiên của khối dữ liệu cần truyền lên bus A,

quá trình truyền dữ liệu bắt đầu. Trong quá trình truyền, DMAC giảm bộ đếm và tăng nội dung con trỏ chứa địa chỉ đến khi nội dung bộ đếm bằng 0

thì khối dữ liệu đã truyền xong.

- DMAC kết thúc quá trình DMA, phát tín hiệu BRQ/HOLD = 0 cho CPU, trả lại quyền điều khiển bus cho CPU, CPU tiếp tục làm việc bình thường

12. Các đặc điểm của RISC

- Kích thước lệnh cố định 4 bytes

- sử dụng lệnh load/store

- nhiều thanh ghi: 32 thanh ghi 32 bit cho số nguyên, 32 thanh ghi 64 bit dành cho số thực

- Đánh địa chỉ đơn giản

- Tập lệnh nhỏ

- Hỗ trợ ít kiểu dữ liệu

- Các lệnh thực hiện nhanh chỉ cần 1 xung clock

- Có bus riêng cho dữ liệu và mã lệnh

13. Cho biết ý nghĩa của cụm từ RISC (reduce instruction set computer)

- RISC (reduce instruction set computer): máy tính với tập lệnh đơn giản hóa, là một phương pháp thiết kế các bộ vi xử lý

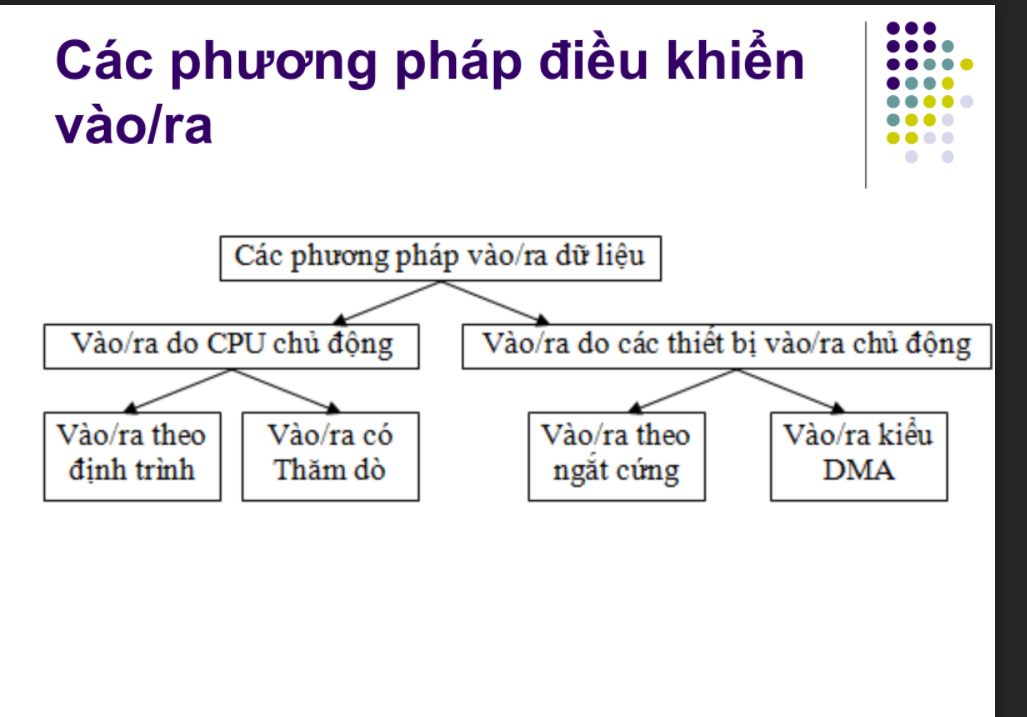
theo hướng đơn giản hóa tập lệnh, trong đó thời gian thực thi tất cả các lệnh đều như nhau. Hiện nay các bộ vi xử lý RISC phổ biến

là ARM, SuperH, MIPS, SPARC, DEC, Alpha, PA-RISC, PIC và PowerPC của IBM

14. Trình bày kỹ thuật đường ống đơn vị lệnh

- Chia một lệnh ra làm nhiều công đoạn và cho xử lý các công đoạn gối lên nhau.

**Các phương pháp điều khiển**

****

**17.Trình bày cấu trúc của hệ thống vào/ra theo ngắt cứng.**

Cấu trúc hệ thống vào/ra theo kiểu ngắt cứng:

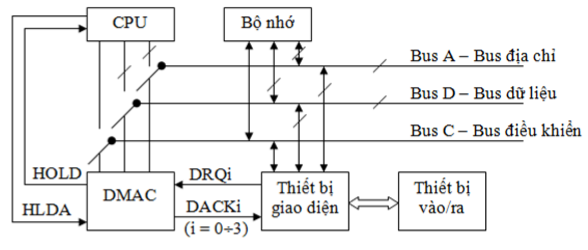
* Hệ thống vào/ra theo ngắt cứng gồm 4 thành phần: CPU, PIC (Priority Interrupt Controller), hệ thống vào/ra dữ liệu và bus.
* PIC nhận được yêu cầu ngắt IRQi ( i= 0÷7), xử lý ưu tiên ngắt và cung cấp số liệu ngắt có ưu tiên cao nhất cho CPU qua BUS dữ liệu. CPU căn cứ vào số hiệu này thực hiện quá trình vào ra dữ liệu với chương trình được chọn

**19.Trình bày khái niệm quá trình DMA, cấu trúc của hệ thống vào/ra theo kiểu DMA**

Khái niệm quá trình DMA:

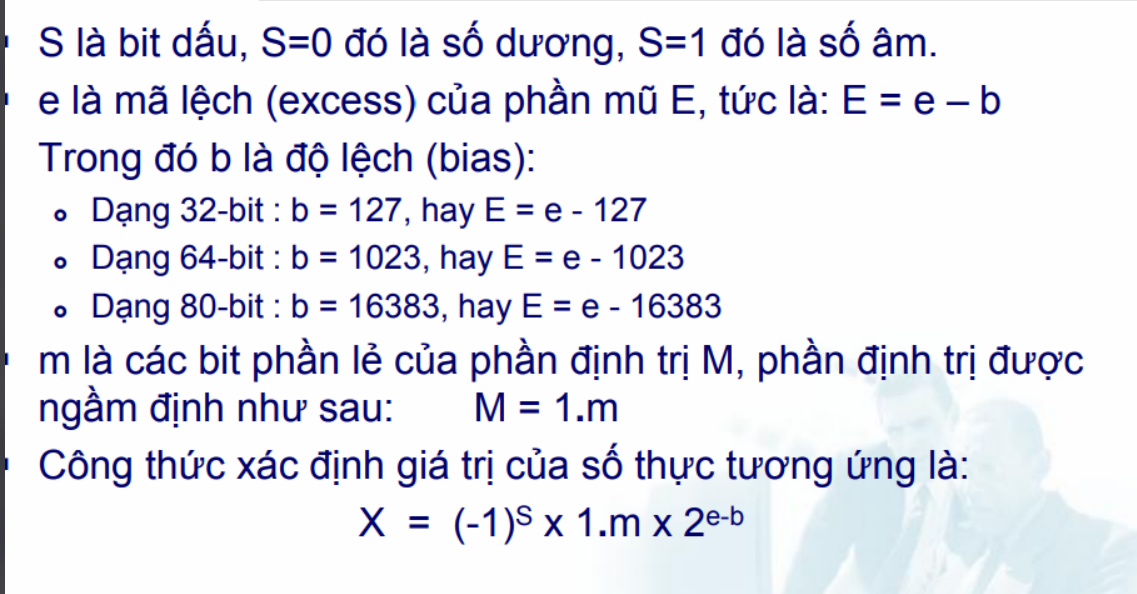
* DMA- Direct Memry Access( Truy cập bộ nhớ trực tiếp)
* Quá trình DMA là quá trình vào/ra dữ liệu giữa bộ nhớ và thuết bị ngoại vi mà không thông qua CPU.

Cấu trúc hệ thống vào/ra theo kiểu DMA:

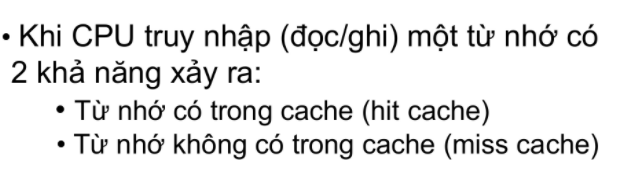


**Mã BCD**

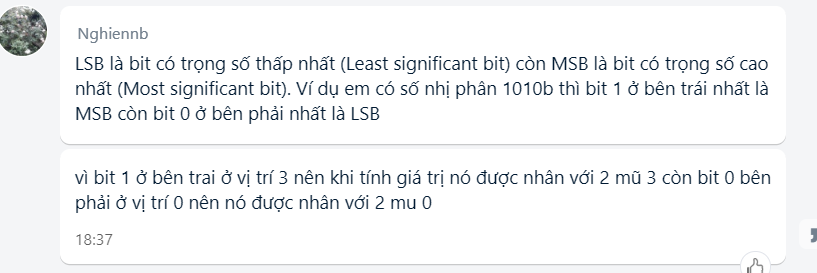
(Thế nào là mã BCD?-Mã BCD sủ dụng 4 bit nhị phân để mã chứ số thập phân từ 0 đén 9.Vì dùng 4 bít dẫn đến ngoài các chữ số từ 0 đén 9 thì còn các giá trị A(1010),B(1011),C(1100),D(1101),E(1110),F(111).Các giá trị từ Ah đén Fh hay từ 10 đến 15 là các mã BCD lỗi.)

****

**HIT, Miss cache**

****

**LSB, MSB**

****

**Dấu chấm động**

Công thức: R =(-1)^S \* 1.M \* 2^(E-Bias)

* S là bit dấu, chiếm 1 bit dấu.
* **E** là Exponent (phần mũ) luôn lớn hơn hoặc bằng 0  chiếm 8 bit.
* **M** là Mantissa (phần định trị) - chỉ lưu phần lẻ sau dấu chấm nhị phân, chiếm 23 bit.
* Vì phần mũ (E – Bias) có thể âm, hoặc dương, xong trong cấu trúc dữ liệu lưu trữ số dấu chấm động, chỉ được phép có một bit dấu của số (không được phép thêm bit dấu của số mũ) nên E phải trong khoảng [0 ÷ 255]. Vì vậy để khử giá trị âm cho phần mũ, ta sử dụng số Bias, E < Bias thì phần mũ âm,   
  E > Bias thì phần mũ dương. Giá trị của Bias được xác định để cân đối cả 2 phần âm và dương. Vậy với E chiếm 8 bit thì Bias = 28/2 -1 = 127
* Độ chính xác dữ liệu là 2-127: vì E ≥ 0, nên E – Bias ≥ –127, do vậy giá trị dữ liệu biểu diễn nhỏ nhất với kiểu short real là 2–127.
* Số bít E là 8 với số 32 bit, số bit của E là 11 nếu số thực 64 bits
* **bias =  2^(số bits của E )/2 -1**
* Bias = 2^( Số bit biểu biểu diễn )/2 - 1 = E/2 -1 = 2^8/2 -1 =127

Bước 2: Vẽ khuôn dạng: S E M

|  |  |  |
| --- | --- | --- |
| S | E | M |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| S | E7 |  | E0 | M22 |  | M0 |

Bước 3: Chuyển về bits nhị phân

154 = 10011010

0.25 = 0.01

=>Ghép lại 154.25 = 10011010.01

Bước 3: Chuẩn hóa

R = (-1)^1 \* 1.001101001\* 2^7

Bước 4: Xác định S, E, M

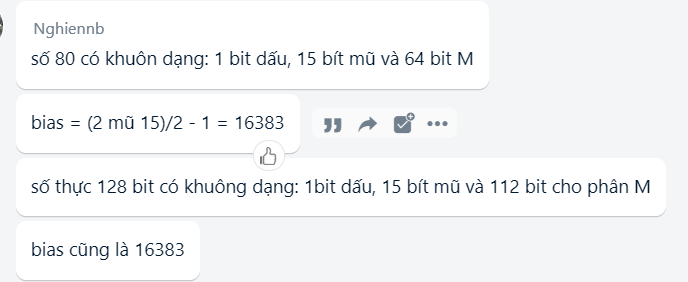
S = 1

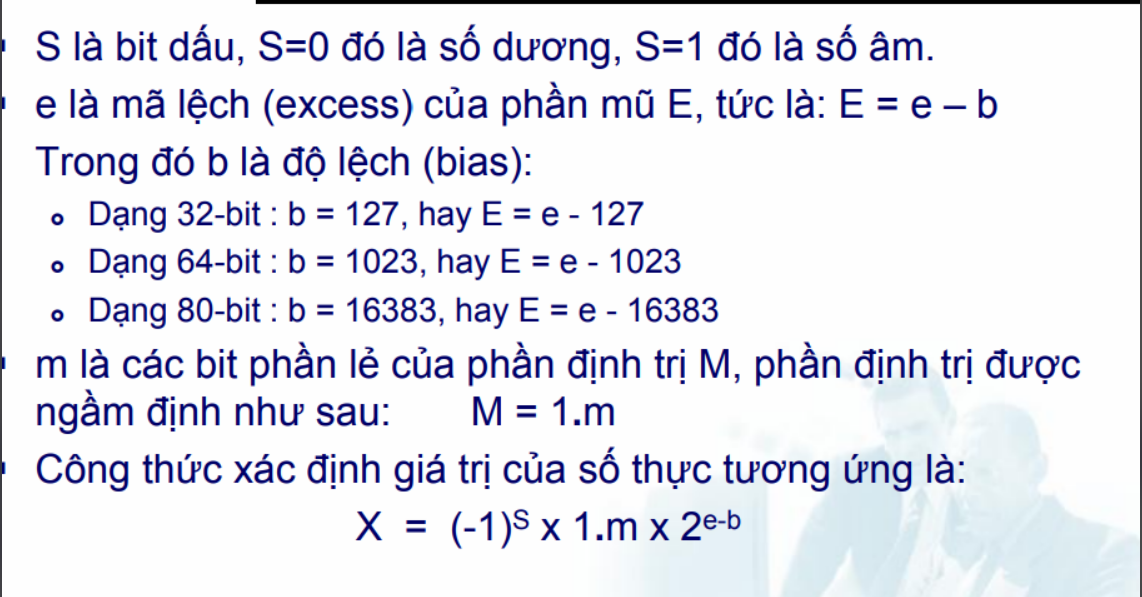
E = 127 + 7=134 = 10000110b

M = 00110100100000000000000b

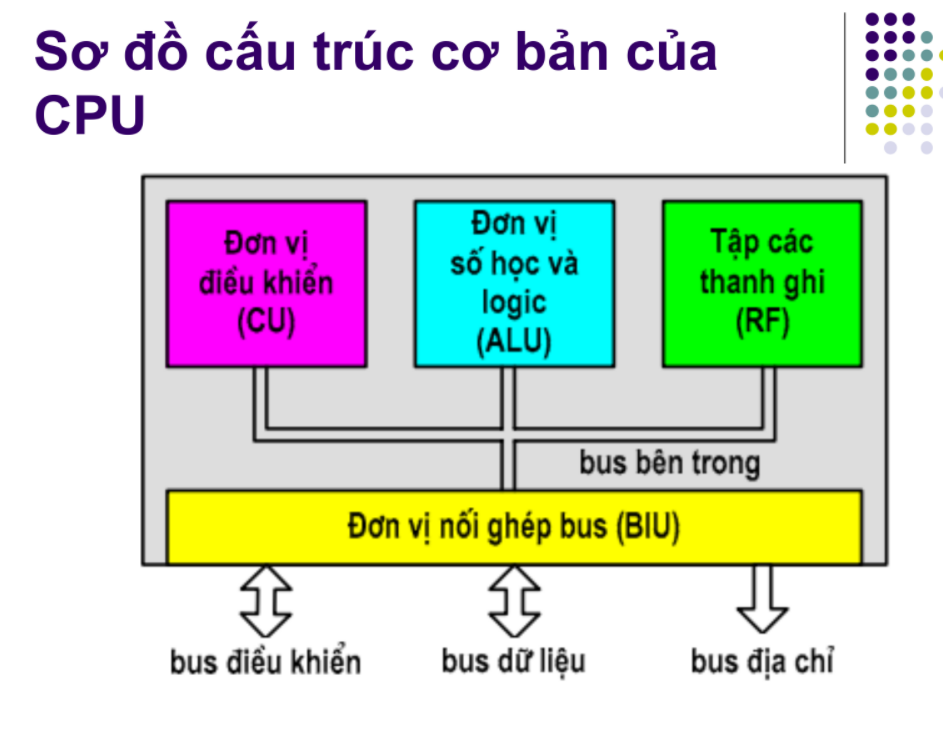
Bước 5: Lắp khuôn:

X = 1100 0011 0001 1010 0100 0000 0000 0000b = C31A4000H

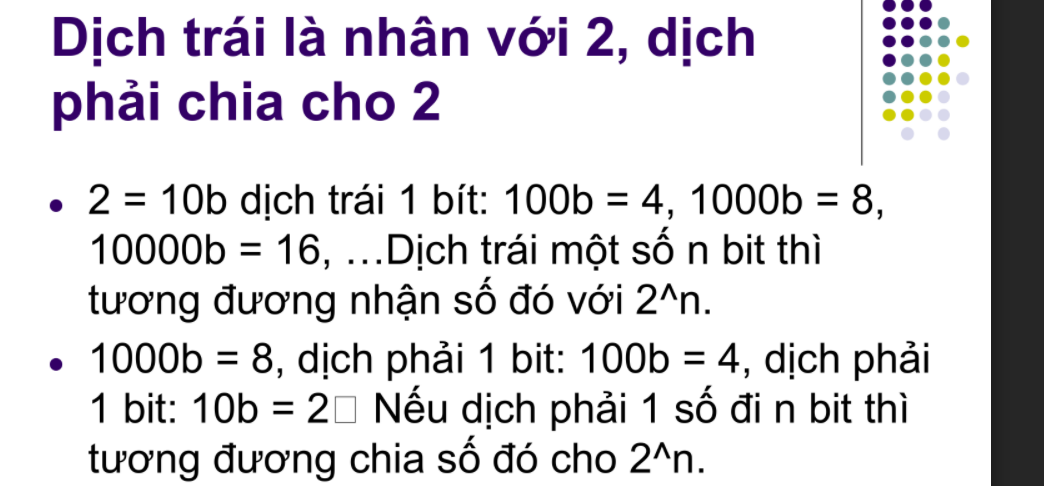
****

****

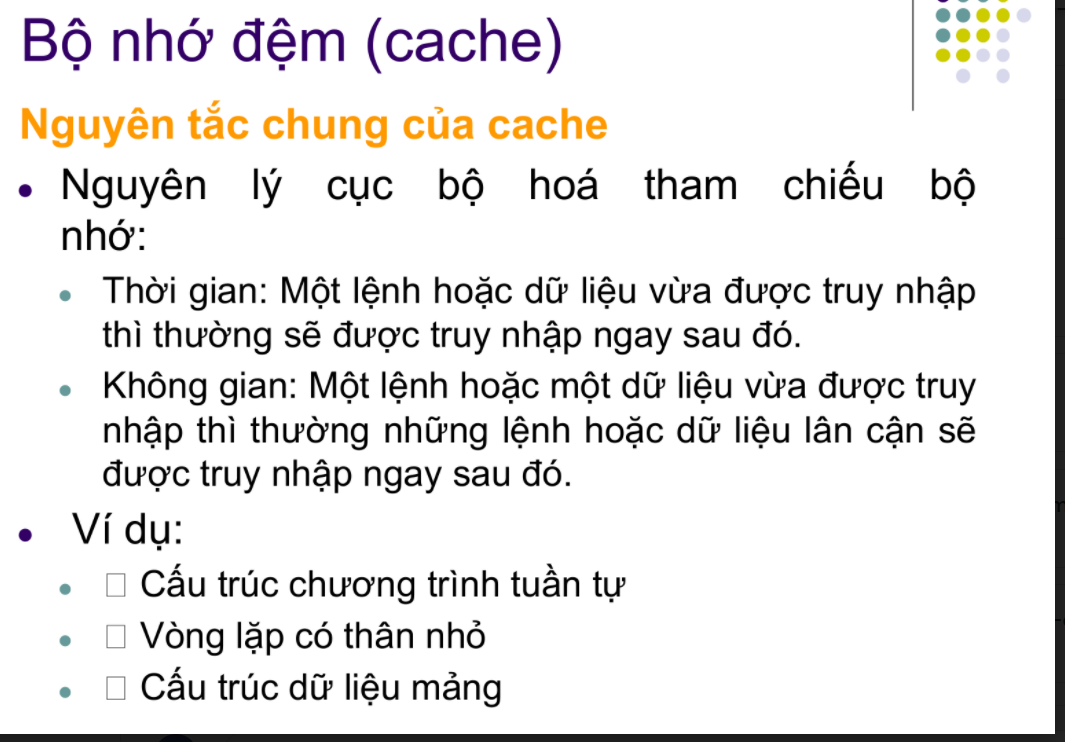
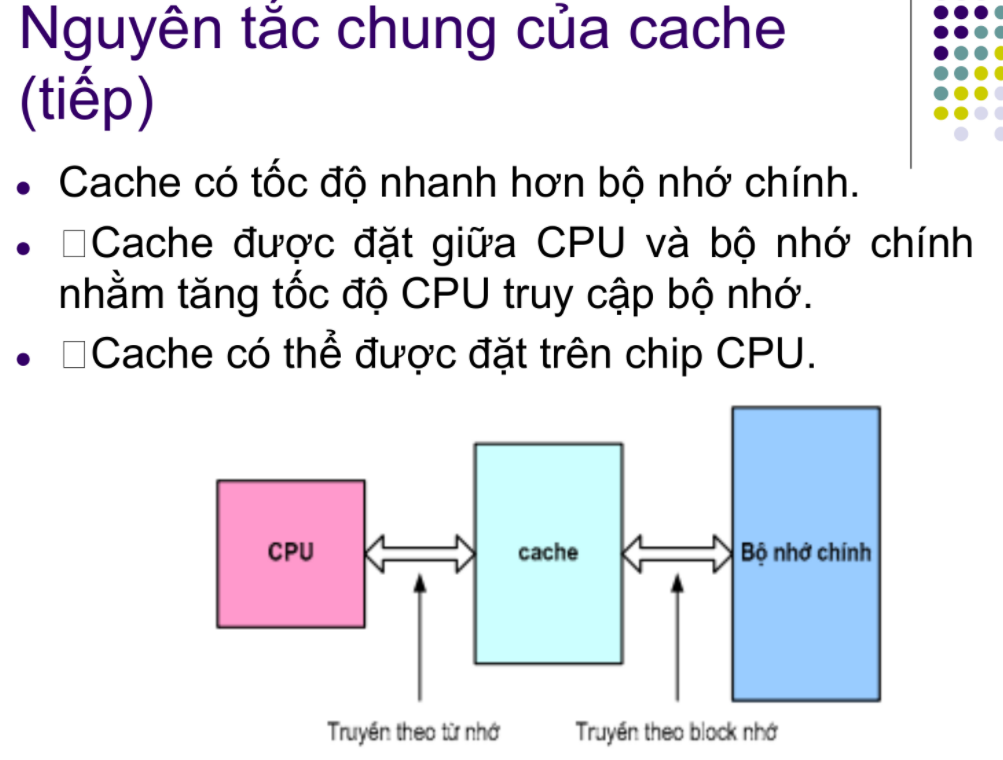
**Cấu trúc CPU**

****

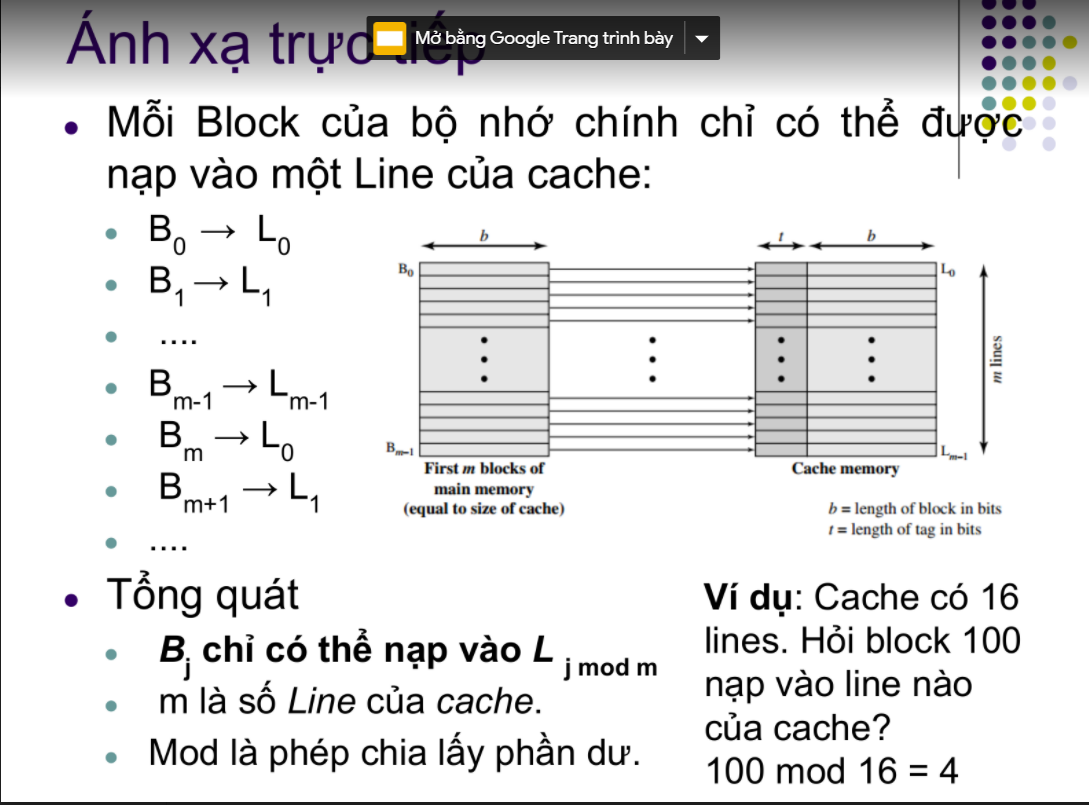
**Dịch trái, phải**

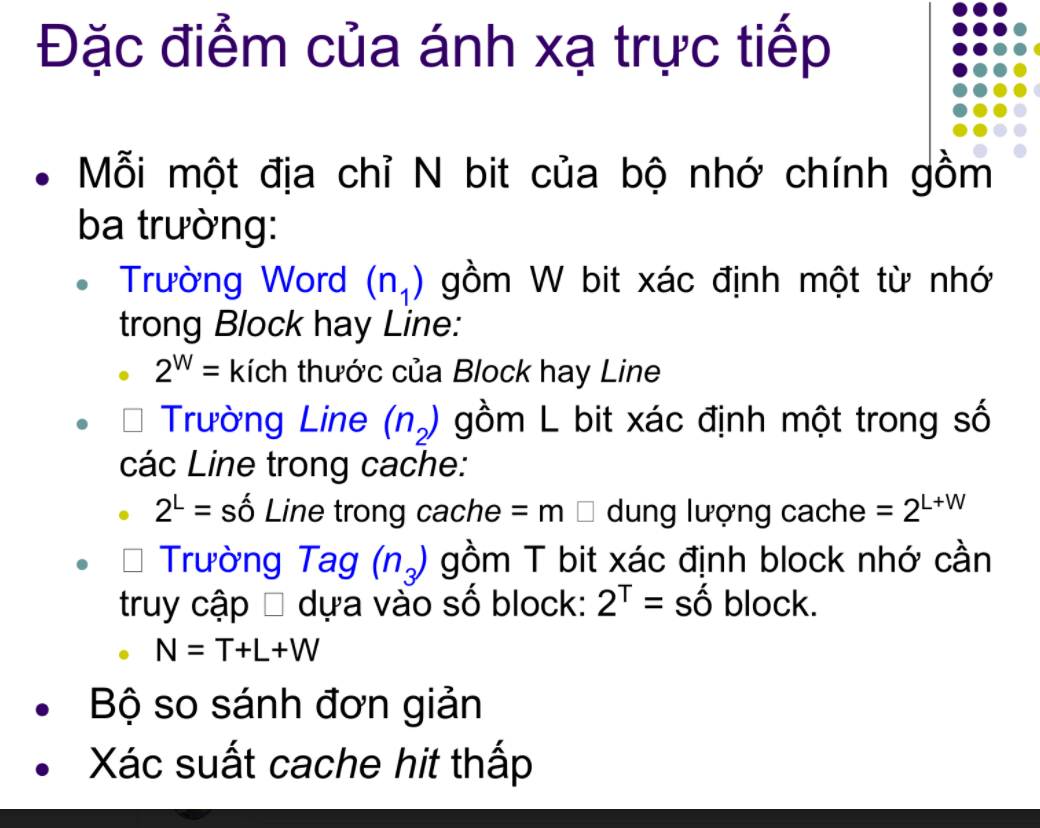
****

**Cache**

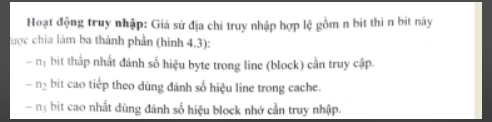
 

**Các loại ánh xạ**

****

****

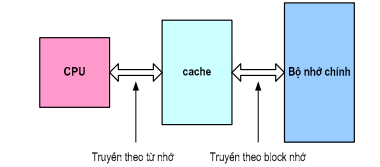
|  |  |  |
| --- | --- | --- |
| **Ánh xạ trực tiếp** | **Ánh xạ liên kết toàn phần** | **Ánh xạ liên kết tập** |
| Mỗi block chỉ được nạp vào 1 line của cache | Mỗi block có thể nạp vào nhiều line của cache | Cache được chia làm nhiều set  - Mỗi 1 set chứa 1 số line |
| Các trường:  Trường Word (n1) gồm W bit xác định một từ nhớ  trong Block hay Line:  2W = kích thước của Block hay Line   Trường Line (n2) gồm L bit xác định một trong số  các Line trong cache:  2L = số Line trong cache = m 🡪 dung lượng cache = 2L+W   Trường Tag (n3) gồm T bit xác định block nhớ cần  truy cập 🡪 dựa vào số block: 2T = số block.  N = W + L + T   * Ưu điểm :   +Thiết kế đơn giản  + Nhanh vì ánh xạ cố định: khi biết địa chỉ bộ nhớ có thể tìm nó trong cache rất nhanh   * Nhược điểm:   + Vì ánh xạ cố định nên khả năng xảy ra xung đột cao  + Tỷ lệ hit thấp | Các trường:  Trường **Word (n1)** giống như trường hợp ở trên.  Trường ***Tag (n3)*** dùng để xác định *Block* của bộ nhớ chính.   * Ưu điểm:   + Ít xung đột vì ánh xạ linh hoạt  + Tỉ lệ hit cao hơn   * Nhược điểm:   + Chậm vì phải tìm kiếm địa chỉ bộ nhớ trong cache  + Phức tạp vì có thêm n bộ so sánh địa chỉ trong cache  +Thường sử dụng cho cache có kích thước nhỏ | Các trường:   * N bits địa chỉ hợp lệ được chia làm 3 phần:   W bits thấp nhất dùng để xác định số hiệu của từ nhớ trong line (block) cần truy cập → kích thước của một block = 2W  S bits kế tiếp dùng để xác định một trong 2S set cần truy cập.  T bits trọng số cao nhất dùng để xác định block cần truy cập.  → = N = T + S + W   * Ưu điểm:   + Nhanh vì ánh xạ trực tiếp được sử dụng cho ánh xạ dòng  + Ít xung đột vì ánh xạ từ trang nhớ tới đường của cache là linh hoạt  +Tỷ lệ tìm thấy (hit) cao   * Nhược điểm:   +Thiết kế và điều khiển phức tạp vì cache được chia thành các way. |

****

**Cache**

**Nguyên tắc chung của cache**

* Nguyên lý cục bộ hoá tham chiếu bộ  
  nhớ:
  + Thời gian: Một lệnh hoặc dữ liệu vừa được truy nhập thì thường sẽ được truy nhập ngay sau đó.
  + Không gian: Một lệnh hoặc một dữ liệu vừa được truy nhập thì thường những lệnh hoặc dữ liệu lân cận sẽ được truy nhập ngay sau đó.
* Ví dụ:
  +  Cấu trúc chương trình tuần tự
  +  Vòng lặp có thân nhỏ
  +  Cấu trúc dữ liệu mảng
* Cache có tốc độ nhanh hơn bộ nhớ chính.
* Cache được đặt giữa CPU và bộ nhớ chính  
  nhằm tăng tốc độ CPU truy cập bộ nhớ.
* Cache có thể được đặt trên chip CPU.



Đặc điểm của kỹ thuật phân trang và phân đoạn

* Chương trình được chia làm nhiều phần.
* Nạp một hoặc nhiều phần chương trình vào bộ nhớ vật lý.
* Các phần còn lại chưa nhất thiết phải thi hành ngay thì được lưu trữ tạm ở một địa chỉ xác định trên ổ đĩa cứng (vùng swapping) do hệ điều hành quản lý.
* Khi phần chương trình được nạp đã thực hiện xong thì có thể được giải phóng khỏi bộ nhớ vật lý và đưa ra lưu trữ tạm trong ổ đĩa để tạo ra vùng nhớ vật lý tự do.
* Sau đó thực hiện nạp các phần chương trình còn lại để thực thi.

Kỹ thuật phân đoạn

* Khi biên dịch, chương trình được biên dịch theo từng module.
* Mỗi module sẽ được nạp vào một vùng nhớ riêng biệt (một đoạn) trong bộ nhớ hoặc được cất trong vùng swap.
* Khi nạp và biên dịch chương trình, hệ thống sinh ra một bảng quản lý đoạn (Segment Control Block - SCB) để quản lý trạng thái các module trong chương trình.
* Địa chỉ đầu của bảng SCB được đưa vào thanh ghi Rs.
* Mỗi phần tử trong SCB phản ánh trạng thái của một module.
* Bảng Bảng SCB có 3 trường là P, A, L:
  + P - trường dấu hiệu:
    - P = 0 : đoạn chưa được nạp,nằm ở vùng swap do hệ thống quản lý.
    - P = 1: đoạn đã được nạp vào bộ nhớ chính.
  + A – trường địa chỉ: cho biết địa chỉ đầu vùng nhớ mà đoạn đã được nạp, trường này chỉ có ý nghĩa khi P = 1.
  + L – trường độ dài: cho biết độ dài của đoạn, hay chính là dung lượng của module khi biên dịch.
* Địa chỉ truy nhập lệnh hoặc dữ liệu được biểu diễn là bộ đôi giá trị **<S, d>**, địa chỉ này được gọi là địa chỉ logic.
  + S là số hiệu của đoạn cần truy nhập.
  + d là địa chỉ tương đối của lệnh hay dữ liệu trong đoạn.

Ưu và nhước điểm của kỹ thuật phân đoạn

* Ưu điểm:
  + Cho phép kích thước chương trình lớn hơn kích thước bộ nhớ còn tự do vẫn được thực thi.
* Nhược điểm:
  + Gây ra phân mảnh ngoại vi sau 1 thời gian sử dụng bộ nhớ, do vậy cần có kỹ thuật dồn bộ nhớ tự do.
  + Nếu module cần truy nhập chưa được nạp thì chương trình thực thi chậm do phải có thao tác nạp đoạn hoặc đổi đoạn
  + Sơ đồ này chỉ được áp dụng đồng bộ với chương trình có cấu trúc phân đoạn và hệ thống phần cứng hỗ trợ quản lý bộ nhớ kiểu phân đoạn (cần có các thanh ghi đoạn– segment register  và các thanh ghi lệch – Offset register), ánh xạ địa chỉ logic về đ.ch vật lý.

Kỹ thuật phân trang

* Bộ nhớ vật lý được chia thành các trang bằng nhau có độ dài bằng L, gọi là các trang vật lý và được đánh số từ 0.
* Khi được gọi, chương trình được biên dịch thành một khối thống nhất, và cũng được chia thành các trang gọi là các trang logic (được đánh số từ 0) và kích thước 1 trang logic bằng kích thước của trang vật lý .
* Mỗi trang logic sẽ được nạp vào một trang vật lý trong bộ nhớ hoặc được cất trong vùng swap.
* Khi nạp và biên dịch chương trình, hệ thống sinh ra một bảng quản lý trang (Page Control Block - PCB) để quản lý trạng thái các trang logic trong chương trình.
* Địa chỉ đầu của bảng PCB được đưa vào thanh ghi Rp.
* Mỗi phần tử trong PCB phản ánh trạng thái của một trang logic.

**Cấu trúc của bảng PCB**

* Trường P
  + P = 0, trang chưa được nạp
  + P = 1, trang đã nạp
* Trường A: Cho biết trang vật lý nào đang nạp trang logic tương ứng. Nó chỉ có ý nghĩa khi P = 1.

Địa chỉ logic

* Địa chỉ của lệnh hoặc dữ liệu được biểu diễn là bộ đôi giá trị <Np, d>, địa chỉ này được gọi là địa chỉ logic.
  + Np là số hiệu của trang logic cần truy nhập.
  + d là địa chỉ tương đối của lệnh hay dữ liệu trong trang.

Ưu nhược điểm của kỹ thuật phân trang

* Ưu điểm
  + Cho phép kích thước chương trình lớn hơn kích thước bộ nhớ còn tự do vẫn được thực thi (giống sơ đồ phân đoạn).
  + Không còn phân mảnh ngoại vi do cấp phát bộ nhớ theo trang.
  + Tốc độ truy cập bộ nhớ nhanh hơn so với sơ đồ phần đoạn vì phép cộng được thay thế bởi phép ghép.
* Nhược điểm
  + Vẫn tồn tại phân mảnh nội vì kích thước của trang logic cuối cùng trong chương trình thường nhỏ hơn kích thước của trang vật lý.
  + Cần có phần cứng hỗ trợ để định vị trang và chuyển địa chỉ logic sang vật lý

Kỹ thuật phân trang kết hợp với phân đoạn

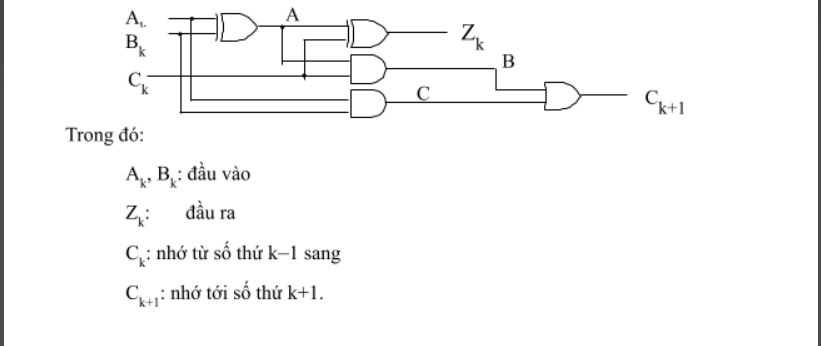
* Bộ nhớ vật lý được chia thành nhiều trang vật lý (đánh số từ 0, độ dài L) như kỹ thuật phân trang.
* Khi biên dịch, chương trình được biên dịch theo từng module và cũng sử dụng một bảng SCB để quản lý trạng thái của từng module như kỹ thuật phân đoạn.
* Mỗi module lại được chia thành nhiều trang logic, kích thước một trang logic bằng một trang vật lý.
* Khi một module được nạp hệ thống sinh ra một bảng PCB để quản lý trạng thái của từng trang logic trong module.
* Khi đoạn được giải phóng khỏi bộ nhớ chính (đưa ra vùng swap) thì bảng PCB tương ứng với nó cũng được giải phóng khỏi bộ nhớ.
* Khi mỗi đoạn được nạp, một bảng PCB được sinh ra để quản lý trạng thái các trang trong đoạn.
* Địa chỉ đầu của bảng PCB được ghi trong trường Ap của bảng SCB dành cho đoạn.
* Bảng PCB có 2 trường là P, A:
  + P - trường dấu hiệu: cho biết trang đã nạp vào bộ nhớ chính hay chưa?
    - P = 0 : trang chưa được nạp, nằm ở vùng swap do hệ thống quản lý.
    - P = 1: trang đã được nạp vào bộ nhớ chính.
  + A – trường địa chỉ: cho biết số hiệu trang vật lý đang chứa trang logic, trường này chỉ có ý nghĩa khi P = 1.
* Địa chỉ đầu của bảng SCB được quản lý nhờ thanh ghi đoạn Rs.
* Bảng SCB có 3 trường là Ps, Ap, Ls:
  + Ps - trường dấu hiệu: cho biết đoạn đã nạp vào bộ nhớ chính hay chưa?
    - Ps = 0 : đoạn chưa được nạp, nằm ở vùng swap do hệ thống quản lý.
    - Ps = 1: đoạn đã được nạp vào bộ nhớ chính.
  + Ap – trường địa chỉ: cho biết địa chỉ đầu của bảng PCB tương ứng với đoạn được nạp, trường này chỉ có ý nghĩa khi Ps = 1.
  + Ls – trường độ dài: cho biết số trang logic của đoạn.

Địa chỉ logic

|  |  |  |
| --- | --- | --- |
| **S** | **Np** | **d** |

* S là số hiệu của đoạn cần truy nhập
* Np là số hiệu của trang logic cần truy nhập trong đoạn.
* d là địa chỉ tương đối của lệnh hay dữ liệu cần truy nhập trong trang.

**Bộ cộng đầy đủ**

****

Bộ cộng đầy đủ, nếu Ck+1 = 1 thì bộ nhớ sẽ bị tràn, Ck+1 = 0 thì không bị tràn