



LABORATÓRIO DE ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES I

AULA 9: definição dos sinais de controle

Professor: Mateus Felipe Tymburibá Ferreira

Data: 27/07/2021

Aluno: Darmes Araújo Dias

Mudanças no projeto:

Houve um erro na descrição da instrução store, tabela corrigida:

Instrução	opcode	rd	rs	immediate	description
load	000	X	X	XXX	rd = MEM[rs*immediate]
la	001	X	-	LABEL(XXXX)	rd = LABEL
store	010	X	X	XXX	MEM[rd*immediate]=rs
add	011	X	X	rs2(X)	rd = rs+rs2
addi	100	X	-	LABEL(XXXX)	rd = rd + immediate
beq	101	-	-	LABEL(XXXXXX)	rd==rs
j	110	-	-	LABEL(XXXXXX)	j LABEL
halt	111	-	-	-	PC = PC

1) Liste os sinais de controle existentes no seu processador e explique o funcionamento de cada um deles. Você deve informar a utilidade do sinal e o impacto no caminho de dados para cada possível valor que o sinal possa assumir.

Sinais de controle	Funcionamento
Jump	Determina se o desvio será realizado
MemWrite	Determina quando será escrito na memória
ReadMem	Determina quando será lido na memória
ULASrc	Determina se o segundo operando da ULA será o sinal estendido ou a segunda saída dos regs.
ULAOp	Determina qual operação deverá ser feita
BEQ	Determina o estado no MUX de desvio
RegSrc	Determina o que vai ser escrito(resultado da ULA ou dado da memória de dados) no registrador
RegWrite	Determina quando será escrito no registrador
PCWrite	Determina quando é para reescrever o PC

2) Se você estiver implementando uma versão de processador uniciclo, para cada instrução suportada pelo seu nRisc, descreva os valores a serem assumidos por todos os sinais de controle (sugestão: use uma tabela). Caso você esteja projetando um processador multiciclos ou pipeline, apresente um diagrama de estados finitos, indicando os valores assumidos pelos sinais de controle em cada estado.

REGSRC -> MEMTOREG

Instruções	Sinais								
	Jump	Mem Write	Read Mem	ULA Src	ULA Op	BEQ	Reg Src	Reg Write	PC Write
load	0	0	1	1	000	0	1	1	1
la	0	0	1	1	001	0	1	1	1
store	0	1	0	1	010	0	X	0	1
add	0	0	0	0	011	0	0	1	1
addi	0	0	0	1	100	0	1	1	1
beq	0	0	1	X	101	1	X	0	1
j	1	0	1	X	110	1	X	0	1
halt	0	0	0	X	111	0	0	0	0