LABORATÓRIO DE ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES I

AULA 13: implementação dos demais componentes do nRisc

Professor: Mateus Felipe Tymburibá Ferreira

Data: 02/09/2021

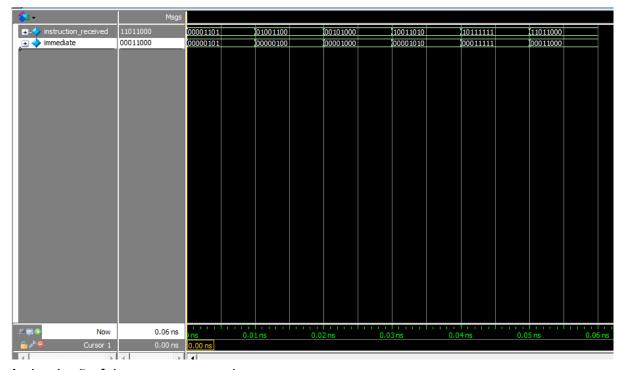
Aluno: Darmes Araujo Dias

- 1) Apresente o código fonte, em Verilog, dos módulos que descrevem os componentes do seu nRisc implementados.
- 2) Configure simulações que demonstrem o correto funcionamento de todos os componentes implementados. Apresente o código fonte desse(s) módulo(s) de simulação.
- 3) Demonstre e explique o funcionamento das simulações, usando fotos da tela (screenshots) da aplicação ModelSim em execução.
- > Extensor de sinal

```
module extensor de sinal(instruction received, immediate);
         input [7:0] instruction received;
         output [7:0] immediate;
 5
         wire [2:0] opcode = instruction received [7:5];
 6
 7
         assign immediate =
         (opcode == 3'b000) ? instruction_received[2:0] : // store
8
9
         (opcode == 3'b010) ? instruction_received[2:0] : // load
10
         (opcode == 3'b001) ? instruction_received[3:0] :// la
         (opcode == 3'bl00) ? instruction_received[3:0] :// add:
(opcode == 3'bl01) ? instruction_received[4:0] :// beq
11
12
         (opcode == 3'bl10) ? instruction received[4:0] : 8'b000000000; // j
13
14
15
     endmodule
16
```

```
1
     module extensor de sinal simulation(input a, output b);
        reg [7:0] instruction received;
2
3
        wire [7:0] immediate;
4
5
        wire [7:0] INSTRUCTION RECEIVED;
6
7
        assign INSTRUCTION RECEIVED = instruction received;
8
9
        extensor de sinal es(INSTRUCTION RECEIVED, immediate);
10
11
        reg clock;
12
13
        always #10 clock = ~clock;
14
       initial begin
15
        #0 instruction received = 8'b00001101;
        #10 instruction received = 8'b01001100;
16
        #10 instruction_received = 8'b00101000;
17
        #10 instruction_received = 8'b10011010;
18
19
        #10 instruction received = 8'b10111111;
20
        #10 instruction received = 8'bl1011000;
21
        #10 $finish;
22
        end
23 endmodule
24
```

O testbench foi escrito para o teste do extensor de sinal, ele consiste em receber instruções que usam imediato e observar a saída. O que se espera é: ao receber uma instrução o extensor de sinal consulta o opcode, e depois estende o imediato de acordo com a instrução recebida. Ao receber store e load ele estende o imediato de 3 bits para 8 bits, ao receber load address e add immediate ele estende o imediato de 4 bits para 8 bits e ao receber jump e beq ele estende o imediato de 5 bits para 8 bits.



A simulação foi como o esperado.

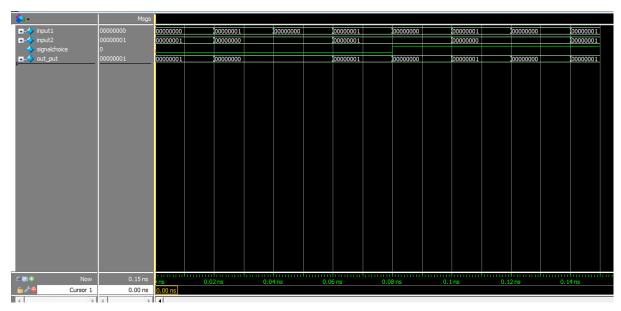
O wave.do foi salvo na pasta extensor_de_sinal_simulation.

→ MUX

```
module mux(input1, input2, signalchoice, out_put);
 2
         input wire [7:0] inputl;
 3
         input wire [7:0] input2;
 4
         input wire signalchoice;
 5
         output wire [7:0] out_put;
 6
 7
         assign out_put = (signalchoice) ? input1 : input2;
8
 9
      endmodule
10
```

```
module mux simulation(input a, input b);
       reg [7:0] input1;
       reg [7:0] input2;
 3
 4
        reg signalchoice;
 5
        wire [7:0] out_put;
 6
        wire [7:0] INPUT1;
 8
        wire [7:0] INPUT2;
 9
        wire SIGNALCHOICE;
10
        assign INPUT1 = input1;
11
        assign INPUT2 = input2;
12
13
        assign SIGNALCHOICE = signalchoice;
14
15
        mux mux test(INPUT1, INPUT2, SIGNALCHOICE, out put);
16
17
        initial
18 🖃
       begin
19
          #0 signalchoice = 0;
20
          #0 input1 = 0;
           #0 input2 = 1;
21
22
           #20 signalchoice = 0;
           #0 input1 = 1;
23
24
           #0 input2 = 0;
          #20 signalchoice = 0;
25
26
          #0 input1 = 0;
           #0 input2 = 0;
2.7
28
           #20 signalchoice = 0;
           #0 input1 = 1;
29
           #0 input2 = 1;
30
           #20 signalchoice = 1;
31
32
           #0 input1 = 0;
33
           #0 input2 = 1;
34
           #20 signalchoice = 1;
35
           #0 input1 = 1;
           #0 input2 = 0;
36
37
           #20 signalchoice = 1;
38
           #0 input1 = 0;
             #0 input2 = 0;
39
40
             #20 signalchoice = 1;
41
             #0 input1 = 1;
42
             #0 input2 = 1;
43
             #10 $finish;
44
          end
45
46
      endmodule
47
```

O testbench foi escrito para verificar o funcionamento do multiplexador, ele consiste em testar todas as entradas de input1 e input2, sendo signalchoice 0 e depois 1, e observar as saídas do mux.



A simulação foi como o esperado.

O wave.do foi salvo na pasta mux_simulation.