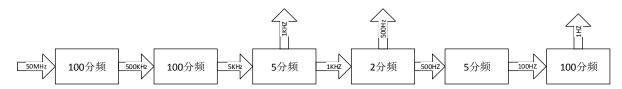
实验二 基于 FPGA 的分频器的设计

- 1. 实验目的:
- ▶ 掌握 Quartus II 软件的层次型设计方法;
- ▶ 掌握元件封装及调用方法;
- ▶ 熟悉 FPGA 实验平台,掌握引脚锁定及下载。
- 2. **实验任务:** 采用原理图法设计一个分频器, 其输入信号为 50MHz, 输出信号频率分别为 1KHz、500Hz 及 1Hz。

3. 设计思路:

实验平台上提供有两个时钟信号 clk0 和 clk1,频率均为 50MHz,通过 2、5、100 分频,对输入信号进行逐级分频。2、5、100 分频功能采用 74390 实现。



4. 实验步骤:

- 4.1 为本项目设计新建一个工程文件夹 fre div。
- 4.2 输入设计项目

本项目有两个层次的原理图文件: 顶层(Top_level)的 fre_div 和底层的 m100。

4.2.1 在工程文件夹里新建一个工程文件,取名为 fre_div,此工程下新建一个文件名为 m100 的原理图文件,在此文件中调用 74390 设计一个 100 分频的分频器,电路绘制完成后,将该文件置顶(如图 2-1 所示,Set as Top-level Entity),完成编译。

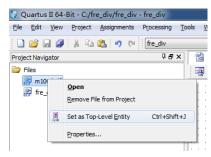


图 2-1 文件置顶

4.2.2 将编译好的 m100 封装为一个元件,方法如图 2-2 所示,打开 m100 文件,选择菜单 File → Create Symbol Files For Current File 项,即可将**当前文件**变成一个元件符号存盘(器件名称与文件名称相同),以待在高层次设计中调用。

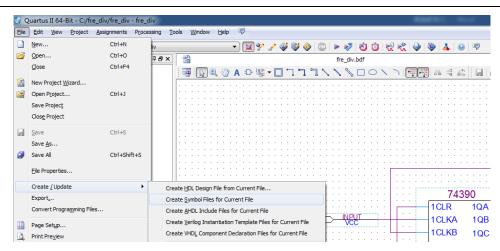


图 2-2 将 m100 原理图文件打开并封装

4.2.3 新建一个文件名为 fre_div 的原理图文件,在此文件中调用封装好的 m100 元件及 74390, 完成输入信号频率为 50MHz,输出信号频率分别为 1KHz、500Hz 及 1Hz 的分频电路的设计,将本文件置顶编译。

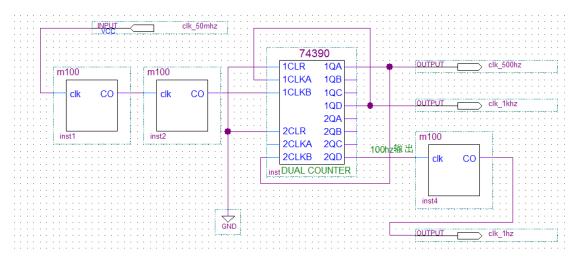


图 2-3 分频器总体电路图

4.3 完成引脚锁定并下载

输入信号锁定 Clk0(50M)或 Clk1(50M),输出信号 clk_1Hz 锁定到实验平台上任意一个 LED 灯,输出信号 clk_500Hz 锁定到实验平台的蜂鸣器 Bell(蜂鸣器输入 500Hz 信号后能听到声音提示)。确定锁定引脚编号请参考本实验平台管脚分配图。引脚编号确定后按以下步骤完成引脚锁定操作:

- **4.3.1** 将 fre_div 原理图文件置顶编译;
- **4.3.2** 选择 Assignments 菜单中的 Pin Planner 项,即进入如图 2-4 所示的编辑窗口。打开引脚计划对话框,在 Location 处输入引脚号,引脚锁定后再次编译。

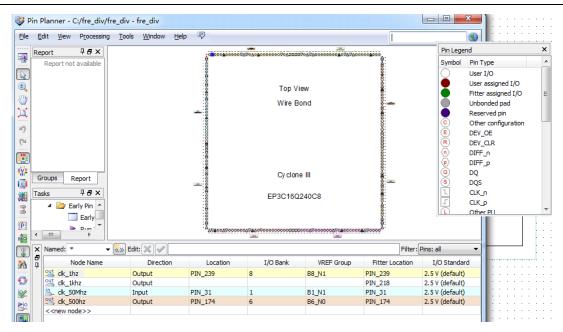


图 2-4 引脚锁定界面

注: 观察图 2-4 界面显示的芯片型号,如果错误,可打开 Assignments 菜单中的 Device 项重新选择目标器件。

4.3.3 连接 FPGA 硬件平台电源、USB Blaster,打开电源。选择 Quartus II 菜单栏中的 Programmer 编程图标,打开下载对话框,如图 2-5 所示。点击 Hardware Setup 按键,打开硬件设置对话框,在可用硬件栏中出现已连接好的 USB Blaster 信息,鼠标左键双击 USB Blaster 添加(图 2-6),然后单击 Close 关闭对话框。

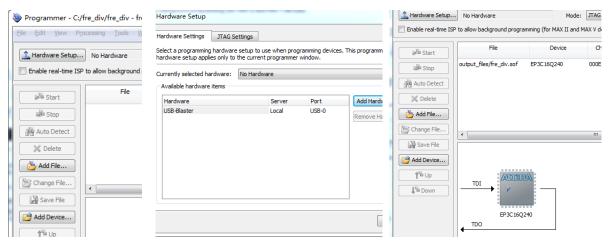


图 2-5 下载对话框

图 2-6 硬件设置对话框

图 2-7 下载文件添加完毕

最后在下载对话框中 Mode 选择 JTAG 模式。点击 Add File,选择下载文件(文件夹 output_files下 fre_div. sof文件),添加完毕后如图 2-7 所示,单击 Start 开始下载。下载完成后即可在 FPGA 硬件平台上观察实验结果。