

Glossary of C.A. terms

*교재 양 옆의 용어들 메모

CH01_컴퓨터시스템 개요

CH02_CPU의 구조와 기능

CH03_컴퓨터와 산술의 논리연산

CH04_제어 유닛

CH05_기억장치

CH06_보조저장장치

CH07_시스템 버스, I/O 및 인터럽트

CH08_고성능 컴퓨터시스템 구조

CH01_컴퓨터시스템 개요



CH01_컴퓨터시스템 개요

Aa 용어	≡ 설명	≡ 태그
<u>소프트웨어</u> (software).	정보처리의 종류와 수행시간을 지정해주는 명령(command)들의 집합	
<u>중앙처리장치</u> (CPU).	프로그램 실행과 데이터 처리를 담당하는 핵심 요소로서, 프로세서(processor)라고도 부름	
<u>기억장치</u> (memory).	프로그램 코드와 데이터를 저장하는 장치	
<u>주기억장치(main memory).</u>	액세스 속도가 높지만, 프로그램 실행 중에만 사용될 수 있는 일시적 기억 장치	
<u>보조저장장치</u>	속도는 느리지만, 영구저장 능력을 가진 보조적 기억 장치	
<u>입출력장치(I/O Device).</u>	사용자와 컴퓨터간의 상호작용(interaction)을 위한 장치	
<u>Untitled</u>		
<u>컴파일러</u> (compiler).	고급언어 프로그램을 기계어로 변환해주는 소프트웨어	
<u>기계어(machine language).</u>	컴퓨터 하드웨어가 이해할 수 있는 언어	

Aa 용어	≡ 설명	태그
<u>어셈블리 프로그램</u> (assembly program).	고급 언어와 기계어 사이의 중간 언어인 어셈블리 언어로 작성된 프로그램	
<u>명령어</u> (instruction).	어셈블리 명령어(assembly instruction)의 약칭	
<u>니모닉스</u> (mnemonics).	명령어가 지정하는 동작을 나타내는 간략화된 기호	
<u>어셈블러</u> (assembler).	어셈블리 프로그램을 기계어로 번역해주는 소프트웨어	
<u>명령어 형식</u> (instruction format).	명령어의 비트 수와 용도 및 필드 구성 방법을 지정해주는 형식	
<u>단어(word).</u>	CPU에 의해 한 번에 처리 될 수 있는 비트들의 그룹	
<u>Untitled</u>		
<u>시스템 버스</u> (system bus).	CPU와 다른 요소들 간의 정보교환 통로	
<u>주소 버스</u> (address bus).	주소 정보를 전송하기 위한 신호선들의 집합	
<u>데이터 버스(data bus).</u>	데이터를 전송하기 위한 신호선들의 집합	
<u>제어 버스(control bus).</u>	시스템 요소들의 동작을 제어하기 위한 신호선들의 집합	
<u>액세스(access).</u>	기억장치에 데이터를 쓰거나, 저장된 내용을 읽는 동작	
<u>기억장치 쓰기 시간(memory write time).</u>	CPU가 기억장치로 주소와 데이터를 보낸 순간부터 저장이 완료될 때까지의 시간	
<u>기억장치 읽기 시간(memory read time).</u>	CPU가 기억장치로 주소를 보낸 순간부터 읽기 동작이 완료될 때까지의 시간	
<u>데이터 레지스터</u> (data register).	CPU와 I/O 장치간의 임시 데이터 기억 장치	
<u>상태 레지스터</u> (status register).	I/O 장치의 상태를 나타내는 비트들을 저장하는 레지스터	
<u>데이터 버퍼(data buffer).</u>	CPU와 I/O 장치간의 데이터 임시 기억장치인 데이터 레지스터의 다른 명칭	

Aa 용어	≡ 설명	≡ 태그
<u>Untitled</u>		
<u>Difference Engine</u>	산술연산(덧셈, 뺄셈) 및 프린트 기능을 가진 최초의 계산기계	
<u>Analytic Engine</u>	네 가지 산술연산 기능과 입력 및 출력장치를 모두 갖춘 최초의 일반목적용 계산기계	
<u>IAS 컴퓨터</u>	폰노이만의 설계개념을 적용하여 프로그램 저장과 변경이 가능하도록 구현된 최초의 디지털 컴퓨터	
<u>폰노이만 아키텍처 (von Neumann Arcithecture).</u>	폰노이만이 제안한 컴퓨터구조 설계 개념으로서, 기억 장치에 저장된 프로그램을 프로그램 카운터(program counter)가 지정하는 순서대로 실행시킴	
<u>집적회로(IC).</u>	실리콘 반도체 칩에 다수의 트랜지스터들을 넣어(집적시켜) 제조한 전자부품	
<u>실리콘 웨이퍼 (silicon wafer).</u>	반도체 칩의 재료인 실리콘을 수평 방향으로 절단하여 만든 원형판	
<u>인쇄회로기판 (PCB).</u>	전자회로들 간의 연결을 위한 회로 선들을 미리 부착시켜놓은 가판	
<u>마이크로프로세서 (microprocessor).</u>	CPU 내부 회로 전체를 하나의 반도체 칩에 넣어 제조한 IC로서, 컴퓨터의 크기 감소 및 가격 하락에 지대한 영향을 미친 혁신적 전자부품	
<u>개인용 컴퓨터 (personal computer).</u>	개인이 소유할 수 있는 수준의 크기와 가격대의 컴퓨터에 대한 통칭	
<u>임베디드 컴퓨터 (embedded computer).</u>	각종 기계장치 혹은 전자 장치의 내부에 설치되어 그 장치들의 동작을 제어(control)하는 기능을 수행하는 소형 컴퓨터	
<u>워크스테이션 (workstation).</u>	고속 그래픽처리 및 시뮬레이션 등에 상요되는 64비트급 고성능 컴퓨터	
<u>슈퍼미니컴퓨터 (super-minicomputer).</u>	미니컴퓨터의 수십 배 성능을 가지는 서버급 컴퓨터 시스템	
<u>다운사이징 (downsizing).</u>	대형컴퓨터를 이용한 중앙집중식 처리 방식에서 여러 대의 중형급 시스템들을 이용한 응용별 처리 방식으로 바뀌어가는 현상	
<u>슈퍼컴퓨터 (supercomputer).</u>	현존하는 컴퓨터들 중에서 처리 속도와 저장 용량이 상대적으로 월등한 컴퓨터들로서 주로 대규모 과학계산(scientific computation) 응용들을 처리하며 수천 개 이상의 CPU 들을 이용한 병렬처리(parallel processisng)를 수행함으로써 성능이 계속 높아지고 있음	

Aa 용어	≡ 설명	태그
<u>파이프라인 슈퍼컴퓨터</u>	고도로 파이프라이닝 된 구조를 가진 소수의 CPU들을 이용하여 구성되는 슈퍼컴퓨터	
<u>대규모 병렬처리시스템(MPP).</u>	매우 많은 수의 프로세서들을 이용하여 병렬처리를 수행하도록 설계되는 슈퍼컴퓨터의 구성 방식	
<u>병렬처리(parallel processing).</u>	많은 수의 프로세서들이 하나의 큰 작업을 분할하여 동시에 처리하는 기술	

CH02_CPU의 구조와 기능

Aa 용어	≡ 설명	태그
<u>산술논리연산장치(ALU).</u>	산술 및 논리 연산들을 수행하는 회로들로 이루어진 하드웨어 모듈	
<u>레지스터(register).</u>	CPU내부 기억장치로서 액세스 속도가 기억장치들 중에서 가장 빠름	
<u>제어 유닛(control unit).</u>	인출된 명령어를 해독하고 그 실행을 위한 제어 신호들을 순차적으로 발생하는 하드웨어 모듈	
<u>CPU 내부 버스</u>	CPU 내부 기억장치로서 액세스 속도가 기억장치들 중에서 가장 빠름	
<u>제어 유닛(control unit).</u>	인출된 명령어를 해독하고 그 실행을 위한 제어 신호들을 순차적으로 발생하는 하드웨어 모듈	
<u>CPU 내부 버스</u>	CPU 내부 구성요소들 간의 정보 전송 통로	
<u>Untitled</u>		
<u>명령어 사이클(instruction cycle).</u>	한 명령어를 실행하는데 필요한 전체 과정으로서, 명령어 인출 단계와 명령어 실행 단계로 나누어짐	
<u>인출 사이클(fetch cycle).</u>	CPU가 기억장치의 지정된 위치로부터 명령어를 읽어 오는 과정	
<u>마이크로-연산(micro operation)</u>	CPU 클록의 각 주기 동안 수행되는 기본적인 동작	
<u>실행 사이클(execute cycle).</u>	CPU가 명령어를 해독하고, 그 결과에 따라 필요한 연산들을 수행하는 과정	
<u>인터럽트(interrupt).</u>	CPU로 하여금 현재 진행중인 프로그램을 처리하도록 요구하는 매커니즘으로서 CPU와 외부장치들 간의 상호작용을 위하여 필요한 기능	

Aa 용어	설명	태그
<u>인터럽트 서비스 루틴 (ISR).</u>	인터럽트 요구를 처리해주기 위해 수행하는 프로그램 루틴	
<u>인터럽트 사이클 (interrupt cycle).</u>	인터럽트 요구가 들어왔는지 검사하고, 그 처리에 필요한 동작들을 수행하는 과정	
<u>스택 포인터(stack pointer).</u>	스택의 최상위 주소를 저장하고 있는 레지스터	
<u>다중 인터럽트(multiple interrupt).</u>	인터럽트 서비스 루틴을 수행하고 있는 동안에 다른 장치로부터 인터럽트가 들어오는 경우	
<u>간접 사이클(indirect cycle).</u>	실행 사이클에서 사용되고 데이터의 실제 주소를 기억장치로부터 읽어오는 과정	
Untitled		
<u>명령어 파이프라이닝 (instruction pipelining).</u>	명령어 실행에 사용되는 하드웨어를 여러 단계로 분할함으로써 처리 속도를 높여주는 기술	
<u>명령어 선인출 (instructuion prefetch).</u>	다음에 실행될 명령어를 미리 인출하는 동작	
<u>기억장치 충돌(memory conflict).</u>	두 개 이상의 하드웨어 모듈들이 동시에 기억장치 액세스를 시도하는 상황	
<u>조건 분기 명령어</u>	지정된 조건이 만족하는 경우에는 프로그램 처리 순서를 변경하는 명령어	
<u>슈퍼파이프라이닝 (superpiplining).</u>	명령어 파이프라인의 단계들을 더욱 작게 분할하여 처리 속도를 높여주는 기술	
<u>상태 레지스터(status register).</u>	연산결과(부호, 올림수 등) 및 시스템 상태를 가리키는 비트들을 저장하는 레지스터	
<u>슈퍼스칼라 (superscalar).</u>	CPU 내에 여러 개의 명령어 파이프라인들을 두어, 동시에 그 수만큼의 명령어들을 실행할 수 있게 한 구조	
<u>데이터 의존성(data dependency).</u>	한 명령어를 실행한 다음에, 그 결과값을 보내주어야 다음 명령어의 실행이 가능한 관계	
<u>CPU 코어(core).</u>	CPU 칩의 내부회로 중에서 명령어 실행에 반드시 필요한 핵심 부분들로 이루어진 하드웨어 모듈	
<u>멀티-코어 프로세서 (multi-core processor).</u>	여러 개의 CPU 코어들을 포함하고 있는 프로세서 칩	
<u>멀티-태스킹</u>	여러 CPU 코어들을 이용하여 독립적인 태스크(혹은 스레드) 프로그램을 동시에 처리하는 기술로서, 멀티-스레딩이라고도 함	
<u>멀티-스레딩</u>	하나의 CPU 코어가 다수의 스레드들을 동시에 실행하는 기법	

Aa 용어	설명	태그
<u>스레드(thread).</u>	독립적으로 실행될 수 있는 최소 크기의 프로그램 단위	
<u>명령어 형식(instruction format).</u>	명령어를 구성하는 필드의 종류와 개수, 배치 방식 및 필드 당 비트 수를 정의한 형식	
<u>주소지정 방식 (addressing mode).</u>	주소 비트들을 이용하여 오퍼랜드의 유효 주소(effective address)를 결정하는 방법	
<u>직접 주소지정 방식</u>	명령어 내 오퍼랜드 필드의 값을 유효 주소로 사용하여 연산에 필요한 데이터를 인출하는 방식	
<u>간접 주소지정 방식</u>	오퍼랜드가 가리키는 기억 장치의 내용을 유효 주소로 사용하여 연산에 필요한 데이터를 인출하는 방식으로, 두 번의 기억장치 액세스가 필요함	
<u>묵시적 주소지정 방식 (implied addressing mode).</u>	명령어 실행에 사용될 데이터가 묵시적으로 지정되어 있는 방식	
<u>즉시 주소지정 방식 (immediate addressing mode).</u>	명령어 내에 포함되어 있는 데이터를 연산에 직접 사용하는 방식	
<u>레지스터 주소지정 방식</u>	명령어의 오퍼랜드가 가리키는 레지스터에 저장되어 있는 데이터를 연산에 사용하는 방식	
<u>레지스터 간접 주소지정 방식</u>	지정된 레지스터의 내용을 유효 주소로 사용하여, 그 주소가 가리키는 기억장치로부터 읽어온 데이터를 연산에 사용하는 방식	
<u>변위 주소지정 방식 (displacement addressing mode).</u>	지정된 레지스터의 내용과 명령어 내 오퍼랜드(변위)를 더하여 유효 주소를 결정하는 주소지정 방식	
<u>상대 주소지정 방식 (relative addressing mode).</u>	프로그램 카운터(PC)의 내용과 명령어 내 오퍼랜드(변위)를 더하여 유효 주소를 결정하는 주소지정 방식	
<u>인덱스 주소지정 방식 (indexed addressing mode).</u>	인덱스 레지스터의 사용과 명령어 내 오퍼랜드(변위)를 더하여 유효 주소를 결정하는 주소지정 방식	
<u>자동 인덱싱(auto-indexing).</u>	인덱스 주소지정이 완료된 후에 자동적으로 인덱스 레지스터 내용을 증가 혹은 감소하는 방식	
<u>베이스-레지스터 주소지정 방식</u>	베이스 레지스터(base register)의 내용과 명령어 내 오퍼랜드(변위)를 더하여 유효 주소를 지정하는 주소지정 방식	

CH03_컴퓨터와 산술의 논리연산

CH03

Aa 용어	≡ 설명	≡ 태그
<u>산술논리연산장치 (ALU).</u>	CPU 내부의 핵심 구성요소로서, 산술 연산과 논리 연산을 수행하는 하드웨어 모듈	
<u>2진 소수점(binary point).</u>	2진수 표현에서의 소수점으로서, 자릿수가 1보다 더 큰 수와 더 작은 수의 경계점	
<u>자릿수(weight).</u>	수 표현에 사용된 2진 비트들의 위치에 따른 10진값으로서, 가중치라고도 함	
<u>부호 비트(sign bit).</u>	수가 양수인지 혹은 음수인지를 나타내는 비트로서 2진수의 맨 좌측 비트가 사용되며, 0은 양수, 1은 음수를 나타냄	
<u>보수 표현 (complement representation).</u>	음수를 2진수로 표현하는 방법으로서, 1의 보수 및 2의 보수 표현이 있음	
<u>부호-비트 확장(sign-bit extension).</u>	2의 보수를 더 긴 단어로 확장할 때 부호 비트를 상위 비트들로 복제하는 동작	
<u>선택적-세트 (selective-set).</u>	데이터의 일부 비트들을 1로 세트해주는 논리적 연산	
<u>선택적-보수 (selective-complement).</u>	데이터의 일부 비트들을 보수화 시키는 논리적 연산	
<u>마스크(masking) 연산</u>	데이터의 일부 비트들을 0으로 리셋 시키기 위한 논리적 연산	
<u>삽입(insert) 연산</u>	데이터의 일부 비트들을 새로운 값들로 대체시키기 위한 논리적 연산	
<u>시프트 레지스터(shift register).</u>	데이터 비트들을 좌측 혹은 우측 방향으로 이동시키는 기능을 가지고 있는 레지스터	
<u>순환 시프트(circular shift).</u>	좌측 혹은 우측 시프트 후에 최상위 혹은 최하위 비트를 버리지 않고 반대편 끝으로 이동시키는 시프트 연산	
<u>직렬 데이터 전송(serial data transfer).</u>	두 레지스터들 간에 접속된 하나의 선을 통하여 데이터를 한 번에 한 비트씩 전송하는 동작	
<u>산술적 시프트 (arithmetic shift).</u>	부호를 가진 데이터에 대한 시프트 동작으로서, 부호 비트는 변경되지 않도록 해야함	
<u>병렬 가산기(parallel adder).</u>	여러 비트들로 이루어진 두 개의 데이터에 대한 덧셈을 수행하는 회로로서, 비트 수만큼의 전가산기(full adder)들로 구성	
<u>오버플로우(overflow).</u>	2의 보수들 간의 덧셈 결과 값이 표현 범위를 초과하는 경우에 발생하는 오류	

Aa 용어	≡ 설명	≡ 태그
<u>보수기</u> (complementer).	입력 데이터에 대하여 보수 연산을 수행하는 회로 모듈	
<u>부동소수점 표현</u>	지수(exponent)를 이용하여 소수점의 위치를 이동 시킬 수 있는 수 표현 방법	
<u>2진 부동소수점 수</u>	부동소수점 표현 방식을 적용하여 표현된 2진수	
<u>단일-정밀도 수(single-precision number).</u>	32 비트로 표현된 부동소수점 수	
<u>복수-정밀도 수(double precision number).</u>	64비트로 표현된 부동소수점 수	
<u>정규화된 표현</u> (normalized representation).	소수점 우측의 첫 번째 비트가 1이 되도록 지수를 조정하여 표현한 부동소수점 수	
<u>바이어스된 수(biased number).</u>	특정값(바이어스 값)을 더하여 표현된 2진수	
<u>숨겨진 비트(hidden bit).</u>	IEEE 부동소수점 형식인 1.2X2 ^E 로 수를 표현할 때 정밀도를 높이기 위하여 가수 필드에는 나타내지 않는 맨 앞의 1을 말함	
<u>부동소수점 덧셈</u> (floating-point addition).	부동소수점 수들 간의 덧셈	
<u>Untitled</u>		

CH04_제어 유닛

CH04_제어 유닛

Aa 용어	≡ 설명	≡ 태그
<u>마이크로-연산</u> (micro-operation).	명령어 실행 사이클의 각 주기 동안 수행되는 기본적인 CPU 동작	
<u>마이크로명령어</u> (microinstruction).	각 마이크로-연산을 나타내는 2진 비트 표현으로서, 제어 단어(control word)라고도 함	
<u>루틴(routine).</u>	CPU의 특정 기능을 수행하기 위한 마이크로프로그램(microprogram)	
<u>사상(mapping) 방식</u>	여기서는 명령어의 연산 코드를 이용하여 해당 사이클 루틴의 시작 주소를 찾는 기법을 말함	

Aa 용어	≡ 설명	≡ 태그
<u>순서제어</u> (sequencing).	제어 유닛에서 다음에 실행될 마이크로명령어의 주소를 결정하는 기능	
<u>수직적 마이크로프로그래밍</u>	마이크로명령어의 연산 필드에는 적은 수의 코드화된 제어 비트들만 두고, 해독기를 이용하여 그 비트들을 필용나 수만큼의 제어 신호들로 확장시키는 마이크로프로그래밍 방식	
<u>수평적 마이크로프로그래밍</u>	마이크로명령어의 연산 필드에 필요한 제어신호 수만큼의 비트들을 포함시키고, 각 비트를 제어신호로 직접 사용하는 마이크로프로그래밍 방식	

CH05_기억장치

CH05_기억장치

Aa 용어	≡ 설명	≡ 태그
<u>액세스(access).</u>	기억장치에 대한 읽기 및 쓰기 동작	
<u>순차적 액세스</u> (sequential access).	기억장치에 저장된 정보를 처음부터 순서대로 액세스 하는 방식	
<u>직접 액세스(direct access).</u>	읽기/쓰기 장치를 정보가 위치한 근처로 직접 이동시킨 다음에, 순차적 검색으로 최종 위치에 도달하여 액세스 하는 방식	
<u>임의 액세스(direct access).</u>	기억 장소들이 임의로 선택될 수 있으며, 기억장치 내의 어떤 위치든 액세스에 걸리는 시간이 동일한 방식	
<u>연관 액세스</u> (associative access).	각 기억 장소에 포함된 키(key)값의 검색을 통하여 액세스할 위치를 찾아내는 방식	
<u>전송 단위(unit of transfer).</u>	한 번의 기억장치 액세스에 의해 읽거나 쓸 수 있는 비트 수	
<u>주소지정 단위</u> (addressable unit).	하나의 주소에 의해 액세스 되는 비트들의 그룹	
<u>액세스 시간(access time).</u>	주소와 읽기/쓰기 신호가 기억장치에 도착한 순간부터 데이터가 저장되거나 읽혀지는 동작이 완료될 때까지의 시간	
<u>기억장치 사이클 시간</u> (memory cycle time).	액세스 시간과 데이터 복원(data restoration) 시간을 합한 시간	
<u>데이터 전송률(data transfer rate).</u>	기억장치로부터 초당 읽혀지거나 쓰여질 수 있는 비트 수 : (1/액세스 시간)x(한 번에 읽혀지는 데이터 바이트의 수)	
<u>휘발성 기억장치</u> (volatile memory).	전력공급이 중단되면 저장된 내용이 사라지는 기억장치	

Aa 용어	≡ 설명	≡ 태그
<u>비휘발성 기억장치</u> (nonvolatile memory).	전력공급이 중단되어도 저장된 내용이 그대로 유지되는 기억장치	
<u>계층적 기억장치시스템</u>	속도, 가격 및 크기가 다양한 기억장치들을 계층적으로 설치함으로써 성능대 가격비(performance/cost ratio)를 높이는 시스템 구성 방식	
<u>지역성의 원리</u> (principle of locality).	CPU가 기억장치의 한정된 몇몇 영역들을 집중적으로 액세스하면서 작업을 수행한다는 원리	
<u>내부 기억장치(internal memory).</u>	CPU가 직접 액세스 할 수 있는 기억장치들	
<u>외부 기억장치(external memory).</u>	CPU가 직접 액세스 할 수 없으며, 장치 제어기(device controller)를 통해 서만 액세스 할 수 있는 기억 장치들	
<u>RAM(Random Access Memory).</u>	읽기와 쓰기가 모두 가능한 반도체 기억장치	
<u>DRAM(Dynamic RAM).</u>	충전 방식을 이용하여 데이터를 저장하는 RAM으로서, 주기적인 재충전(refresh)이 필요함	
<u>SRAM(Static RAM).</u>	플립-플롭형 기억 셀(memory cell)을 이용함으로써, 전력이 공급되는 동안에는 데이터가 계속 유지되는 RAM	
<u>RAS 신호</u>	기억장치의 행 주소(row address) 래치 신호	
<u>CAS 신호</u>	기억장치의 열 주소(column address) 래치 신호	
<u>기억장치 제어기</u>	CPU와 기억장치 사이에 위치하여 주소 및 데이터 전송을 제어하는 장치	
<u>ROM(Read Only Memory).</u>	저장된 내용을 읽는 것만 가능한 반도체 기억장치	
<u>PROM(Programmable ROM).</u>	한 번은 쓰는 것도 가능한 ROM	
<u>EPROM(Erasable PROM).</u>	자외선을 이용하여 저장된 내용을 삭제할 수 있어서 여러 번의 갱신이 가능한 PROM	
<u>EEPROM(Electrically Erasable PROM).</u>	전기적으로도 삭제할 수 있는 PROM	
<u>플래시 메모리(flash memroy).</u>	삭제에 걸리는 시간이 매우 짧은 EEPROM이며, 쓰기 동작과 삭제 동작시의 데이터 크기가 서로 다름	
<u>캐시 메모리(cache memory).</u>	CPU와 주기억장치의 속도 차이를 보완하기 위하여 그 사이에 설치하는 반도체 기억장치	
<u>캐시 적중(cache hit).</u>	CPU가 이미 액세스 하려는 데이터가 이미 캐시에 적재되어 있는 상태	

Aa 용어	≡ 설명	≡ 태그
<u>캐시 미스(cache miss).</u>	CPU가 액세스하려는 데이터가 캐시에 없어서 주기억장치로부터 인출해 와야 하는 상태	
<u>캐시 적중률(cache hit ratio).</u>	전체 기억장치 액세스들 중에서 캐시에 적중되는 비율	
<u>지역성(locality).</u>	CPU가 주기억장치의 특정 위치에 저장되어 있는 명령어들이나 데이터를 빈번히 혹은 집중적으로 액세스하는 현상	
<u>요구 인출(demand fetch).</u>	캐시 미스가 발생한 경우에, CPU가 필요한 정보만 주기억장치로부터 캐시로 인출해오는 방식	
<u>선인출(prefetch).</u>	CPU가 필요한 정보 외에도 그와 인접해 있는 정보들을 함께 캐시로 인출해오는 방식	
<u>캐시라인(cache line).</u>	주기억장치로부터 캐시로 인출되는 단위인 한 블록(block)이 적재되는 캐시 내 공간	
<u>사상방식(mapping scheme).</u>	주기억장치 블록이 어느 캐시 라인에 적재될 수 있는지를 결정해주는 알고리즘	
<u>직접 사상(direct mapping).</u>	주기억장치 블록이 지정된 어느 한 라인에만 적재될 수 있는 사상 방식	
<u>완전-연관 사상(fully-associative mapping).</u>	주기억장치 블록이 캐시의 어느 라인으로든 적재될 수 있는 사상 방식	
<u>세트-연관 사상(set-associative mapping).</u>	주기억장치 블록이 지정된 어느 한 세트로만 적재될 수 있으며, 각 세트는 두 개 이상의 라인들로 구성된 사상 방식	
<u>최소 최근 사용(LRU) 알고리즘</u>	세트 라인에 적재되어 있는 블록들 중에서 최근의 사용 빈도가 가장 낮은 블록을 선택하여 교체하는 방식	
<u>FIFO 알고리즘</u>	캐시에 적재된지 가장 오래된 블록을 교체하는 방식	
<u>최소 사용 빈도(LFU) 알고리즘</u>	캐시에 적재된 이래 사용된 빈도가 가장 낮은 블록을 교체하는 방식	
<u>쓰기 정책(write policy).</u>	캐시에 적재된 데이터를 새로운 값으로 변경할 때 주기억장치에 갱신하는 시기와 방법을 결정하는 방식	
<u>write-through</u>	캐시에 쓰기 동작을 수행할 때 주기억장치에도 동시에 이루어지는 방식	
<u>write-back</u>	쓰기 동작이 캐시까지만 이루어지는 방식	
<u>온-칩 캐시(on-chip cache).</u>	CPU 칩 내부에 포함되어 있는 캐시	
<u>계층적 캐시(hierachical cache).</u>	여러 레벨의 캐시들을 계층적으로 설치한 구조	

Aa 용어	≡ 설명	≡ 태그
<u>분리 캐시(split cache).</u>	명령어와 데이터를 분리하여 별도로 저장하는 캐시 구조	
<u>동기식 DRAM(synchronous DRAM).</u>	액세스 및 데이터 전송 동작이 시스템 클록 신호에 동기화되어 수행되는 DRAM	
<u>버스트 모드(burst mode).</u>	한 번의 액세스 동작 때 여러 바이트들을 연속적으로 전송하는 방식	
<u>버스트 길이(burst length).</u>	버스트 모드에서 연속적으로 전송되는 바이트들의 수	
<u>CAS 지연</u>	DRAM 칩으로 CAS 신호와 열 주소가 인가되는 순간부터 데이터가 인출되어 버스에 실릴 때까지의 시간	
<u>DDR(Double Data Rate).</u>	SDRAM에서 액세스된 데이터들을 전송할 때 버스 클록의 상승 에지와 하강 에지에서 각각 하나씩 전송함으로써 클록 당 두 번 전송하는 기법	
<u>DDR SDRAM</u>	DDR 전송 방식이 사용되는 SDRAM	
<u>DDR2 SDRAM</u>	두 배 높은 버스 클록 주파수를 사용하는 DDR SDRAM	
<u>기억장치 대역폭(memory bandwidth).</u>	기억장치로부터 CPU로 제공될 수 있는 단위시간당 데이터 전송량	
<u>기억장치 랭크(memory rank).</u>	데이터 입출력 폭이 64비트가 되도록 구성한 기억장치 모듈	
<u>SIMM</u>	칩들과 접속 핀들을 한 면에만 부착한 기억장치 모듈 기판(PCB)	
<u>DIMM</u>	칩들과 접속 핀들을 양면에 모두 부착한 기억장치 모듈 기판	
<u>단일-랭크 모듈(single-rank module).</u>	하나의 랭크로 구성된 기억장치 모듈	
<u>2중-랭크 모듈(dual-rank module).</u>	두 개의 랭크들로 구성된 기억장치 모듈	
<u>4중-랭크 모듈(quad-rank module).</u>	네 개의 랭크들로 구성된 기억장치 모듈로서, 양면기판의 면 당 두 개씩의 랭크들 배치	
<u>PRAM(Phase-change RAM).</u>	화합물 반도체의 상태 변화를 이용하여 2진 정보를 저장하는 RAM	
<u>FRAM(Ferroelectric RAM).</u>	강유전체의 전극 위치를 조절하여 2진 정보를 저장하는 반도체 기억장치	
<u>MRAM(Magnetic RAM).</u>	강자성체에서 자화되는 방향을 조절하여 2진 정보를 저장하는 반도체 기억장치	

CH06_보조저장장치

CH06_보조저장장치

Aa 용어	≡ 설명	≡ 태그
<u>트랙(track).</u>	디스크 평판 위의 동심원들로서, 데이터가 실제 저장되는 곳	
<u>섹터(sector).</u>	트랙의 분할된 각 부분으로서, 데이터 전송 단위인 한 블록을 저장	
<u>섹터간 갭</u>	섹터들 간을 구분하기 위한 빈 공간	
<u>트랙간 개</u>	트랙들 간을 구분하기 위한 빈 공간	
<u>등각속도(CAV).</u>	중심부에 가까운 트랙을 액세스하든 멀리 위치한 트랙을 액세스하든 일정한 속도로 회전시키는 방식	
<u>다중 영역 기록(MZR).</u>	디스크 상의 트랙들을 몇 개의 영역들로 나눔으로써 저장 용량을 늘리는 방식	
<u>디스크 드라이브(disk drive).</u>	디스크 평판, 디스크 팔, 회전 구동장치 및 데이터 전송회로를 포함한 패키지	
<u>실린더(cylinder).</u>	서로 다른 디스크 표면들 위에 있지만 동일한 반경에 위치하고 있는 트랙들의 집합	
<u>탐색 시간(seek time).</u>	헤드를 액세스할 트랙으로 이동시키는 데 걸리는 시간	
<u>회전 지연시간 (rotational latency).</u>	헤드가 해당 트랙에 도달한 순간부터 원하는 섹터가 회전하여 헤드 아래에 도달할 때까지의 시간	
<u>탐색 시간(seek time).</u>	헤드를 액세스할 트랙으로 이동시키는 데 걸리는 시간	
<u>회전 지연시간 (rotational latency).</u>	헤드가 해당 트랙에 도달한 순간부터 원하는 섹터가 회전하여 헤드 아래에 도달할 때까지의 시간	
<u>데이터 전송 시간 (data transfer time).</u>	헤드를 통하여 섹터의 데이터 비트들을 전송하는데 걸리는 시간	
<u>RAID</u>	다수의 작은 디스크들을 배열로 연결하여 용량을 늘리고 신뢰성도 향상시킨 대용량 디스크시스템	
<u>디스크 인터리빙(disk interleaving).</u>	데이터 블록들을 여러 개의 디스크들에 분산 저장 하는 기술	
<u>MTTF</u>	장치에 결함이 발생하는 평균 시간 간격	
<u>검사 디스크(check disk).</u>	RAID에서 오류 검출 및 복구에 사용될 비트들을 저장하기 위해 추가 되는 디스크	
<u>MTTR</u>	데이터 오류 혹은 디스크 결함 발생 시에 원래 내용을 복구하는데 걸리는 평균 시간	
<u>디스크 미러링(disk mirroring).</u>	디스크에 데이터를 저장할 때 다른 디스크에도 같은 내용을 동시에 저장하는 기법	

Aa 용어	설명	태그
<u>작은 쓰기 문제(small write problem).</u>	RAID-5에서 한 블록을 디스크에 쓰는(갱신하는) 경우에 네 번의 디스크 액세스가 필요하게 되는 문제점	
<u>솔리드-스테이트 드라이브(SSD).</u>	플래시 메모리 칩들을 이용하여 구성된 대용량 저장장치이며, 반도체 드라이브라고도 부름	
<u>플래시 메모리(flash memory).</u>	EEPROM의 일종으로서, 저장밀도가 높고 저전력 고신뢰성의 특징을 가진 반도체 기억장치	
<u>터널링 효과(tunneling effect).</u>	N-채널의 전자들이 강력한 전기장의 영향을 받아 부동 게이트로 들어가는 현상	
<u>블록(block).</u>	플래시 메모리에서는 한 블록이 64개 혹은 128개의 페이지들로 이루어지며, 각 페이지의 크기는 2K 혹은 4K 바이트	
<u>SLC(single-level cell).</u>	한 비트씩 저장하는 메모리 셀	
<u>MLC(multi-level cell).</u>	두 비트를 저장하여 네 가지 값들을 구분해주는 메모리 셀	
<u>TLC(triple-level cell).</u>	세 비트를 저장하여 8가지 값들을 구분해주는 메모리 셀	
<u>QLC(quadruple-level cell).</u>	네 비트를 저장하여 16가지 값들을 구분해주는 메모리 셀	
<u>SSD 제어기</u>	SSD에서 데이터 저장과 인출, 칩 관리 등과 같은 핵심적인 기능을 수행하는 전자회로 모듈	
<u>플래시 변환 계층(FTL).</u>	플래시 메모리의 블록/페이지 구조를 논리적으로 HDD의 섹터와 같은 구조로 변환해주는 S/W	
<u>마모 평준화(wear leveling).</u>	플래시 메모리의 모든 페이지들이 균등하게 사용되도록 관리함으로써 수명을 연장시키는 기술	
<u>쓰레기 수집(garbage collection).</u>	수정되었으나 삭제되지 않은 무효 페이지들을 메모아두었다가 한꺼번에 삭제하는 작업	
<u>TRIM명령</u>	SSD 제어기에게 무효가 된 페이지들을 알려주는 OS의 명령	
<u>대비공간(over-provisioning).</u>	마모평준화의 효과를 높이기 위하여 SSD 내부에 추가해주는 여유 저장 공간	
<u>Untitled</u>		

CH07_시스템 버스, I/O 및 인터럽트

CH07_시스템 버스, I/O 및 인터럽트

Aa 용어	≡ 설명	태그
<u>데이터 버스(data bus).</u>	시스템 요소들 간의 데이터 전송에 사용되는 선(line)들의 집합	
<u>주소 버스(address bus).</u>	CPU가 기억장치나 I/O 장치를 액세스할 때 주소 비트들을 전송하는 데 사용되는 선들의 집합	
<u>제어 버스(control bus).</u>	제어 신호(control signal)들을 전송하기 위한 선들의 집합	
<u>버스 마스터(bus master).</u>	시스템 버스 사용의 주체가 되는 요소	
<u>버스 중재(bus arbitration).</u>	두 개 이상의 버스 마스터들이 동시에 버스 사용을 요청할 경우에 순서를 결정해주는 시스템 동작	
<u>중재 버스(arbitration bus).</u>	버스 중재 동작에 필요한 신호 선들의 집합	
<u>인터럽트 버스(interrupt bus).</u>	인터럽트 매커니즘을 지원하는 신호 선들의 집합	
<u>버스 대역폭(bus bandwidth).</u>	버스를 통하여 단위시간 당 전송할 수 있는 데이터량으로서, 다위는 초당 바이트 수[bytes/sec]로 나타냄	
<u>동기식 버스(synchronous bus).</u>	공통의 버스 클록을 기준으로 버스 동작들이 발생하는 버스	
<u>비동기식 버스(asynchronous bus).</u>	버스 클록을 사용하지 않으며, 버스 동작들의 발생 시간이 다른 관련 동작의 발생에 따라 결정되는 버스	
<u>버스 경합(bus contention).</u>	두 개 이상의 버스 마스터들이 동시에 버스 사용을 위해 경쟁하는 상황	
<u>버스 중재기(bus arbiter).</u>	버스 중재 기능을 수행하는 하드웨어 모듈	
<u>병렬 중재 방식(parallel arbitration scheme).</u>	각 버스 마스터가 독립적인 버스요구 신호를 버스 중재기로 보내며, 별도의 버스 승인 신호를 받는 방식	
<u>직렬 중재 방식(serial arbitration scheme).</u>	버스요구 신호와 버스승인 신호가 하나씩 있으며, 각 신호 선이 모든 버스 마스터들 간에 직렬로 접속되는 방식	
<u>중앙집중식 중재 방식</u>	한 개의 버스 중재기가 모든 버스 중재 기능을 수행하는 방식	
<u>분산식 중재 방식</u>	버스 중재 동작이 각 버스 마스터가 별도로 가지고 있는 버스 중재기들에 의해 이루어지는 방식	
<u>버스 요구(BREQ) 신호</u>	버스 마스터가 버스 사용을 요청하는 신호	
<u>버스 승인(BGNT) 신호</u>	버스 마스터에게 버스 사용을 허가하는 신호	
<u>가변 우선순위 방식(dynamic-priority scheme).</u>	버스 사용 우선순위를 계속 변경시키는 중재 방식으로서, 버스 사용 기회의 불균등이나 기근 현상을 방지해주지만 회로 구현이 더 어려움	

Aa 용어	≡ 설명	≡ 태그
<u>하드웨어 폴링 방식</u> (<u>hardware polling scheme</u>).	중재기 내의 고정된 하드웨어를 이용한 주기적 검사를 통해 중재 기능을 수행하는 방식	
<u>소프트웨어 폴링 방식</u> (<u>software polling scheme</u>).	중재기 내의 프로세서가 중재 프로그램을 수행하면서 다양한 중재 기능을 수행하는 방식	
<u>I/O 제어기(controller).</u>	CPU와 I/O 장치(들) 간의 인터페이스 역할을 수행해주는 하드웨어 모듈	
<u>데이터 버퍼(data buffer).</u>	I/O 장치로 보내질 데이터를 일시적으로 저장해두는 반도체 기억장치	
<u>프로그램을 이용한 I/O</u>	CPU가 반복적으로 I/O 장치의 상태를 검사하면서 I/O 동작을 처리하는 방식	
<u>기억장치-사상 I/O(memory-mapped I/O).</u>	I/O 제어기 내의 레지스터들에게 기억장치 주소 영역의 일부분을 할당하고, 기억장치와 같은 방법으로 액세스하는 방식	
<u>분리형 I/O(isolated I/O).</u>	I/O 장치들에 별도의 I/O 주소 영역을 지정하고, I/O 전용 명령어들을 이용하여 액세스하는 방식	
<u>인터럽트-구동 I/O(interrupt-driven I/O).</u>	인터럽트 메커니즘을 이용하여 CPU와 I/O 장치간의 상호작용이 처리되는 방식	
<u>인터럽트 확인(INTA) 신호</u>	CPU가 I/O 장치로부터의 인터럽트 요구를 인식했다는 것을 알려주는 신호	
<u>인터럽트 플래그</u> (<u>interrupt flag</u>).	CPU가 인터럽트를 처리할 수 있는 상태인지 혹은 아닌지를 알려주는 상태 비트	
<u>인터럽트 벡터</u> (<u>interrupt vector</u>).	인터럽트를 요구한 I/O 장치의 식별(ID) 번호로서, 해당 장치를 위한 인터럽트 처리 루틴의 시작 주소를 찾는데 사용됨	
<u>DMA 제어기</u> (<u>controller</u>).	CPU 개입 없이 I/O 장치와 기억장치 간의 데이터 전송을 수행하는 DMA 동작을 지원하는 하드웨어 모듈	
<u>사이클 스틸링(cycle stealing).</u>	CPU가 시스템 버스를 사용하지 않는 동안에 DMA 제어기가 버스를 사용한다는 것을 의미하는 용어	
<u>I/O 프로세서(IOP).</u>	I/O 장치들의 동작을 제어하며 DMA 동작도 지원하는 프로세서로부터, I/O 채널(channel)이라고도 부름	
<u>Untitled</u>		
<u>Untitled</u>		
<u>Untitled</u>		

CH08_고성능 컴퓨터시스템 구조

CH08_고성능 컴퓨터시스템 구조

Aa 용어	≡ 설명	태그
<u>병렬 처리(parallel processing).</u>	다수의 프로세서들을 이용하여 여러 프로그램들을 분담하여 동시에 처리하는 기술	
<u>문제 분할(problem partition).</u>	병렬처리를 위하여 하나의 문제를 여러 개로 나누는 작업	
<u>프로세서간 통신</u>	프로세서들이 서로 필요한 데이터를 교환하기 위한 통신	
<u>멀티-스레딩(multi-threading).</u>	가장 작은 크기의 독립적인 단위 프로그램인 스레드들을 여러 프로세서 코어들이 병렬로 처리하는 기술	
<u>명령어 스트림(instruction stream).</u>	실행되기 위하여 순서대로 프로세서로 들어오는 명령어 코드들의 흐름	
<u>데이터 스트림(data stream).</u>	명령어 실행에 사용되기 위하여 순서대로 프로세서로 들어오는 데이터들의 흐름	
<u>배열 프로세서(array processor).</u>	다수의 PU들을 이용하여 여러 개의 데이터들에 대한 연산을 동시에 처리하는 프로세서	
<u>밀결합 시스템</u>	프로세서들 간의 상호작용 정도가 높은 다중프로세서 시스템	
<u>소결합 시스템</u>	프로세서들 간의 상호작용 정도가 낮고 거의 독립적으로 동작하는 다중프로세서 시스템	
<u>UMA 모델</u>	모든 프로세서들이 기억장치를 공유하며 액세스에 걸리는 시간도 같은 시스템 구조	
<u>NUMA 모델</u>	공유 기억장치들과 프로세서들 간의 거리에 따라 액세스 시간이 달라지는 시스템 구조	
<u>NORMA 모델</u>	각 프로세서들이 별도의 기억장치를 가지며, 공유 기억장치는 없는 구조로서, 분산-기억장치 시스템이라고도 함	
<u>SMP(symmetric multiprocessors).</u>	프로세서들이 모든 시스템 자원들을 공유하며 동등한 권한을 가지는 시스템 구조	
<u>MPP(massively parallel processors).</u>	프로세서와 기억장치로 이루어지는 많은 수의 노드들로 구성되며 자원 공유가 없는 시스템 구조	
<u>CC-NUMA(cahce-coherent NUMA).</u>	노드들에 포함된 모든 캐시들과 기억장치들 간에 데이터 일관성이 유지되는 분산-기억장치시스템 구조	
<u>디렉토리(directory).</u>	캐시에 적재된 주기억장치 블록들에 대한 상태 정보 및 포인터를 포함하는 데이터 구조	

Aa 용어	≡ 설명	태그
<u>클러스터 컴퓨터</u> (cluster computer).	고속 네트워크로 접속된 컴퓨터들의 집합체로서 단일 시스템 이미지 (SSI)를 가짐	
<u>다중-버스 구조</u>	버스 경합을 줄이기 위하여 두 개 이상의 버스들을 설치하는 시스템 구조	
<u>계층적-버스 구조</u>	시스템 버스 외에도 용도별 지역 버스들이 설치되는 시스템 구조	
<u>다단계-상호연결망</u> (MIN).	여러 단계(stage)들을 통하여 노드들을 연결해주는 네트워크	
<u>네트워크 지름</u> (network diameter).	네트워크 내에서 가장 멀리 떨어진 노드들 간의 거리	
<u>E-큐브 라우팅</u>	하이퍼큐브에서 적용되는 자동 경로설정 방식	
<u>데이터 불일치 문제</u>	주기억장치에 저장된 데이터와 캐시들에 적재된 복사본이 서로 다른 값을 가지는 현상	
<u>무효화 사이클</u> (invalidate cycle).	무효화 신호와 해당 데이터의 주소가 전송되는 버스 사이클	
<u>커널 함수(kernel function).</u>	병렬함수 및 데이터 구조를 명시하는 키워드들로 작성되는 코드로서 디바이스에 의해 실행됨	
<u>와프(warp).</u>	동시에 처리될 수 있는 32개씩의 스레드 묶음	