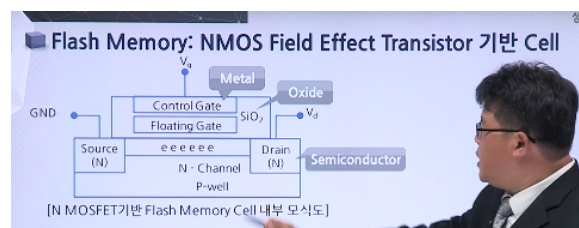
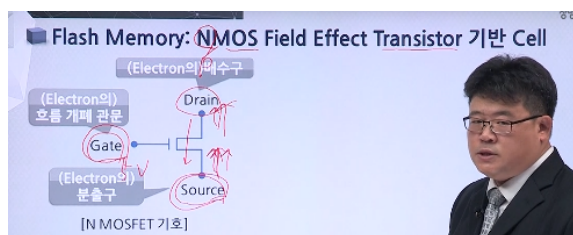


29강_Flash Memory 및 SSD

🕒 Created	@Aug 15, 2020 4:31 PM
🏷 Tags	RE

SSD(Solid State Drive)

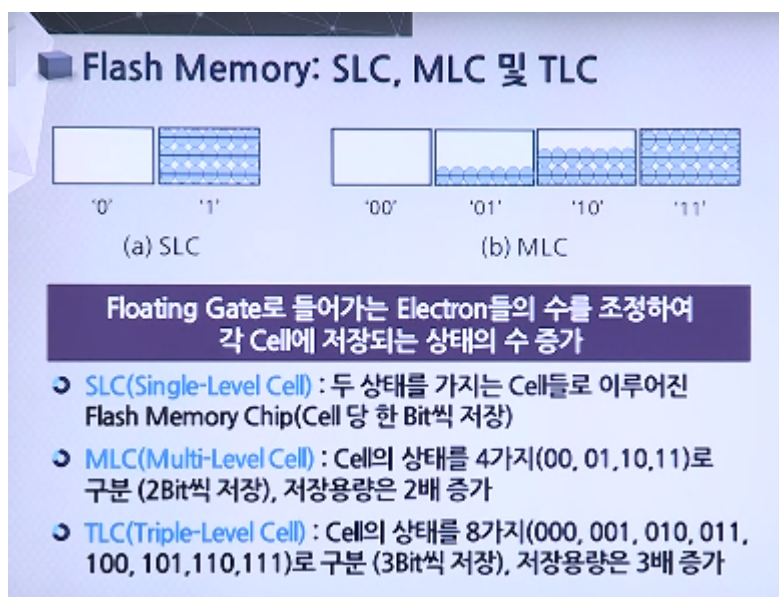
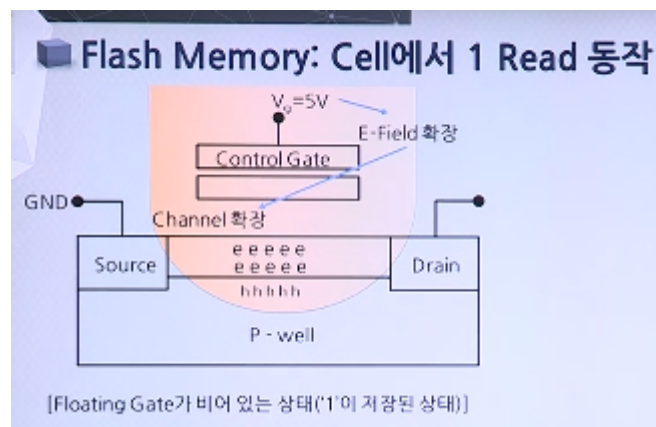
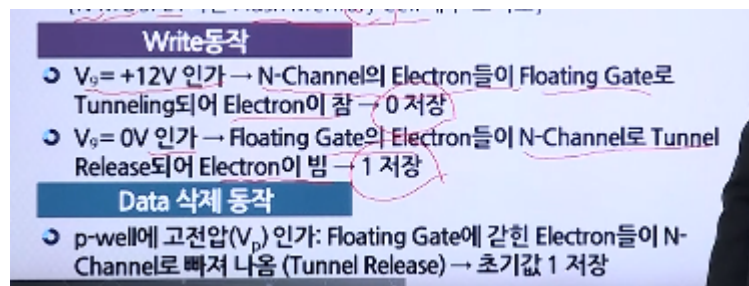
- Semiconductor 기반 보조저장장치의 필요성
 - 1 MM의 속도 >> 보조저장장치의 속도
 - 2 기계장치 기반 보조저장장치의 한계
- Non-volatile Flash Memory의 개발
 - 1 영구 저장 능력 보유
 - 2 빠른 Access 속도, 낮은 전력소모, 높은 저장밀도, 높은 신뢰성
 - 3 높은 가격, 낮은 내구성(갱신 횟수 제한)
- SSD의 출현
 - 1 Flash Memory 기반 휴대용 Backup 저장장치용도
 - 2 대용량 저장 장치인 SSD로 발전



▼ script

그래서 이거는 NMOS 기반입니다. NMOS 라는 건 뭐냐면, 이 Source 와 그 다음에 이 Drain. 이게 N형 반도체로 되어 있다. 그러니까 반도체는 N형 반도체와 P형 반도체가 있는데, 이 Source 와 Drain 이 N형 반도체로 되어 있으면 N MOS 라고 부르고요, 이런식으로 Gate. 여기에 전원을 걸어줘서 이쪽에 흐르는 전류의 양을 조절을 하게 되는데요.. 그 조절을 하는 방식이 전원을 걸어줘서 electric field 에 의해서 조정한다.. 라고 해서 field effect transistor(FET) 가 되는 겁니다.

그 기반에 Falsh Memory Cell 내부 모식도를 보여주고 있는데요, 이 Cell 하나가 한 Bit의 정보를 저장하는 Cell 이 되겠습니다.



Flash Memory: SLC, MLC 및 TLC

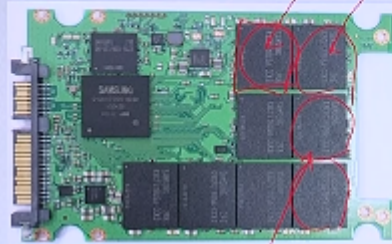
MLC 및 TLC의 문제점

- Electron 수 조절을 위한 세밀한 작업 필요
- Data 구분의 어려움으로 인한 Access 속도 저하
- 오류 발생 빈도 증가 ↗
- 수명 단축 ↗

SLC, MLC 및 TLC 비교

	SLC	MLC	TLC
Cell당 Bit 수	1	2	3
읽기 시간	25us	x 2	x 3
쓰기 시간	200~300us	x 3	x 4.5
삭제 시간	1.5ms	x 2	x 3
재기록 가능 횟수	100,000	/ 10	/ 100

Solid State Drive: Introduction



구성요소

- NAND형 Flash Memory Chip 배열: Interleaving 방식으로 Data 분산 저장
병렬 입출력 채널 구성
- SSD 제어기 : 핵심적 기능(Data 저장과 인출, Chip 관리, Address Mapping)을 수행하는 Firmware Program을 수행하는 Processor
- DRAM Cache : Computer와 Flash Memory 사이의 Data Buffer
- SATA 또는 PCIe Interface : Serial 전송

