

# Homework 1

## Design a four tap filter

(Due : 2022/10/6)

一. Verilog實作：

設計三種形式的FIRfilter，分別為 DirectForm4-tapFIR、Direct Form 4-tap FIRwith Adder Tree 及 Transposed Form 4-tap FIR，分別如 Fig. 1.1、Fig. 1.2、Fig. 1.3所示。

二. 作業要求：

三種形式的 FIR filter 的 Function 驗證無誤並比較其差異性。其中 DFF 至少為 10bits。

三. 比較輸出波型差異性

四. 比較合成後，兩者的面積(area)、速度(timing)差異。

五. 此次作業需繳交：

1. RTL code(Verilog)
2. Top module testbench
3. 書面紙本、書面電子檔(doc)、報告電子檔(ppt)
5. 檔名為：學號\_VDSP111\_HW1 (ex: 110521001\_VDSP111\_HW1.rar)
6. 壓縮檔-檔案結構：

RTL(資料夾)：include “RTL” code

sim(資料夾)：include “testbench” code

學號\_VDSP111\_HW1.ppt

學號\_VDSP111\_HW1.doc

如有任何疑問，可至E1-410詢問助教，或者透過以下信箱詢問。

助教信箱：[110521027@cc.ncu.edu.tw](mailto:110521027@cc.ncu.edu.tw)

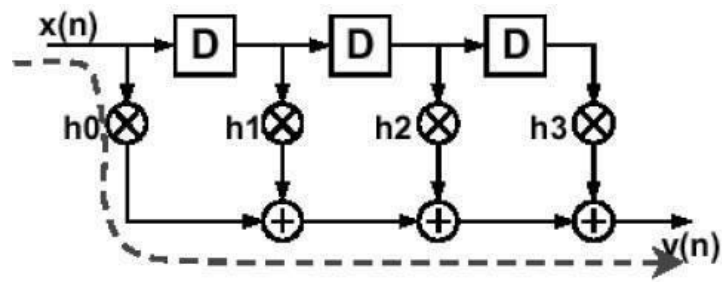


Fig.1.1 Direct Form 4-tap FIR

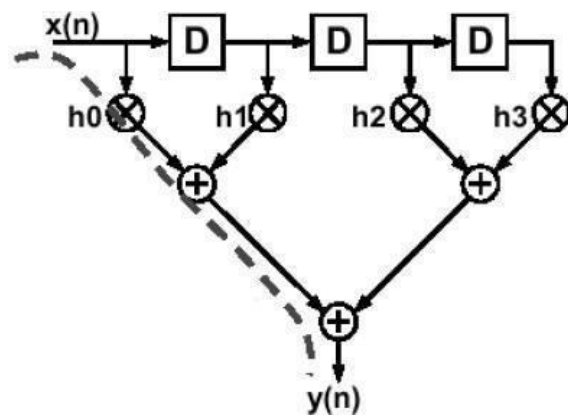


Fig.1.2 Direct Form 4-tap FIR with Adder Tree

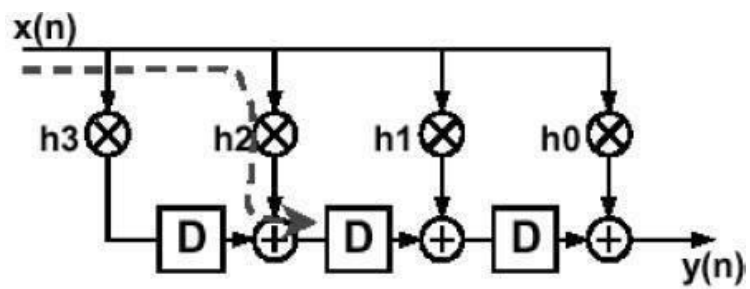


Fig.1.3 Transposed Form 4-tap FIR