

DSP VLSI Architecture Design

Final Project

Sine-Cosine Computation Using
CORDIC Algorithm

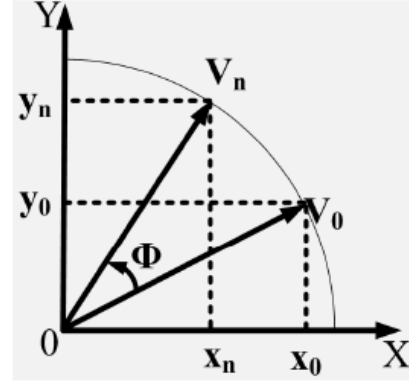
學號：110521168

姓名：陳旻盛

授課老師：蔡宗漢 教授

1. CORDIC Algorithm 原理

Coordinate Rotation Digital Computer，又稱 CORDIC，是一種座標旋轉的計算方法，於 1959 年由 J.D.Volder 提出，主要用於三角函數、雙曲線、指數、對數的運算。此算法通過基本的加法和移位運算代替乘法運算，使得向量的旋轉和定向計算不再需要三角函數、乘法、開平方、反三角等函數。



以右圖的二維平面為例，當點 V_0 逆時

鐘旋轉到 V_n 時，可以根據旋轉矩陣的運算得知：

$$x_n = x_0 \cos \theta - y_0 \sin \theta = \cos \theta (x_0 - y_0 \tan \theta)$$

$$y_n = y_0 \cos \theta + x_0 \sin \theta = \cos \theta (y_0 + x_0 \tan \theta)$$

此時，我們將旋轉角 θ 細分為 θ_i ，且滿足 $\tan \theta_i = 2^{-i}$ ， i 為非負整數。由於每次的旋轉角度 θ_i 是固定不變的，如果一直朝著同一方向旋轉一定會超過 θ ，所以另兩方向 $d = 1$ 代表逆時針， $d = -1$ 代表順時針，可以得到每次旋轉的角度為 $d\theta_i$ ，剩餘的角度為 z_{i+1} ，則 $z_{i+1} = z_i - d\theta_i$ 。

且因為 $\theta_{\max} = \sum \tan^{-1} 2^{-i} = 99.7^\circ$

$$\theta_{\min} = \sum \tan^{-1} 2^{-i} = -99.7^\circ$$

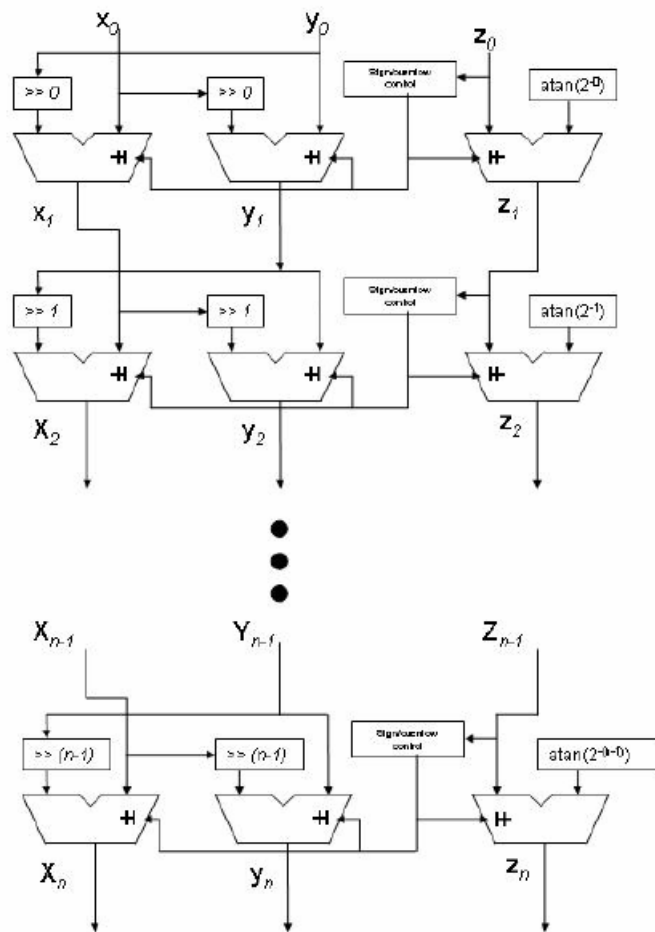
所以我們需要確保在每一次計算的過程中，輸入向量都在第一、四象限。在計算 x_n 和 y_n 的時候，我們可以發現透過不斷提出 $\cos \theta$ 以及用 2^{-i} 來取代 $\tan \theta$ ，即可做到在運算過程中都只有加法以及移位操作。

$$\text{可得結論：} x_n = \frac{1}{\pi \cos \theta_i} (x_0 \cos \theta - y_0 \sin \theta d)$$

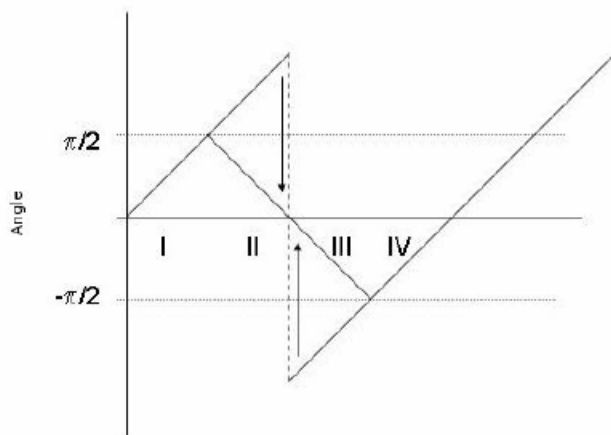
$$y_n = \frac{1}{\pi \cos \theta_i} (y_0 \cos \theta + x_0 \sin \theta d)$$

所以當我們給定初始值 $x_0 = \pi \cos \theta_i$ ， $y_0 = 0$ ，代入上式可得 $x_n = \cos \theta$
 $y_n = \sin \theta$ ，即可實現 sine 和 cosine 的計算。

2. 架構設計

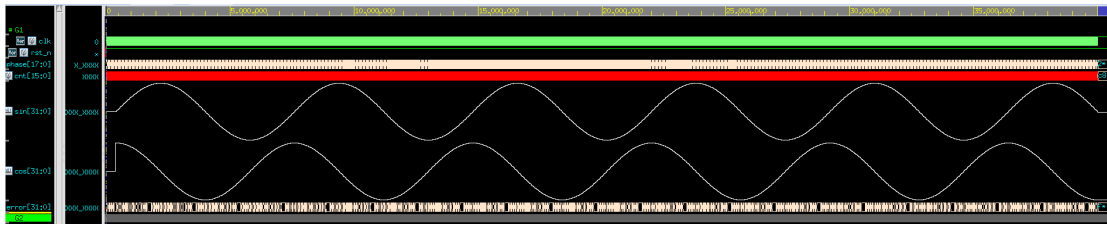


此次以 16 級 pipeline 來設計架構，在每一次迭代的過程中，將迭代後更新的值放入下一級 pipeline 中，讓每一級 pipeline stage 都只要經過一個 clock cycle 就能完成運算，並且每個 clock cycle 都能得到輸出。



因為要確保維持在第一、第四象限，所以需要調整在第二、三象限時的角
度。若位於第二象限則須順時針旋轉 90 度到第一象限，第三象限則需逆時
針旋轉 90 度到第四象限。

3. Verilog 實作



因為在 testbench 中，角度會一直在 0~359 循環，所以 sin 和 cos 的波型也一直循環下去。

且因迭代 16 次使得誤差非常小，所以整個訊號曲線會非常平滑。

在過程中也透過將角度的變量放大，避免了浮點數的運算，用以滿足精度的要求：

```
13 // avoid floating point, enlarge all angle variables
14 `define rot0 32'd2949120 // 45*2^16
15 `define rot1 32'd1740992 //26.5651*2^16
16 `define rot2 32'd919872 //14.0362*2^16
17 `define rot3 32'd466944 //7.1250*2^16
18 `define rot4 32'd234368 //3.5763*2^16
19 `define rot5 32'd117312 //1.7899*2^16
20 `define rot6 32'd58688 //0.8952*2^16
21 `define rot7 32'd29312 //0.4476*2^16
22 `define rot8 32'd14656 //0.2238*2^16
23 `define rot9 32'd7360 //0.1119*2^16
24 `define rot10 32'd3648 //0.0560*2^16
25 `define rot11 32'd1856 //0.0280*2^16
26 `define rot12 32'd896 //0.0140*2^16
27 `define rot13 32'd448 //0.0070*2^16
28 `define rot14 32'd256 //0.0035*2^16
29 `define rot15 32'd128 //0.0018*2^16
```

report_timing

clock clk (rise edge)	1.90	1.90
clock network delay (ideal)	0.50	2.40
clock uncertainty	-0.10	2.30
y10_reg[23]/CK (DFFRX4)	0.00	2.30 r
library setup time	-0.04	2.26
data required time		2.26

data required time		2.26
data arrival time		-2.26

slack (MET)		0.00

report_area

```

*****
Report : area
Design : CORDIC
Version: R-2020.09
Date   : Wed Jan 11 19:40:55 2023
*****

Library(s) Used:

    slow (File: /cad/CBDK/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Number of ports:          8882
Number of nets:           33809
Number of cells:          26907
Number of combinational cells: 25042
Number of sequential cells:  1552
Number of macros/black boxes: 0
Number of buf/inv:        5771
Number of references:      196

Combinational area:        174752.420040
Buf/Inv area:              24753.183823
Noncombinational area:     65202.224575
Macro/Black Box area:      0.000000
Net Interconnect area:     undefined (No wire load specified)

Total cell area:           239954.644615

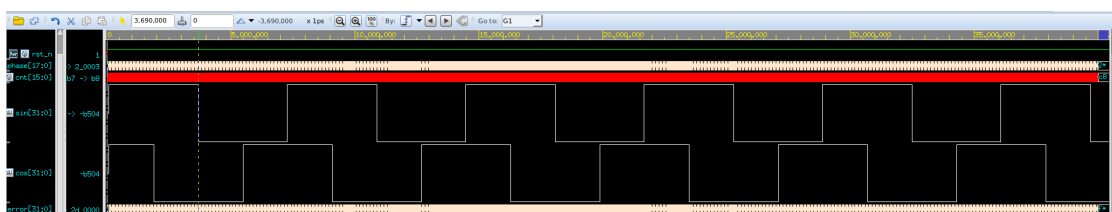
```

report_power

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	26.8652	0.5707	5.6839e+07	27.4927	(84.02%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	2.6111	2.5014	1.1788e+08	5.2304	(15.98%)	
Total	29.4763 mW	3.0721 mW	1.7472e+08 pW	32.7231 mW		

可以看到因為迭代了 16，所以需要很多額外的硬體來儲存變數，導致面積以及功耗較大，但是可以得到非常精準的三角函數運算值。

若大幅減少迭代次數到 1 次，可以節省大量的面積以及功耗，但由於迭代次數少，角度的修正十分有限，所以得到的誤差值會非常大，以下為只迭代 1 次的結果：



```

*****
Report : area
Design : CORDIC
Version: R-2020.09
Date   : Wed Jan 11 21:25:15 2023
*****

Library(s) Used:

    slow (File: /cad/CBDK/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Number of ports:          180
Number of nets:           874
Number of cells:          773
Number of combinational cells: 597
Number of sequential cells: 152
Number of macros/black boxes: 0
Number of buf/inv:        230
Number of references:      76

Combinational area:      4518.478730
Buf/Inv area:            1045.598382
Noncombinational area:   5185.556854
Macro/Black Box area:    0.000000
Net Interconnect area:   undefined (No wire load specified)

Total cell area:         9704.035585

```

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	1.9193	0.1546	4.7016e+06	2.0786	(90.57%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	0.1115	0.1011	3.7261e+06	0.2164	(9.43%)	
Total	2.0308 mW	0.2557 mW	8.4277e+06 pW	2.2949 mW		

可以看到雖然面積和功耗小了很多，但因為只迭代一次，角度只能有正負 45 度的修正，所以得到的值只會有兩種，sin 和 cos 的波型就會變成方波，使其誤差非常大。

4. 參考資料

- [1] E. O. Garcia, R. Cumplido, and M. Arias, "Pipelined CORDIC design on FPGA for a digital sine and cosine waves generator," in *2006 3rd international Conference on Electrical and Electronics Engineering*, 2006: IEEE, pp. 1-4.