

Introducció als Computadors

Tema 6: Circuits Lògics Seqüencials (CLS's)

<http://personals.ac.upc.edu/enricm/Docencia/IC/IC6c.pdf>

Enric Morancho
(enricm@ac.upc.edu)

Departament d'Arquitectura de Computadors
Facultat d'Informàtica de Barcelona
Universitat Politècnica de Catalunya



UNIVERSITAT POLITÈCNICA DE CATALUNYA
BARCELONATECH

Facultat d'Informàtica de Barcelona

2020-21, 1^{er} quad.

Presentació publicada sota llicència Creative Commons 4.0



[1]

- Anàlisi temporal
 - Introducció
 - Tipus de camins a un CLS
 - Càlcul del temps de cicle
 - Exemple
- Conclusions
- Exercicis
- Miscel·lània

- Anàlisi temporal
 - Introducció
 - Tipus de camins a un CLS
 - Càlcul del temps de cicle
 - Exemple
 - Conclusions
 - Exercicis
 - Miscel·lània

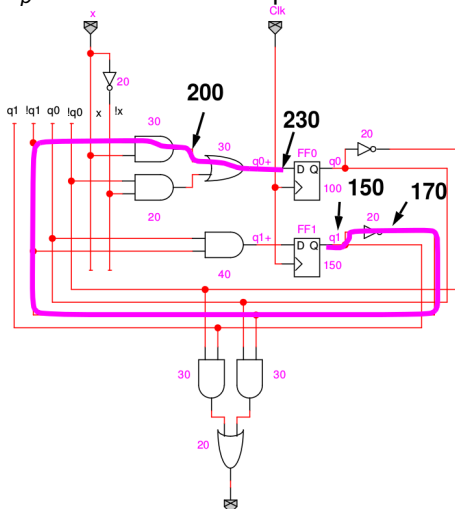
- Determinar el T_c mínim perquè un CLS realitzi correctament la seva funcionalitat
 - El T_c ha de garantir que les entrades de tots els biestables tinguin el valor correcte i estable quan es produeixi el flanc ascendent del senyal de rellotge
- Ja sabem com calcular el T_p d'un CLC
 - Haurem de considerar com influeixen els biestables
- Necessitarem saber:
 - Esquema lògic del CLS
 - Temps de propagació dels dispositius combinacionals
 - Temps de propagació dels biestables
 - Especificacions temporals de les entrades/sortides
 - Quant de temps cal esperar fins que l'entrada del CLS sigui estable
 - Quant de temps cal mantenir estable la sortida del CLS

- Camí crític: camí al CLS amb el temps de propagació més gran
 - El T_c del CLS serà, com a mínim, el T_p del camí crític
- Els camins a un CLS no es defineixen com a un CLC
 - Els CLS's poden tenir cicles
 - Però el senyal no creurà el biestable fins el flanc ascendent de rellotge
 - Els camins no creuran biestables
 - A un CLS de Moore tenim tres tipus de camins:
 - b-b: comencen a un biestable i finalitzen a un biestable
 - b-s: comencen a un biestable i finalitzen a la sortida del CLS
 - e-b: comencen a l'entrada del CLS i finalitzen a un biestable
 - No existeixen camins e-s (entrada-sortida)
 - Al model de Moore, les sortides depenen de l'estat actual
 - Entre l'entrada i la sortida del CLS hi haurà un biestable/registre

- Anàlisi temporal
 - Introducció
 - Tipus de camins a un CLS
 - Càlcul del temps de cicle
 - Exemple
- Conclusions
- Exercicis
- Miscel·lània

- Des de la sortida Q d'un biestable a l'entrada D d'un biestable
 - Només travessarà CLC's, no pot creuar cap altre biestable
 - Q i D poden ser del mateix biestable
- El T_p del camí és el T_p del biestable on comença el camí més el T_p dels dispositius combinacionals que formen el camí
 - No incloem el T_p del biestable on acaba el camí perquè aquest temps s'inclourà en el T_p dels camins que comencin en aquell biestable

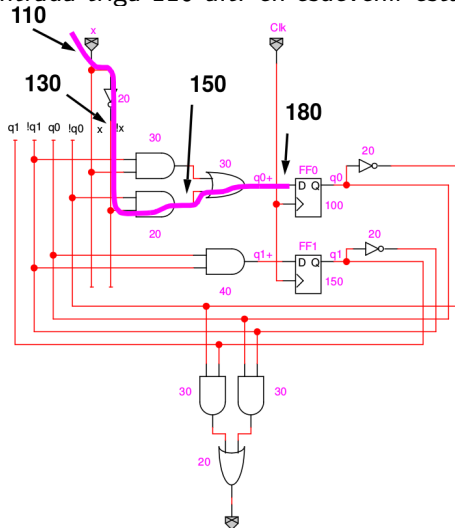
- Exemple: (el T_p dels blocs és a l'esquema i no és homogeni)



- El camí $FF1 \rightarrow NOT \rightarrow AND \rightarrow OR \rightarrow FF0$ té $T_p = 230$ u.t.

- Des d'una entrada del CLS a l'entrada D d'un bi estable
 - No pot creuar cap altre bi estable
- El T_p del camí és el temps necessari perquè l'entrada s'estabilitzi més el T_p dels dispositius combinacionals que formen el camí
 - L'especificació ha d'indicar el temps necessari perquè l'entrada del CLS s'estabilitzi des de que es produeix el flanc ascendent de rellotge

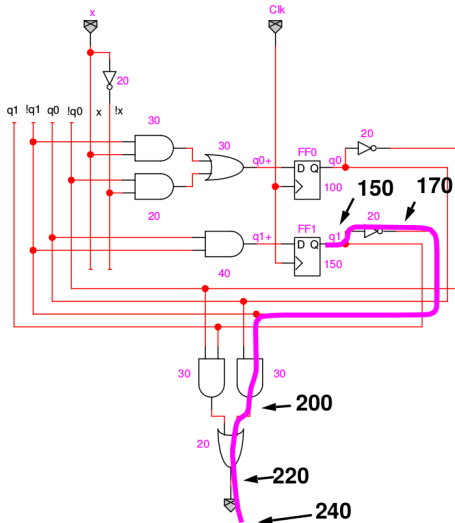
- Exemple: (l'entrada triga 110 u.t. en esdevenir estable)



- El camí *Entrada* $x \rightarrow NOT \rightarrow AND \rightarrow FF0$ té $T_p = 180$ u.t.

- Des d'una biestable a una sortida del CLS
 - No pot creuar cap altre biestable
- El T_p del camí és el T_p del biestable on comença el camí més el T_p dels dispositius combinacionals que formen el camí més el temps que calgui mantenir estable la sortida abans del flanc de rellotge
 - L'especificació ha d'indicar el temps que, com a mínim, cal mantenir estable la sortida abans que es produeixi el flanc ascendent de rellotge

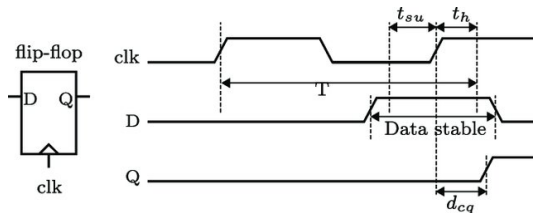
- Exemple: (la sortida ha de ser estable 20 u.t. abans del flanc)



- El camí $FF1 \rightarrow NOT \rightarrow AND \rightarrow OR \rightarrow$ Sortida w té $T_p = 240$ u.t.

- Anàlisi temporal
 - Introducció
 - Tipus de camins a un CLS
 - Càlcul del temps de cicle
 - Exemple
- Conclusions
- Exercicis
- Miscel·lània

- Identificar tots els camins b-b, e-b i b-s
- Calcular el T_p de cada camí
 - El camí crític del CLS serà el camí amb T_p màxim
- El T_c del CLS serà, com a mínim, el T_p del camí crític
- A una implementació física, també caldrà tenir en compte l'interval de temps en el que cal mantenir l'entrada del biestable estable quan es produeixi el flanc ascendent de rellotge
 - L'especificació del biestable defineix T_{setup} i T_{hold}

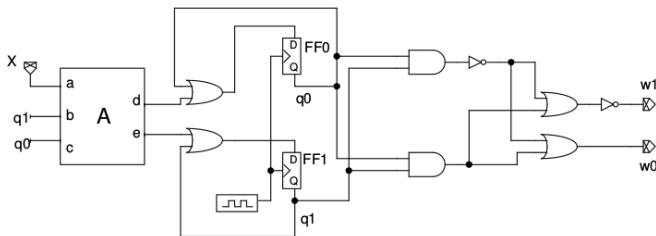


[2]

- Altrament, el correcte funcionament del biestable no està garantit

- Anàlisi temporal
 - Introducció
 - Tipus de camins a un CLS
 - Càlcul del temps de cicle
 - Exemple
- Conclusions
- Exercicis
- Miscel·lània

- Determineu el temps de cycle mínim d'aquest CLS:
 - Les entrades triguen 30 u.t. en establitzar-se
 - Les sortides han d'estar estables 15 u.t. abans no es produeixi el flanc ascendent del rellotge
 - Els T_p dels components estan indicats a l'esquema lògic
 - Les entrades b i c del bloc A estan connectades als cables $q1$ i $q0$ respectivament.



$T_p A$	d	e
a	10	20
b	30	40
c	10	60

$T_{pFF0}=50ut$
 $T_{pFF1}=50ut$
 $T_{pAND}=20ut$
 $T_{pOR}=20ut$
 $T_{pNOT}=10ut$

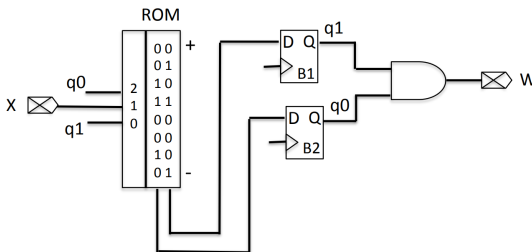
- Avaluem el T_p de tots els camins:
 - Excepte els que clarament són mes curts que altres
 - Exemple: $FF0 \rightarrow OR \rightarrow FF0$ versus $FF0 \rightarrow A_{c-d} \rightarrow OR \rightarrow FF0$
 - Camins b-b:
 - $FF0 \rightarrow A_{c-d} \rightarrow OR \rightarrow FF0 \implies T_p = 80 \text{ u.t.}$
 - $FF0 \rightarrow A_{c-e} \rightarrow OR \rightarrow FF1 \implies T_p = 130 \text{ u.t.}$
 - $FF1 \rightarrow A_{b-d} \rightarrow OR \rightarrow FF0 \implies T_p = 100 \text{ u.t.}$
 - $FF0 \rightarrow A_{b-e} \rightarrow OR \rightarrow FF1 \implies T_p = 110 \text{ u.t.}$
 - Camins e-b:
 - $x \rightarrow A_{a-d} \rightarrow OR \rightarrow FF0 \implies T_p = 60 \text{ u.t.}$
 - $x \rightarrow A_{a-e} \rightarrow OR \rightarrow FF1 \implies T_p = 70 \text{ u.t.}$
 - Camins b-s:
 - $FF0 \rightarrow AND \rightarrow NOT \rightarrow OR \rightarrow NOT \rightarrow w1 \implies T_p = 125 \text{ u.t.}$
 - $FF1 \rightarrow AND \rightarrow NOT \rightarrow OR \rightarrow NOT \rightarrow w1 \implies T_p = 125 \text{ u.t.}$
- Resposta:
 - Camí crític: $FF0 \rightarrow A_{c-e} \rightarrow OR \rightarrow FF1$
 - T_p del camí crític = 130 u.t. $\implies T_c$ del CLS $\geq 130 \text{ u.t.}$

- Anàlisi temporal
- **Conclusions**
- Exercicis
- Miscel·lània

- El temps de cicle T_c ha de garantir que l'entrada de tots els biestables tinguin un valor correcte i estable en el moment que es produeixi el flanc ascendent de rellotge
- A un CLS Moore existeixen tres tipus de camins:
 - biestable-biestable (b-b)
 - entrada-biestable (e-b)
 - biestable-sortida (b-s)
- El camí crític del CLS és el camí amb T_p major
- Per calcular el T_p d'un camí cal considerar:
 - T_p dels biestables
 - T_p dels blocs combinacionals
 - Quant de temps cal esperar fins que l'entrada del CLS sigui estable
 - Quant de temps cal mantenir estable la sortida del CLS
- El T_c haurà de ser, com a mínim, el T_p del camí crític
- No oblideu fer el qüestionari ET6c i els exercicis proposats (slide 28)

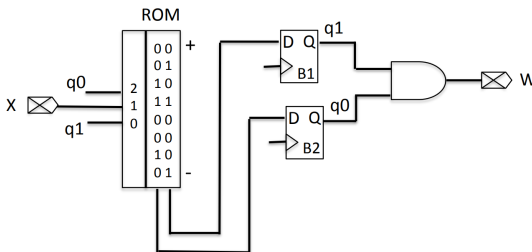
- Anàlisi temporal
- Conclusions
- **Exercicis**
- Miscel·lània

- Calculad el(los) camino(s) crític(s) y su duración del siguiente circuito asumiendo $T_p(\text{And-2})=20$ u.t., $T_p(\text{Biestable})=100$ u.t., y $T_p(\text{Rom})=90$ u.t., y que la entrada X está estable pasadas 110 u.t. después del flanco de reloj de inicio de ciclo y que la salida W debe estar estable 30 u.t. antes del final de ciclo.



- Camí =
- Durada =

- Calculad el(los) camino(s) crític(s) y su duración del siguiente circuito asumiendo $T_p(\text{And-2})=20$ u.t., $T_p(\text{Biestable})=100$ u.t., y $T_p(\text{Rom})=90$ u.t., y que la entrada X está estable pasadas 110 u.t. después del flanco de reloj de inicio de ciclo y que la salida W debe estar estable 30 u.t. antes del final de ciclo.



- Camí = $X \rightarrow \text{ROM} \rightarrow \text{B1}$ i $X \rightarrow \text{ROM} \rightarrow \text{B2}$
- Durada = 200 u.t.

Construir graf d'estats (E2 Q2 18/19)



Completeu el graf d'estats d'un circuit seqüencial amb dos entrades d'1 bit **a** i **b** i una sortida **S** de 2 bits amb el següent funcionament:

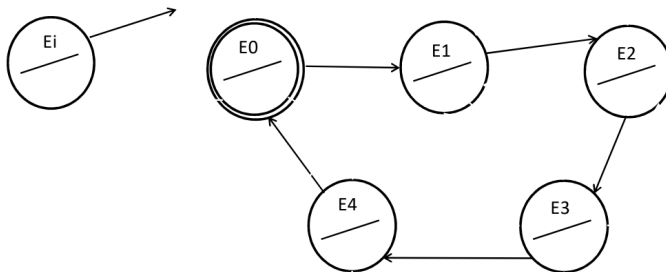
La sortida **S**, de dos bits, ha de valdre 10 durant 1 cicle si per l'entrada **a** arriba la seqüència 10, i ha de valdre 11 si per l'entrada **a** arriba la seqüència 11 al mateix temps que arriba la seqüència 00 per l'entrada **b**. En qualsevol altre cas la sortida **S** ha de valdre 00.

El reconeixement de les seqüències s'ha de fer sense encavalcament.

A continuació es mostra un exemple de funcionament del circuit, en que cada columna correspon a un cicle de rellotge:

a	1	0	0	0	0	0	1	1	0	0	1	1	1	0	1	1	0	1
b	1	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	1
S	00	00	10	00	00	00	00	00	11	00	00	00	11	00	10	00	11	00

Llegenda



Construir graf d'estats (E2 Q2 18/19)

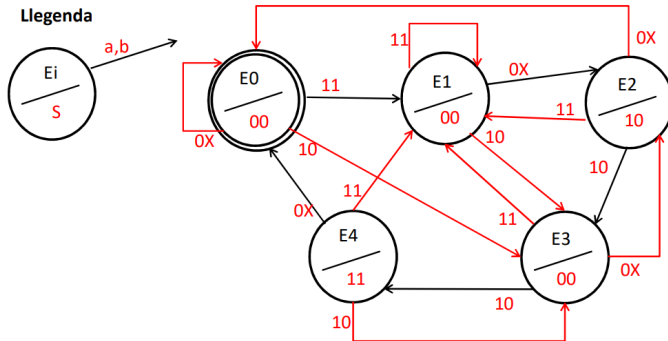
Completeu el graf d'estats d'un circuit seqüencial amb dos entrades d'1 bit **a** i **b** i una sortida **S** de 2 bits amb el següent funcionament:

La sortida **S**, de dos bits, ha de valdre 10 durant 1 cicle si per l'entrada **a** arriba la seqüència 10, i ha de valdre 11 si per l'entrada **a** arriba la seqüència 11 al mateix temps que arriba la seqüència 00 per l'entrada **b**. En qualsevol altre cas la sortida **S** ha de valdre 00.

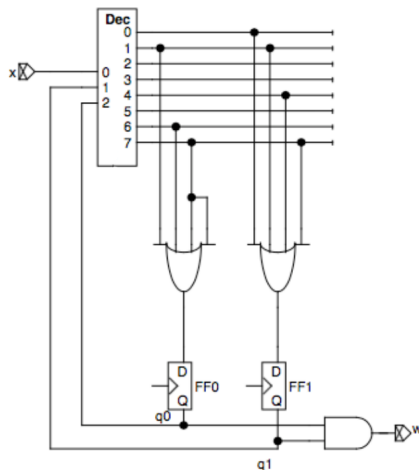
El reconeixement de les seqüències s'ha de fer sense encavalcament.

A continuació es mostra un exemple de funcionament del circuit, en que cada columna correspon a un cicle de rellotge:

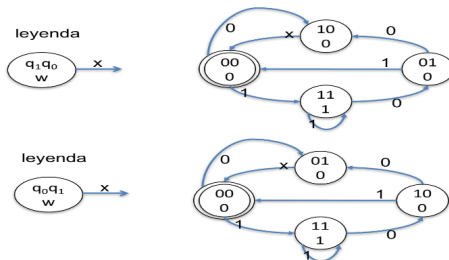
a	1	0	0	0	0	0	1	1	0	0	1	1	1	0	1	1	0	1
b	1	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	1
S	00	00	10	00	00	00	00	00	11	00	00	00	11	00	10	00	11	00



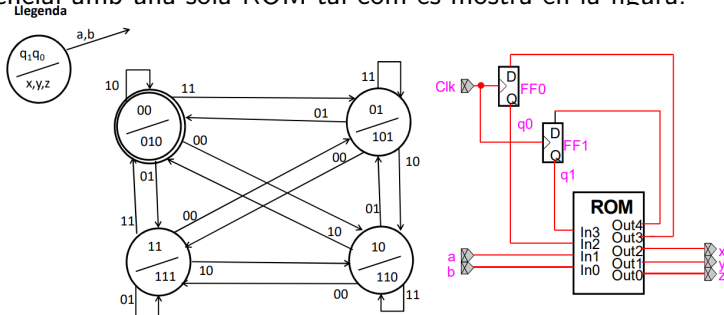
- Construir el graf d'estats corresponent al següent CLS assumint que l'estat inicial és $q_1q_0 = 00$



- Cal identificar nombre d'entrades, sortides i bits de estat:
 - $n = 1, m = 1, k = 2$
- Determinem la llegenda del graf
- Anàlisi:
 - Calcular la sortida de l'estat inicial i els nous estats que es generen des de l'estat inicial per a tots els valors possibles de l'entrada
 - Repetir el procés amb els nous nodes
 - Acabar quan tots els nodes hagin estat processats
- Dues solucions en funció de com indiquem l'estat actual a la llegenda



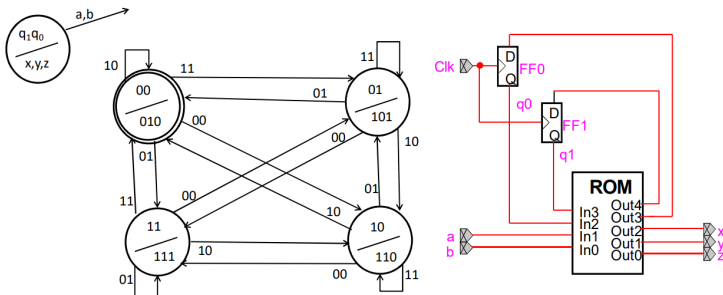
- Si es vol implementar el graf d'estats següent amb un circuit seqüencial amb una sola ROM tal com es mostra en la figura.



- Indiqueu en hexa el contingut de les següents adreces de la ROM:
 - ROM[0x4]=0x
 - ROM[0xA]=0x
 - ROM[0xE]=0x

- Si es vol implementar el graf d'estats següent amb un circuit seqüencial amb una sola ROM tal com es mostra en la figura.

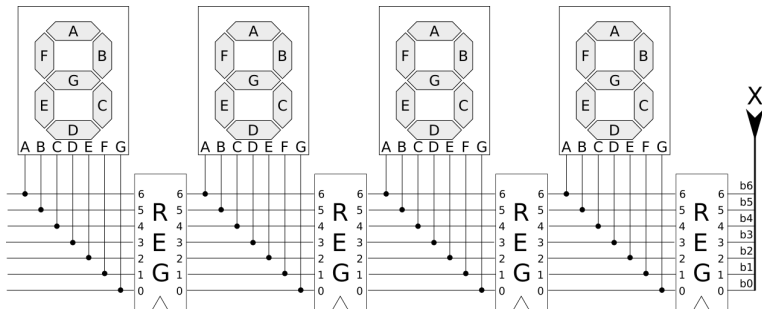
Legenda



- Indiqueu en hexa el contingut de les següents adreces de la ROM:
 - ROM[0x4]=0x1D
 - ROM[0xA]=0x06
 - ROM[0xE]=0x17

- Què mostraran els *seven-segment displays* [3] amb aquesta entrada?
 - Un segment està ON \iff el senyal corresponent val "1"
 - A aquest esquema, els registres tenen l'entrada pel costat dret
 - Podeu assumir que tots els biestables estan inicialitzats a "0"

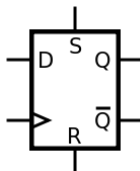
Cicle	1	2	3	4	5	6	7
$X(\text{hexa})$	0x4E	0x77	0x47	0x4F	0x01	0x01	0x01
display							



- Enunciat disponible a Atenea
 - https://atenea.upc.edu/pluginfile.php/3603436/mod_assign/introattachment/0/Tema%206%20-%20Exercicis%20en%20paper.pdf?forcedownload=1
- Entrega a Atenea fins el dissabte 24/10
 - Format PDF
 - Per fer els grafs d'estats us pot resultar útil l'editor on-line https://www.cs.unc.edu/~otternes/comp455/fsm_designer/
 - Els esquemes lògics els podeu fer a mà i posteriorment fotografiar-los/escanejar-los o utilitzar alguna eina d'edició de circuits (Logic Works, ...)

- Anàlisi temporal
- Conclusions
- Exercicis
- Miscel·lània

- A IC utilitzarem els biestables D però n'existeixen altres
 - [https://en.wikipedia.org/wiki/Flip-flop_\(electronics\)](https://en.wikipedia.org/wiki/Flip-flop_(electronics))
 - Algunes implementacions del biestable D tenen entrades per inicialitzar el biestable i una sortida amb el senyal Q negat. [4]



- A Atenea disposeu d'un document amb l'especificació i la síntesi dels CLC's i CLS's bàsics que utilitzarem a« l'assignatura
 - <https://atenea.upc.edu/mod/resource/view.php?id=1672997>

Llevat que s'indiqui el contrari, les figures, esquemes, cronogrames i altre material gràfic o bé han estat extrets de la documentació de l'assignatura elaborada per Juanjo Navarro i Toni Juan, o corresponen a enunciats de problemes i exàmens de l'assignatura, o bé són d'elaboració pròpia.

- [1] (1936). Charlie Chaplin - Factory Scene - Modern Times, [Online]. Available: <https://www.youtube.com/watch?v=6n9ESFJTnHs#t=0m14s>.
- [2] B. Li, M. Hashimoto, and U. Schlichtmann, "From process variations to reliability: A survey of timing of digital circuits in the nanometer era," vol. 11, pp. 2–15, Jan. 2018.
- [3] [Online]. Available: https://commons.wikimedia.org/wiki/File:7_segment_display_labeled.svg.
- [4] [Online]. Available: https://en.wikipedia.org/wiki/File:D-Type_Flip-flop.svg.

Introducció als Computadors

Tema 6: Circuits Lògics Seqüencials (CLS's)

<http://personals.ac.upc.edu/enricm/Docencia/IC/IC6c.pdf>

Enric Morancho
(enricm@ac.upc.edu)

Departament d'Arquitectura de Computadors
Facultat d'Informàtica de Barcelona
Universitat Politècnica de Catalunya



UNIVERSITAT POLITÈCNICA DE CATALUNYA
BARCELONATECH

Facultat d'Informàtica de Barcelona

2020-21, 1^{er} quad.

Presentació publicada sota llicència Creative Commons 4.0