

Introducció als Computadors

Tema 3: Circuits Lògics Combinacionals (CLC)

<http://personals.ac.upc.edu/enricm/Docencia/IC/IC3c.pdf>

Enric Morancho
(enricm@ac.upc.edu)

Departament d'Arquitectura de Computadors
Facultat d'Informàtica de Barcelona
Universitat Politècnica de Catalunya



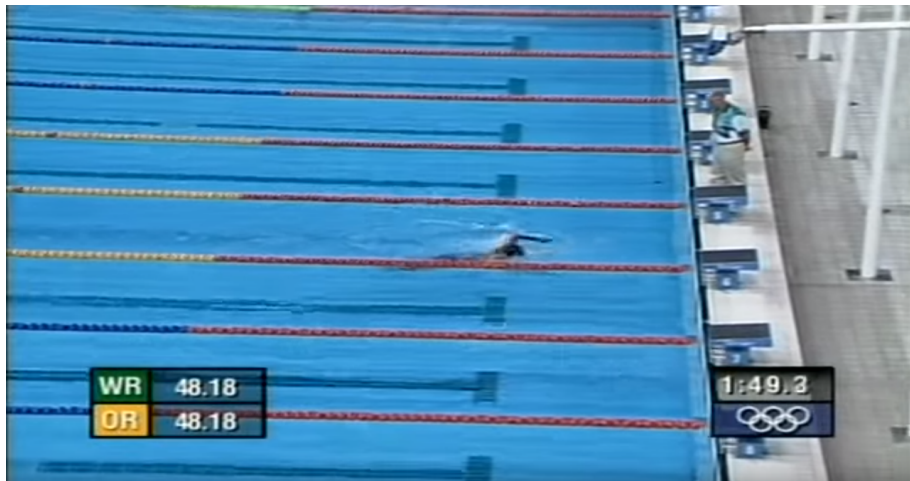
UNIVERSITAT POLITÈCNICA DE CATALUNYA
BARCELONATECH

Facultat d'Informàtica de Barcelona

2020-21, 1^{er} quad.

Presentació publicada sota llicència Creative Commons 4.0

Los últimos serán los primeros



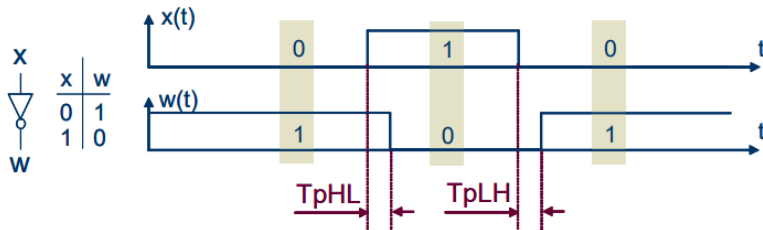
[1]

- Temps de propagació
 - Introducció
 - Anàlisi temporal de les portes bàsiques
 - Anàlisi temporal d'un CLC
 - Temps de propagació d'un CLC
- Exercicis
- Conclusions
- Autoaprenentatge
- Miscel·lània

- Temps de propagació
 - Introducció
 - Anàlisi temporal de les portes bàsiques
 - Anàlisi temporal d'un CLC
 - Temps de propagació d'un CLC
 - Exercicis
 - Conclusions
 - Autoaprenentatge
 - Miscel·lània

- Fins ara només hem considerat el comportament lògic dels CLC's...
 - Taula de Veritat
- ... però els CLC's tenen molts altres atributs determinants:
 - Per exemple, àrea, consum energètic, cost i temps de propagació
- Ens centrarem en el temps de propagació (*Propagation delay*)
 - Fins ara hem assumit que els canvis a les entrades del CLC es propaguen immediatament a la sortida
 - En realitat, aquests canvis triguen un temps en propagar-se a la sortida perquè cada porta lògica introdueix un retard al senyal

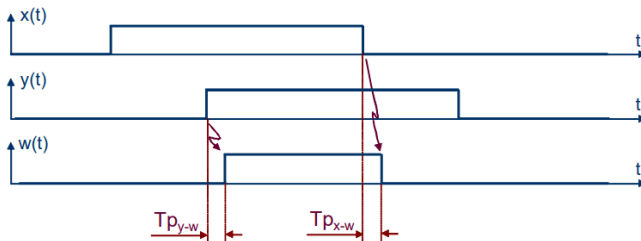
- Temps de propagació
 - Introducció
 - Anàlisi temporal de les portes bàsiques
 - Anàlisi temporal d'un CLC
 - Temps de propagació d'un CLC
- Exercicis
- Conclusions
- Autoaprenentatge
- Miscel·lània



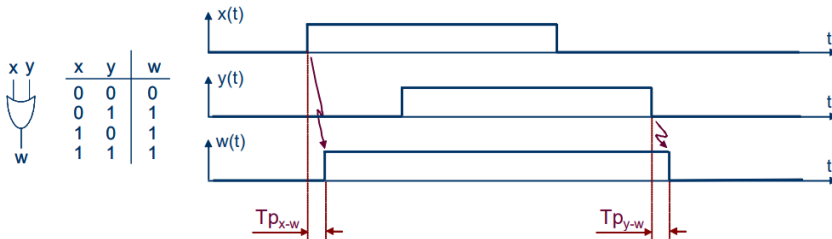
- Quan l'entrada x canvia de "0" a "1", la sortida w triga un temps T_{pHL} en canviar de "1" a "0"
 - T_{pHL} és el temps de propagació *high to low*
- Quan x canvia de "1" a "0", la sortida triga T_{pLH} en canviar
 - T_{pLH} és el temps de propagació *low to high*
- Assumirem $T_{pHL} = T_{pLH}$
 - En direm T_p



x	y	w
0	0	0
0	1	0
1	0	0
1	1	1



- Inicialment les entrades valen "0" i la sortida també
- Posteriorment, x canvia a "1" i no es provoca cap canvi a la sortida
- Però quan y també canvia a "1", la sortida passa a valdre "1"
 - Amb un temps de propagació igual a $T_{p_{y-w}}$
 - Temps de propagació des de l'entrada y a la sortida w
- Finalment, quan x canvia a "0", la sortida canvia a "0"
 - Amb un temps de propagació igual a $T_{p_{x-w}}$



- Inicialment les entrades valen "0" i la sortida també
- Posteriorment, x canvia a "1" i la sortida passa a valdre "1"
 - Amb un temps de propagació igual a $T_{p_{x-w}}$
- Quan y canvia a "1" la sortida no canvia
- Quan x canvia a "0" la sortida no canvia
- Finalment, quan y canvia a "0", la sortida canvia a "0"
 - Amb un temps de propagació igual a $T_{p_{y-w}}$

- Algunes simplificacions
 - A les portes AND-2 i OR-2, assumirem $T_{p_{x-w}} = T_{p_{y-w}}$
 - Això no ho podrem assumir a circuits formats per vàries portes lògiques
 - Com al cas de la NOT, assumirem $T_{p_{HL}} = T_{p_{LH}}$
- Canvis a les entrades:
 - Alguns canvis no provoquen canvis a la sortida
 - En aquests casos el temps de propagació és 0
 - Però d'altres canvis sí provoquen canvis a la sortida
 - Observem un cert temps de propagació
- Definirem el temps de propagació de la porta, T_p , com el **màxim** de tots els temps de propagació observats
 - Cal verificar totes les combinacions possibles
 - Al cronograma no les hem mostrat totes

- A la documentació de teoria i a les pràctiques d'IC considerarem els següents temps de propagació:
 - $T_p(\text{NOT}) = 10 \text{ u.t.}$
 - u.t. = unitats de temps
 - No concretem les unitats per ser independents de la tecnologia
 - $T_p(\text{AND-2}) = T_p(\text{OR-2}) = 20 \text{ u.t.}$
 - Però als exercicis i exàmens us podem indicar valors diferents
- A partir d'aquests valors podrem calcular el temps de propagació de qualsevol CLC implementat, directament o indirecta, amb portes NOT, AND-2 i OR-2

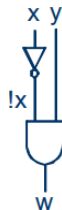
- Temps de propagació
 - Introducció
 - Anàlisi temporal de les portes bàsiques
 - Anàlisi temporal d'un CLC
 - Temps de propagació d'un CLC
- Exercicis
- Conclusions
- Autoaprenentatge
- Miscel·lània

- Al realitzar els cronogrames ens trobarem instants de temps en el que el valor d'un senyal d'entrada sigui desconegut
 - Tot i això, en alguns casos, la porta podrà calcular la sortida
- Estendrem les taules de veritat de les portes bàsiques per definir el seu comportament en aquests casos

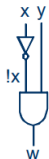
x	$!x$
0	1
1	0
?	?

x	y	$x \cdot y$	$x + y$
0	0	0	0
0	1	0	1
0	?	0	?
1	0	0	1
1	1	1	1
1	?	?	1
?	0	0	?
?	1	?	1
?	?	?	?

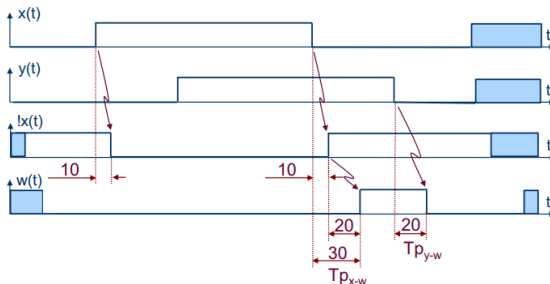
- Circuits amb un únic camí des de cada entrada a la sortida
 - Camí: seqüència de portes que ha de travessar un senyal per anar des d'un punt del circuit a un altre punt del circuit
 - Exemple:



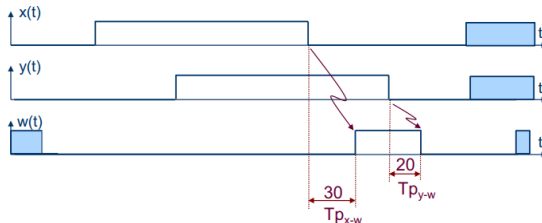
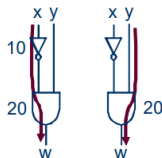
- L'únic camí des de l'entrada x a la sortida w és: NOT - AND-2
 - L'únic camí des de l'entrada y a la sortida w és: AND-2
- Veurem que el temps de propagació pot ser diferent per a cada entrada



x	y	!x	!x·y
0	0	1	0
0	1	1	1
1	0	0	0
1	1	0	0

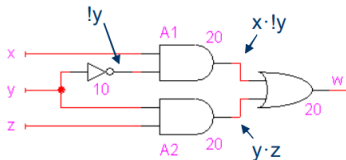


- Ens indiquen comportament entrades x i y
- Dibuixarem el cronograma a la sortida de cada porta a mesura que coneguem els cronogrames a les entrades
 - Comencem per la sortida de la porta NOT ($T_p(\text{NOT}) = 10$ u.t.)
 - Apliquem la TV de la porta NOT però desplaçant el resultat 10 u.t.
 - Els requadres blaus indiquen que en aquest lapse no coneixem el valor
 - Continuem amb la sortida de la porta AND-2 ($T_p(\text{AND-2}) = 20$ u.t.)
 - A la implementació d'AND-2, $0 \cdot ? = 0$
- Observem $T_{p_{x-w}} \neq T_{p_{x-y}}$



- Per què $T_{p_{x-w}} \neq T_{p_{x-y}}$?
 - El camí des de x a w és més llarg que el camí des de y a w
 - Els canvis a x han de travessar més portes que els canvis a y per arribar a la sortida
 - $T_{p_{x-w}} = T_p(\text{NOT}) + T_p(\text{AND-2}) = 10 \text{ u.t.} + 20 \text{ u.t.} = 30 \text{ u.t.}$
 - $T_{p_{y-w}} = T_p(\text{AND-2}) = 20 \text{ u.t.}$
- Quin seria el T_p del circuit?
 - Ens hem de quedar amb el cas pitjor: 30 u.t.
 - Temps necessari per garantir que la sortida té un valor estable i correcte

- Circuits amb varis camins des d'alguna entrada a la sortida
- Exemple:

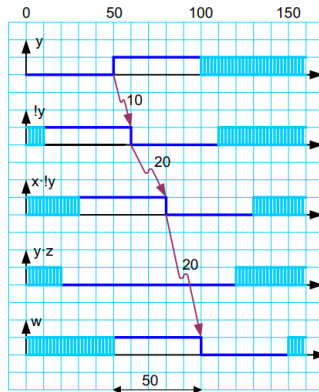
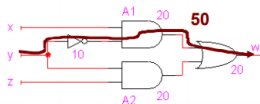


x	y	z	$!y$	$x \cdot !y$	$y \cdot z$	w
0	0	0	1	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	1	1
1	0	0	1	1	0	1
1	0	1	1	1	0	1
1	1	0	0	0	0	0
1	1	1	0	0	1	1

- Hi ha dos camins entre l'entrada y i la sortida w
 - y - NOT - A1 - OR-2 - w
 - y - A2 - OR-2 - w
- Analitzarem l'efecte d'alguns canvis a les entrades d'aquest circuit

- Les entrades canvien de (1, 0, 0) a (1, 1, 0)

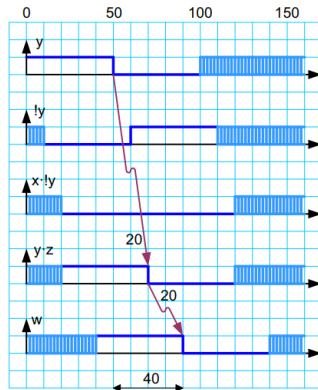
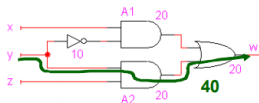
x	y	z	w
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1



- $T_{p_{y-w}} = T_p(\text{NOT}) + T_p(\text{AND-2}) + T_p(\text{OR-2}) = 50 \text{ u.t.}$

- Les entrades canvien de (0, 1, 1) a (0, 0, 1)

x	y	z	w
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

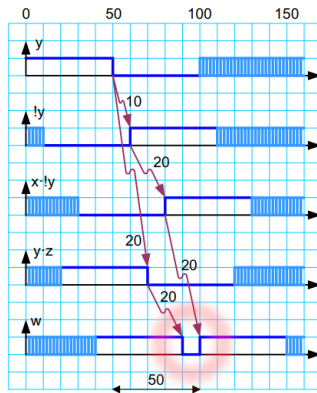
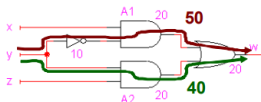


- $T_{py-w} = T_p(\text{AND-2}) + T_p(\text{OR-2}) = 40 \text{ u.t.}$

- Depenent del canvi als valors d'entrada, el senyal es propaga per un camí o per un altre
- Cada camí pot tenir un temps de propagació diferent
- I si el senyal es propaga pels dos camins alhora?
 - Ho veurem al següent exemple

- Les entrades canvien de (1, 1, 1) a (1, 0, 1)

x	y	z	w
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

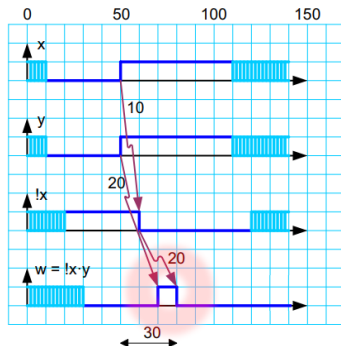
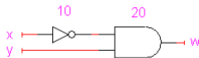


- El senyal es propaga pels dos camins simultàniament
- A la sortida observem dos canvis
 - Tenim un *glitch*

- Es produeix perquè el senyal es propaga per varis camins que tenen temps de propagació diferents
 - Per a algunes combinacions de valors pot provocar, **temporalment**, un valor erroni a la sortida
 - Quan el senyal s'hagi acabat de propagar per tots els camins, tindrem el valor correcte a la sortida
- **El circuit és correcte**
 - El que és incorrecte és no respectar el temps de propagació del circuit
 - En el moment que observem un canvi a la sortida **NO** podem assumir que aquest serà el valor definitiu de la sortida
 - Cal esperar **tot** el temps de propagació del circuit
- Circuits més complexes podrien provocar més de dos canvis a la sortida abans d'estabilitzar-se
 - Influència en consum energètic
- Exemple de *glitch* en un altre entorn:
 - <https://www.youtube.com/watch?v=k0dD3Gt1TkI>
 - Entre 0:23 i 0:26, el display mostra temporalment un valor incorrecte

- Les entrades canvien de (0, 0) a (1, 1)

x	y	w
0	0	0
0	1	1
1	0	0
1	1	0

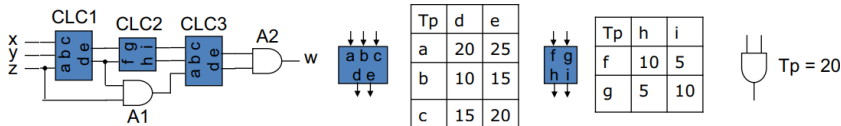


- El senyal es propaga pels dos camins simultàniament
- A la sortida observem dos canvis
 - Tenim un *glitch*

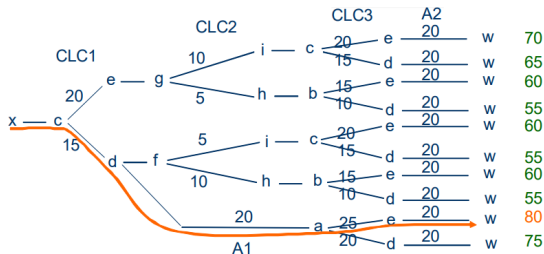
- Temps de propagació
 - Introducció
 - Anàlisi temporal de les portes bàsiques
 - Anàlisi temporal d'un CLC
 - Temps de propagació d'un CLC
- Exercicis
- Conclusions
- Autoaprenentatge
- Miscel·lània

- Camí des de l'entrada e a la sortida s
 - Recorregut vàlid des de l'entrada e a la sortida s passant per cables, portes i altres CLC's que les connecten
 - Poden existir-ne varis
- Temps de propagació d'un camí
 - Suma dels temps de propagació de les portes (o CLC's) del camí
- Camí crític de l'entrada e a la sortida s
 - Camí entre e i s amb major temps de propagació
- Temps de propagació des de l'entrada e a la sortida s (T_{pe-s})
 - Temps de propagació del camí crític entre e i s

Exemple: calcular $T_{p_{x-w}}$



- Per a cada CLC ens indiquen el T_p entre cada entrada i cada sortida
- Cal determinar tots els camins possibles entre x i w



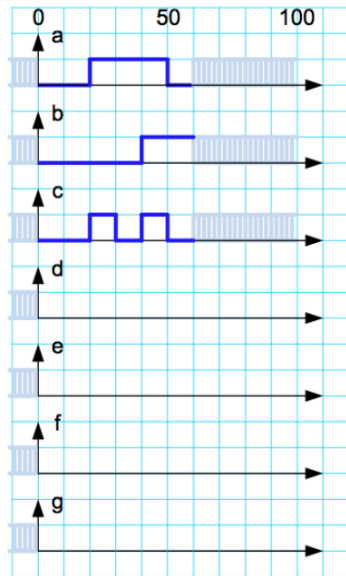
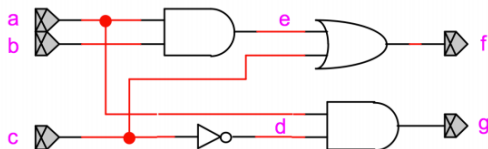
$T_{p_{x-w}} = 80$

- El camí crític és $x - CLC1(c - d) - A1 - CLC3(a - e) - A2 - w$

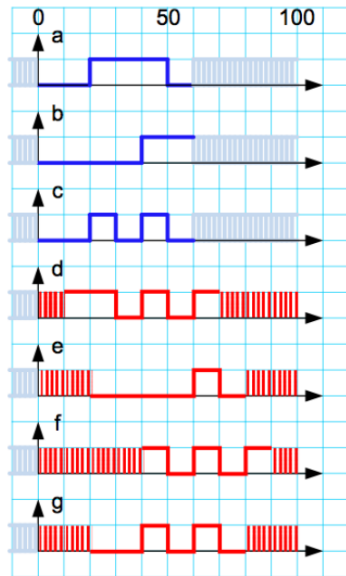
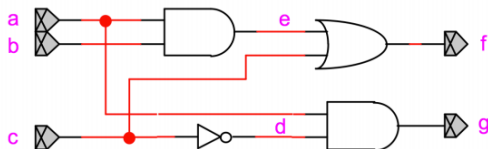
- Temps de propagació d'un circuit (T_p)
 - Màxim dels $T_{p_{e-s}}$ entre totes les possibles combinacions d'entrada/sortida
- Camí crític del circuit
 - Camí crític des de l'entrada a la sortida que tingui el major T_p
 - Poden haver-ne varis

- Temps de propagació
- Exercicis
- Conclusions
- Autoaprenentatge
- Miscel·lània

Completad el siguiente cronograma de las señales del esquema lógico sabiendo que los tiempos de propagación de las puertas son: $T_p(\text{Not}) = 10$ u.t., $T_p(\text{And}) = T_p(\text{Or}) = 20$ u.t. Debéis operar adecuadamente con las zonas sombreadas (no se sabe el valor que tienen) y dibujar la señal sombreada cuando no se pueda saber si vale 0 o 1.



Completad el siguiente cronograma de las señales del esquema lógico sabiendo que los tiempos de propagación de las puertas son: $T_p(\text{Not}) = 10$ u.t., $T_p(\text{And}) = T_p(\text{Or}) = 20$ u.t. Debéis operar adecuadamente con las zonas sombreadas (no se sabe el valor que tienen) y dibujar la señal sombreada cuando no se pueda saber si vale 0 o 1.

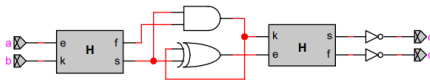


Dado el esquema del siguiente circuito (incluida la tabla de verdad del bloque H),

- Completad la tabla de verdad de las salidas c y d y escribid la expresión lógica en suma de minterms de c. (1 punto)
- Escribid el camino crítico (o uno de ellos si hay varios) y el tiempo de propagación desde la entrada a hasta la salida c. Se dan los tiempos de propagación de H (en la tabla) y de las puertas: $T_p(\text{Not}) = 10$, $T_p(\text{And}) = 20$, $T_p(\text{Or}) = 30$ y $T_p(\text{Xor}) = 50$ u.t. Por ejemplo, uno de los caminos de b a d se especificaría como: b - k - s - Xor - e - f - Not - d. (1 punto)

T.V. bloque H

e	k	f	s
0	0	1	1
0	1	1	0
1	0	0	1
1	1	1	1



a	b	c	d
0	0		
0	1		
1	0		
1	1		

T_p bloque H

T_p	f	s
e	60	50
k	90	80

Expresión en suma de minterms de c:

Camino crítico de a a c:

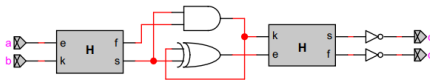
$T_{p_{a-c}}$:

Dado el esquema del siguiente circuito (incluida la tabla de verdad del bloque H),

- Completad la tabla de verdad de las salidas c y d y escribid la expresión lógica en suma de minterms de c. (1 punto)
- Escribid el camino crítico (o uno de ellos si hay varios) y el tiempo de propagación desde la entrada a hasta la salida c. Se dan los tiempos de propagación de H (en la tabla) y de las puertas: $T_p(\text{Not}) = 10$, $T_p(\text{And}) = 20$, $T_p(\text{Or}) = 30$ y $T_p(\text{Xor}) = 50$ u.t. Por ejemplo, uno de los caminos de b a d se especificaría como: b - k - s - Xor - e - f - Not - d. (1 punto)

T.V. bloque H

e	k	f	s
0	0	1	1
0	1	1	0
1	0	0	1
1	1	1	1



a	b	c	d
0	0	1	0
0	1	0	0
1	0	0	1
1	1	1	0

T_p bloque H

T_p	f	s
e	60	50
k	90	80

Expresión en suma de minterms de c: $\neg a \cdot \neg b + ab$

Camino crítico de a a c: a - e - f - And - Xor - e - s - Not - c

$T_{p_{a-c}}$: 190 u.t.

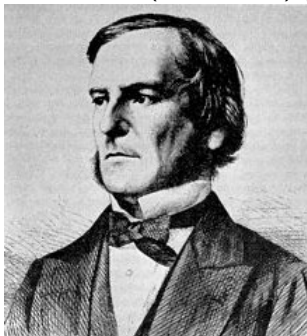
- Temps de propagació
- Exercicis
- **Conclusions**
- Autoaprenentatge
- Miscel·lània

- Les portes lògiques triguen un cert temps en processar els canvis als valors de les entrades i propagar-los, si la TV ho indica, a la sortida
 - Temps de propagació (T_p)
- El resultat d'un CLC és **correcte i estable** únicament quan hagin transcorregut T_p unitats de temps des de que es van modificar els valors de les entrades
- Alguns circuits poden presentar un *glitch* al senyal de sortida
 - Si respectem el T_p , el *glitch* no ens afectarà
- No oblideu respondre l'ET3c a Atenea i fer autoaprenentatge dels temes indicats a continuació!

- Temps de propagació
- Exercicis
- Conclusions
- **Autoaprenentatge**
- Miscel·lània

- Àlgebra de Boole
 - Podeu documentar-vos a Atenea o a d'altres fonts.
- Minimització de circuits
 - Estudieu els mapes de Karnaugh sobre funcions de tres i quatre variables. El resultat s'ha d'expressar com a suma de productes.

George Boole (1815-1864) [2] Dr. Maurice Karnaugh (1924-) [3]

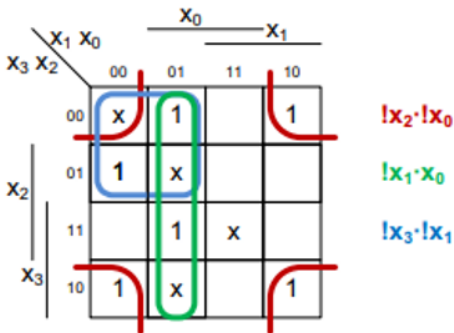


Dibujad el mapa de Karnaugh marcando las agrupaciones de unos adecuadas para obtener la expresión mínima en suma de productos de la función w cuya tabla de verdad se da. Escribe la expresión mínima en suma de productos de w .

x_3	x_2	x_1	x_0	w
0	0	0	0	x
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	x
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	x
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	x

Dibujad el mapa de Karnaugh marcando las agrupaciones de unos adecuadas para obtener la expresión mínima en suma de productos de la función w cuya tabla de verdad se da. Escribe la expresión mínima en suma de productos de w .

x_3	x_2	x_1	x_0	w
0	0	0	0	x
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	x
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	x
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	x



$$w = !x_2 \cdot !x_0 + !x_1 \cdot x_0 + !x_3 \cdot !x_1$$

- Temps de propagació
- Exercicis
- Conclusions
- Autoaprenentatge
- **Miscel·lània**

- Si considerem la TV de la funció AND-2, i canviem els "1"'s per "0"'s i els "0"'s per "1"'s obtenim la TV de la funció OR-2 (desordenada)

x	y	$x \cdot y$		x	y	$x + y$
0	0	0	\Rightarrow	1	1	1
0	1	0		1	0	1
1	0	0		0	1	1
1	1	1		0	0	0

- Les Lleis de De Morgan també mostren aquest fet:
 - $x + y = \neg(\neg x \cdot \neg y)$
 - $x \cdot y = \neg(\neg x + \neg y)$
- Com a conseqüència, qualsevol teorema d'àlgebra de Boole es pot transformar en un altre teorema vàlid si canviem sumes per productes, productes per sumes, "1"'s per "0"'s i "0"'s per "1"'s
 - Per exemple, el teorema $x \cdot 0 = 0$ esdevé $x + 1 = 1$

- La versió dual de les funcions *minterms* són les funcions *maxterms*
 - *maxterm*: funció lògica que retorna "0" únicament per a una de les combinacions dels valors d'entrada
 - OR-2 és una de les quatre funcions *maxterm* de dues variables
- Tota funció lògica es pot descompondre com a producte de *maxterms*
 - Descomposició en producte de sumes
 - Es sintetitzaran els *maxterms* de les files de la TV que tinguin el valor 0
 - Cada *maxterm* es sintetitza amb portes NOT i una porta OR
 - Les sortides a X (*Don't care*) convé considerar-les "1"
 - Es farà el producte dels *maxterms* amb una porta AND
- Exemple: funció XOR-2 expressada como a producte de sumes
 - $w(x, y) = (x + y) \cdot (!x + !y)$

- Un conjunt de portes lògiques és universal si permet implementar qualsevol funció lògica
 - Hem vist que $\{\text{NOT}, \text{AND-2}, \text{OR-2}\}$ n'és
- Existeixen altres conjunts universals amb menys portes?
 - Aplicant lleis de De Morgan: $\{\text{NOT}, \text{AND-2}\}$, $\{\text{NOT}, \text{OR-2}\}$
 - El format únicament per la porta NAND-2

x	y	$\text{NAND-2}(x, y)$
0	0	1
0	1	1
1	0	1
1	1	0

- $\text{NOT}(x) = \text{NAND}(x, x)$
- $\text{AND}(x, y) = \text{NOT}(\text{NAND}(x, y)) = \text{NAND}(\text{NAND}(x, y), \text{NAND}(x, y))$
- $\text{OR}(x, y) = \text{NAND}(\text{NAND}(x, x), \text{NAND}(y, y))$
- A algunes tecnologies, implementar portes NAND-2 és molt senzill
- Per dualitat de l'àlgebra de Boole, el format per la porta NOR-2

Llevat que s'indiqui el contrari, les figures, esquemes, cronogrames i altre material gràfic o bé han estat extrets de la documentació de l'assignatura elaborada per Juanjo Navarro i Toni Juan, o corresponen a enunciats de problemes i exàmens de l'assignatura, o bé són d'elaboració pròpia.

- [1] [Online]. Available: <https://metro.co.uk/2016/08/06/10-underdogs-who-embodied-the-olympic-spirit-6047775/>.
- [2] [Online]. Available: https://commons.wikimedia.org/wiki/File:George_Boole_color.jpg#/media/File:Portrait_of_George_Boole.png.
- [3] [Online]. Available: <https://www.ithistory.org/honor-roll/dr-maurice-karnaugh>.

Introducció als Computadors

Tema 3: Circuits Lògics Combinacionals (CLC)

<http://personals.ac.upc.edu/enricm/Docencia/IC/IC3c.pdf>

Enric Morancho
(enricm@ac.upc.edu)

Departament d'Arquitectura de Computadors
Facultat d'Informàtica de Barcelona
Universitat Politècnica de Catalunya



UNIVERSITAT POLITÈCNICA DE CATALUNYA
BARCELONATECH

Facultat d'Informàtica de Barcelona

2020-21, 1^{er} quad.

Presentació publicada sota llicència Creative Commons 4.0