



Лекция 9

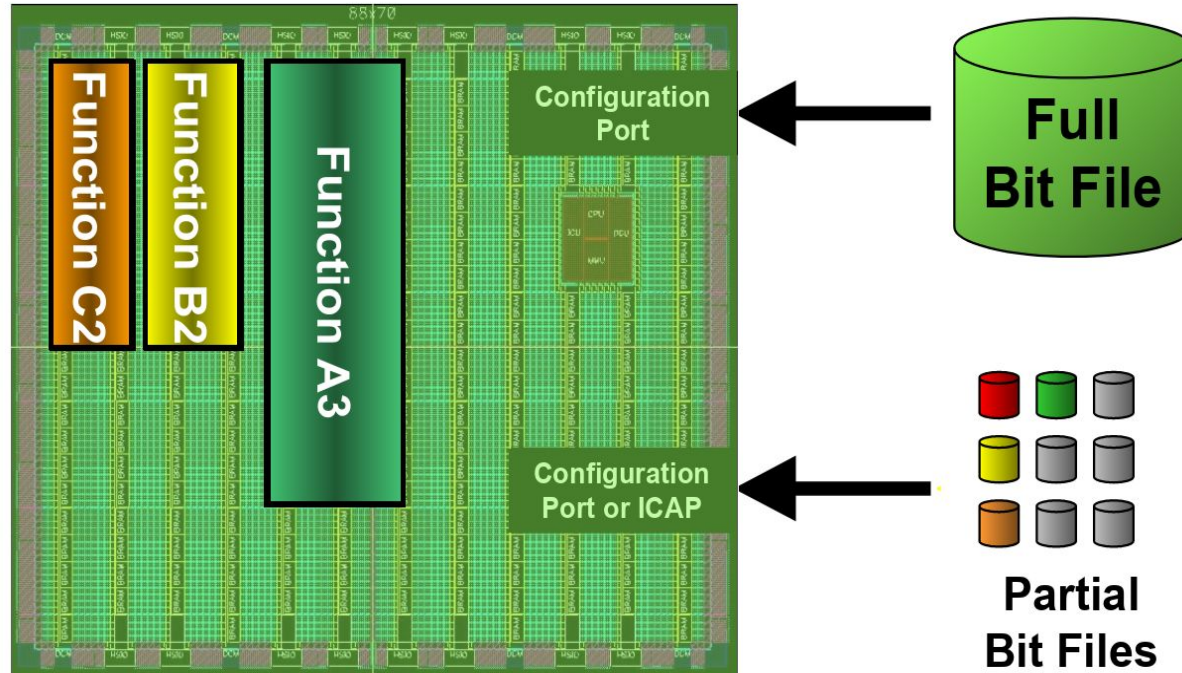
Схемотехника устройств компьютерных систем
Семестр 2

Тема: Частичная реконфигурация (Partial Reconfiguration). DFX

Люлява Даниил Вячеславович, старший преподаватель кафедры ВТ

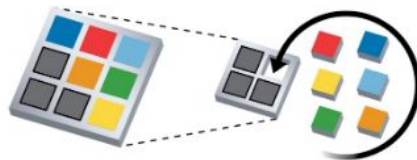
Дуксин Никита Александрович, преподаватель кафедры ВТ

Суть частичной реконфигурации

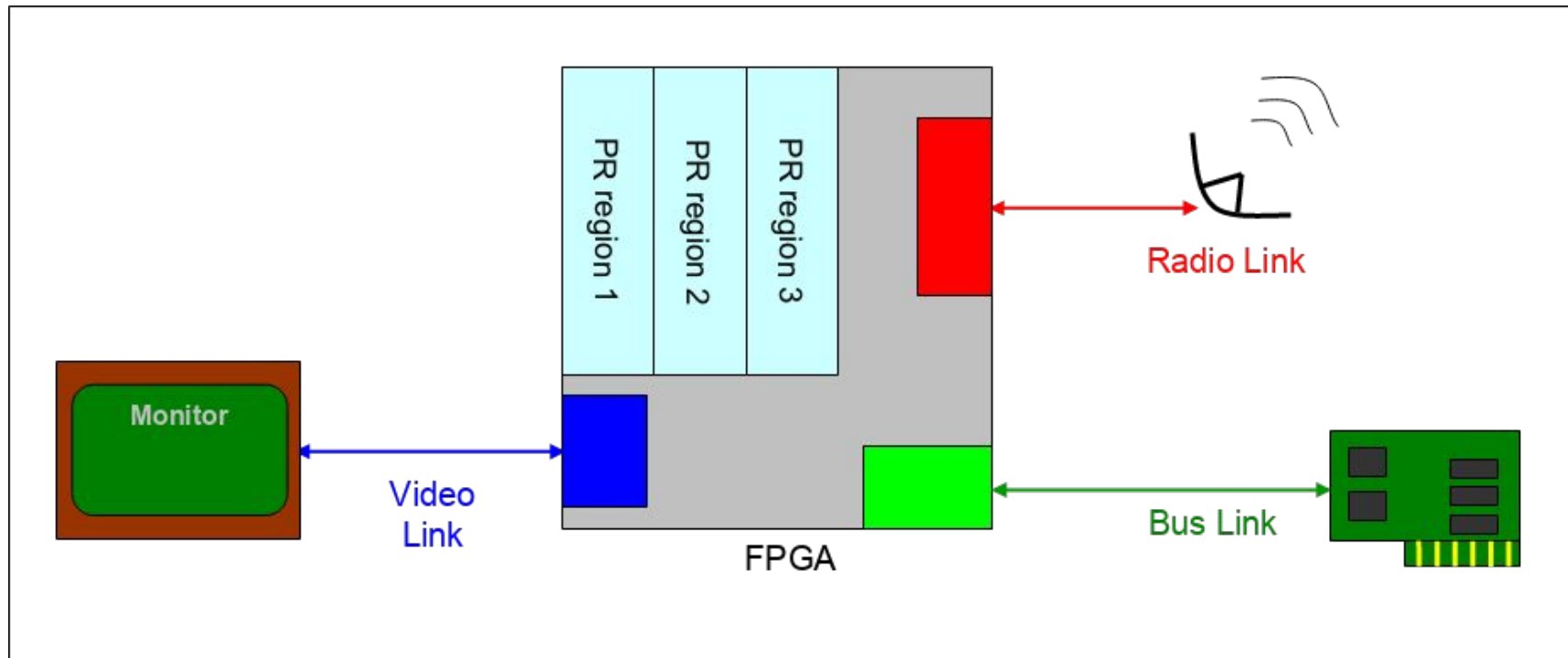


Для чего это нужно?

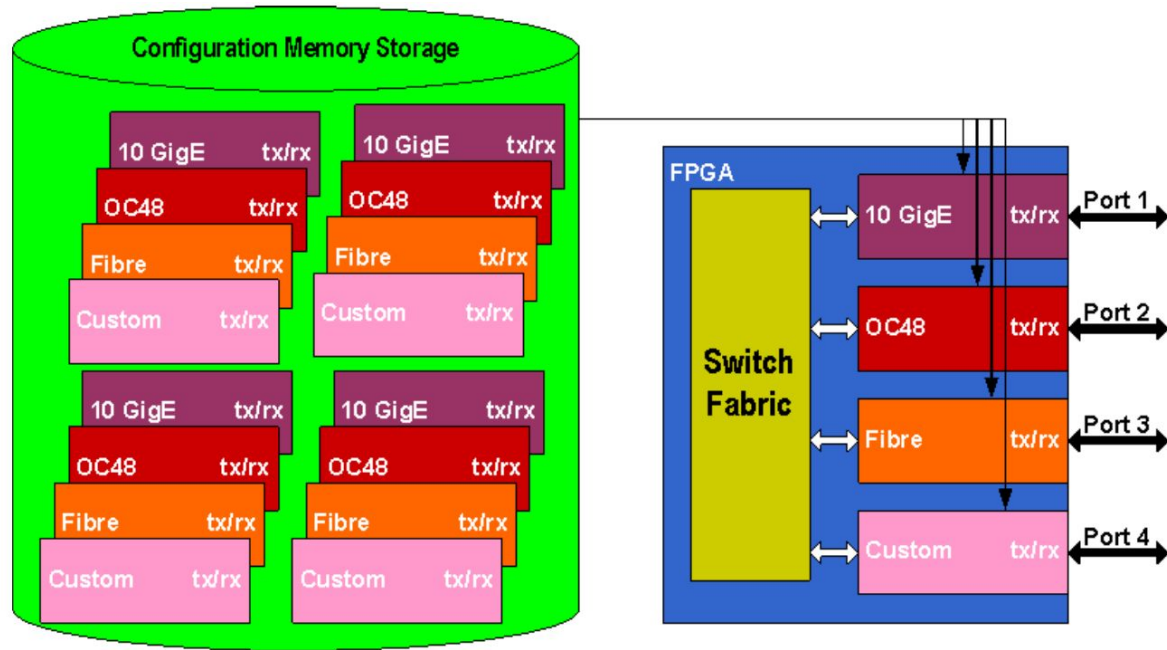
- Повышение гибкости вычислительной системы
- Сокращение числа требуемых ресурсов и стоимости разработки
- Снижение расхода мощности
- Возможность обновления (исправления) для развернутых систем



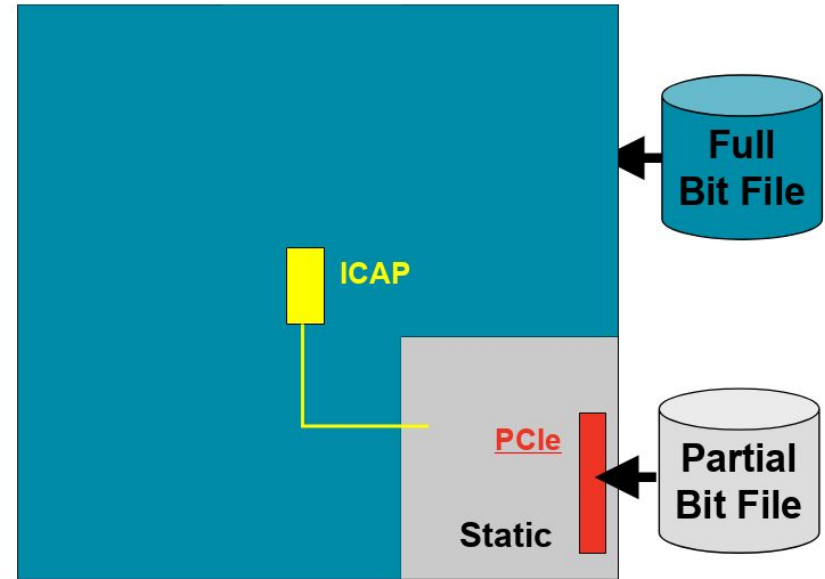
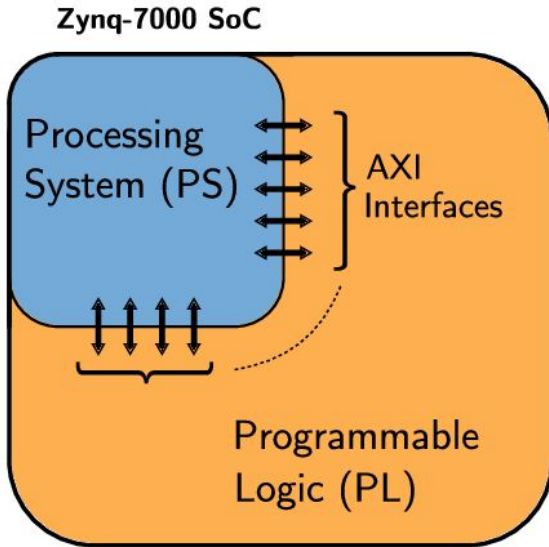
Примеры использования. Коммуникационный узел (Hub)



Примеры использования. Мультиплексирование с разделением по времени

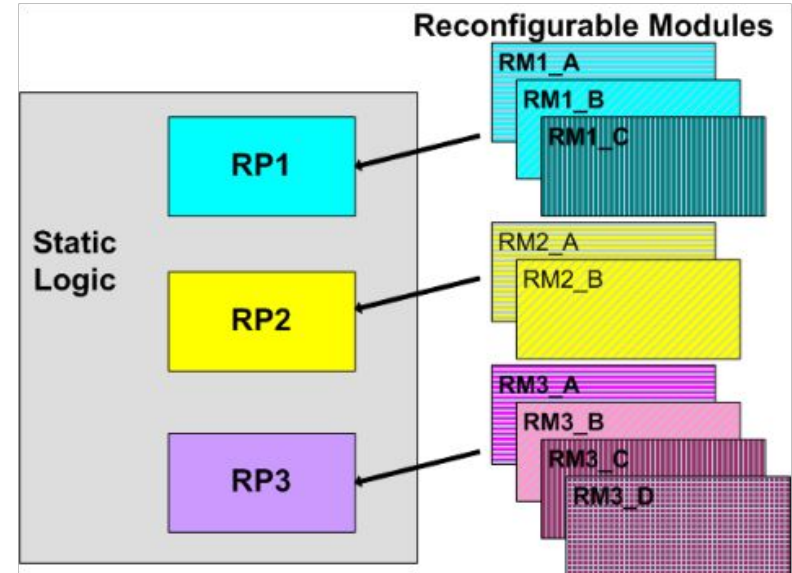


Пример. Различные варианты ускорителей для СНК



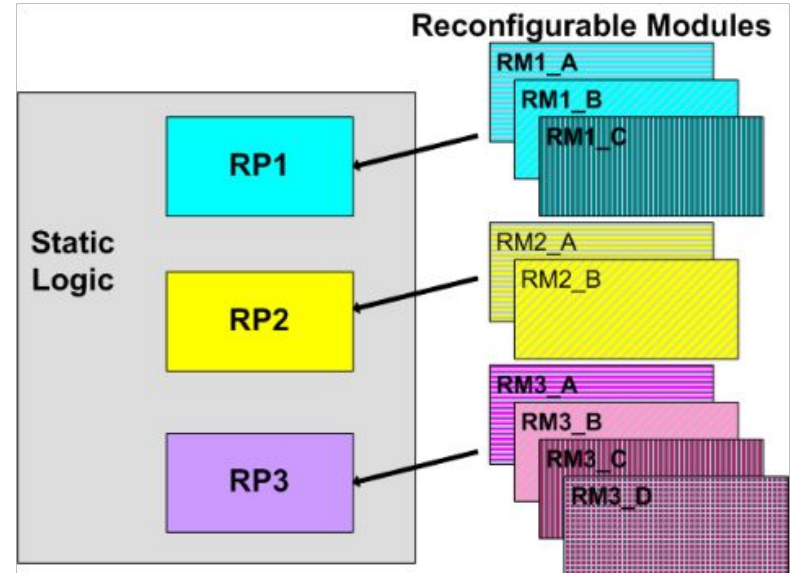
Статические и динамические области

- Статическая область (Static Logic)
- Динамическая (реконфигурируемая) область (Reconfiguration Partition, RP)
- Модуль для реконфигурации (Reconfigurable Module, RM)



Статические и динамические области

- В процессе имплементации создается набор полных конфигураций, каждая из которых содержит статическую логику и один вариант для каждого модуля
- Количество конфигураций для каждой из динамических областей определяется, исходя из максимального количества модулей для реконфигурации
- Возможные конфигурации для примера
 - Static + RM1_A + RM2_A + RM3_A
 - **Static** + RM1_B + RM2_B + RM3_B
 - **Static** + RM1_C + **RM2_B** + RM3_C
 - **Static** + **RM1_C** + **RM2_B** + RM3_D



Реконфигурируемые ресурсы ПЛИС

Ресурсы, которые могут быть реконфигурованы:

- Ячейки ПЛИС и их компоненты (LUTs, flip-flops, carry chain)
- Память: блочная (BRAM), распределённая (DRAM), LUT в качестве сдвигового регистра
- Блоки DSP
- Компоненты ввода/вывода (IOLOGIC, IODELAY, IDELAYCTRL)

Ресурсы, которые должны располагаться в статической области:

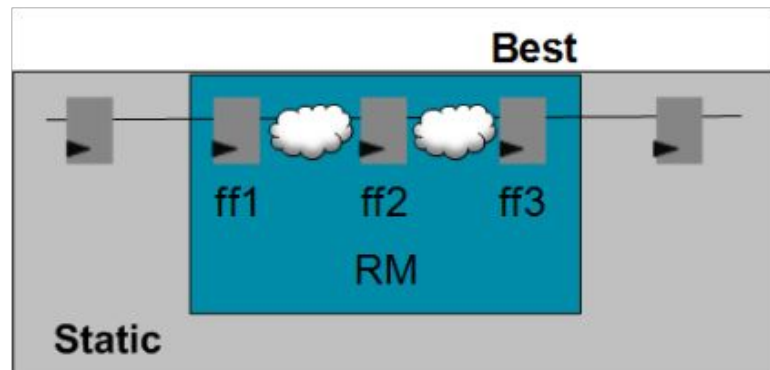
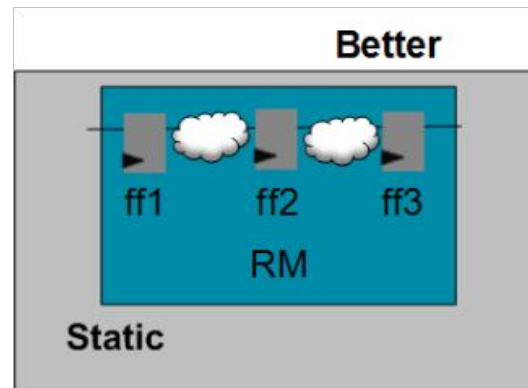
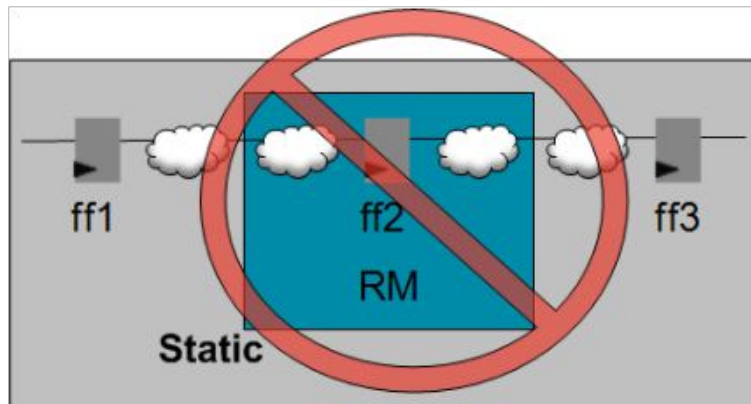
- Блоки ресинхронизации (MMCM, DCM, PLL, PMCD)
- Глобальные тактовые буферы (BUFG)
- Дополнительные блоки (BSCAN, ICAP, STARTUP, or PCIE, for example)

Степень детализации реконфигурируемых областей зависит от особенностей аппаратной платформы

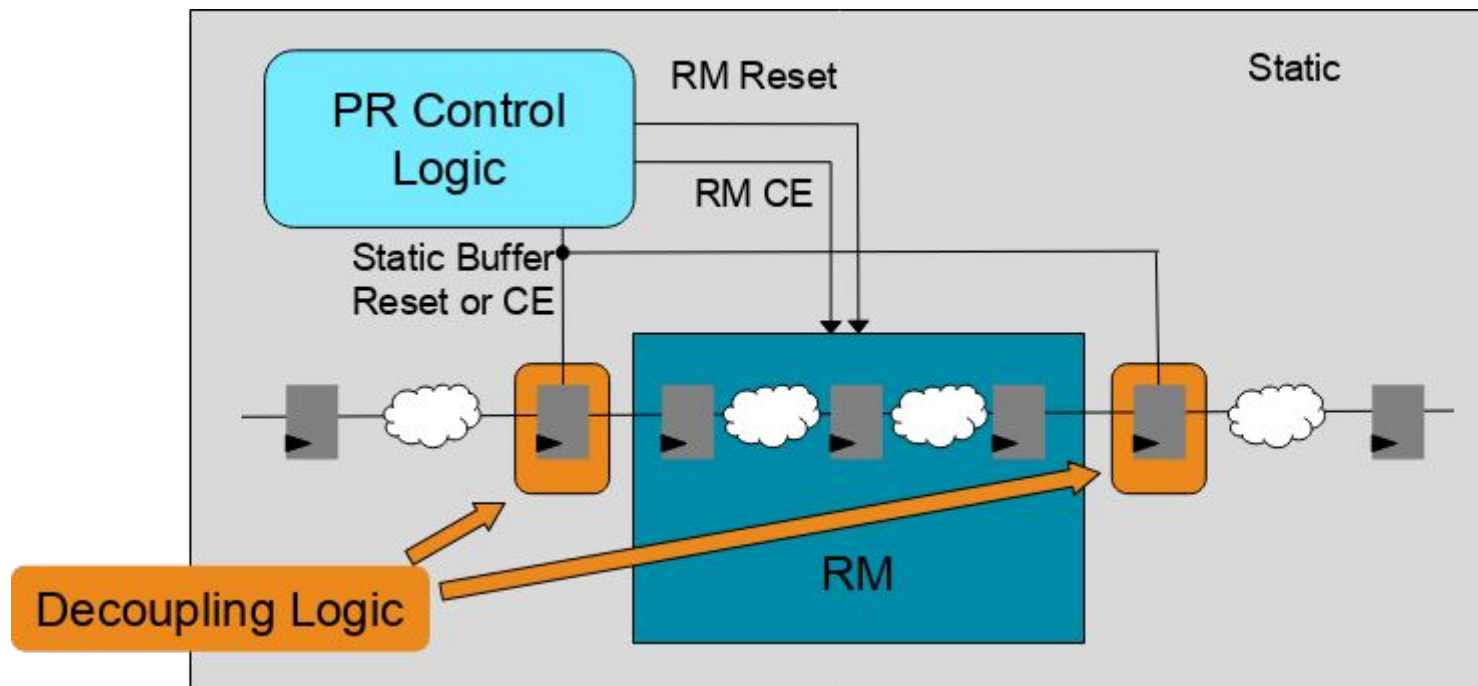
Рекомендации при использовании частичной реконфигурации

- **Использование развязывающей логики:** настоятельно рекомендуется использовать развязывающую логику для изоляции динамической (переконфигурируемой) области от статической части схемы в процессе частичной реконфигурации (Partial Reconfiguration).
- **Отключение переконфигурируемой области:** при проведении частичной реконфигурации, переконфигурируемую область следует отключить от статической части. Если переконфигурируемый элемент является выходом FPGA, то развязка должна выполняться за пределами чипа.
- **Использование проектных ограничений для временных задержек**
- **Использование синхронного стиля проектирования:** все блоки и модули должны следовать принципам синхронного проектирования для упрощения взаимодействия между статической и динамической частями схемы и минимизации возможных ошибок.
- **Иерархическая структура проекта**
- **Установка дополнительных регистров на входы и выходы реконфигурируемых модулей (RM)**
- **Контроль fan-out для реконфигурируемых модулей**

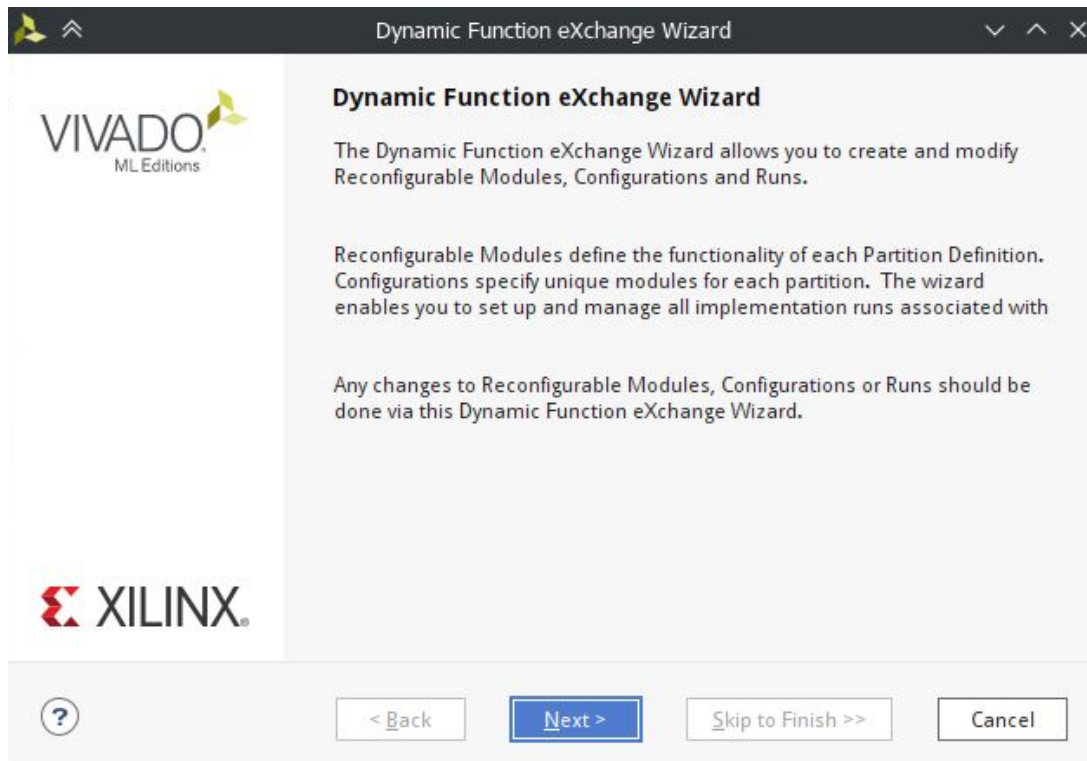
Рекомендации при использовании частичной реконфигурации



Рекомендации при использовании частичной реконфигурации



Частичная реконфигурация в САПР Vivado. Dynamic Function eXchange (DFX)







DFX. Маршрут проектирования

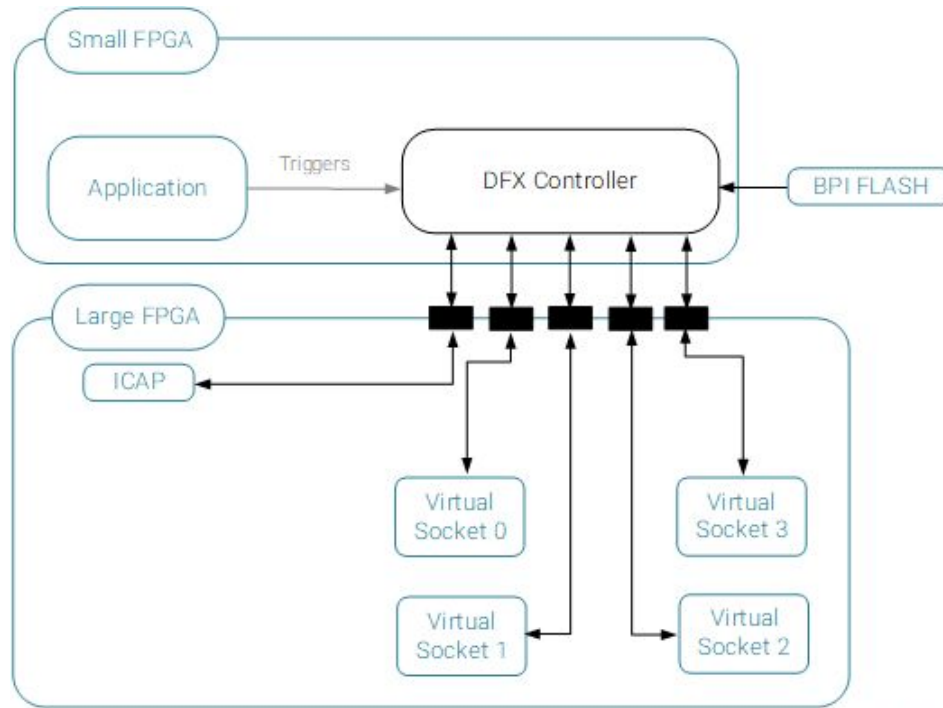
1. **Определение реконфигурируемых разделов (Reconfigurable Partitions, RP):** в иерархии проекта выделяются области, которые будут динамически реконфигурируемыми.
2. **Создание набора реконфигурируемых модулей (Reconfigurable Modules, RM):** для каждого RP подготавливается и добавляется несколько различных функциональных модулей, которые могут заменять друг друга в ходе выполнения.
3. **Запуск синтеза на верхнем и уровне модулей:** создаются наборы для выполнения синтеза как для всей схемы, так и для отдельных модулей, что позволяет гибко обновлять части проекта.
4. **Формирование связанных наборов реализаций:** создаются соответствующие наборы реализации для каждого раздела и модуля, поддерживающие совместимость между динамически заменяемыми компонентами.
5. **Управление зависимостями:** контролируются зависимости проекта, включая исходные файлы, ограничения и настройки, которые могут изменяться при обновлении или замене модулей.
6. **Проверка правил и результатов (DRC):** выполняется проверка схемы на соответствие правилам проектирования, чтобы убедиться в корректности и совместимости схемы при динамической реконфигурации.
7. **Верификация конфигураций:** проводится проверка всех возможных комбинаций статической и динамической логики, чтобы гарантировать корректную работу при смене модулей.
8. **Генерация полных и частичных битстримов:** создаются совместимые наборы полных и частичных битстримов для загрузки отдельных частей схемы или всей FPGA, что позволяет гибко обновлять функциональность в процессе работы.

DFX. IP ядра

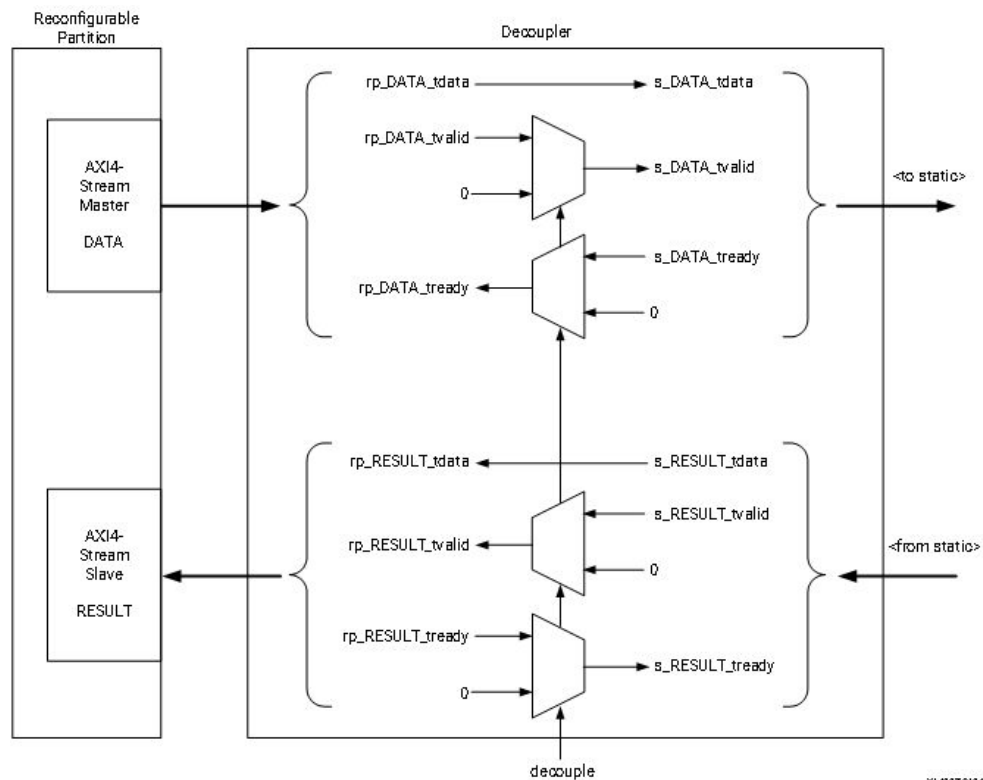
- DFX Controller
- DFX Decoupler
- DFX Bitstream Monitor
- DFX Shutdown Manager

Search: <input type="text" value="Q DFX"/> (4 matches)	
Name	AXI4
Vivado Repository	
Dynamic Function eXchange	
 DFX AXI Shutdown Manager	AXI4
 DFX Bitstream Monitor	AXI4
 DFX Controller	AXI4
 DFX Decoupler	

DFX Controller

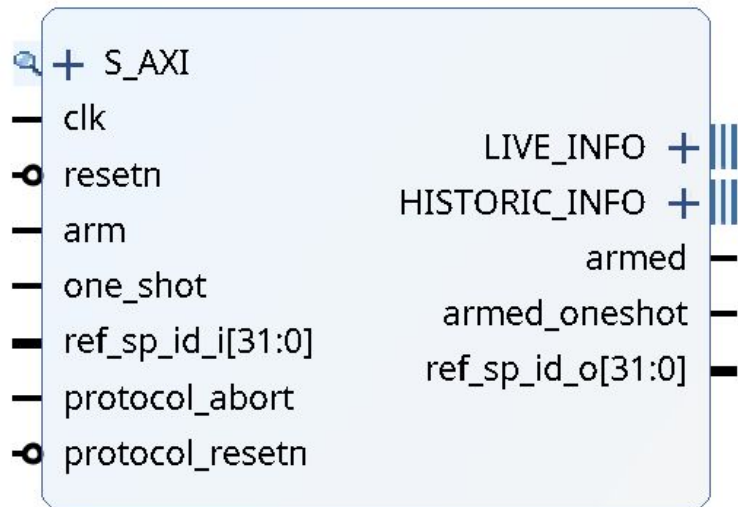


DFX Decoupler

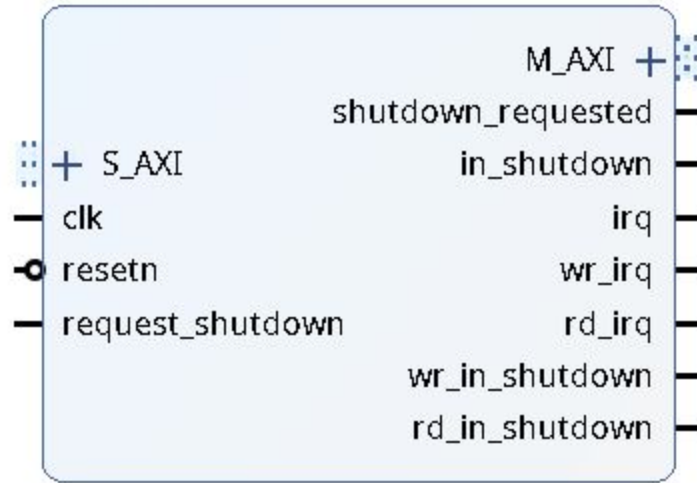


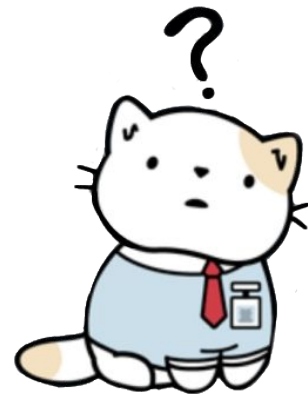
XI 4937012420

DFX Bitstream Monitor



DFX Shutdown Manager





Вопросы

Спасибо за внимание!