



Лекция 6

Схемотехника устройств компьютерных систем
Семестр 2

Тема: Системные шины.

Люлява Даниил Вячеславович, старший преподаватель кафедры ВТ

Дуксин Никита Александрович, преподаватель кафедры ВТ

Системная шина

- Системная шина предназначена для соединения компонентов внутри вычислительной системы
- Основным параметром системной шины – пропускная способность (бит/с)
 - Разрядность шины
 - Количество соединительных линий
 - Латентность (задержка доступа)
 - Энергопотребление
 - Максимальное расстояние передачи данных
- Системная шина является неотъемлемой частью проекта на базе процессора и используется для соединения процессорного ядра и периферийных устройств.

Пример регистровой модели для МК Attiny85

23. Register Summary

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
0x0F	SREG	I	T	H	S	V	N	Z	C	page 9
0x0E	SPH	—	—	—	—	—	—	SP9	SP8	page 11
0x0D	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	page 11
0x0C	Reserved	—	—	—	—	—	—	—	—	—
0x0B	GIMSK	—	INT0	PCIE	—	—	—	—	—	page 51
0x0A	GIFR	—	INTF0	PCIF	—	—	—	—	—	page 52
0x09	TIMSK	—	OCIE1A	OCIE1B	OCIE1A	OCIE1B	TOIE1	TOIE0	—	pages 81, 102
0x08	TIFR	—	OCF1A	OCF1B	OCF1A	OCF1B	TOV1	TOV0	—	page 81
0x07	SPMCSR	—	—	RSIF	CTPB	RFLB	PQWRT	PGERS	SPMEN	page 145
0x06	Reserved	—	—	—	—	—	—	—	—	—
0x05	MCUCR	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	pages 37, 51, 64
0x04	MCUSR	—	—	—	WDIF	BORF	EXTIF	PORF	—	page 44
0x03	TCCR0B	FOC0A	FOC0B	—	—	WGM02	CS02	CS01	CS00	page 79
0x02	TCNT0	—	—	—	—	—	—	—	—	page 80
0x01	OSCCAL	—	—	—	—	—	—	—	—	page 31
0x00	TCCR1	CTC1	PWM1A	COM1A1	COM1A0	CS13	CS12	CS11	CS10	pages 89, 102
0x0F	TONT1	—	—	—	—	—	—	—	—	page 91, 102
0x0E	OCR1A	—	—	—	—	—	—	—	—	page 91, 102
0x0D	OCR1C	—	—	—	—	—	—	—	—	page 91, 102
0x0C	GTCCR	TSM	PWM1B	COM1B1	COM1B0	FOC1B	FOC1A	PSR1	PSR0	pages 77, 80, 101
0x0B	OCR1B	—	—	—	—	—	—	—	—	page 82
0x0A	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	—	WGM01	WGM00	—	page 77
0x09	OCR0A	—	—	—	—	—	—	—	—	page 80
0x08	OCR0B	—	—	—	—	—	—	—	—	page 81
0x07	PLCRSR	LSM	—	—	—	—	PLLE	PLCKE	—	pages 94, 103
0x06	CLKPR	CLKPCE	—	—	—	—	CLKPS3	CLKPS2	CLKPS1	page 32
0x05	DT1A	DT1AH3	DT1AH2	DT1AH1	DT1AH0	DT1AL3	DT1AL2	DT1AL1	DT1AL0	page 107
0x04	DT1B	DT1BH3	DT1BH2	DT1BH1	DT1BH0	DT1BL3	DT1BL2	DT1BL1	DT1BL0	page 107
0x03	DTPS1	—	—	—	—	—	—	DTPS11	DTPS10	page 108
0x02	DWCR	—	—	—	—	—	—	—	—	page 140
0x01	WDTCSR	WDFR	WDIF	WDP3	WDCE	WDPE	WDP2	WDP1	WDP0	page 45
0x00	PRR	—	—	—	—	—	—	—	—	page 38
0x0F	EEARH	—	—	—	—	—	—	—	—	page 20
0x0E	EEARL	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	page 21
0x0D	EECR	—	—	—	—	—	—	—	—	page 21
0x0C	EECR	—	—	—	—	—	—	—	—	page 21
0x0B	Reserved	—	—	—	—	—	—	—	—	—
0x0A	Reserved	—	—	—	—	—	—	—	—	—
0x09	Reserved	—	—	—	—	—	—	—	—	—
0x08	PORTB	—	—	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	page 64
0x07	DDRB	—	—	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0	page 64
0x06	PINB	—	—	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	page 64
0x05	PCMSR	—	—	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	page 52
0x04	DDRB	—	—	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0	pages 121, 138
0x03	GPDR2	—	—	—	—	—	—	—	—	page 10
0x02	GPDR1	—	—	—	—	—	—	—	—	page 10
0x01	GPDR0	—	—	—	—	—	—	—	—	page 10
0x00	USBR	—	—	—	—	—	—	—	—	page 115
0x0F	USDR	—	—	—	—	—	—	—	—	page 115
0x0E	USISR	USIF	USIOF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	page 115
0x0D	USISR	USIF	USIOF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	page 115
0x0C	Reserved	—	—	—	—	—	—	—	—	—
0x0B	Reserved	—	—	—	—	—	—	—	—	—
0x0A	Reserved	—	—	—	—	—	—	—	—	—
0x09	Reserved	—	—	—	—	—	—	—	—	—
0x08	ACSR	ACD	ACBG	ACO	ACI	ACIE	—	ACIS1	ACIS0	page 120
0x07	ADMUX	REFS1	REFS0	ADLAR	ADIF	ADSC	ADIF	ADIF	ADIF	page 134
0x06	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIF	ADIF	ADIF	ADIF	page 136
0x05	ADCH	—	—	—	—	—	—	—	—	page 137
0x04	ADCL	—	—	—	—	—	—	—	—	page 137
0x03	ADCSRB	—	—	—	—	—	—	—	—	pages 120, 137
0x02	Reserved	—	—	—	—	—	—	—	—	—
0x01	Reserved	—	—	—	—	—	—	—	—	—
0x00	Reserved	—	—	—	—	—	—	—	—	—

10.4.2 PORTB – Port B Data Register

Bit	7	6	5	4	3	2	1	0	
0x18	—	—	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

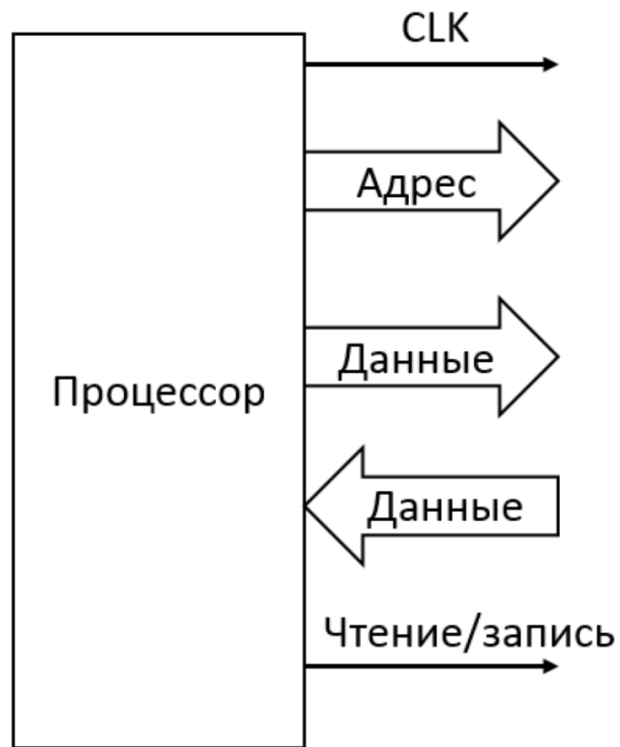
10.4.3 DDRB – Port B Data Direction Register

Bit	7	6	5	4	3	2	1	0	
0x17	—	—	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0	DDRB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

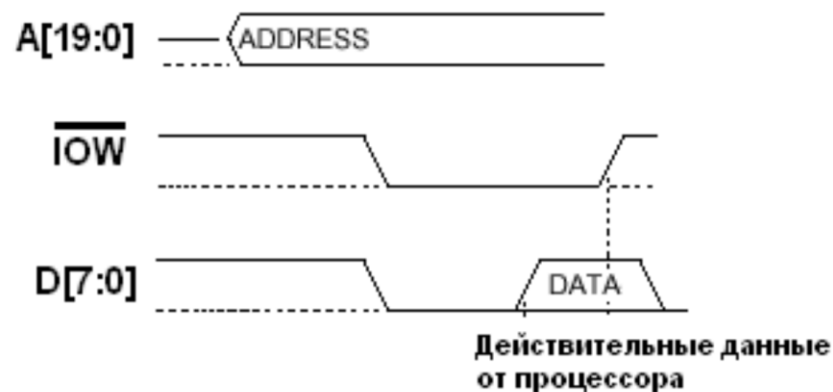
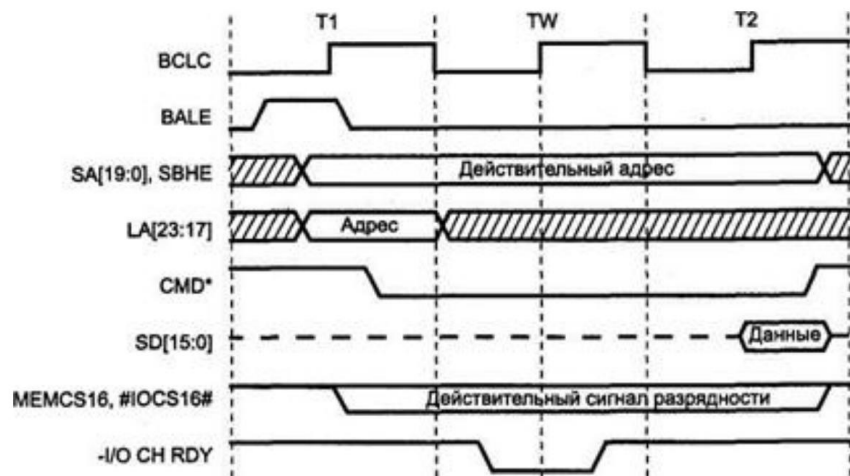
10.4.4 PINB – Port B Input Pins Address

Bit	7	6	5	4	3	2	1	0	
0x16	—	—	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	N/A	N/A	N/A	N/A	N/A	N/A	

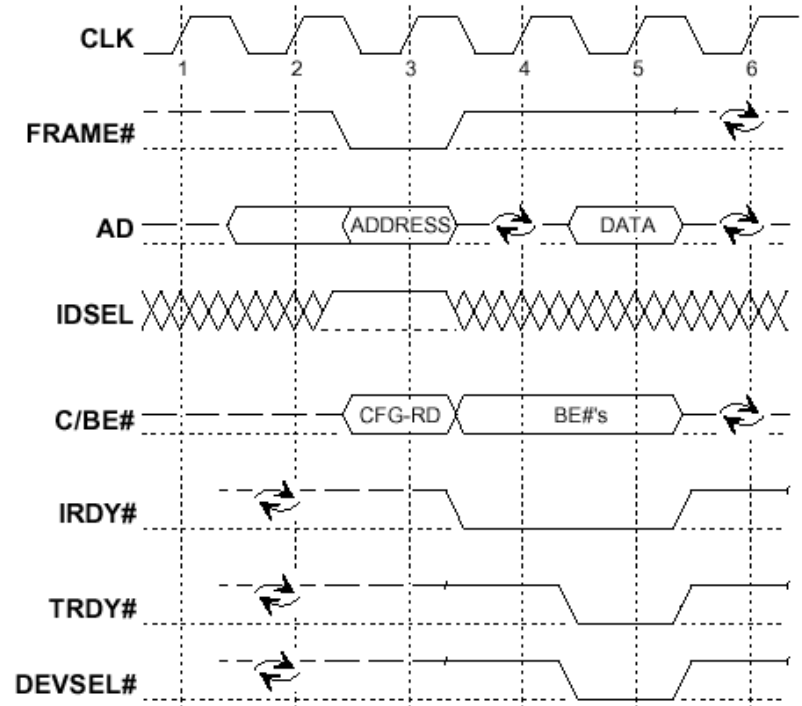
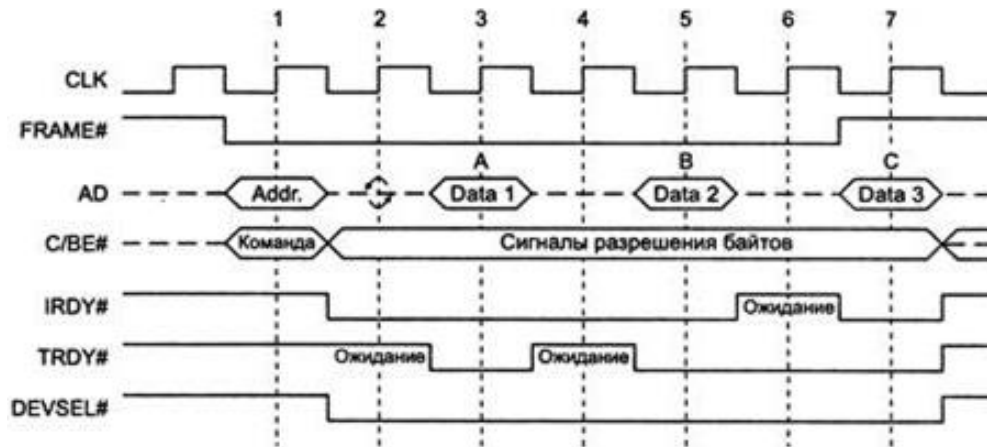
Интерфейс простой системной шины



Параллельные шины. Шина ISA



Параллельные шины. Шина PCI



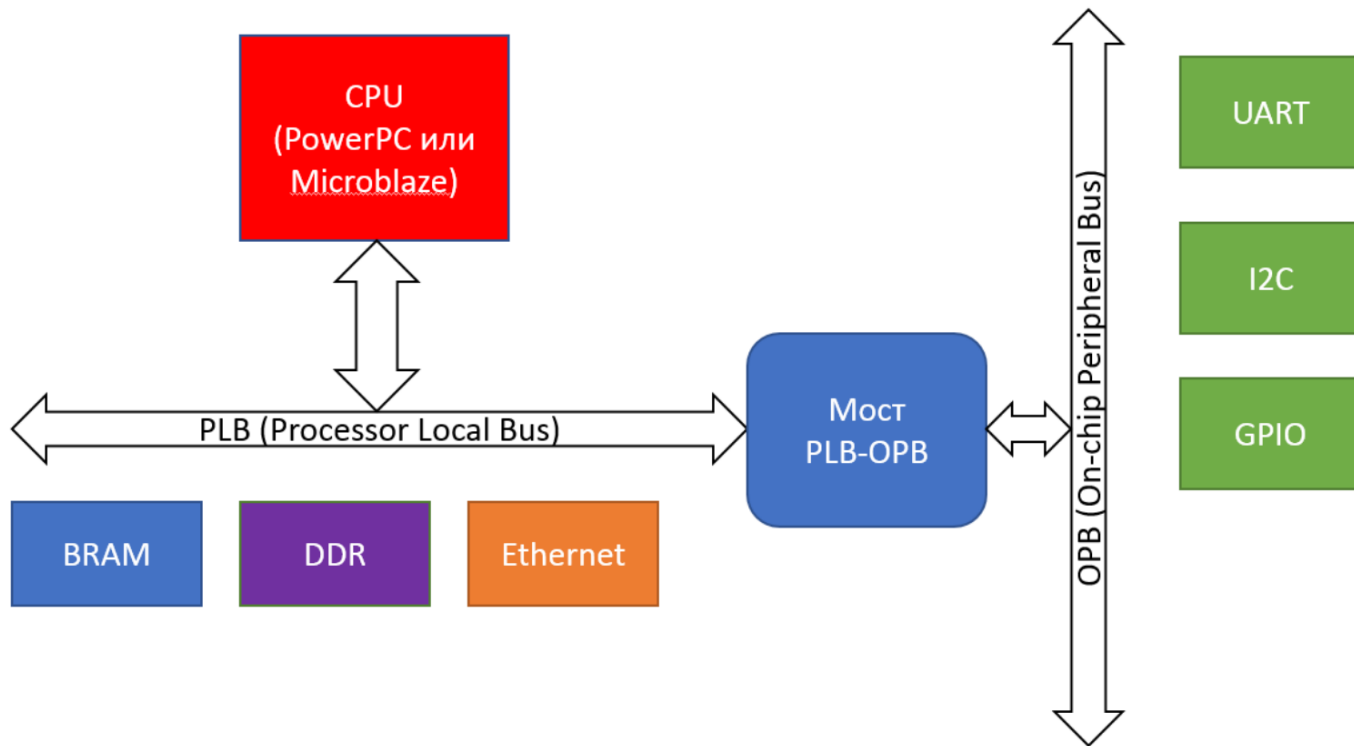
Шина PCI. Конфигурирование

31		18 15		0
Device ID		Vendor ID		00h
Status		Command		04h
Class Code			Revision ID	08h
BIST	Header Type	Latency Timer	Cache Line Size	0Ch
Base Address Registers				10h
				14h
				18h
				1Ch
				20h
				24h
Cardbus CIS Pointer				28h
Subsystem ID		Subsystem Vendor ID		2Ch
Expansion ROM Base Address				30h
Reserved				34h
Reserved				38h
Max_Lat	Min_Gnt	Interrupt Pin	Interrupt Line	3Ch

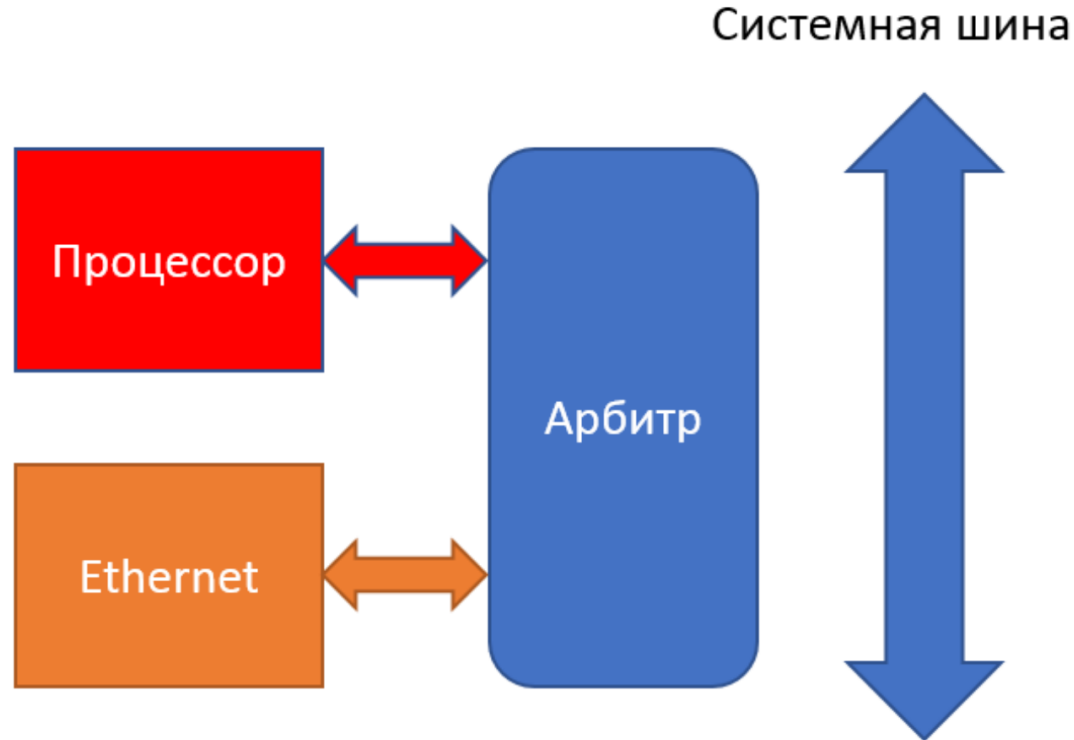
Системная шина Wishbone



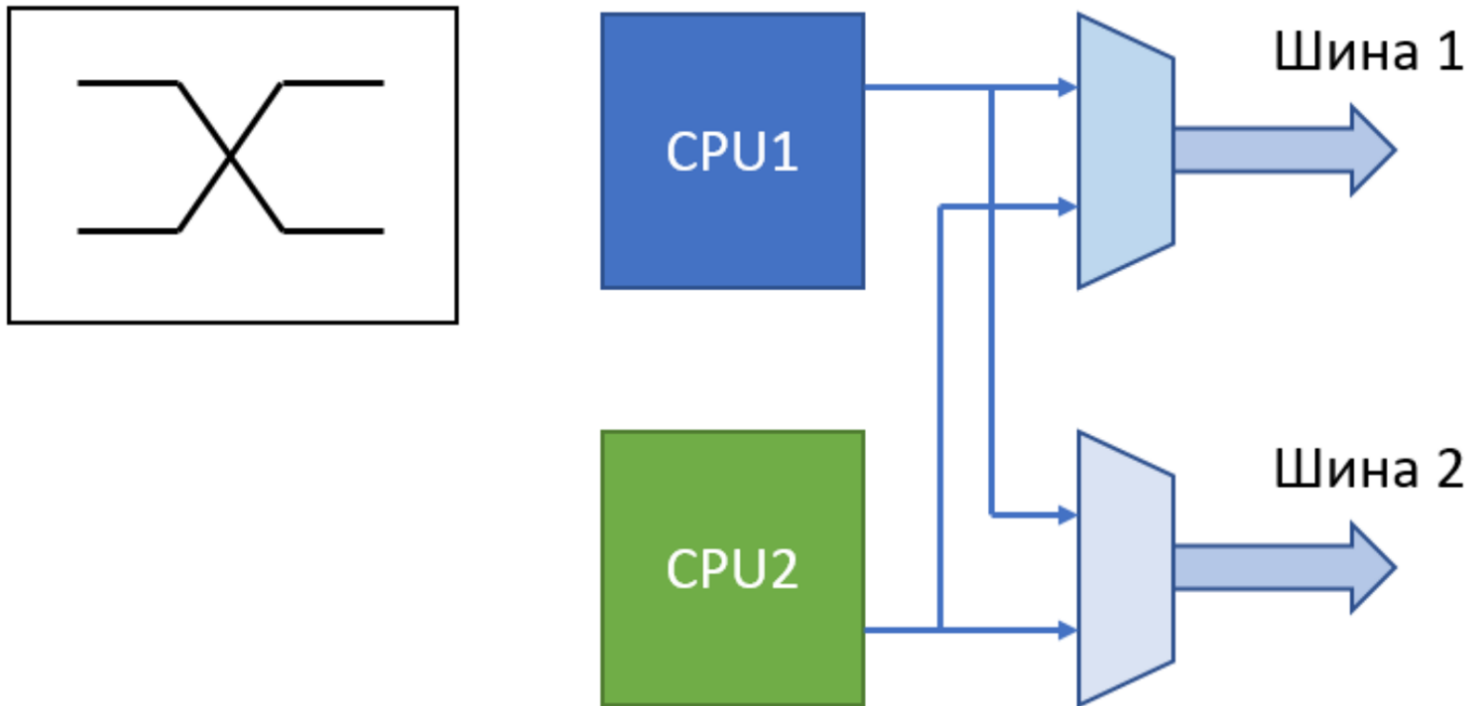
Применение мостов для системной шины



Арбитраж системной шины



Коммутатор системной шины

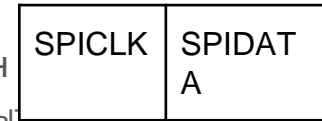


Приемы проектирования

- В ПЛИС некоторые сигналы могут быть избыточны
 - stb/ack (строб запроса + ответ), irdy/trdy имеют смысл в схеме, где готовность периферийного устройства не гарантируется. В ПЛИС временной анализ проверит возможность распространения сигналов за заданное время
 - Адрес может быть слишком широким. Проверка только старших адресов упростит декодеры
- Группировка сигналов
- Memory-mapped registers

Приемы проектирования - группировка

- К некоторым регистрам удобнее иметь общий доступ: одна запись модифицирует несколько регистров
 - Red[7:0], Green[7:0], Blue[7:0] → RGB[23:0]
- К некоторым регистрам общий доступ не обязателен или вреден
 - Тактовый сигнал с прямым управлением и данные в одном регистре – попытка сэкономить на цене Тактового сигнала изменит также и данные, поэтому их придется сохранять программно
 - Решения в процессорах – доступ по маске (изменяются только те разряды, для которых биты в регистре маски установлены в 1), индивидуальный доступ к разрядам (set/clear)
 - Для HDL возможно описание доступа по нескольким адресам. Например:
 - 123 – доступ ко всему регистру
 - 124 – доступ только к регистру SPIDATA
 - 125 – доступ только к регистру SPICLK
- К некоторым устройствам требуется согласованный доступ
 - Мостовые схемы с MOSFET требуют, чтобы два «сквозных» транзистора никогда не были включены одновременно. Это можно обеспечить принудительным отключением транзистора, если противоположный ему включается.



Регистры, отображенные в адресное пространство памяти (memory mapped)

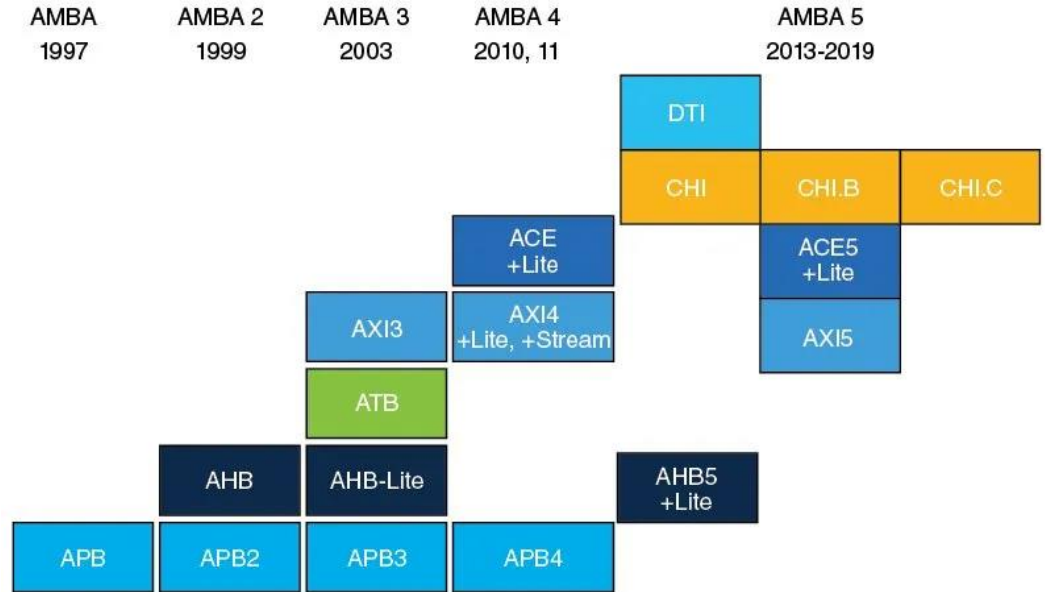
- Иногда нет практического смысла разделять устройства на память и регистры. В этом случае доступ к регистру производится с применением тех же сигналов, что и доступ к памяти
- Недостаток (?) – регистр должен работать на той же частоте, что и память. В синхронном проекте на базе ПЛИС это вряд ли проявит негативный эффект.
 - Исключения – большие проекты, распределенные по кристаллу. Трассировка к дальним регистрам может быть проблемой.

Сочетание процессорного управления и автономной работы

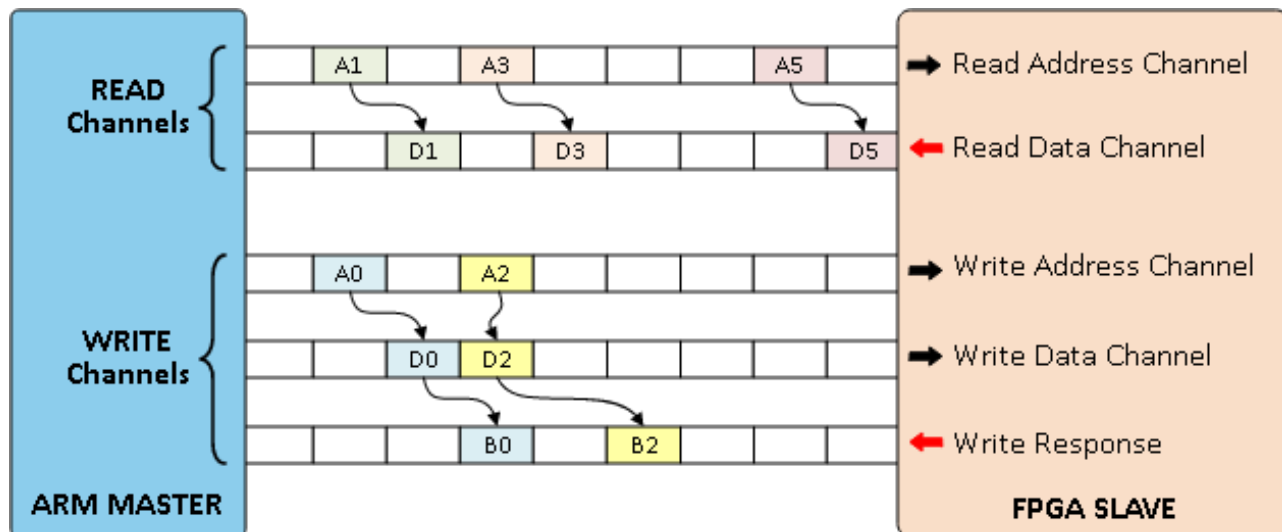
- HDL дает много возможностей для совместной оптимизации проекта.
- Пример: сторожевой таймер обеспечивает генерацию прерывания, если процессор долго не обращался к определенному устройству (сбрасывая при этом счетчик сторожевого таймера)
 - Устройство может отключаться самостоятельно – нагреватель получает данные от процессора и запускает внутренний таймер для отключения. Если процессор обновит данные, таймер сбросится и нагрев продолжится. Если процессор не обновит данные в течение длительного времени, нагреватель отключится самостоятельно

AXI (Advanced eXtensible Interface)

- AXI Full
- AXI-Lite
- AXI-Stream



AXI4-Lite

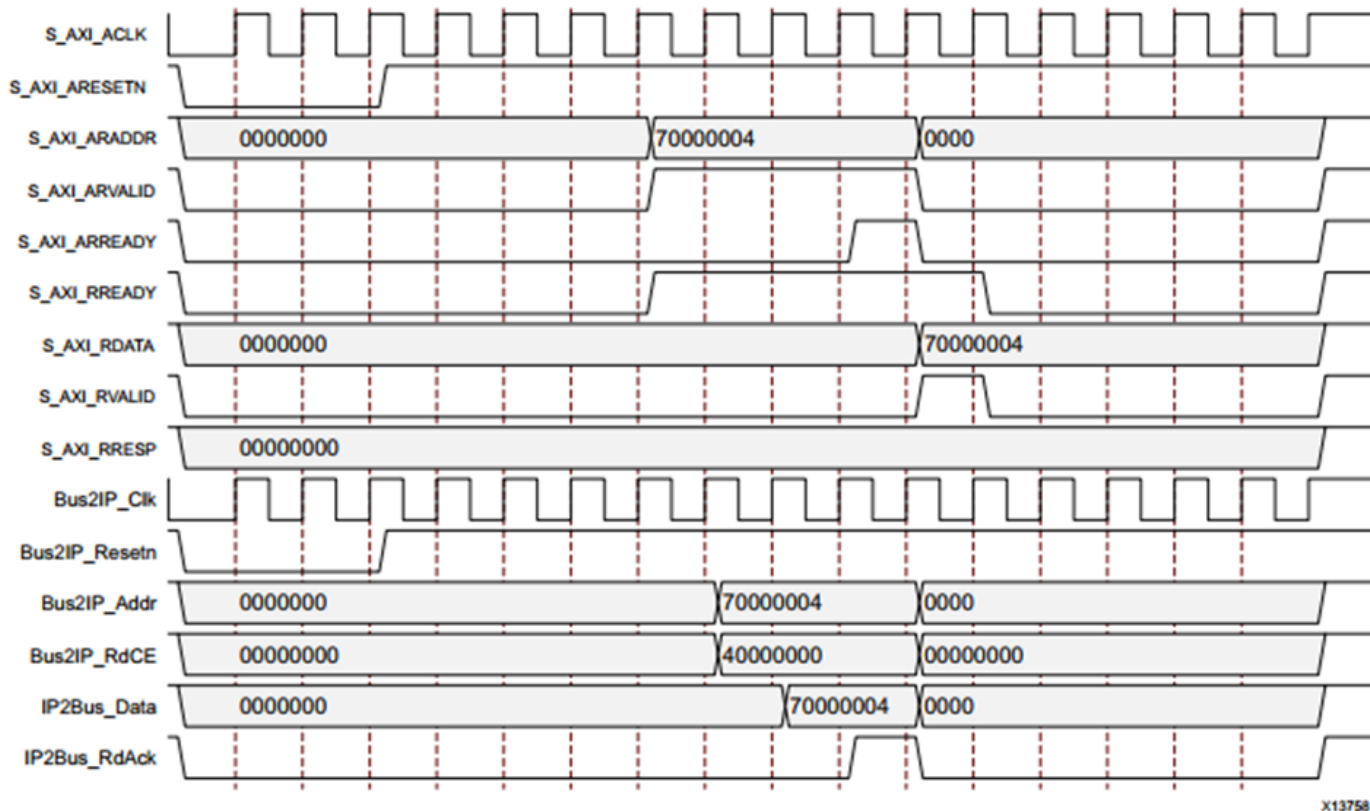


AXI4-Lite. Каналы чтения и записи

AXI Channel Signals				
Write Address	Write Data	Write Response	Read Address	Read Data
AWID[M:0]	WDVALID	BRID[M:0]	ARID[M:0]	RDID[M:0]
AWVALID	WDREADY	BVALID	ARVALID	RDVALID
AWREADY	WDATA[N:0]	BREADY	ARREADY	RDREADY
AWADDR[31:0]	WDSTRB[N/8:0]	BRESP[1:0]	ARADDR[31:0]	RDATA[N:0]
AWLEN[7:0]	WDLAST		ARLEN[7:0]	RDRESP[1:0]
AWSIZE[2:0]			ARSIZE[2:0]	RDLAST
AWPROT[2:0]			ARPROT[2:0]	
AWBURST[1:0]			ARBURST[1:0]	
AWLOCK			ARLOCK	
AWCACHE[3:0]			ARCACHE[3:0]	
AWREGION[3:0]			ARREGION[3:0]	
AWQOS[3:0]			ARQOS[3:0]	

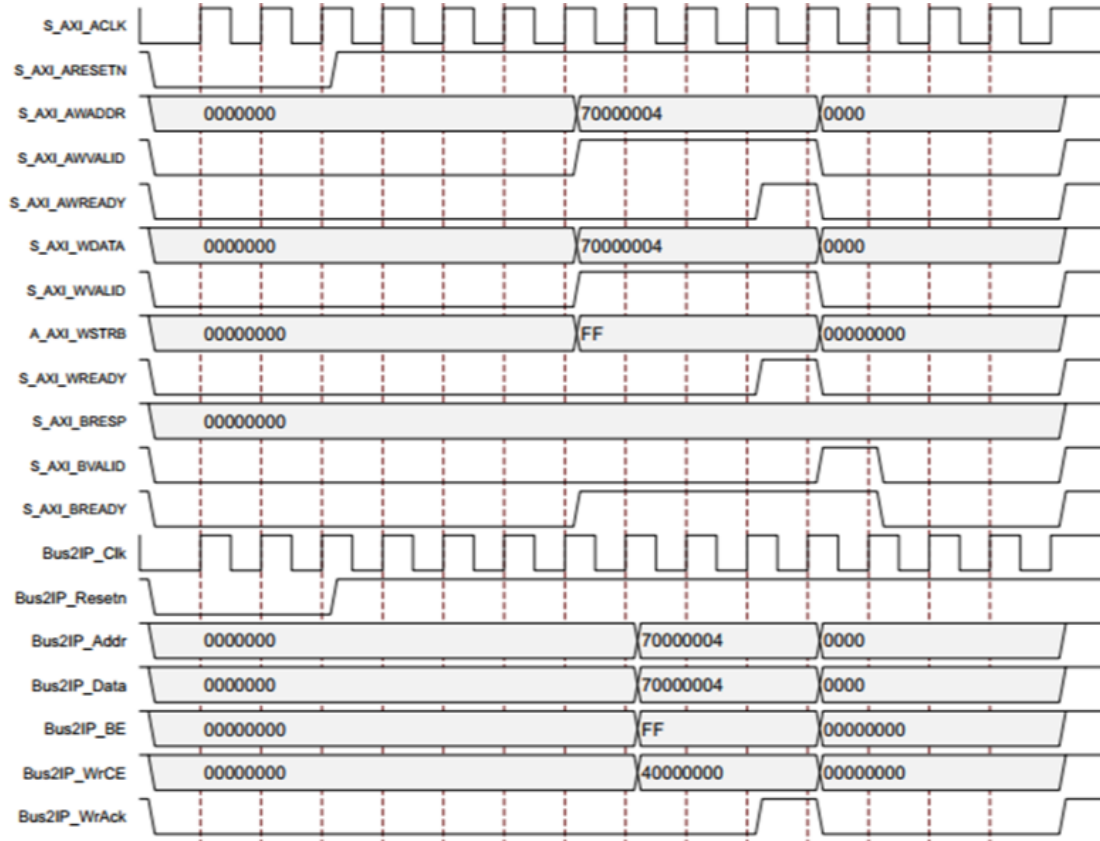
Сигналы AXI4-Lite		
Глобальные сигналы (Global Signals)		
ACLK	M -> S	Тактовый сигнал
ARESETN	M -> S	Сигнал сброса
Канал адреса для записи (Write Address)		
AWVALID	M -> S	Сигнал валидности адреса для записи
AWREADY	M <- S	Сигнал готовности к приёму адреса для записи
AWADDR	M -> S	Адрес для записи
AWWPROT	M -> S	Тип защиты
AWCACHE	M -> S	Тип кэширования
Канал данных для записи (Write Data)		
WDVALID	M -> S	Сигнал валидности данных для записи
WDREADY	M <- S	Сигнал готовности к приёму данных для записи
WDDATA	M -> S	Данные для записи
WDSTRB	M -> S	Шина показывает, какие байты данных должны быть записаны
Канал отклика для записи (Write Response)		
BVALID	M <- S	Сигнал валидности данных об отклике
BREADY	M -> S	Сигнал готовности к приёму данных об отклике
BRESP	M <- S	Данные об отклике (включают статус транзакции)
Канал адреса для чтения (Read Address)		
ARVALID	M -> S	Сигнал валидности адреса для чтения
ARREADY	M <- S	Сигнал готовности к приёму адреса для чтения
ARADDR	M -> S	Адрес для чтения
ARWPROT	M -> S	Тип защиты
ARCACHE	M -> S	Тип кэширования
Канал данных для чтения (Read Data)		
RVALID	M <- S	Сигнал валидности данных для чтения
RREADY	M -> S	Сигнал готовности к приёму данных для чтения
RDATA	M <- S	Данные для чтения
RRESP	M <- S	Данные об отклике (включают статус транзакции)

AXI4-Lite. Транзакция на чтение

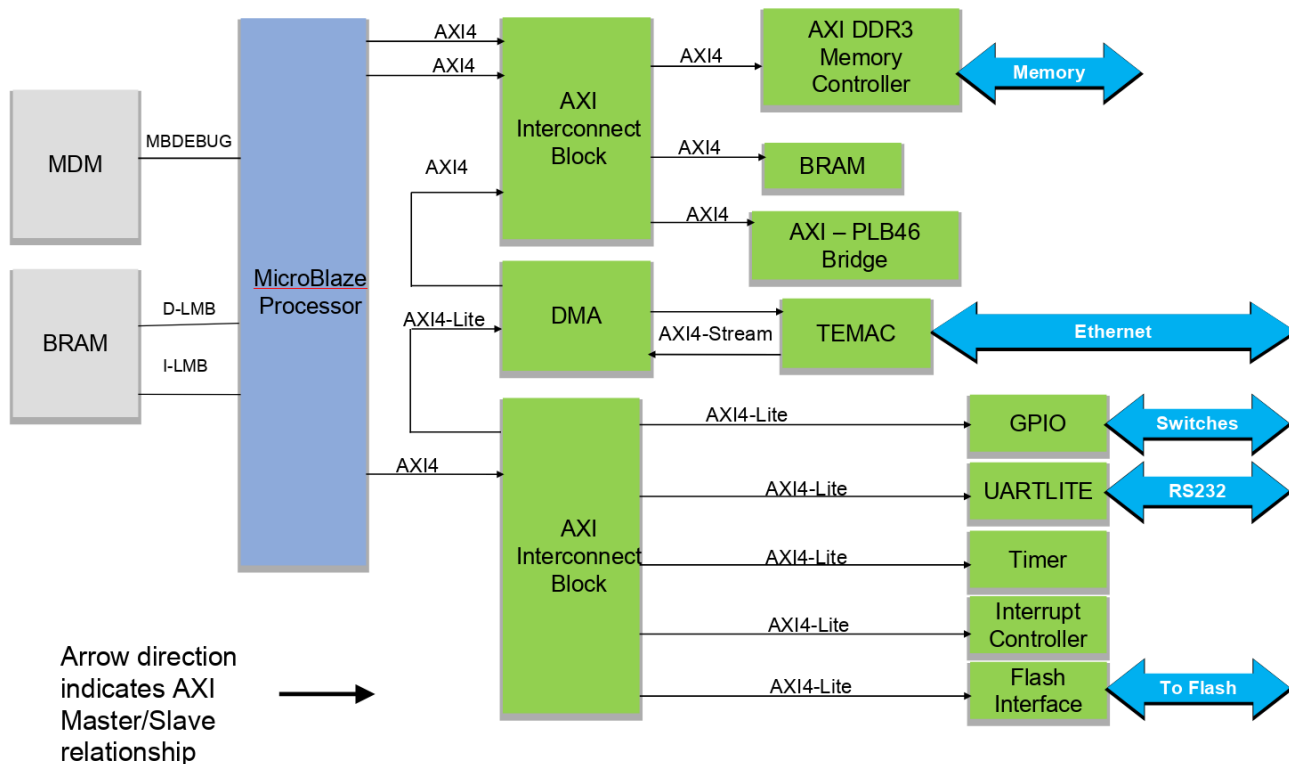


X13758

AXI4-Lite. Транзакция на запись



Пример процессорной системы класса CNK





Вопросы

Спасибо за внимание!