



# Лекция 5

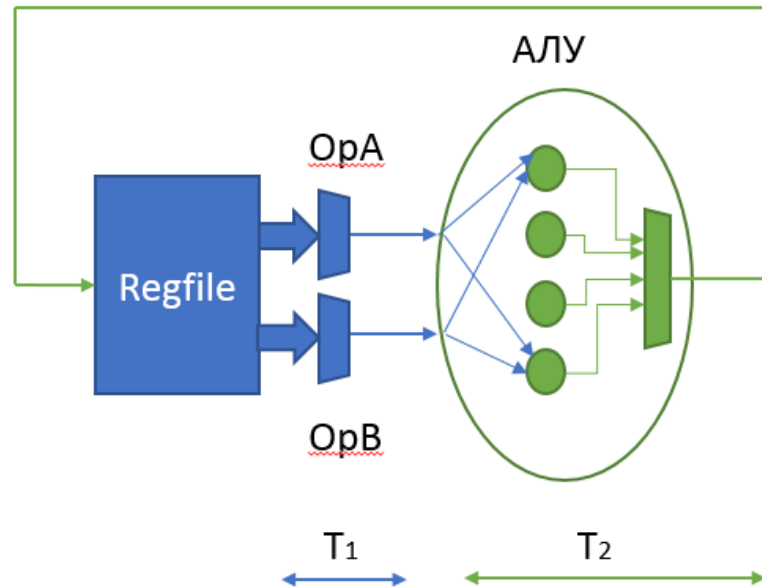
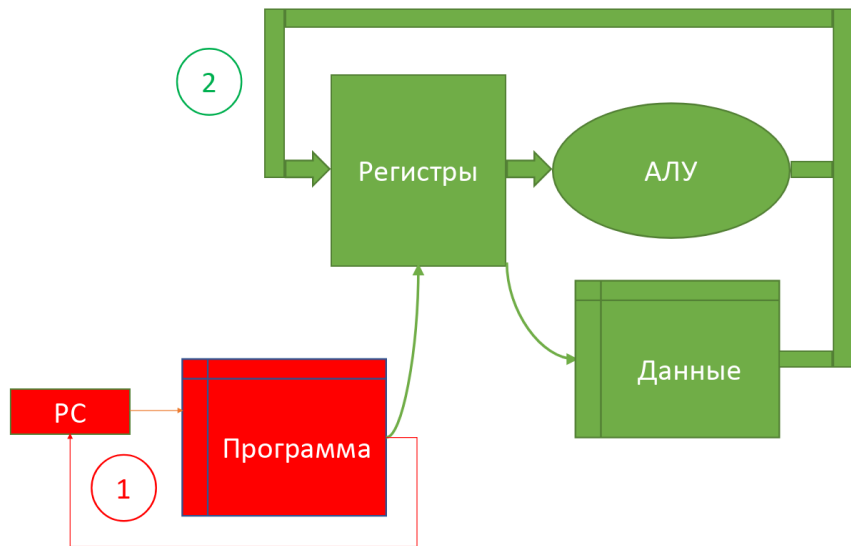
Схемотехника устройств компьютерных систем  
Семестр 2

Тема: Организация процессорных ядер. Часть 2.

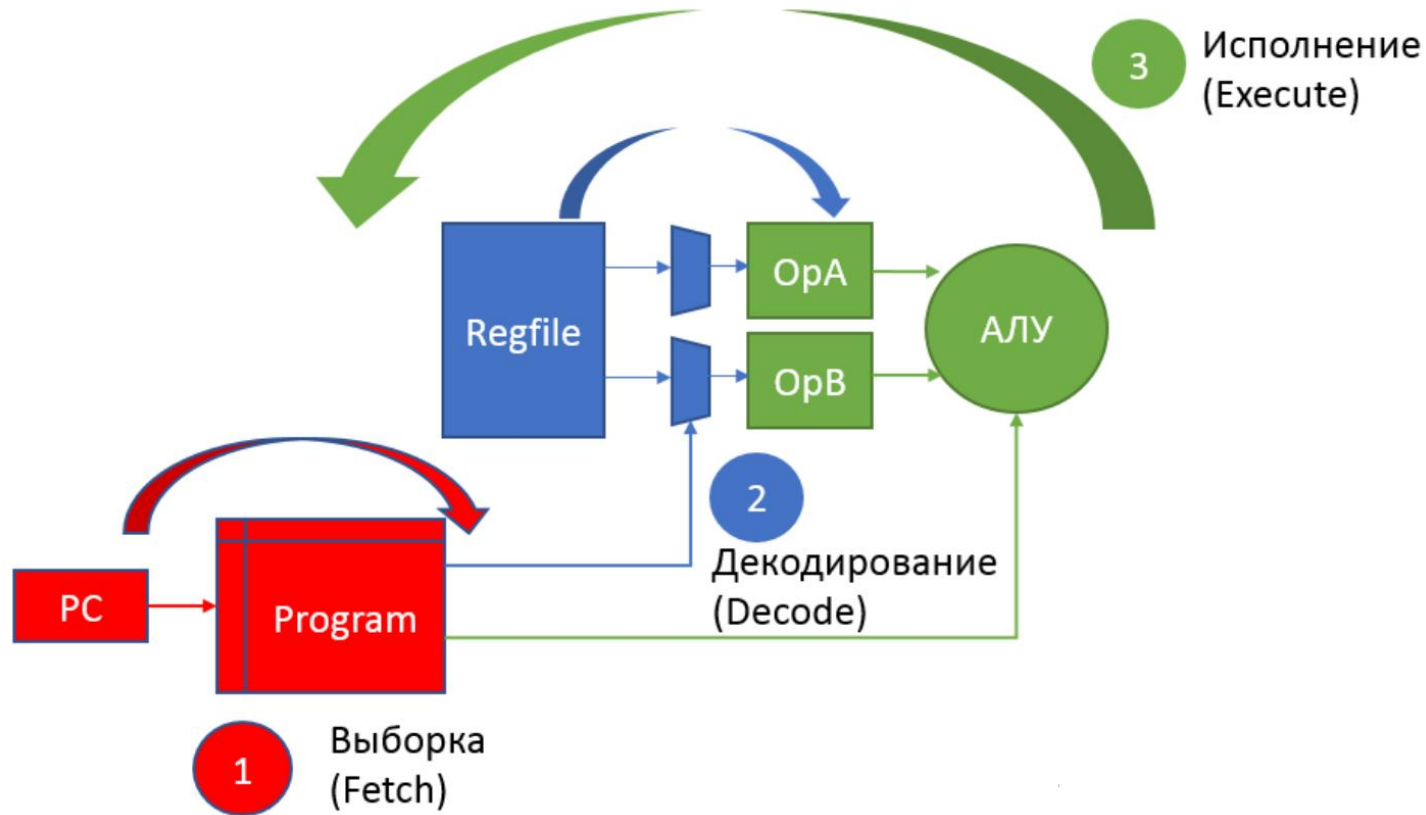
Люлява Даниил Вячеславович, старший преподаватель кафедры ВТ

Дуксин Никита Александрович, преподаватель кафедры ВТ

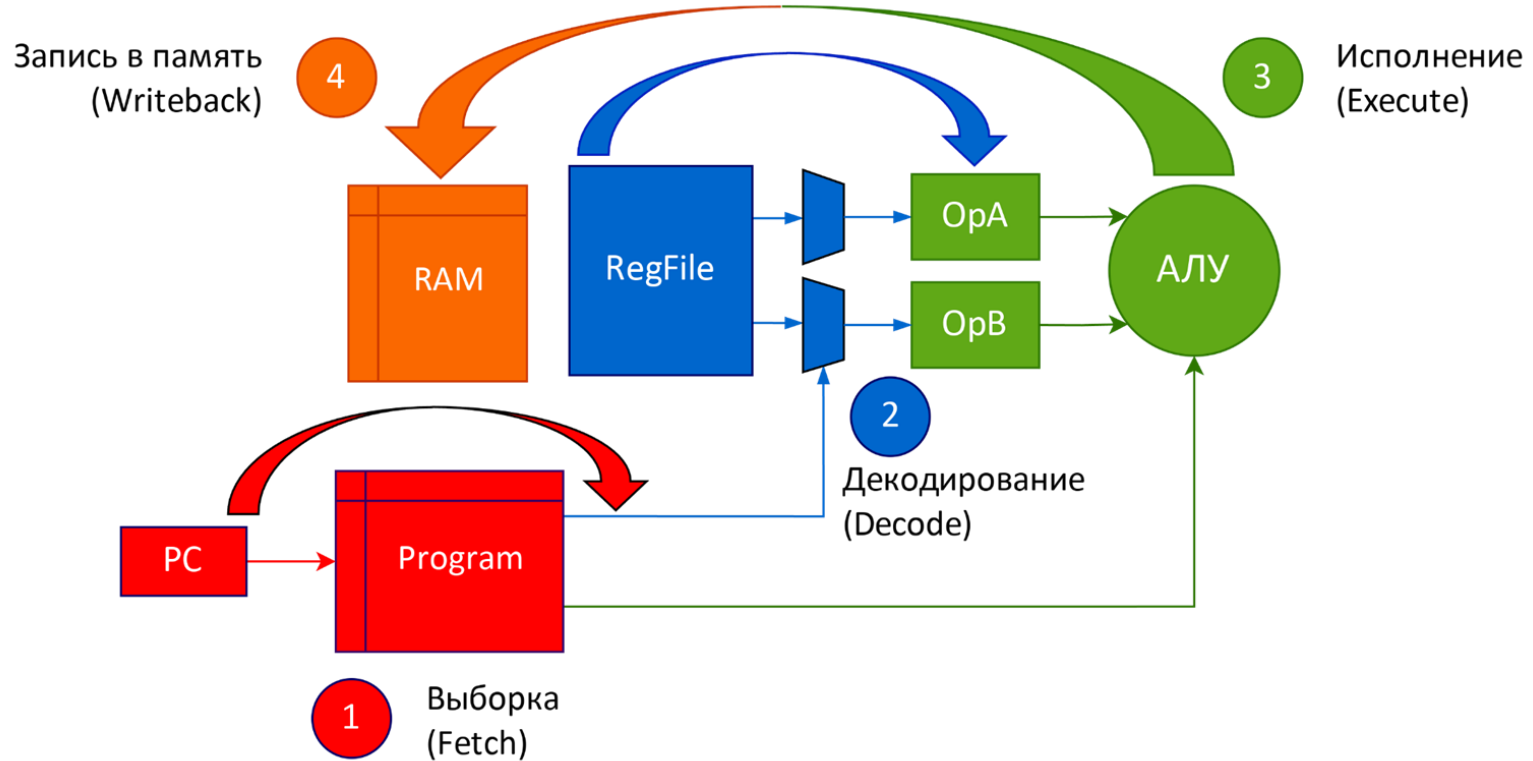
# Проблема двухтактной архитектуры



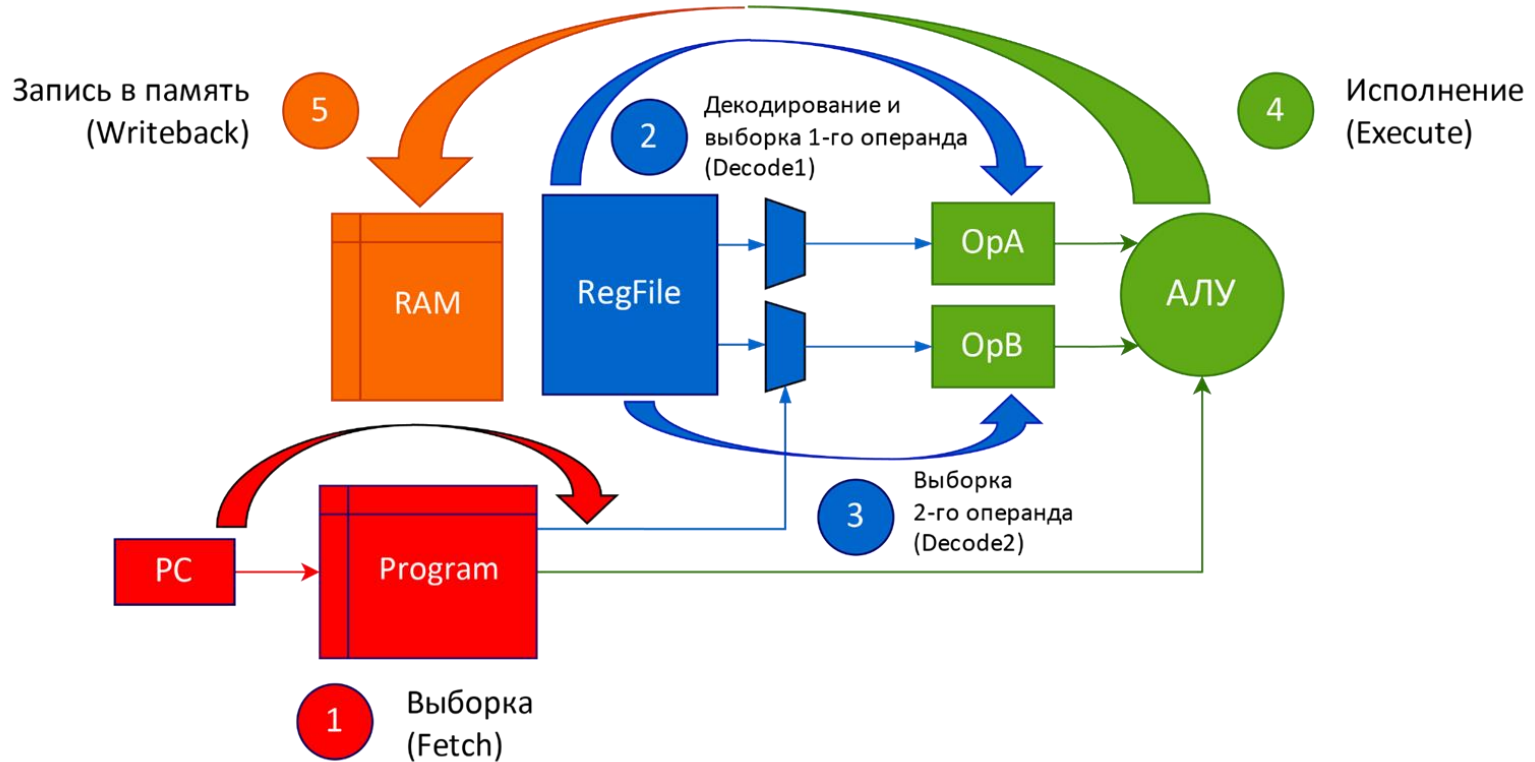
# Трёхтактная архитектура



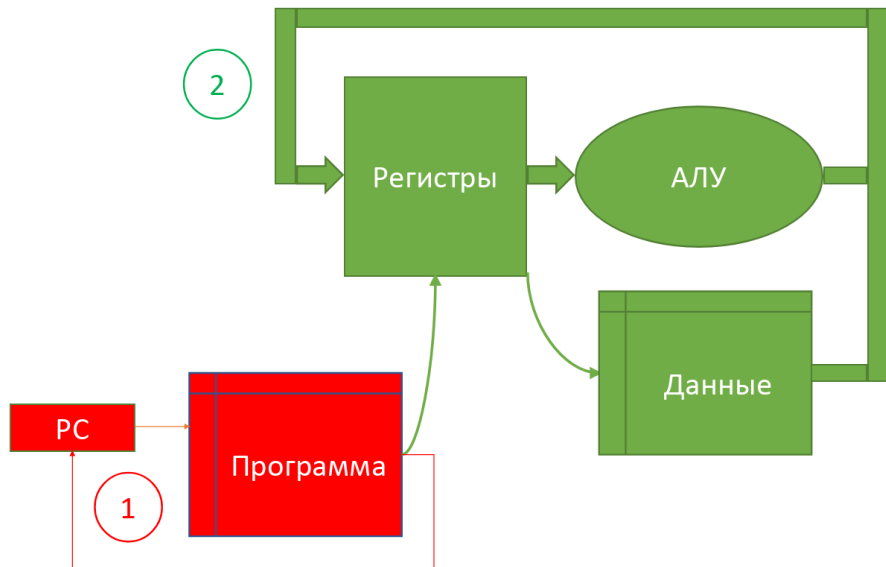
# Четырёхтактная архитектура



# Пятитактная архитектура

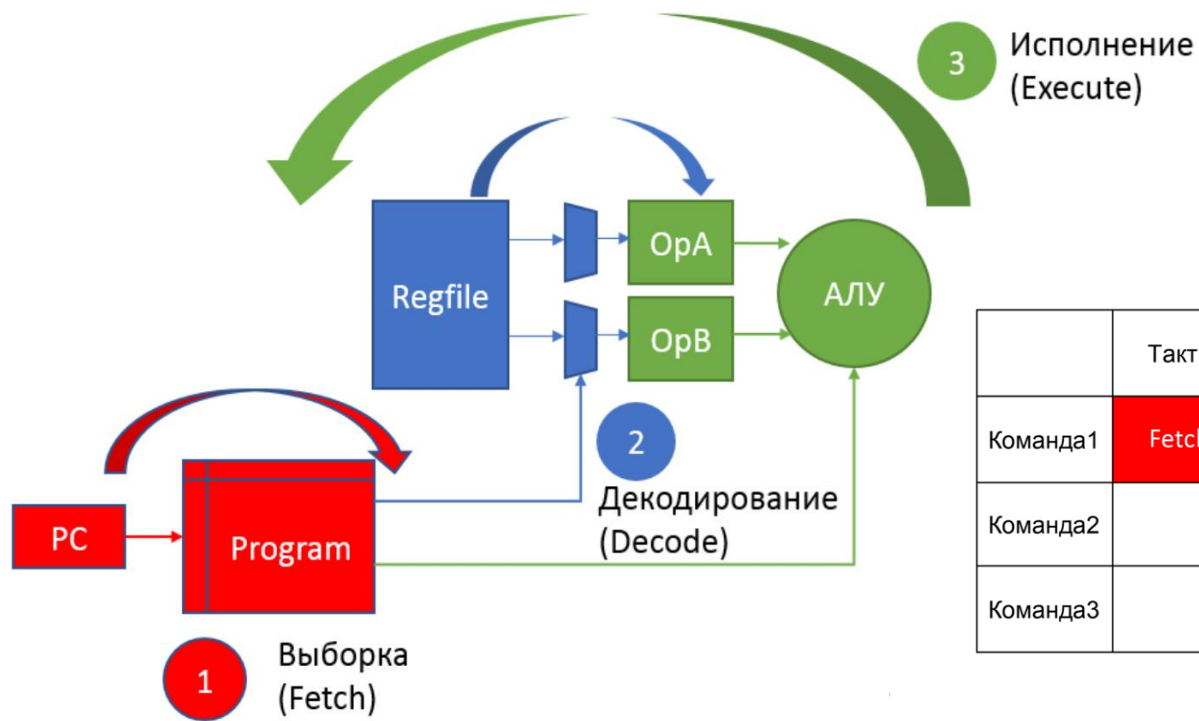


# Конвейерное процессорное ядро. 2 такта



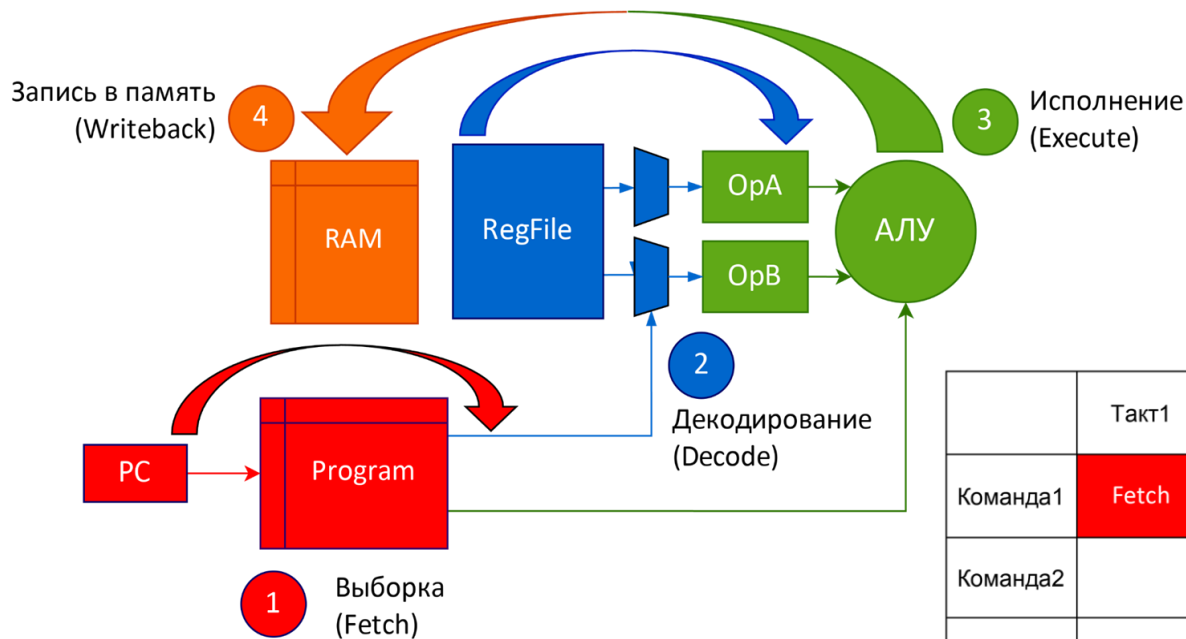
	Такт1	Такт2	Такт3	Такт4
Команда1	Fetch	Execute		
Команда2		Fetch	Execute	
Команда3			Fetch	Execute

# Конвейерное процессорное ядро. 3 такта



	Такт1	Такт2	Такт3	Такт4	Такт5
Команда1	Fetch	Decode	Execute		
Команда2		Fetch	Decode	Execute	
Команда3			Fetch	Decode	Execute

# Конвейерное процессорное ядро. 4 такта



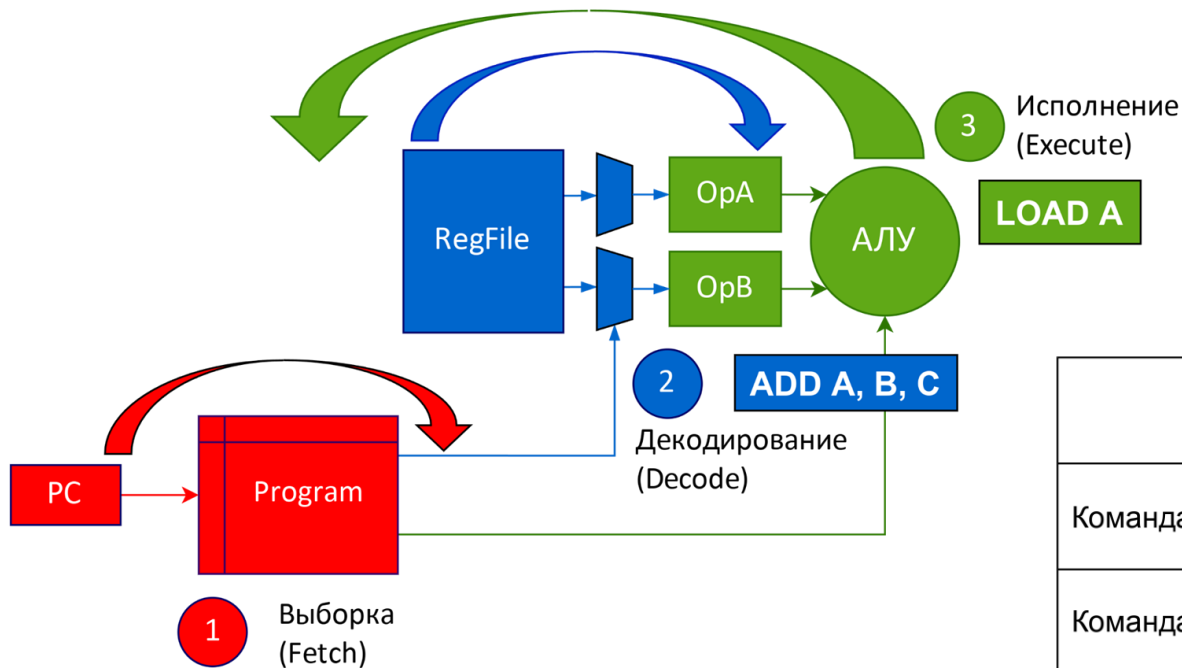
	Такт1	Такт2	Такт3	Такт4	Такт5	Такт6
Команда1	Fetch	Decode	Execute	Writeback		
Команда2		Fetch	Decode	Execute	Writeback	
Команда3			Fetch	Decode	Execute	Writeback



# Конфликты

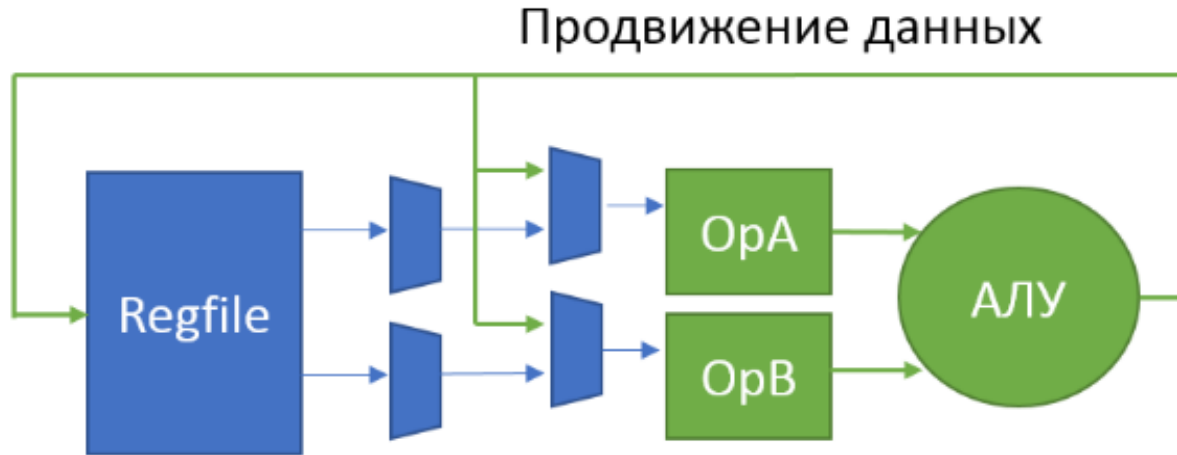
- **Read-After-Read (RAR)** (Чтение после Чтения)
- **Write-After-Read (WAR)** (Запись после Чтения)
- **Write-After-Write (WAW)** (Запись после Записи)
- **Read-After-Write (RAW)** (Чтение после Записи)

# Последовательность Read-After-Write

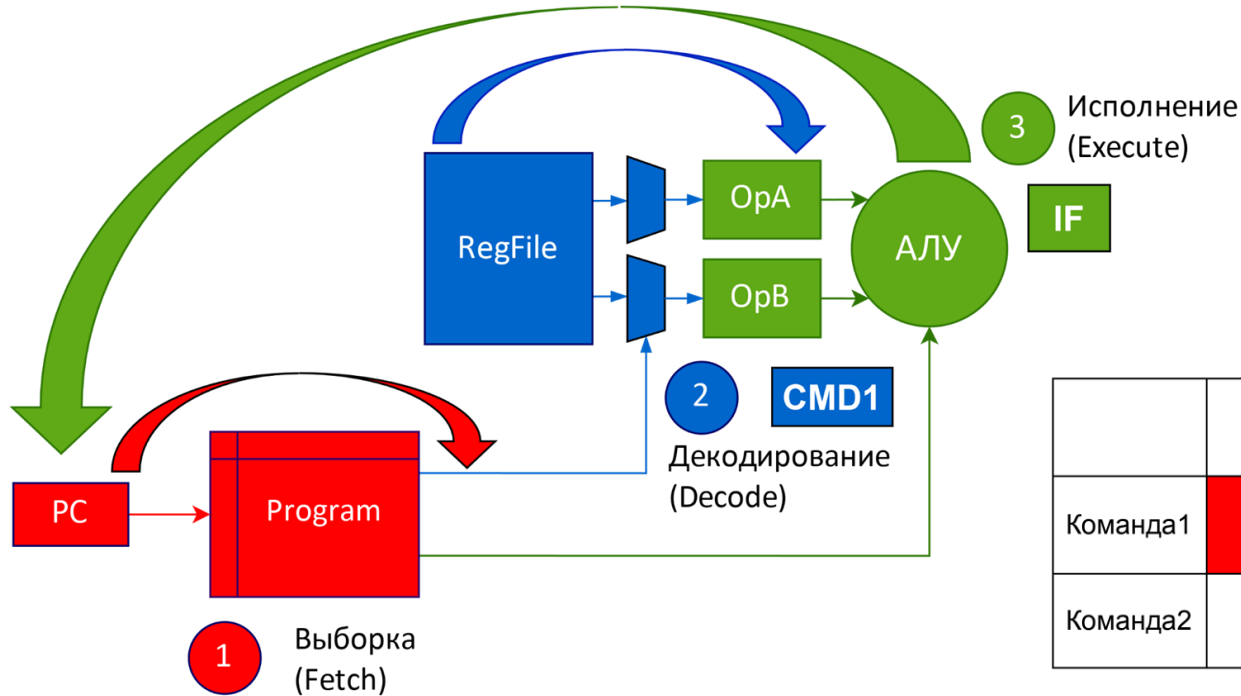


	Такт1	Такт2	Такт3
Команда1	<b>LOAD A</b>	<b>LOAD A</b>	<b>LOAD A</b>
Команда2		<b>ADD A, B, C</b>	<b>ADD A, B, C</b>

# Архитектура MIPS



# Проблема отложенного перехода

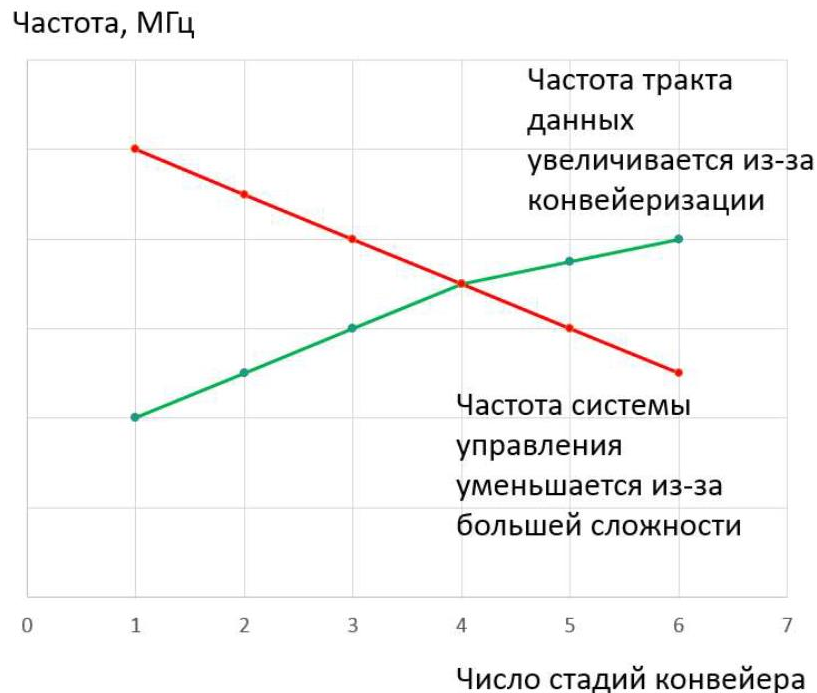


1	IF (переход к 4)
2	CMD1
3	...
4	CMD2

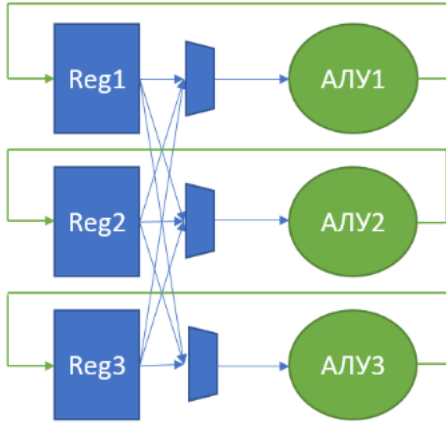
	Такт1	Такт2	Такт3
Команда1	IF	IF	IF
Команда2		CMD1	CMD1



# Увеличение сложности управляющей схемы многоступенчатого конвейера



# Архитектуры VLIW, EPIC



Поля команды

...	Mux1	Mux2	Mux3	Op АЛУ1	Op АЛУ2	Op АЛУ3
-----	------	------	------	------------	------------	------------

- Very Logic Instruction Word (VLIW) - сверхдлинное командное слово
- Explicit Parallel Instruction Compiler (EPIC) - процессор с явным параллелизмом

# Регистровая модель процессора

AH	AL	← AX
BH	BL	← BX
CH	CL	← CX
DH	DL	← DX

CS
DS
SS
ES

Сегментные регистры

SI
DI

Индексные регистры

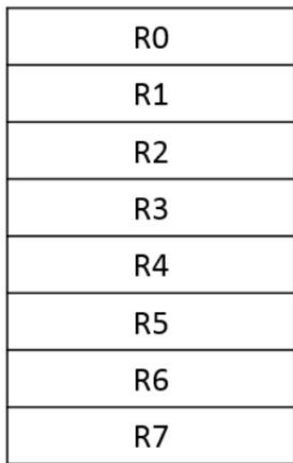
BP
SP
IP
Flags

Указатель базы

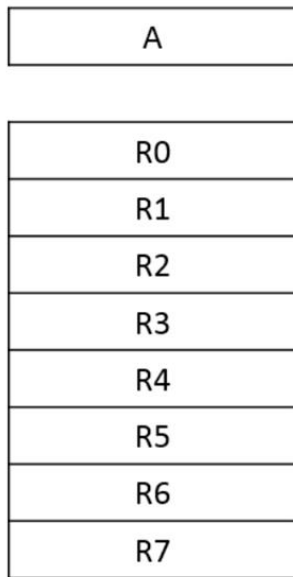
Указатель стека

Счетчик инструкций

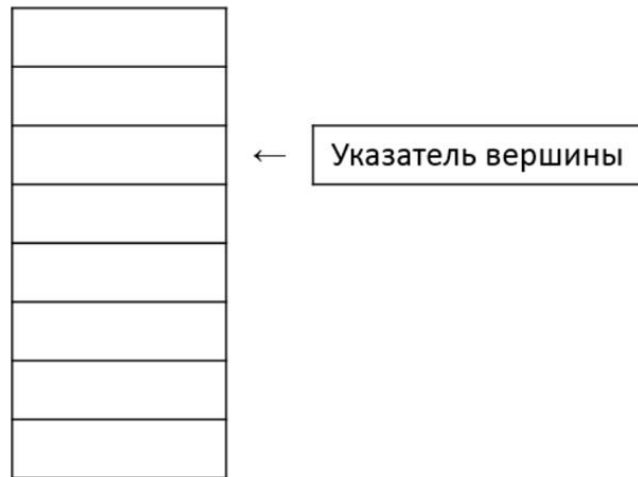
# Виды архитектуры регистровой модели процессора



Регистровая  
архитектура



Аккумуляторная  
архитектура



Стековая  
архитектура



# Адресность команд

31 28	27 24	23 20	19 16	15 12	11 8	7 4	3 0
type	operation	Dest	op1	op2			
type	operation	Dest		Literal			

Разряды  
3-адресная  
команда

type	operation	Dest/op1	op2	Literal			
------	-----------	----------	-----	---------	--	--	--

2-адресная  
команда

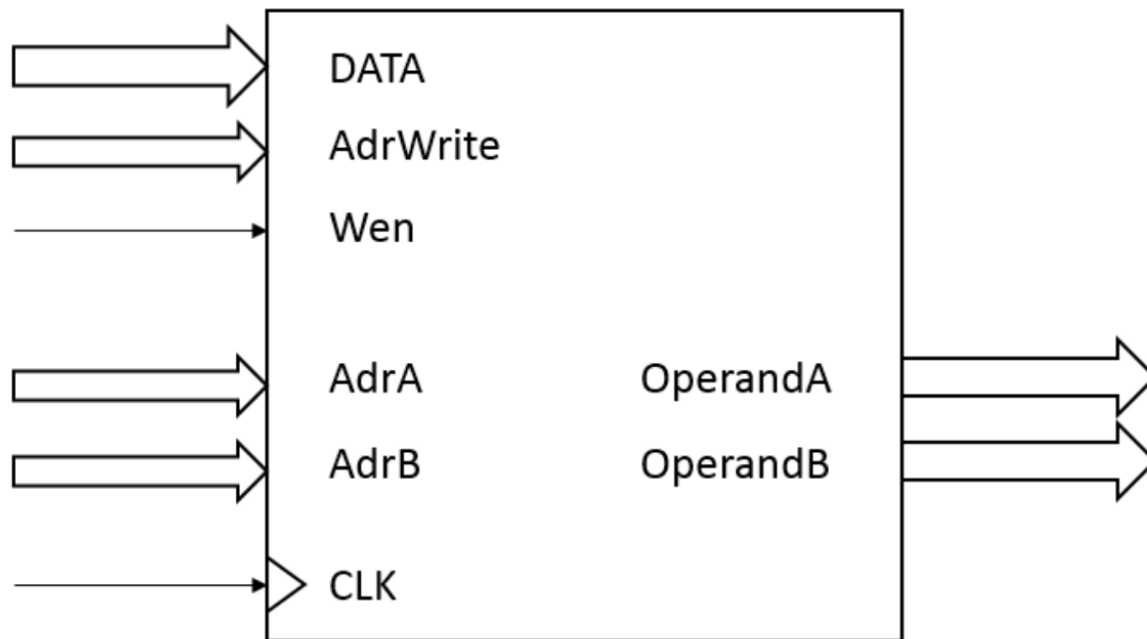
type	operation	op1					
------	-----------	-----	--	--	--	--	--

1-адресная  
команда

type	operation						
------	-----------	--	--	--	--	--	--

0-адресная  
команда

# Интерфейс регистрового файла



# RISC/CISC

Характеристика	CISC	RISC
Длина команды	Произвольная в зависимости от характера инструкции	фиксированная
Набор команд	Большой, адаптирован для удобства программиста	Средний, адаптирован для удобства выполнения процессором
Доступ к памяти	Разрешён для инструкций разного рода	Разрешен только для инструкций загрузки и сохранения



# Вопросы

**Спасибо за внимание!**