

ДИСЦИЛИНА Схемотехника устройств компьютерных систем

ИНСТИТУТ ИТ

КАФЕДРА вычислительной техники

ВИД УЧЕБНОГО Материал к практическим занятиям  
МАТЕРИАЛА

ПРЕПОДАВАТЕЛЬ Тарасов И.Е.

СЕМЕСТР 5

## Практическая работа № 1

*Цель работы:* проектирование различных вычислительных устройств на уровне регистровых передач (RTL) для синтеза сигналов трансцендентных функций.

*Постановка задачи:* применяя методы и алгоритмы расчёта значений трансцендентных функций, а также язык описания аппаратуры Verilog, разработать RTL-модели вычислительных устройств для синтеза сигналов трансцендентных функций.

*Текущий контроль в процессе практических занятий:* проверка хода выполнения студентами задания с целью выявления возможных ошибок при проектировании RTL-моделей вычислительных устройств; защита работы в формате теоретико-практического опроса.

*Результат выполнения работы:* код модулей на Verilog HDL, временные диаграммы, отражающие корректность работы спроектированных модулей.

### *Задание 1.*

Разработать RTL-модель устройства на Verilog HDL для синтеза функций  $\sin(x)$  и  $\cos(x)$  табличным способом, произвести верификацию устройства.

### *Задание 2.*

Разработать RTL-модель устройства на Verilog HDL для синтеза функций  $\sin(x)$  и  $\cos(x)$  с помощью рядов Тейлора, произвести верификацию устройства.

### *Задание 3.*

Разработать RTL-модель устройства на Verilog HDL для синтеза функций  $\sin(x)$  и  $\cos(x)$  с помощью алгоритмов CORDIC, произвести верификацию устройства.

## Практическая работа № 2

*Цель работы:* оптимизация RTL-модели устройства с целью улучшения временных показателей его работы.

*Постановка задачи:* произвести оптимизацию RTL-модели вычислительного устройства с целью улучшения временных показателей его работы.

*Текущий контроль в процессе практических занятий:* проверка хода выполнения студентами задания с целью выявления возможных ошибок при оптимизации RTL-модели; защита работы в формате теоретико-практического опроса.

*Результат выполнения работы:* описание внесённых изменений; сгенерированные с помощью САПР отчёты о временных показателях работы устройства до и после внесённых изменений; сравнительный анализ полученных значений показателей.

### *Задание 1.*

Произвести оптимизацию RTL-модели устройства, производящего умножение двух чисел в формате с плавающей точкой.

### Практическая работа № 3

*Цель работы:* разработка программы на языке TCL для создания проекта в САПР Vivado.

*Постановка задачи:* разработать программу автоматического создания проекта в САПР Vivado в соответствии с заданным набором свойств на скриптовом языке высокого уровня TCL.

*Текущий контроль в процессе практических занятий:* проверка хода выполнения студентами задания с целью выявления возможных ошибок на этапе разработки программы на языке TCL; защита работы в формате теоретико-практического опроса.

*Результат выполнения работы:* программа на языке TCL, результат выполнения программы.

#### *Задание 1.*

Разработать программу автоматического создания проекта в САПР Vivado на языке TCL. Для проекта необходимо задать следующий набор свойств:

- Модель ПЛИС: xc7a100tcsg324-1;
- Язык проектирования: Verilog HDL.

В проекте должно быть создано два модуля для описания дизайна устройства (Design Sources): “mux.v” и “main.v”, а также один модуль для описания тестового окружения (Simulation Sources): “test.v”.