



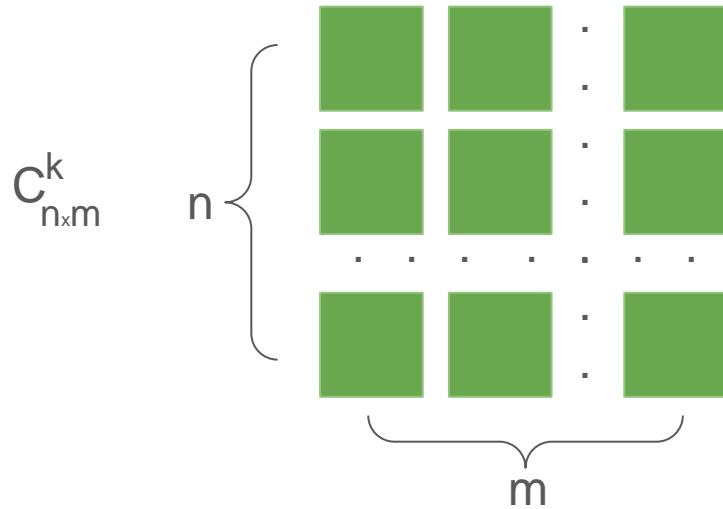
Лекция 3

Схемотехника устройств компьютерных систем
Семестр 2

Люлява Даниил Вячеславович, старший преподаватель кафедры ВТ

Дуксин Никита Александрович, преподаватель кафедры ВТ

Архитектурные аспекты проектирования



no silver bullet



Паттерны

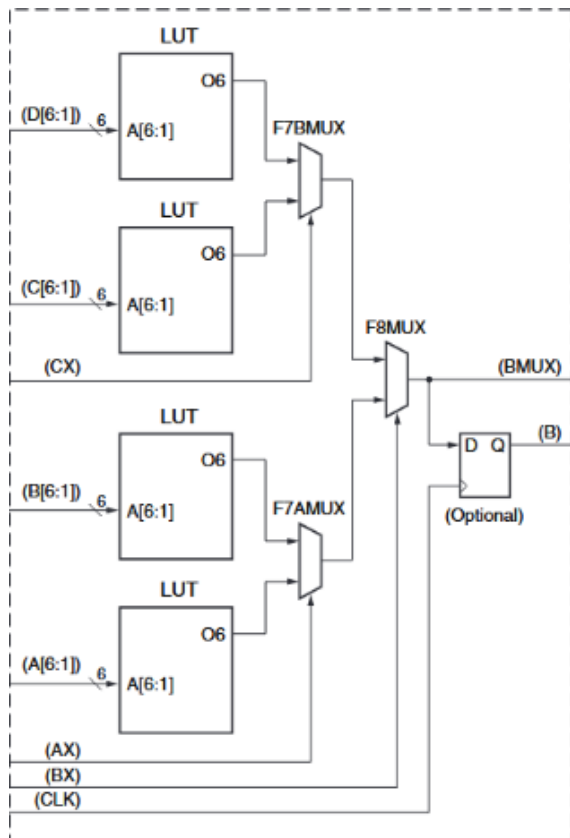
Комбинационные
схемы

Конвейерная архитектура

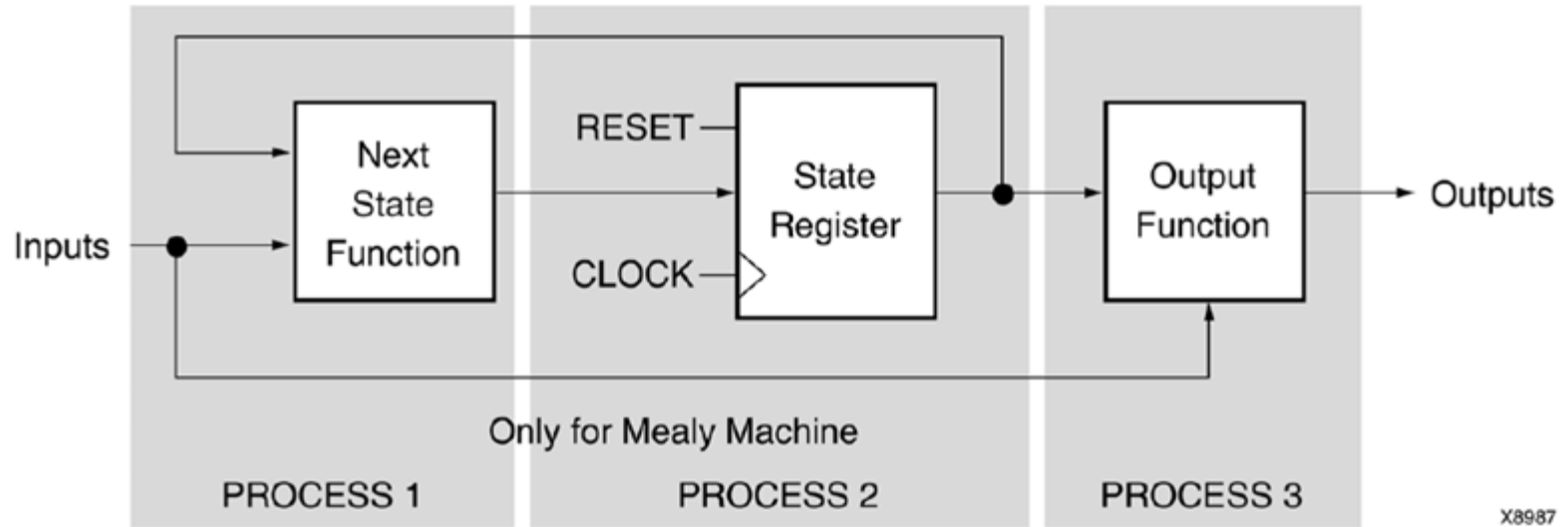
Конечные автоматы

Процессорные ядра

Комбинационные схемы



Конечные автоматы



X8987

Кодирование состояний конечного автомата

Sequential
000
001
010
011
100
101
110
111

Gray
000
001
011
010
110
111
101
100

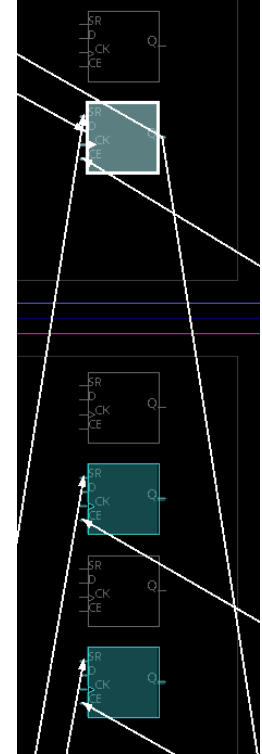
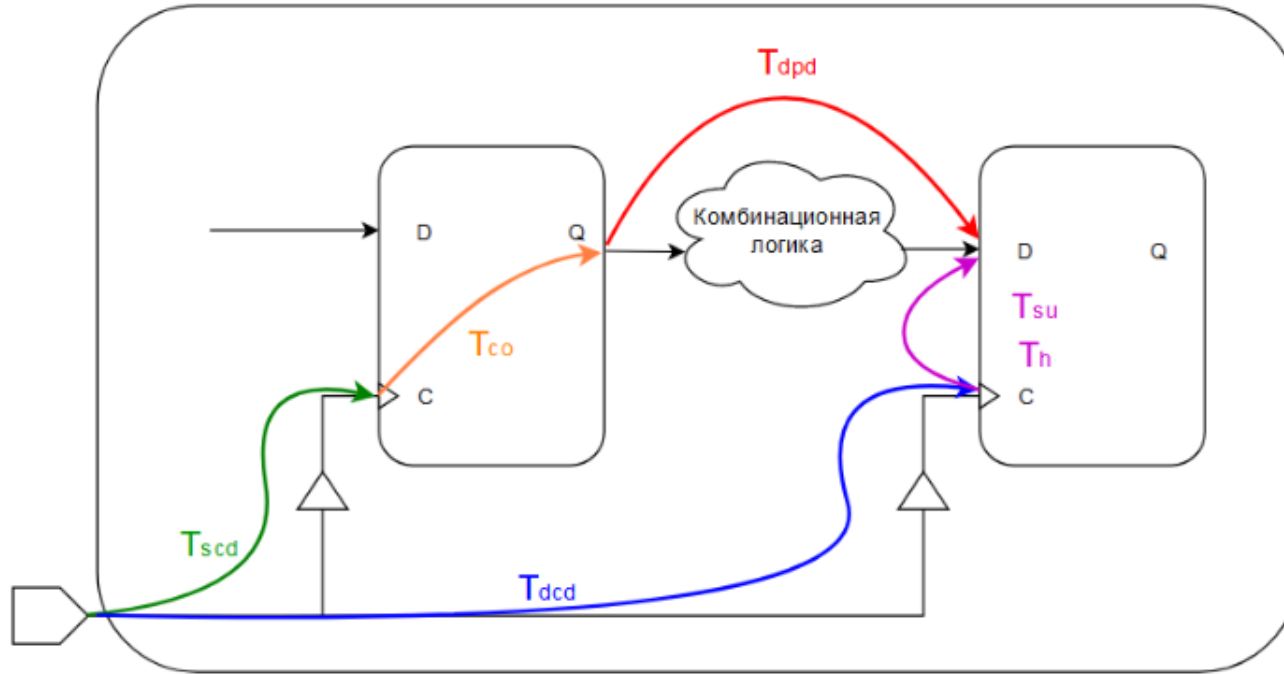
Johnson
000
001
011
111
110
100

One-hot
001
010
100

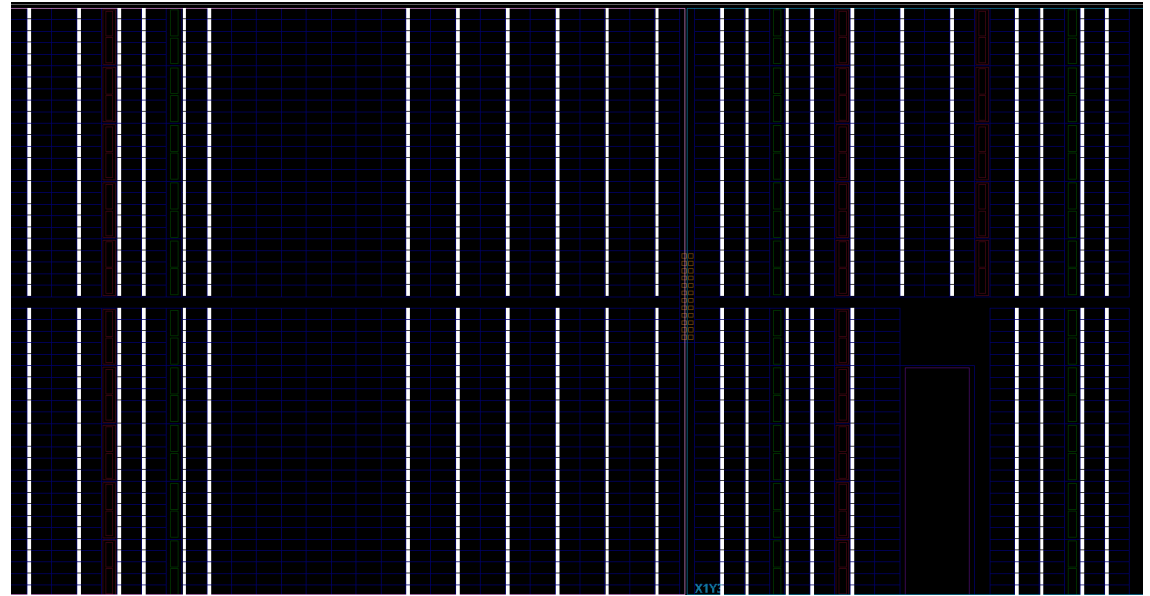
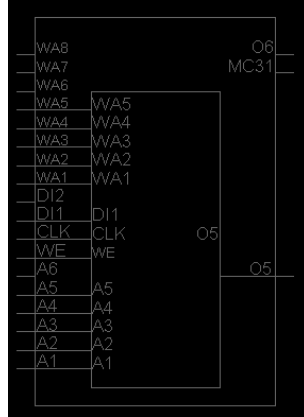
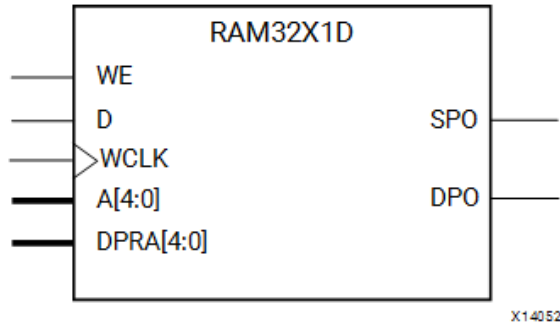
FSM_ENCODING
AUTO, ONE_HOT, SEQUENTIAL,
JOHNSON, GRAY, NONE

```
(* fsm_encoding = "one_hot" *) reg [7:0] my_state;
```

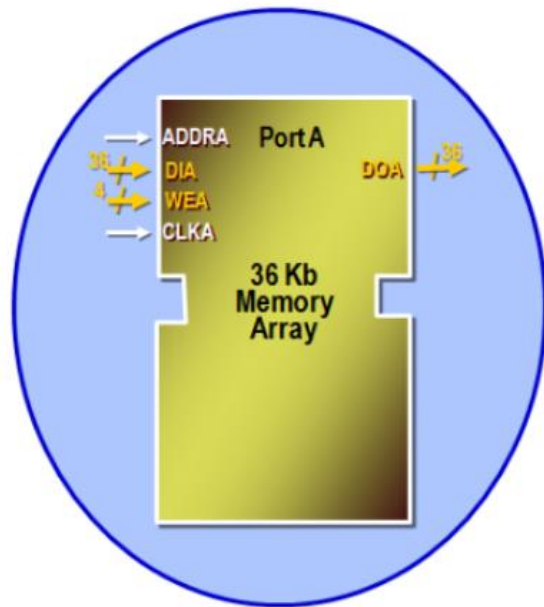
Синхронные элементы. Регистры



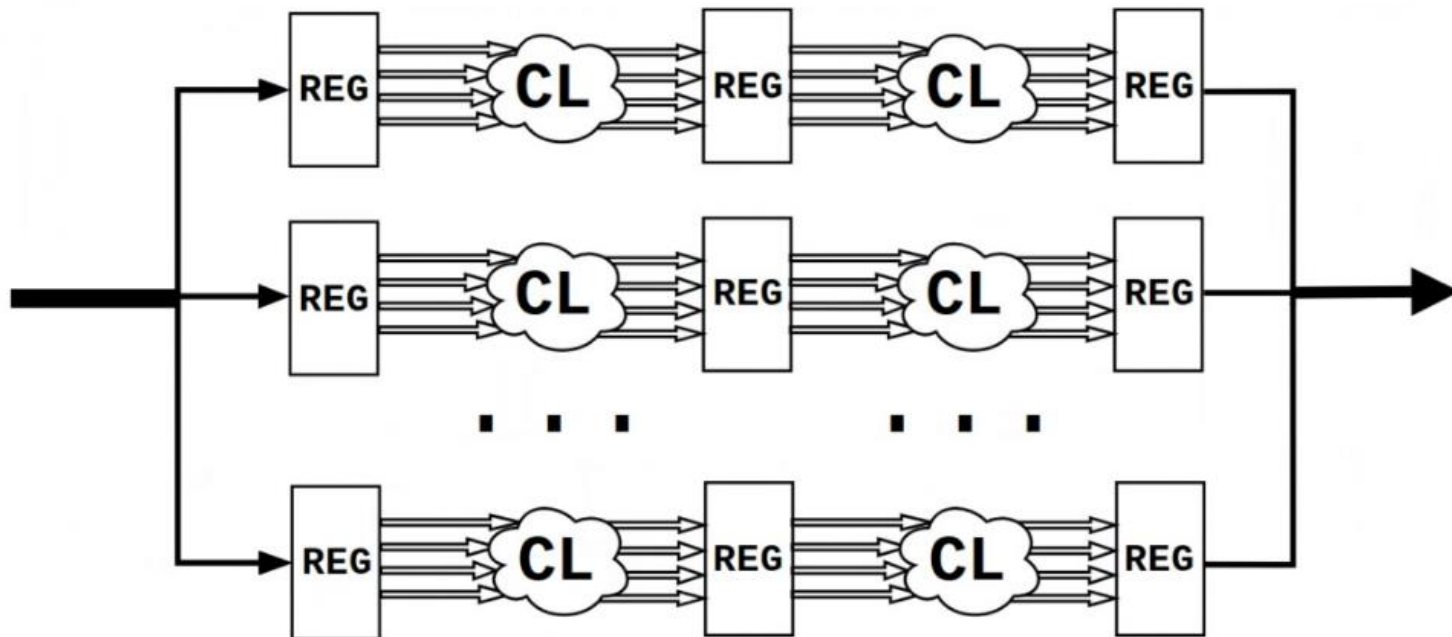
Синхронные элементы. Распределенная память



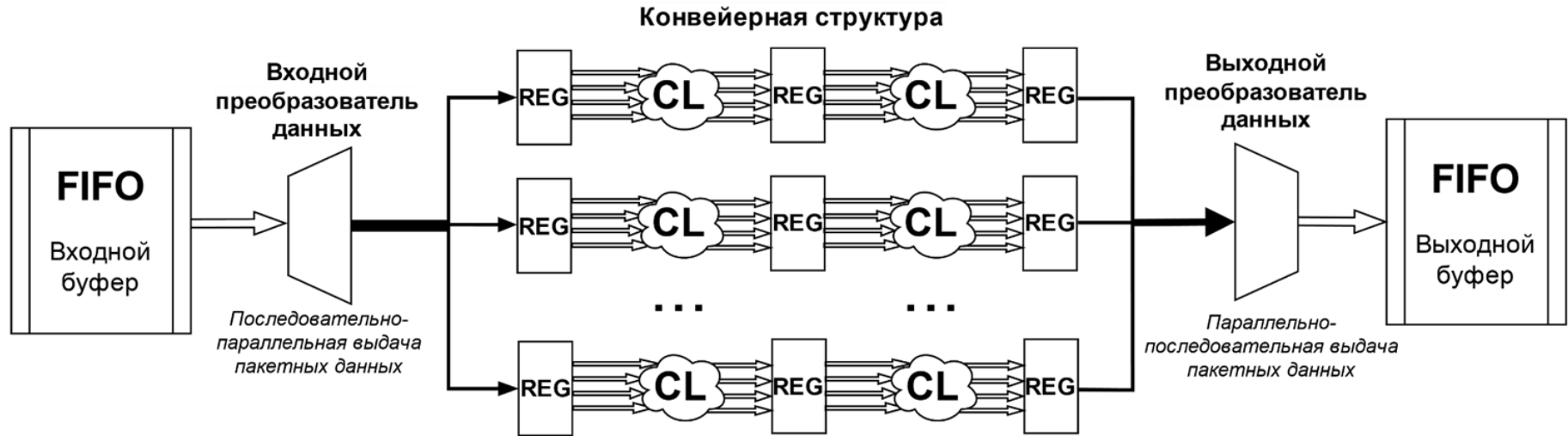
Синхронные элементы. Блочная память



Конвейерная архитектура



Интеграция конвейера в вычислительную систему

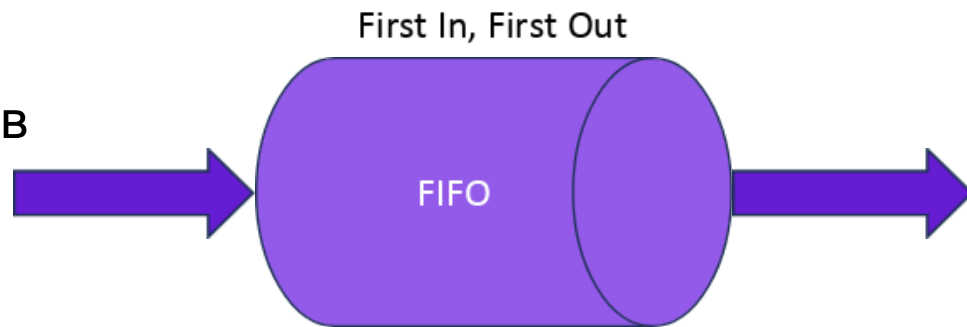


Интеграция. Входной/выходной буферы данных

- Собственная тактовая частота работы
- Последовательный (друг за другом) приём и выдача данных

Параметры:

- глубина буферов
- размер шины данных буферов



Интеграция. Преобразователи данных

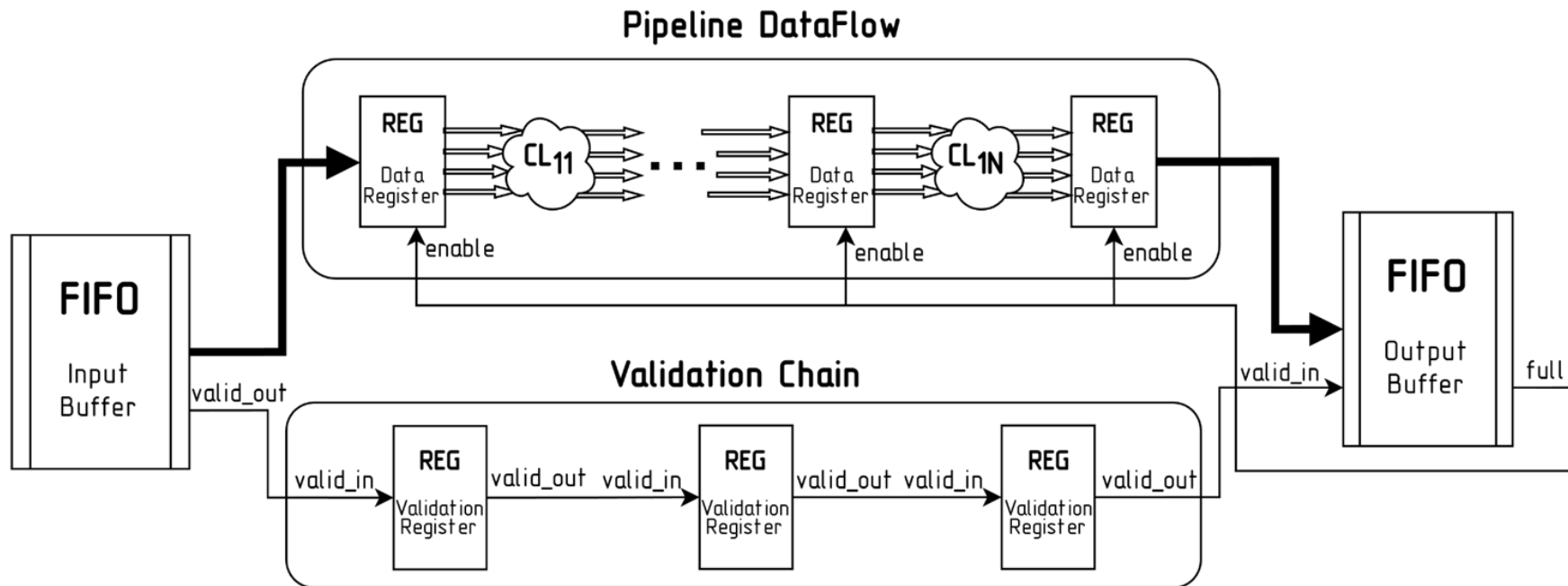
- Собственная внутренняя размерность данных
- Аккумуляция пакета данных

Параметры:

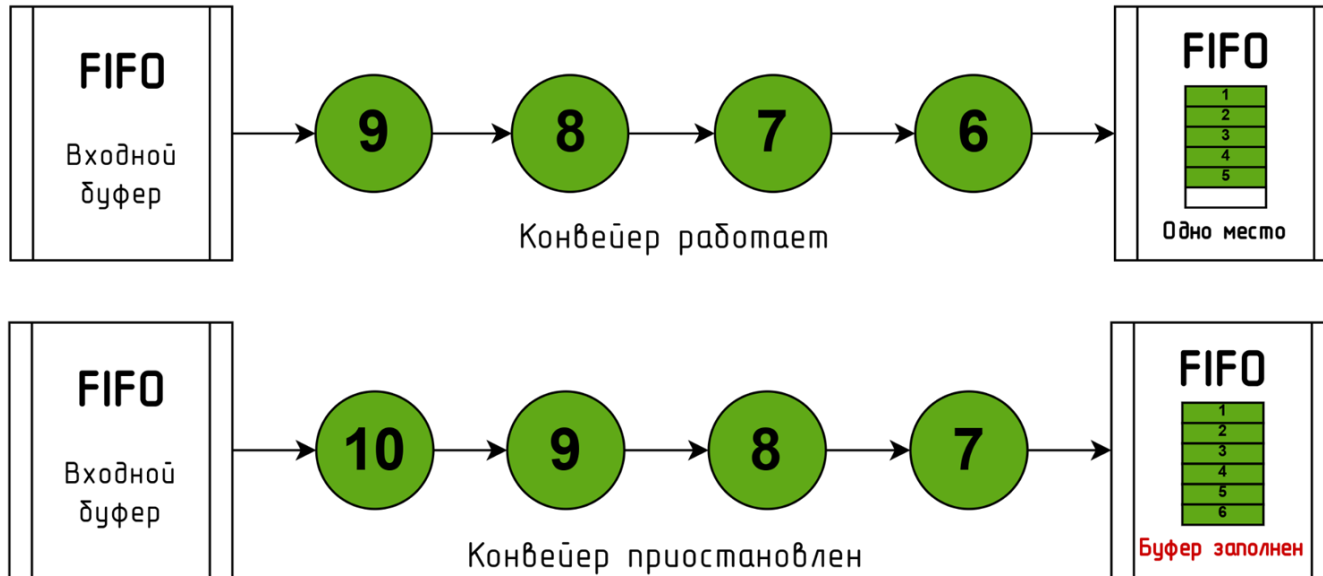
- размеры входной и выходной шин;
- тип применяемого сдвига битов данных



Управление продвижением данных



Пример продвижения данных (заполнение выходного буфера)



Пример продвижения данных (заполнение выходного буфера)

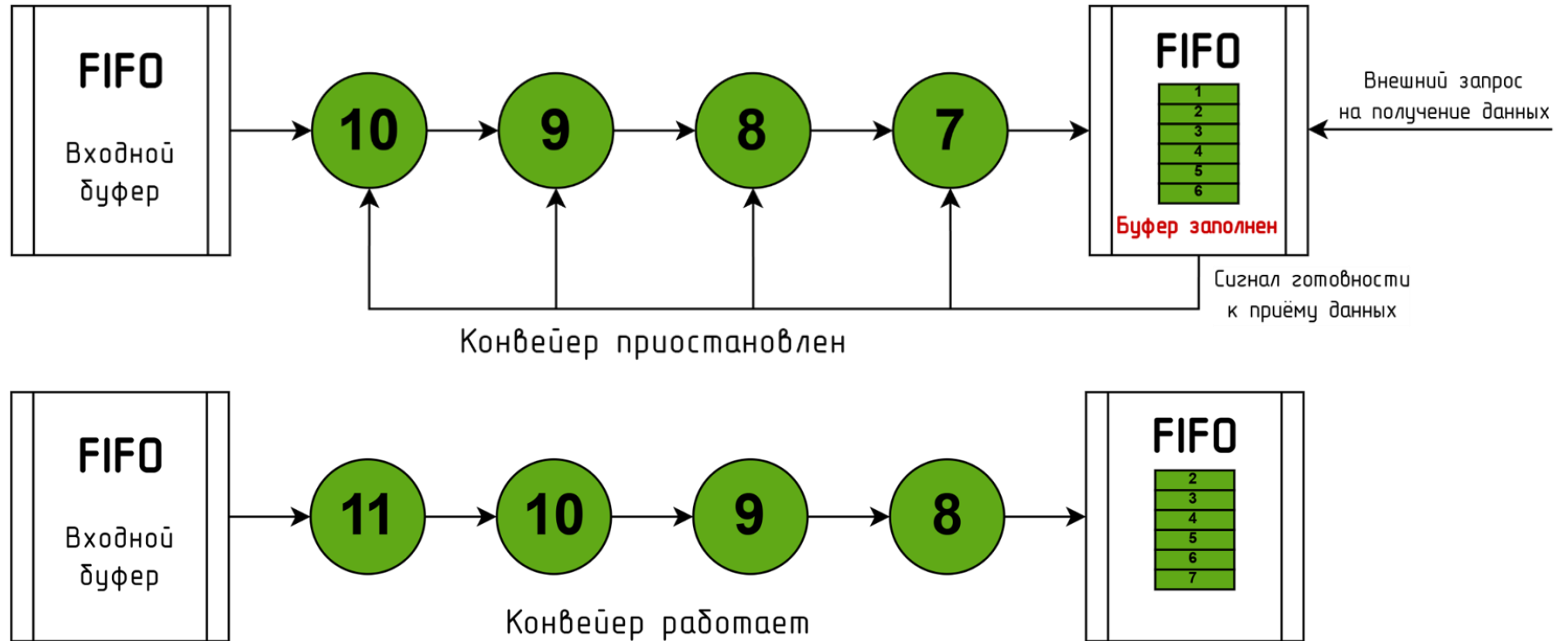
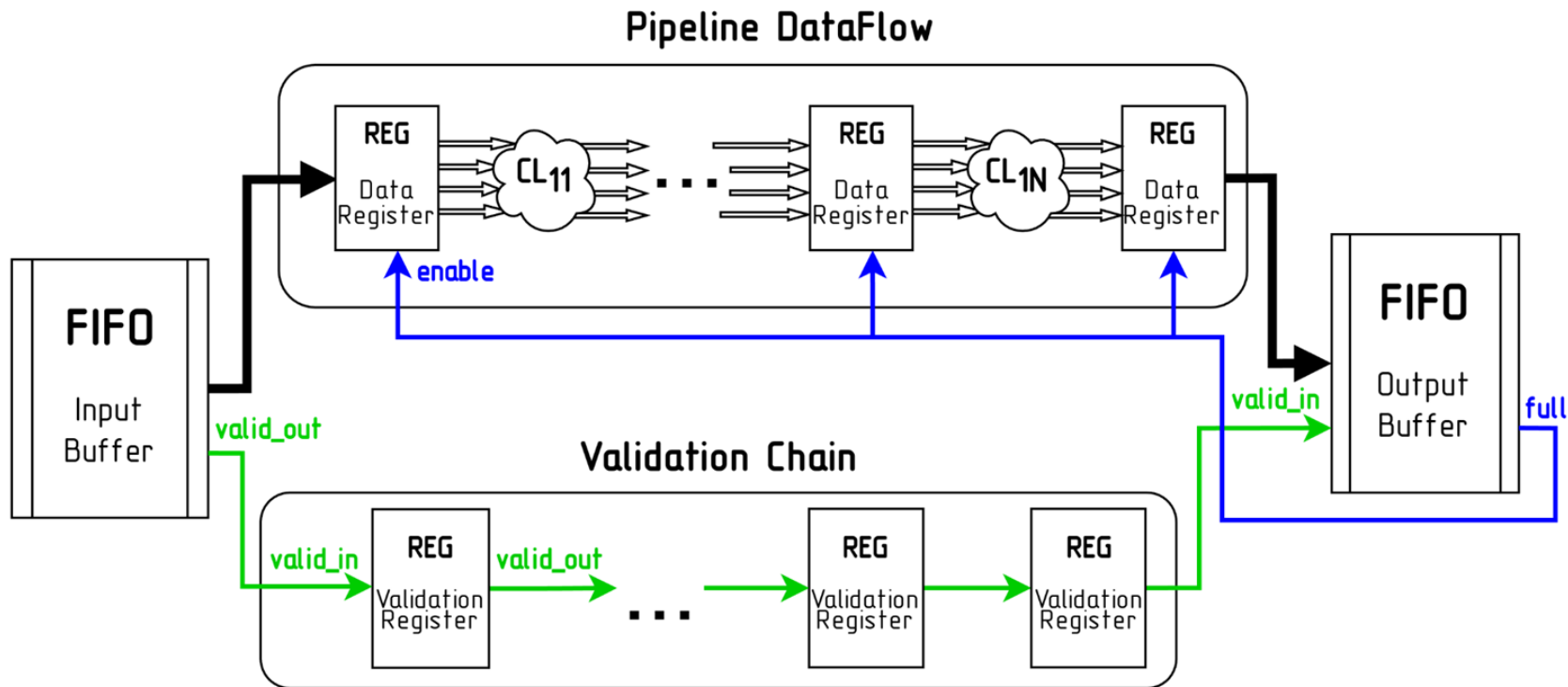
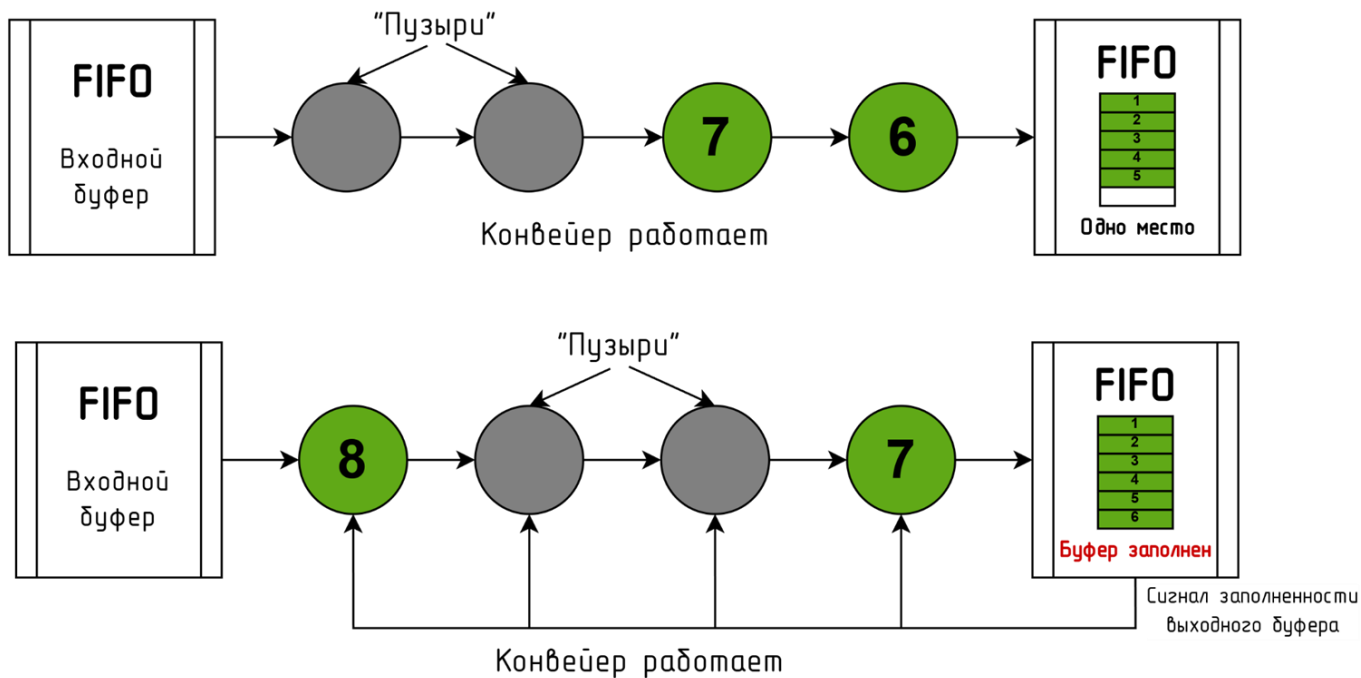


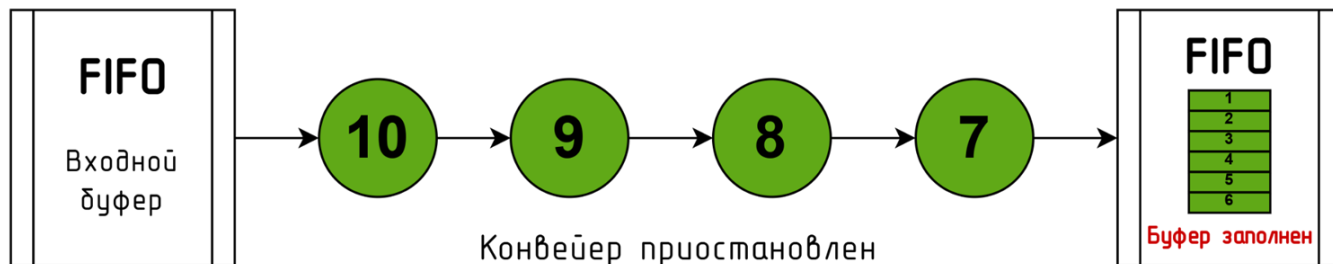
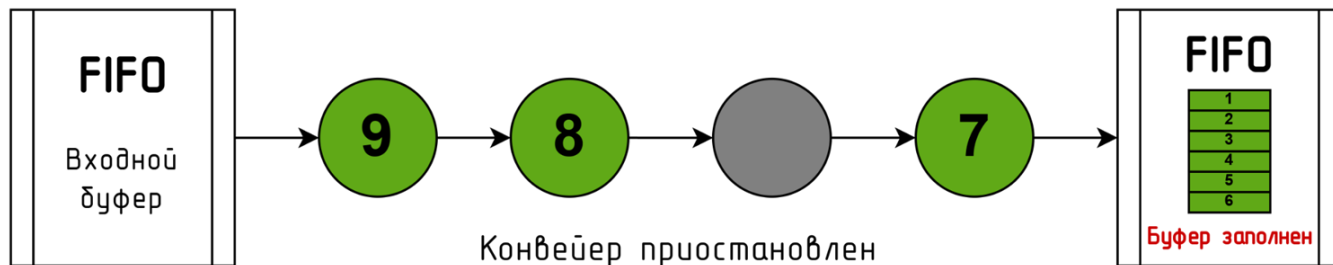
Схема управления продвижением при заполненности выходного буфера



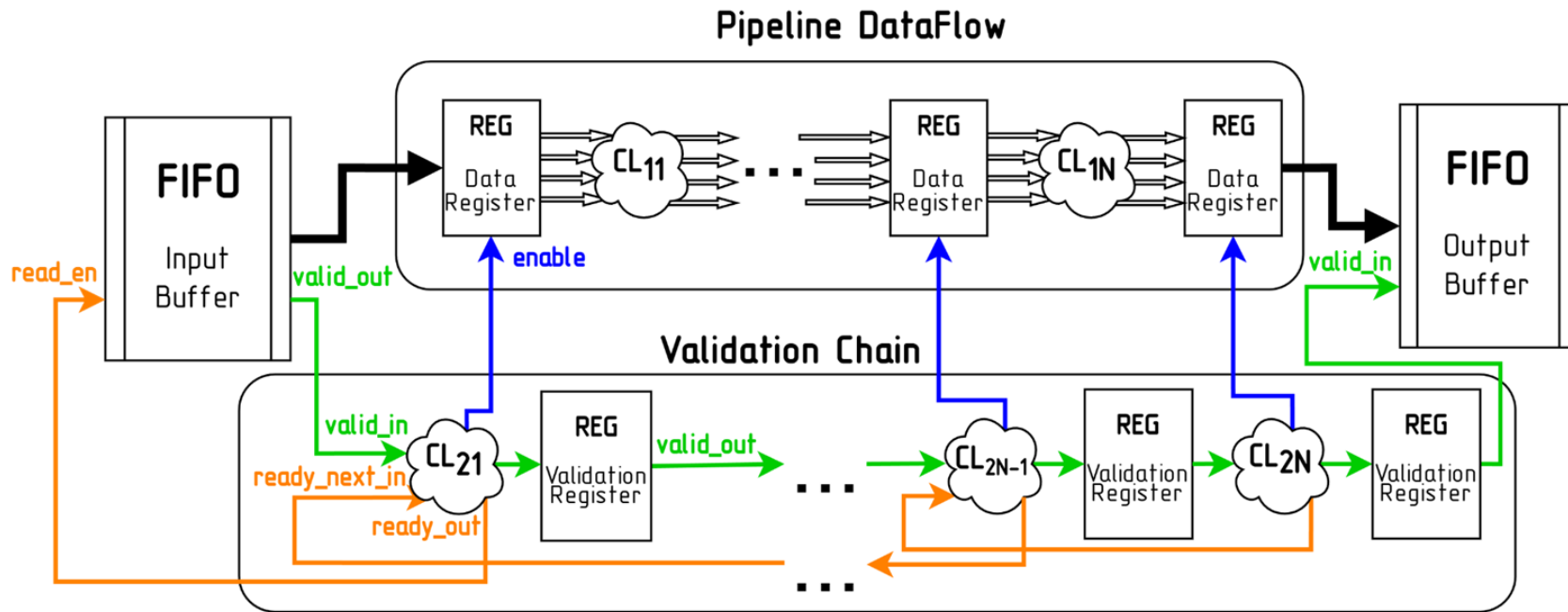
Пример продвижения данных (возникновение “пузырей”)



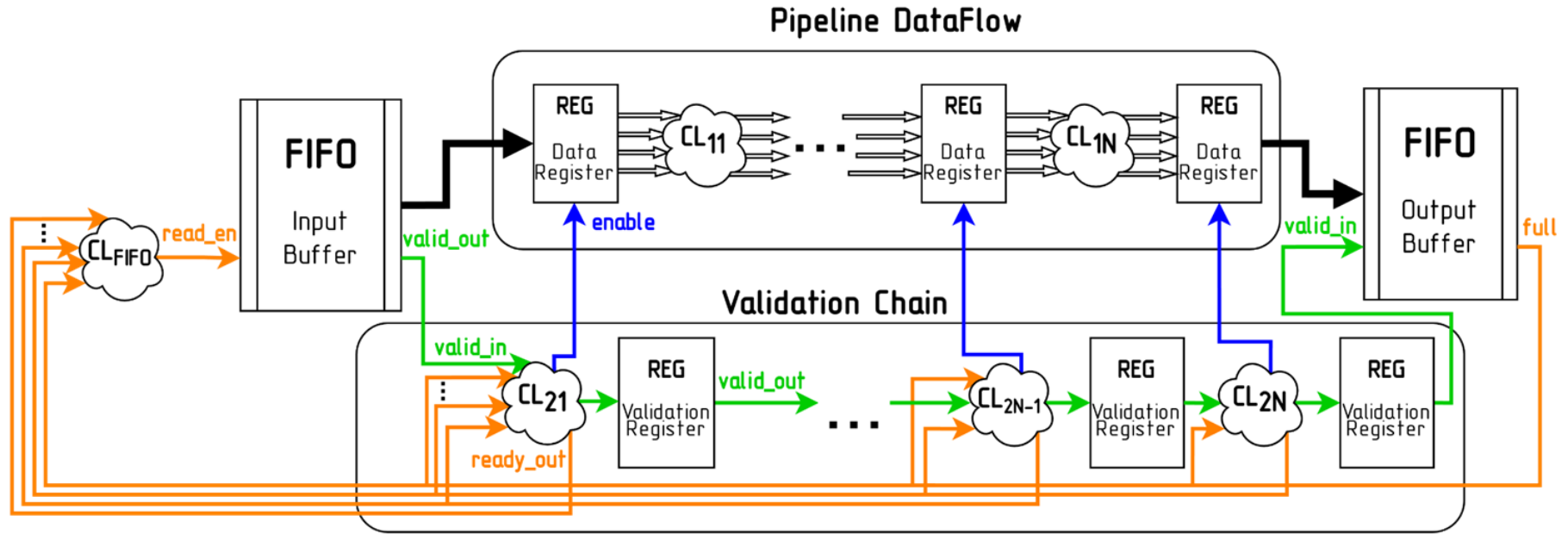
Пример продвижения данных (возникновение “пузырей”)



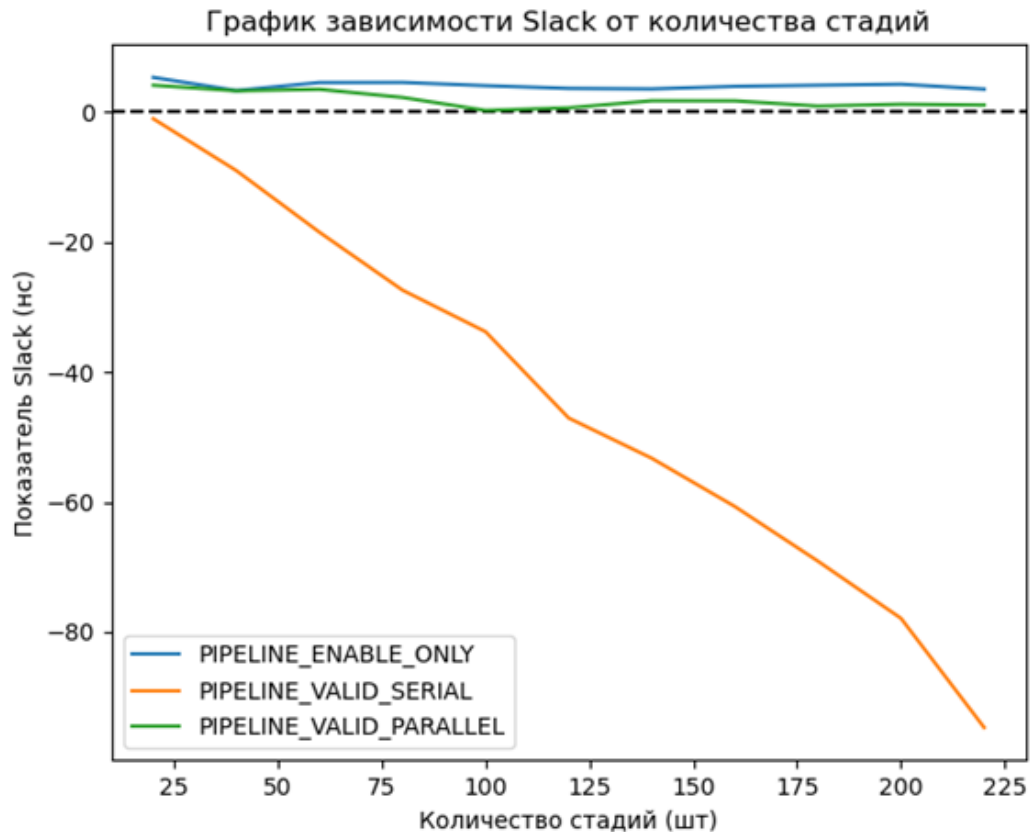
Последовательный вариант валидационной цепочки



Параллельный вариант валидационной цепочки



Проблемы валидационных цепочек



Стратегии размещения Vivado

Performance_Explore	Performance_ExplorePostRoutePhysOpt	Performance_LBlockPlacement	Performance_LBlockPlacementFanoutOpt
Performance_EarlyBlockPlacemen t	Performance_NetDelay_high	Performance_NetDelay_low	Performance_Retiming
Performance_ExtraTimingOpt	Performance_RefinePlacement	Performance_SpreadSLL	Performance_BalanceSLL
Congestion_SpreadLogic_high	Congestion_SpreadLogic_medium	Congestion_SpreadLogic_low	Congestion_SpreadLogic_Explore
Congestion_SSI_SpreadLogic_high	Congestion_SSI_SpreadLogic_low	Area_Explore	Area_ExploreSequential
Area_ExploreWithRemap	Power_DefaultOpt	Power_ExploreArea	Flow_RunPhysOpt
Flow_RunPostRoutePhysOpt	Flow_RuntimeOptimized	Flow_Quick	

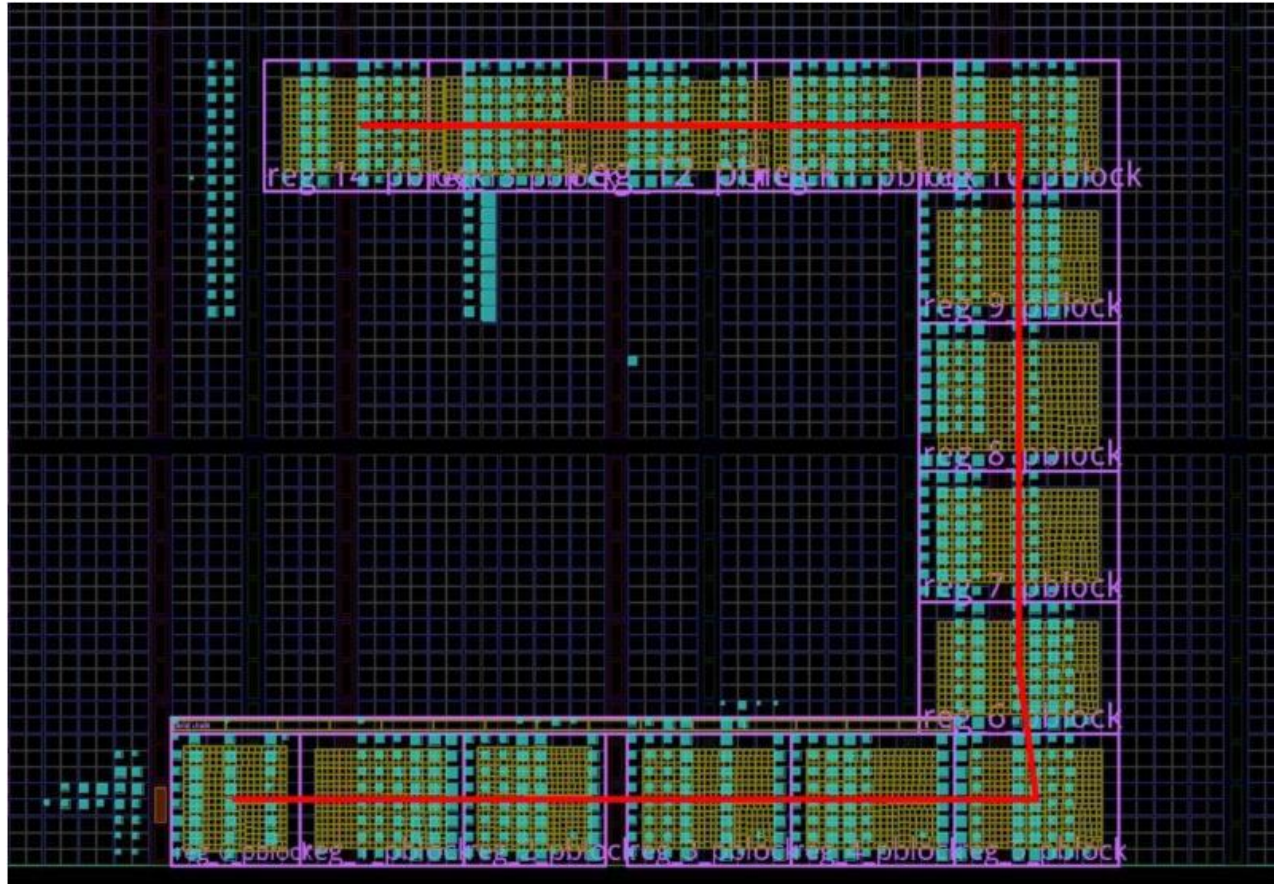
Дополнительные ограничения на примере конвейера

- Плотная компоновка компонентов в рамках одной стадии
- Близкое расположение стадий относительно друг друга в строгом порядке следования
- Проверка выхода за границы тактовых регионов, установка элементов для синхронизации на границе

Инструменты Vivado:

- floorplaning
- Bel
- Loc
- Pblock

Дополнительные ограничения на примере конвейера





Вопросы

Спасибо за внимание!