|  |
| --- |
|  |
| МИНОБРНАУКИ РОССИИ |
| Федеральное государственное бюджетное образовательное учреждение  высшего образования  **«МИРЭА - Российский технологический университет»**  **РТУ МИРЭА** |

Институт Информационных Технологий

Кафедра Вычислительной Техники (ВТ)

**ОТЧЁТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ №** **8**

«Коллоквиум. Практическая часть»

по дисциплине

«Схемотехника устройств компьютерных систем»

|  |  |
| --- | --- |
| Выполнил студент группы  ИВБО-01-22 | Воробьев Д.М. |
| Принял ассистент кафедры ВТ | Дуксин Н.А. |
| Практическая работа выполнена | «\_\_»\_\_\_\_\_\_\_2024 г. |
| «Зачтено» | «\_\_»\_\_\_\_\_\_\_2024 г. |

Москва 2024

СОДЕРЖАНИЕ

[1 ОСНОВНОЙ РАЗДЕЛ 3](#_Toc184158484)

[1.1 Задание 1 3](#_Toc184158485)

1 ОСНОВНОЙ РАЗДЕЛ

* 1. Задание 1

Опишем модуль, который реализует конечный автомат для деления двух 4-битных чисел с обработкой ошибок, например, деления на ноль.

Состояние S0 – начальное состояние, в котором обнуляются регистры и выходы. Модуль готовится к приему данных.

Состояние S1 – в нём принимается первый операнд (делимое) и сохраняется в регистр a\_reg. Переход к следующему состоянию осуществляется, если входной сигнал valid\_in активен.

Состояние S2 – принимается второй операнд (делитель) и сохраняется в регистр b\_reg. Также, если сигнал valid\_in активен, происходит переход к состоянию S3.

Состояние S3 – выполняется операция деления. Если делитель равен нулю, возникает ошибка деления на ноль, и устанавливается сигнал ошибки error\_out. Если делимое равно нулю, результат также будет равен нулю. В противном случае выполняется деление делимого на делитель и результат записывается в d\_out (Листинг 1.1).

Листинг 1.1 – Конечный автомат для операции деления на языке Verilog

module fsm\_div (

input reset,

input clk,

input valid\_in,

input [3:0] d\_in,

output reg [3:0] d\_out,

output reg valid\_out,

output reg error\_out

);

// Константы ошибок

localparam NO\_ERROR = 0, DIV\_BY\_ZERO = 1;

// Регистры операндов

reg signed [3:0] a\_reg, b\_reg;

Продолжение листинга 1.1

// Состояния конечного автомата

localparam S0 = 0, S1 = 1, S2 = 2, S3 = 3;

reg [1:0] state;

initial state = S0;

always@(posedge clk)

begin

if (reset)

state <= S0;

else

case(state)

// Сброс регистров

S0: begin

a\_reg <= 0;

b\_reg <= 0;

d\_out <= 0;

error\_out <= 0;

valid\_out <= 0;

state <= 1;

end

// Ввод первого операнда (делимого)

S1: if (valid\_in)

begin

a\_reg <= d\_in;

state <= S2;

end

// Ввод второго операнда (делителя)

S2: if (valid\_in)

begin

b\_reg <= d\_in;

state <= S3;

end

// Выполнение операции деления

S3: begin

if (b\_reg == 0)

begin

error\_out <= DIV\_BY\_ZERO;

valid\_out <= 1;

end

else if (a\_reg == 0)

begin

d\_out <= 0;

valid\_out <= 1;

end

else

begin

d\_out <= a\_reg / b\_reg;

valid\_out <= 1;

end

state <= S0;

end

Продолжение листинга 1.1

endcase

end

endmodule

ЗАКЛЮЧЕНИЕ

В рамках данной практической работы реализованы заданные задачи в практической части коллоквиума.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Методические указания по ПР № 1 — URL: https://online-edu.mirea.ru/mod/resource/view.php?id=405132 (Дата обращения: 23.09.2022).

2. Методические указания по ПР № 2 — URL: https://online-edu.mirea.ru/mod/resource/view.php?id=409130 (Дата обращения: 23.09.2022).

3. Смирнов С.С. Информатика [Электронный ресурс]: Методические указания по выполнению практических и лабораторных работ / С.С. Смирнов — М., МИРЭА — Российский технологический университет, 2018. — 1 электрон. опт. диск (CD-ROM).

4. Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. — М.: Горячая линия — Телеком, 2021. — 538 с.: ил.

5. Антик М.И. Дискретная математика [Электронный ресурс]: Учебное пособие / Антик М.И., Казанцева Л.В. — М.: МИРЭА — Российский технологический университет, 2018 — 1 электрон. опт. диск (CD-ROM).

6. Антик М.И. Математическая логика и программирование в логике [Электронный ресурс]: Учебное пособие / Антик М.И., Бражникова Е.В.— М.: МИРЭА – Российский технологический университет, 2018. — 1 электрон. опт. диск (CD-ROM).

7. Жемчужникова Т.Н. Конспект лекций по дисциплине «Архитектура вычислительных машин и систем» — URL: https://drive.google.com/file/d/12OAi2\_axJ6mRr4hCbXs-mYs8Kfp4YEfj/view?us  
p=sharing (Дата обращения: 23.09.2022).

8. Антик М.И. Теория автоматов в проектировании цифровых схем [Электронный ресурс]: Учебное пособие / Антик М.И., Казанцева Л.В. — М.: МИРЭА – Российский технологический университет, 2020. — 1 электрон. опт. диск (CD-ROM).