



Εξαμηνιαία εργασία για το μάθημα «Σύγχρονες Αρχιτεκτονικές Υπολογιστών»

31/5/2022

Θέμα 1: Επέκταση υποστηριζόμενων εντολών του single-cycle MIPS

Χρησιμοποιώντας ως βάση την υλοποίηση του single-cycle MIPS σε Verilog-HDL που πραγματοποιήθηκε στο εργαστήριο του μαθήματος, να γίνουν οι κατάλληλες προσθήκες σε επίπεδο datapath και control του MIPS στη Verilog-HDL, ώστε να υποστηρίζονται οι ακόλουθες ομάδες εντολών:

1. **Bitwise:** and, or, xor, nor, andi, ori, xori,
2. **Arithmetic:** add, addi, sub, mult, div
3. **Shift:** sll, srl, sra, sllv, srlv
4. **Branch:** j, beq, bne, blez, bgtz
5. **Register transfer:** mfhi, mflo, lui, slt, slti

Με τη βοήθεια του MARS simulator, να κατασκευάσετε κατάλληλο testbench, ώστε να επαληθεύσετε την ορθότητα του επεξεργαστή μετά τις μικρο-αρχιτεκτονικές προσθήκες.

Παραδοτέα:

1. Single-cycle MIPS in Verilog
2. Verilog testbench
3. Τεχνική αναφορά

[5 ΜΟΝΑΔΕΣ]

Θέμα 2: Σχεδίαση pipelined MIPS σε Verilog

Να επεκταθεί κατάλληλα η υλοποίηση του MIPS στο Θέμα 1, ώστε να υποστηρίζεται η λειτουργία διοχέτευσης. Να αναλυθούν οι κίνδυνοι δεδομένων και ροής ελέγχου και υλοποιηθεί η μονάδα ανίχνευσης κινδύνων, η οποία θα εισάγει κατάλληλο αριθμό «φυσαλλίδων» ανάλογα με την εκάστοτε ανίχνευση. Να κατασκευάσετε κατάλληλο testbench, ώστε να επαληθεύσετε την ορθότητα του επεξεργαστή.

Παραδοτέα:

1. Simple pipelined MIPS in Verilog
2. Verilog testbench
3. Τεχνική αναφορά

[3 ΜΟΝΑΔΕΣ]

Θέμα 3: Μελέτη απόδοσης

Έστω το ακόλουθο πρόγραμμα σε MIPS assembly που υπολογίζει τους 6 πρώτους όρους μιας γεωμετρικής προόδου, με πρώτο όρο 1 και λόγο 4.

```
.data
A:      .word 0, 0, 0, 0,
.text
        la      $t0, A
        addi     $t1, $t1, 1
        add      $t4, $t1, $zero  # $t4 is the accumulator

        sw      $t1, 0($t0)      # 1st element a[0] <- 1
        addi     $t3, $t3, 4      # max_iteration & geo step
        addi     $t2, $t2, 1      # iterator
loop:
        ble     $t2, $t3, loop_body
        j       exit_loop
loop_body:
        mult     $t1, $t3          # calculate next element value
        mflo     $t1              # we only need the lower part of product
        add      $t4, $t4, $t1     # update accumulator
        addi     $t0, $t0, 4       # calculate address of next elem.
        sw      $t1, 0($t0)       # write element a[i]
        addi     $t2, $t2, 1       # update iterator
        j       loop
```

Επίδραση μικρο-αρχιτεκτονικών βελτιστοποιήσεων: Με χρήση του MARS simulator, να παράγετε το εκτελέσιμο αρχείο. Να θεωρήσετε συχνότητα ρολογιού για τον single cycle MIPS Fclk1 = 200 MHz και συχνότητα ρολογιού για τις pipelined υλοποιήσεις του MIPS Fclk2 = 600 MHz και να μελετήσετε μέσω προσομοίωσης στη Verilog την απόδοση των MIPS που σχεδιάστηκαν στα προηγούμενα θέματα. Η αξιολόγηση απόδοσης να λάβει υπόψη τις ακόλουθες μετρικές: συνολικός χρόνος εκτέλεσης, Cycles per Instruction (CPI), instruction throughput (#instructions/sec).

Επίδραση βελτιστοποιήσεων κώδικα: Στη συνέχεια βελτιστοποιήσετε τον κώδικα assembly του παραπάνω προγράμματος μέσω κατάλληλου χρονοπρογραμματισμού/τοποθέτησης των εντολών που ανήκουν στο basic block loop_body: → j loop, ώστε να ελαχιστοποιηθούν οι κίνδυνοι δεδομένων και οι αντίστοιχες εισαγωγές «φυσαλίδων». Να προσομοιώσετε το καινούργιο εκτελέσιμο και να επαναλάβετε την αξιολόγηση απόδοσης για τις μετρικές: συνολικός χρόνος εκτέλεσης, Cycles per Instruction (CPI), instruction throughput (#instructions/sec).

Παραδοτέα:

1. Verilog simulations
2. Τεχνική αναφορά

Προαιρετικό θέμα: Αξιολόγηση κυκλωματικής πολυπλοκότητας

Μέσω του Xilinx Vivado, να συνθέσετε κάθε Verilog module, δηλ. ένα-ένα ξεχωριστά, των υλοποιήσεων του MIPS (Προσοχή! Η σύνθεση στο ολικό datapath του MIPS δεν παράγει σωστά αποτελέσματα, διότι αντιλαμβάνεται όλα τα σήματα εσωτερικά του top module, επομένως θεωρεί ότι δεν παράγει καμία έξοδο και διαγράφει τις εσωτερικές συνδέσεις και modules), και να αξιολογήσετε την επιπλέον επιφάνεια υλικού που προστίθεται λόγω των μικρο-αρχιτεκτονικών βελτιστοποιήσεων.

Παραδοτέα:

1. Τεχνική αναφορά

Σημειώσεις:

- Προθεσμία παράδοσης: 3/7/2022
- Upload link παραδοτέων εργασίας: <https://forms.gle/SxHhQom3jSUP8ecZ6>