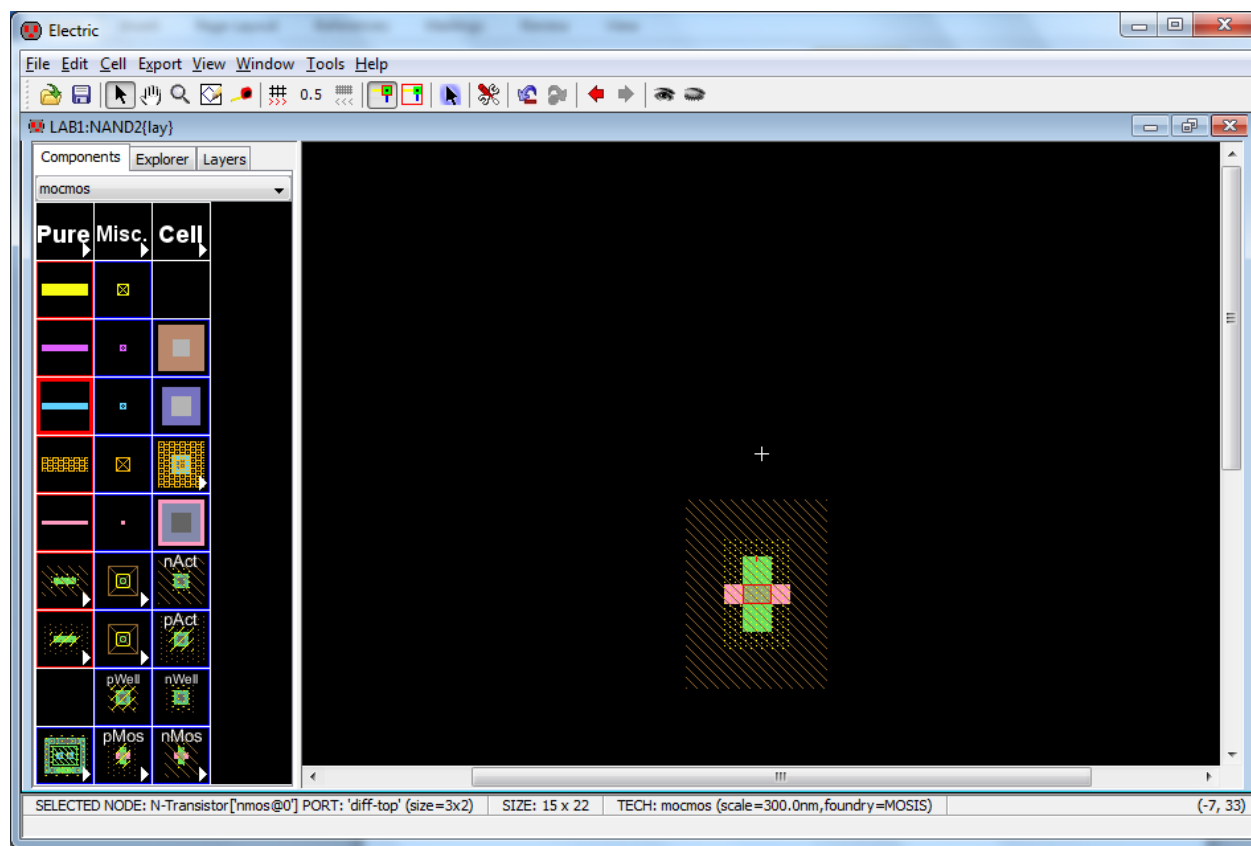
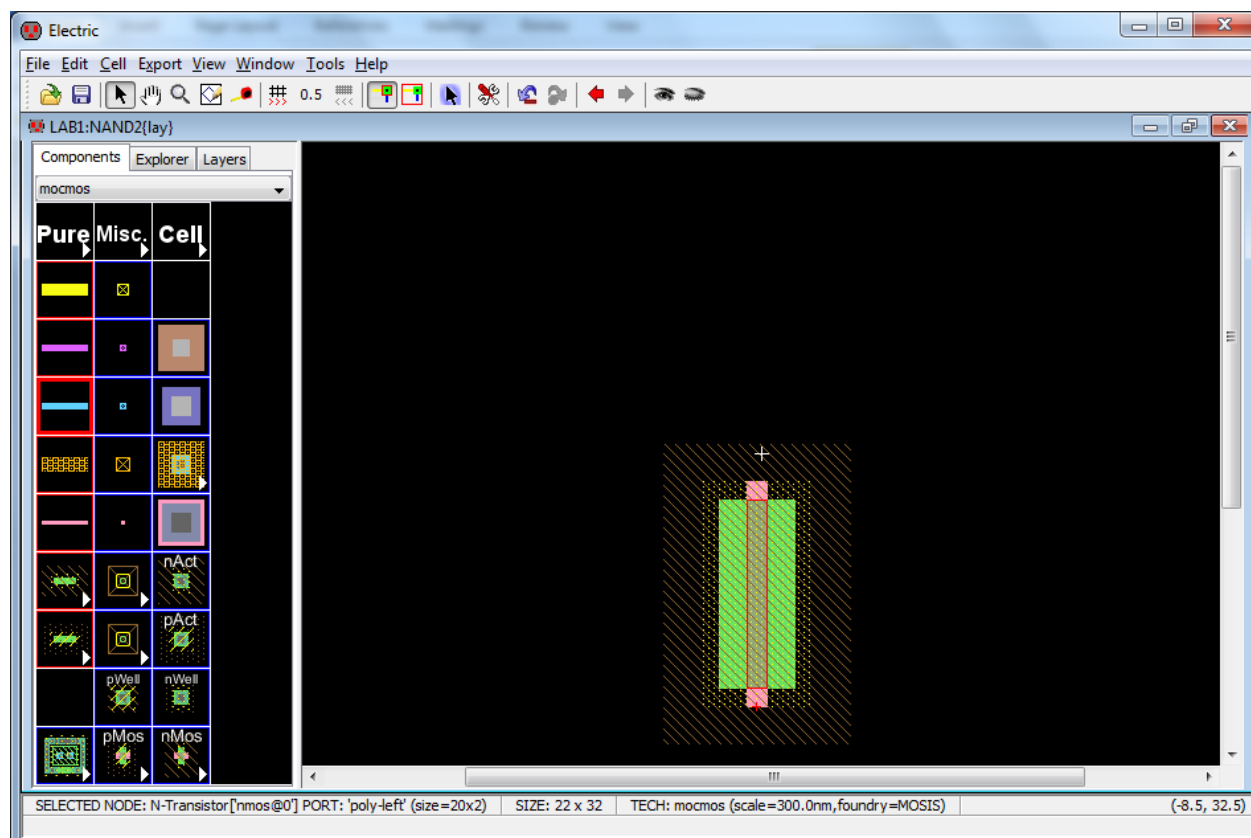


Layout на NAND2

Създайте нова клетка NAND2{layout}. От палетата с компоненти, добавете nmos транзистор

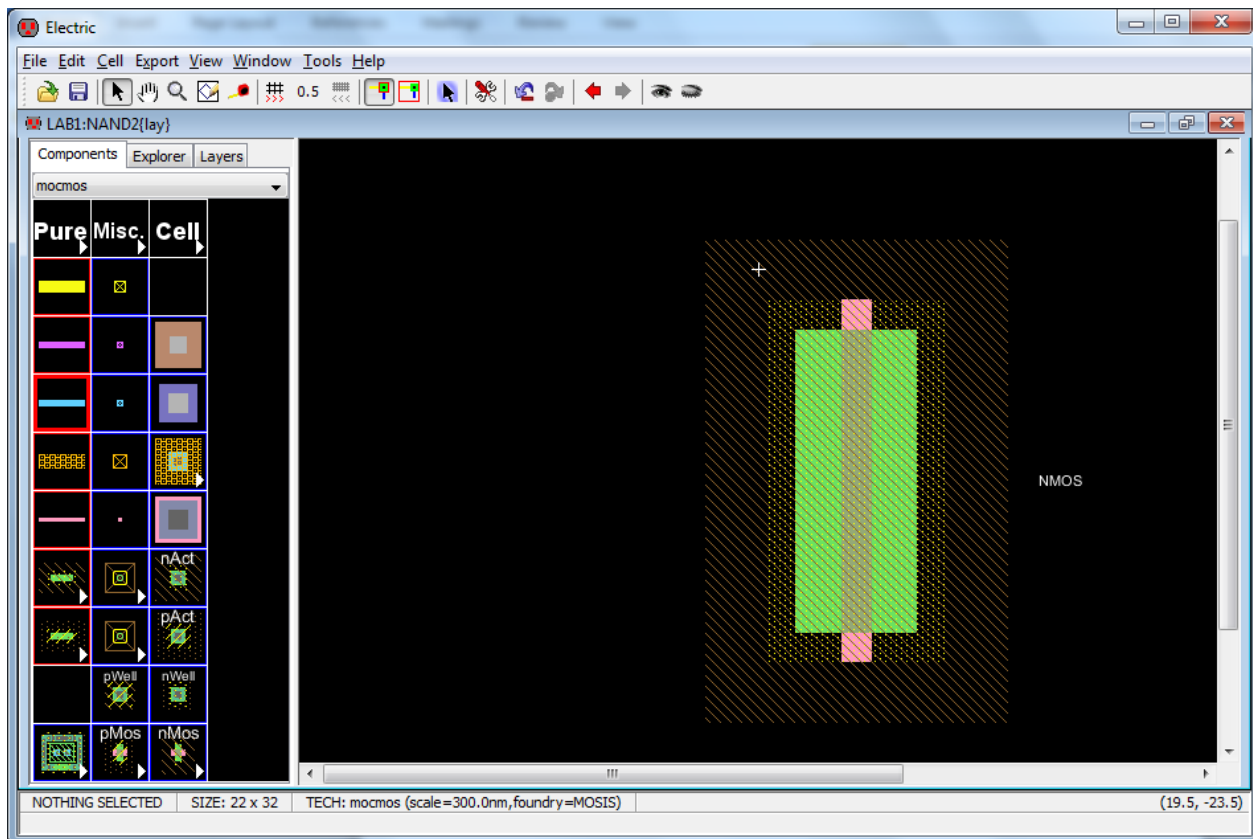


Променете ширината на гейта на 20 (размерите са в ламбда единици) и завъртете транзистора на 90 градуса с Ctrl-J.

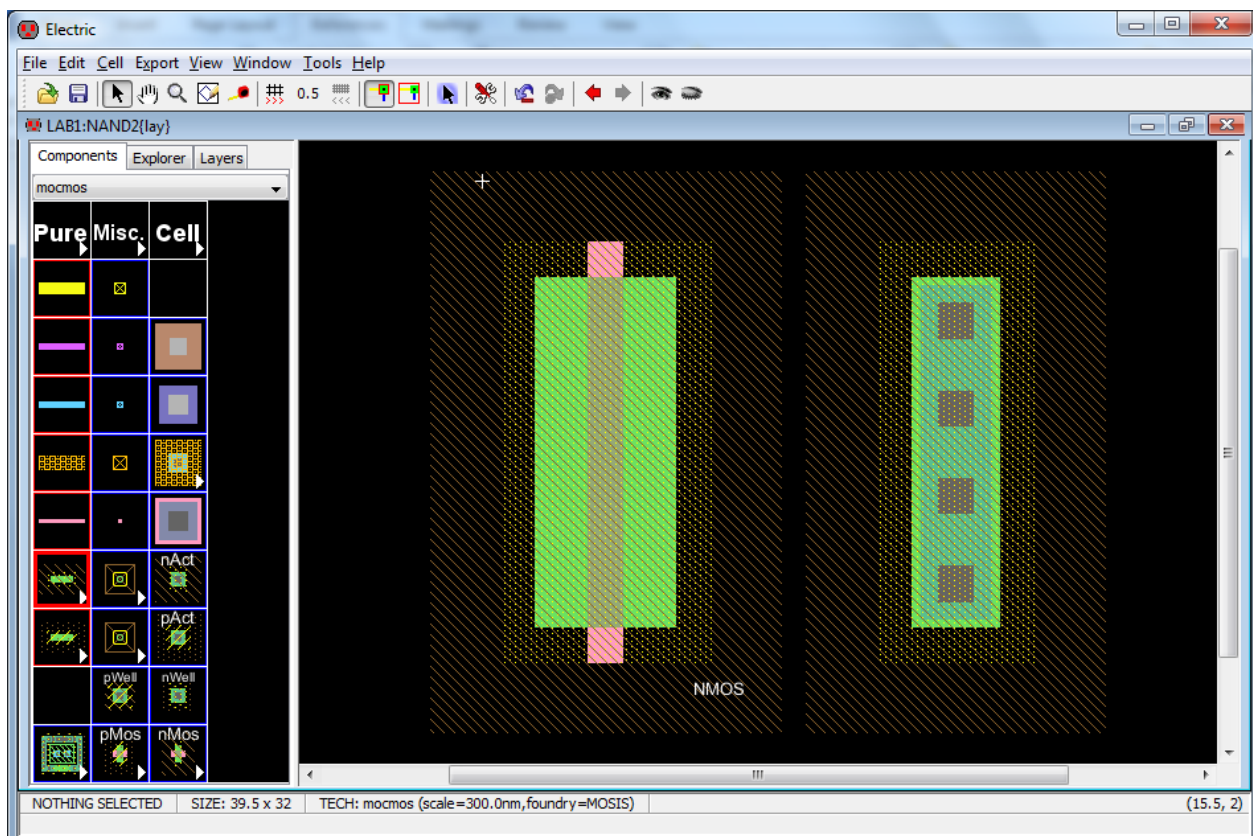


Задайте Spice модел на транзистора и сменете името му на NMOS:

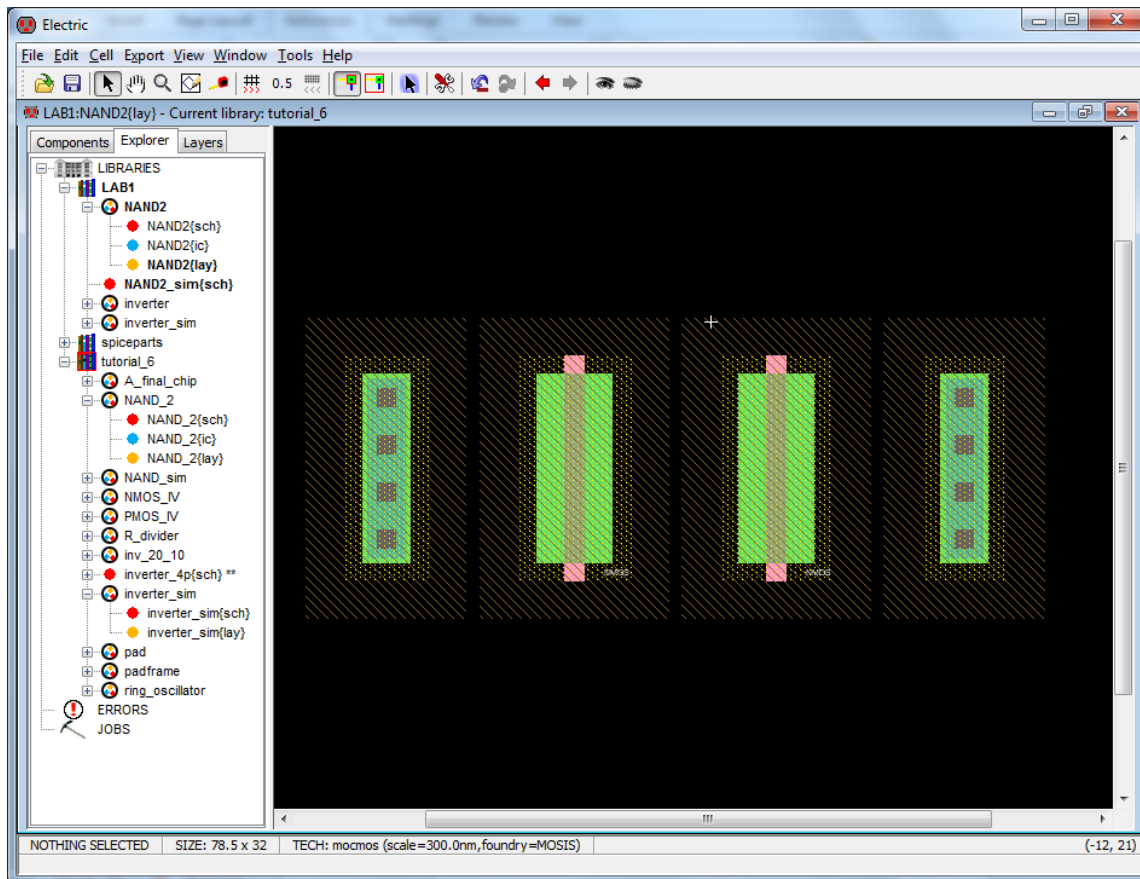
Tools -> Simulation (Spice) -> Set Spice model



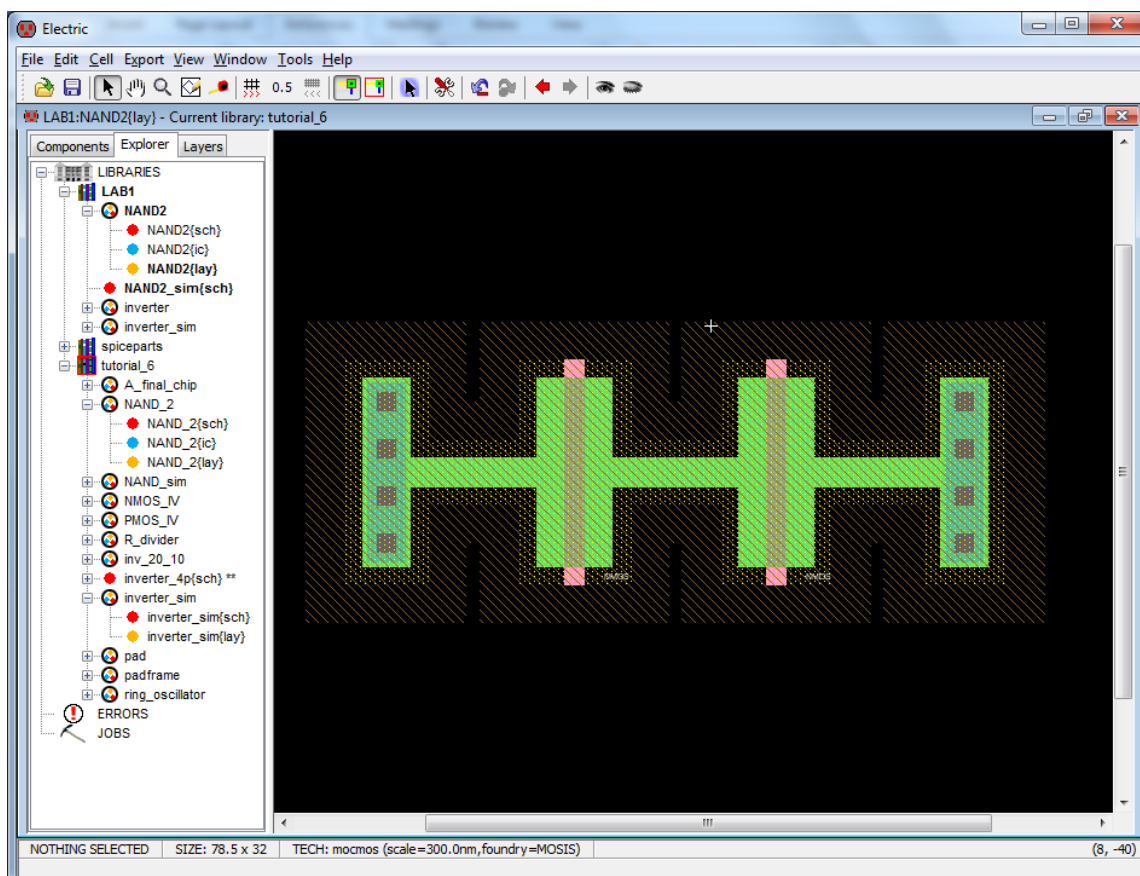
Добавете контакт между активната област и метал 1 – nAct. Сменете висичината му на 20.



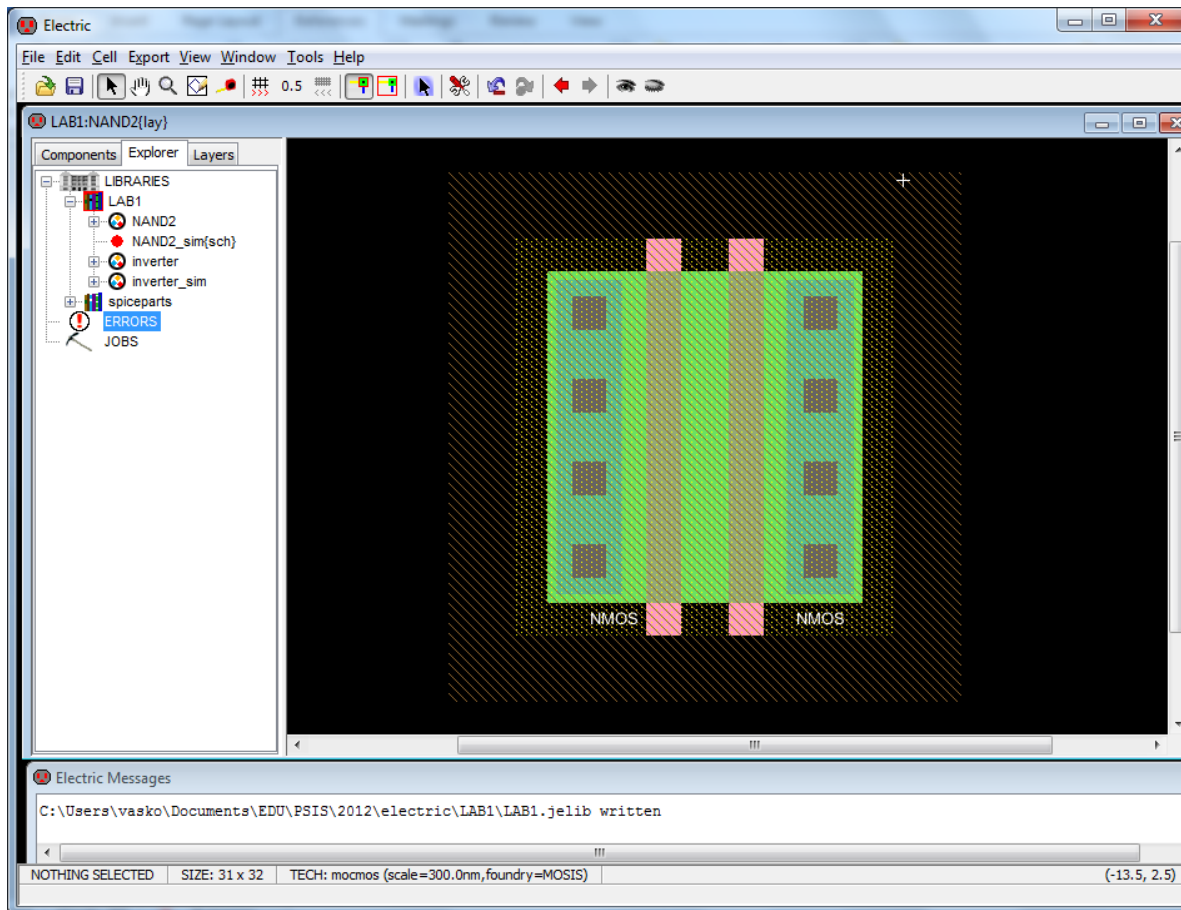
Дублирайте транзистора и контакта:



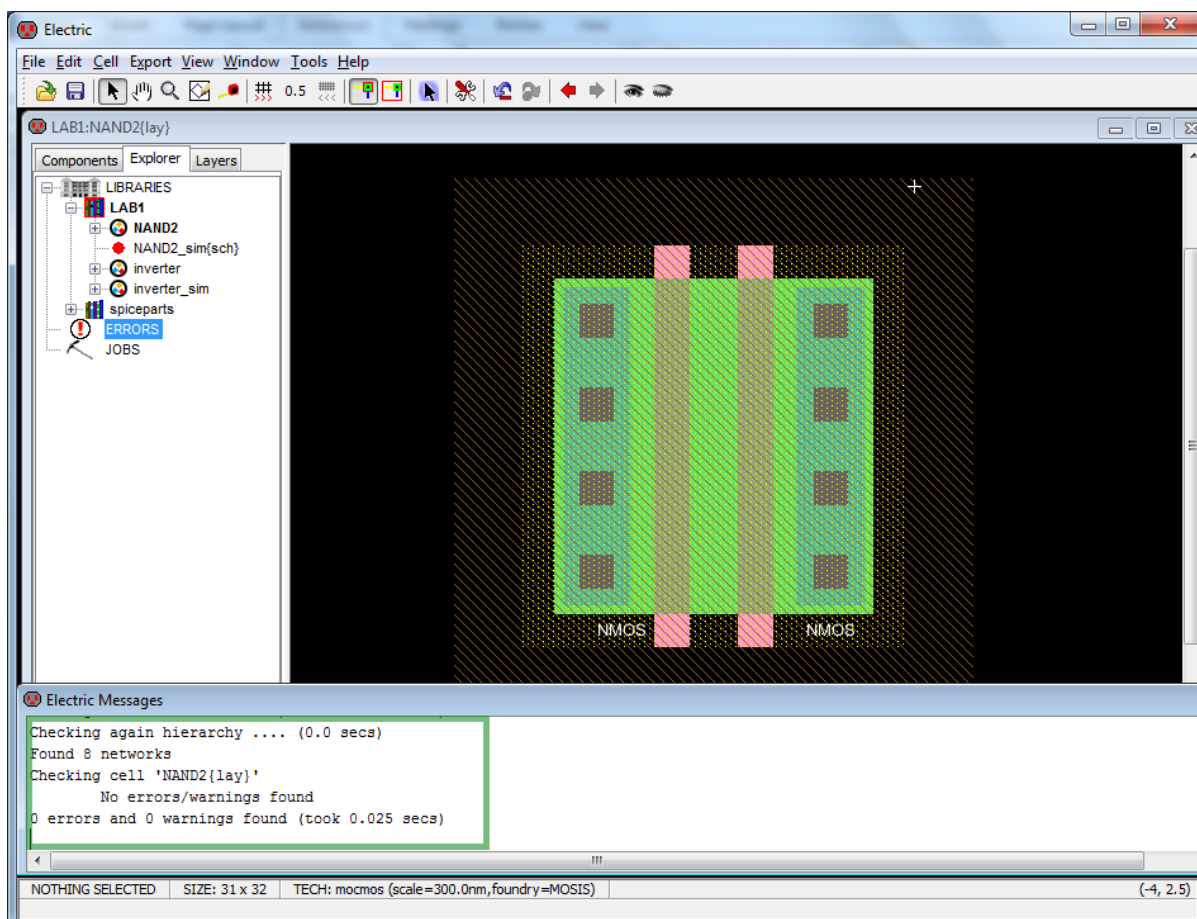
Свържете компонентите (начало – ляв бутон, край – десен бутон) както е показано на фигурата:



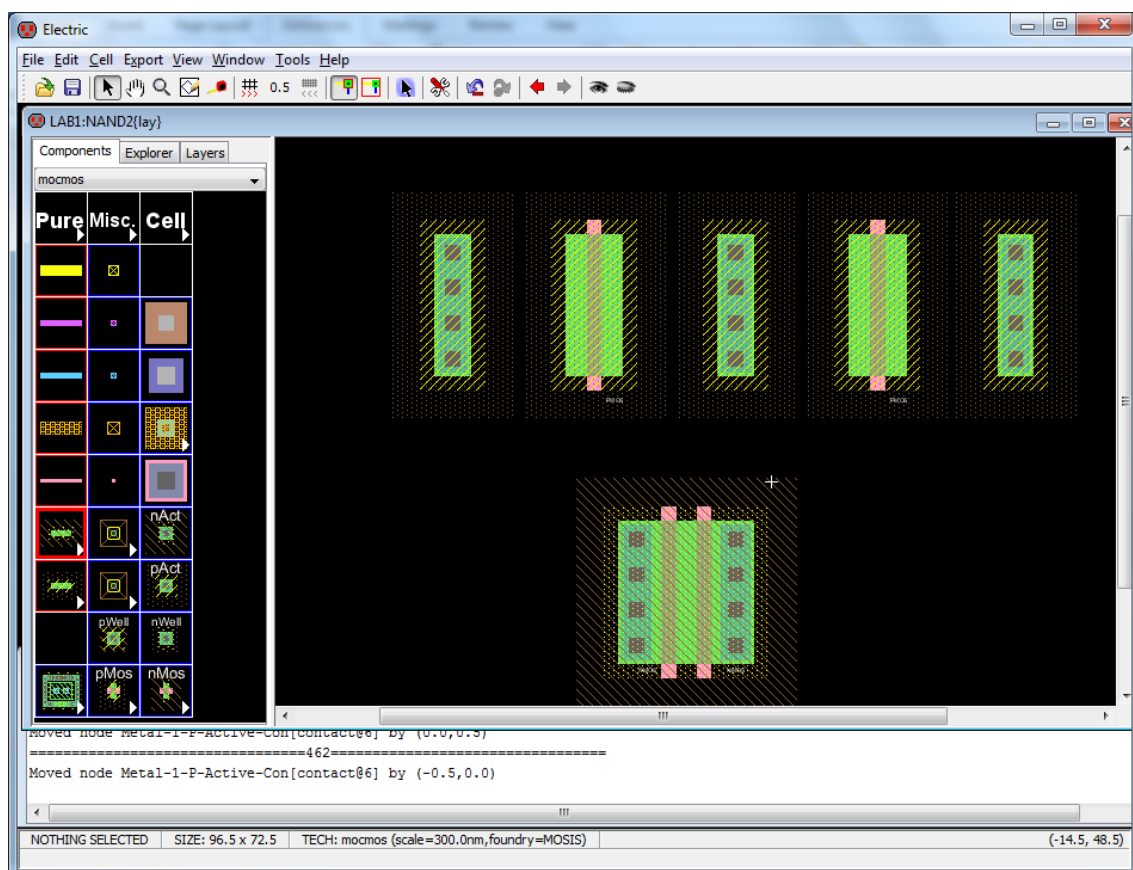
Доближете компонентите, както е показано на фигурата:



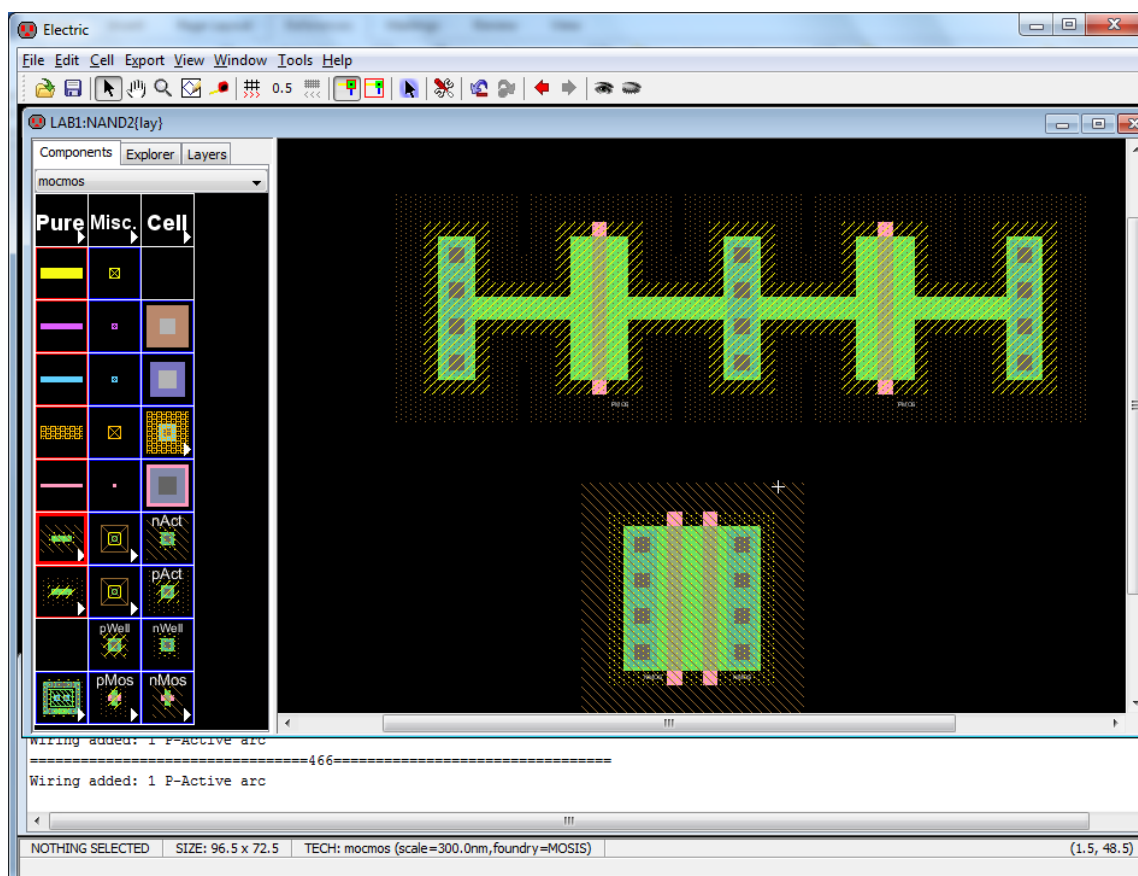
Проверете дали не са нарушени правилата за проектиране – Tools -> DRC -> Check Hierarchically



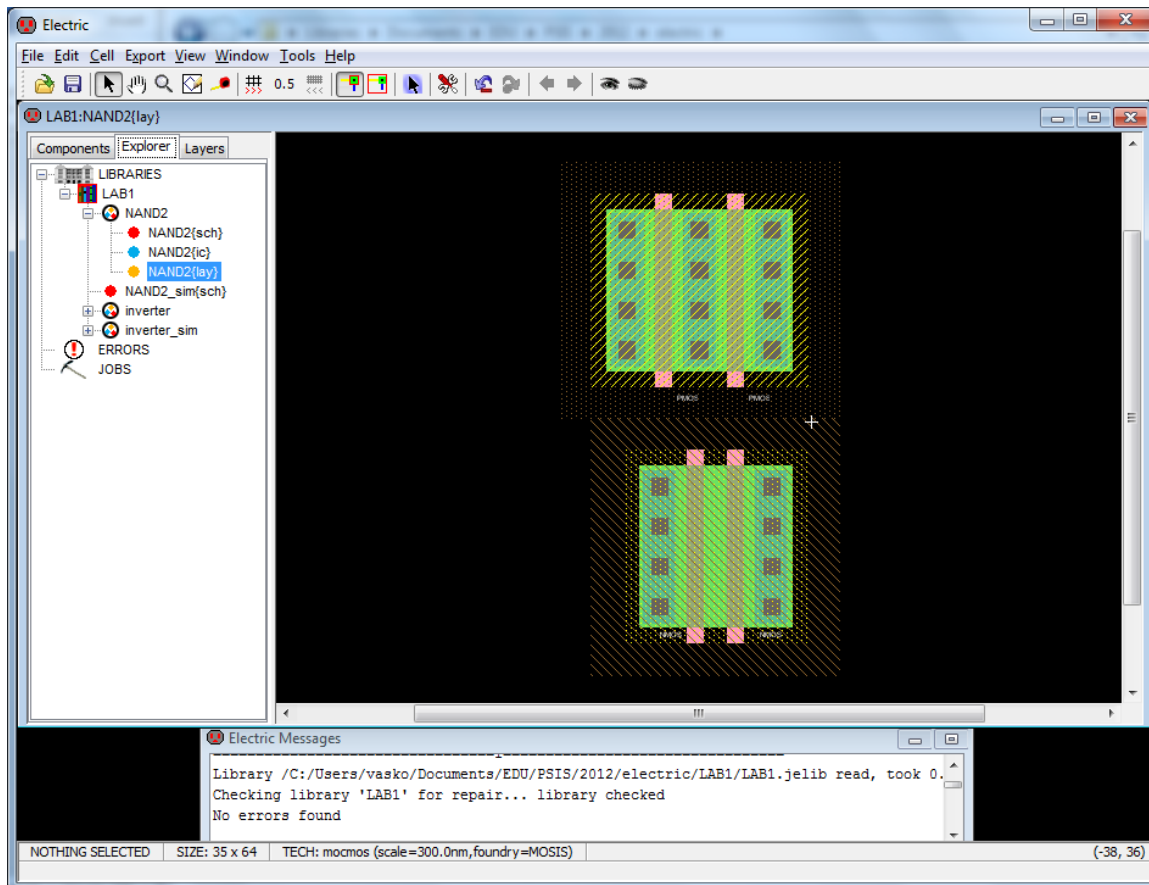
Добавете два pmos транзистора с W=20 и spice модел PMOS. Добавете три pAct контакта (metal 1 – P-active) с височина 20.



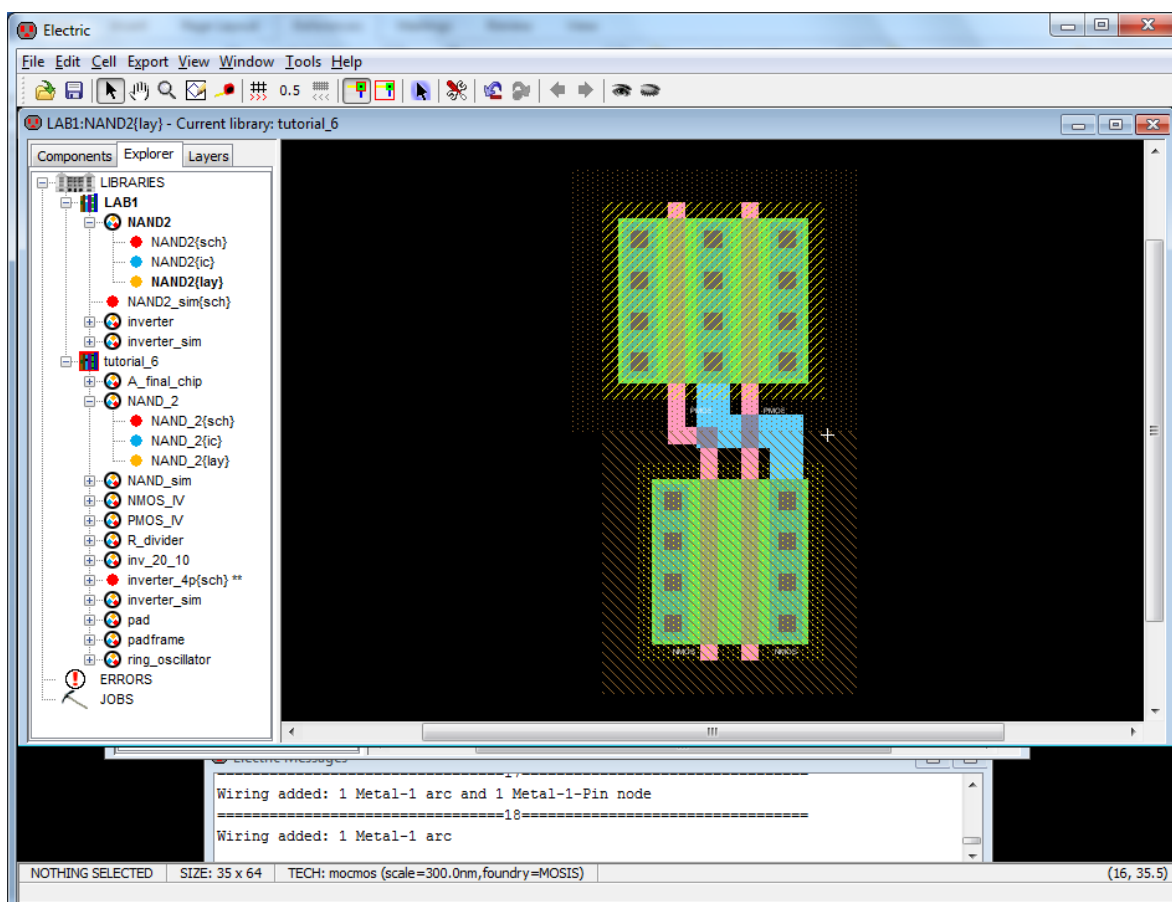
Свържете компонентите.



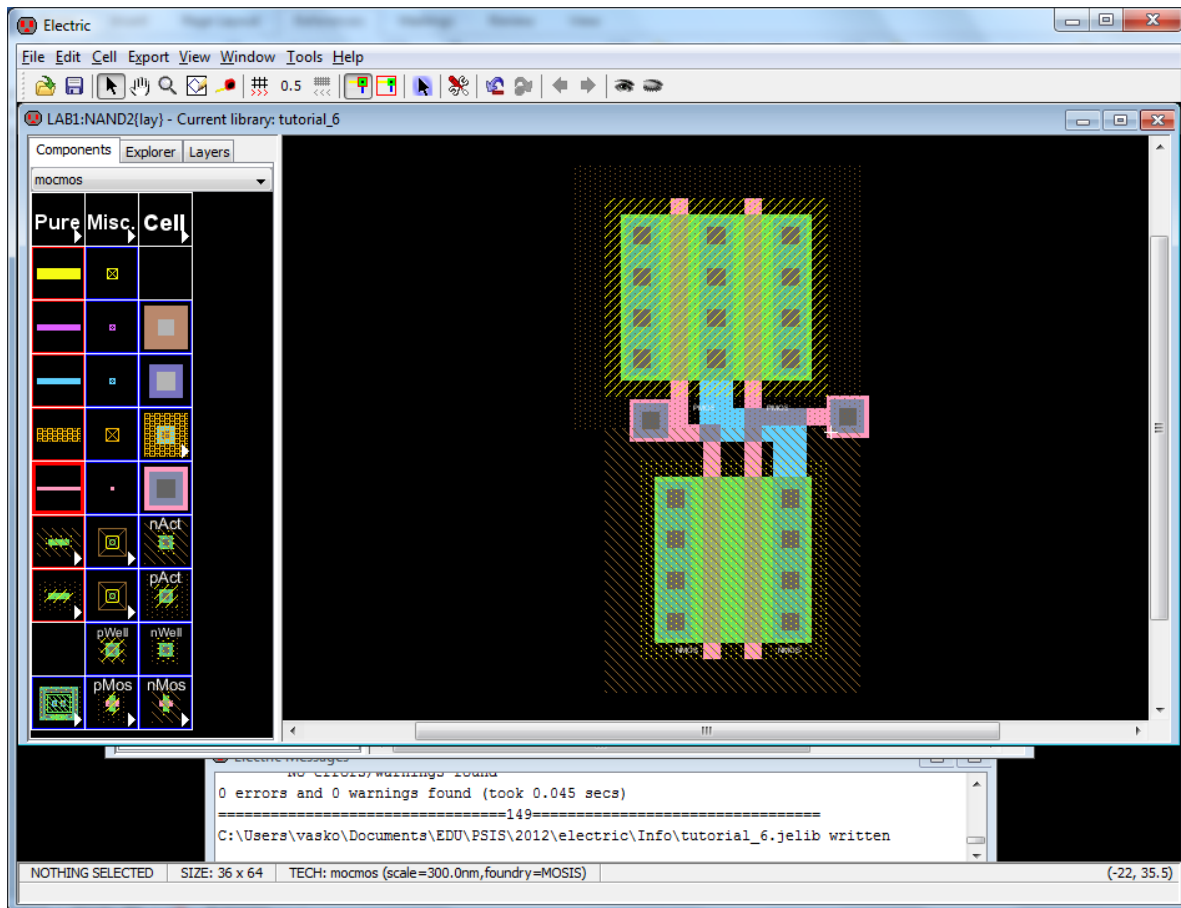
Доближете ги.



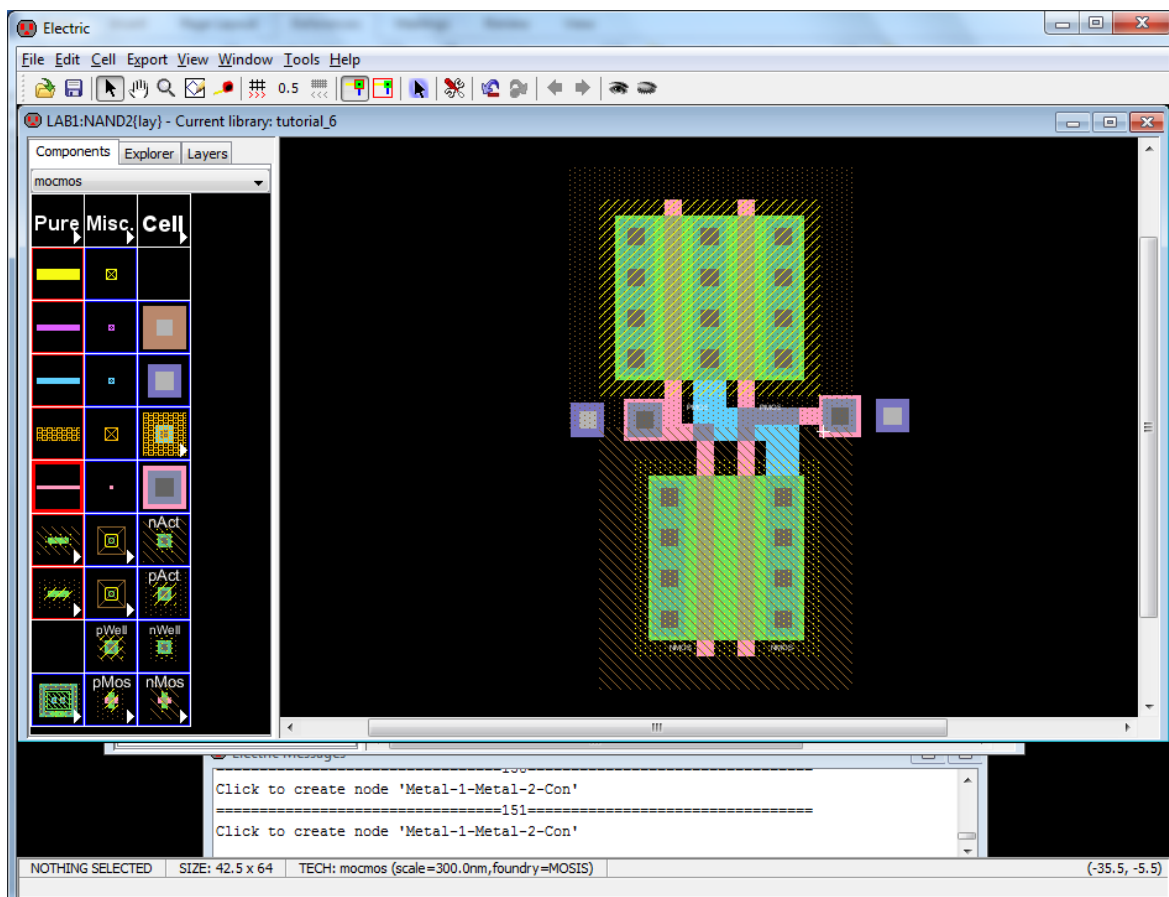
Свържете транзисторите:



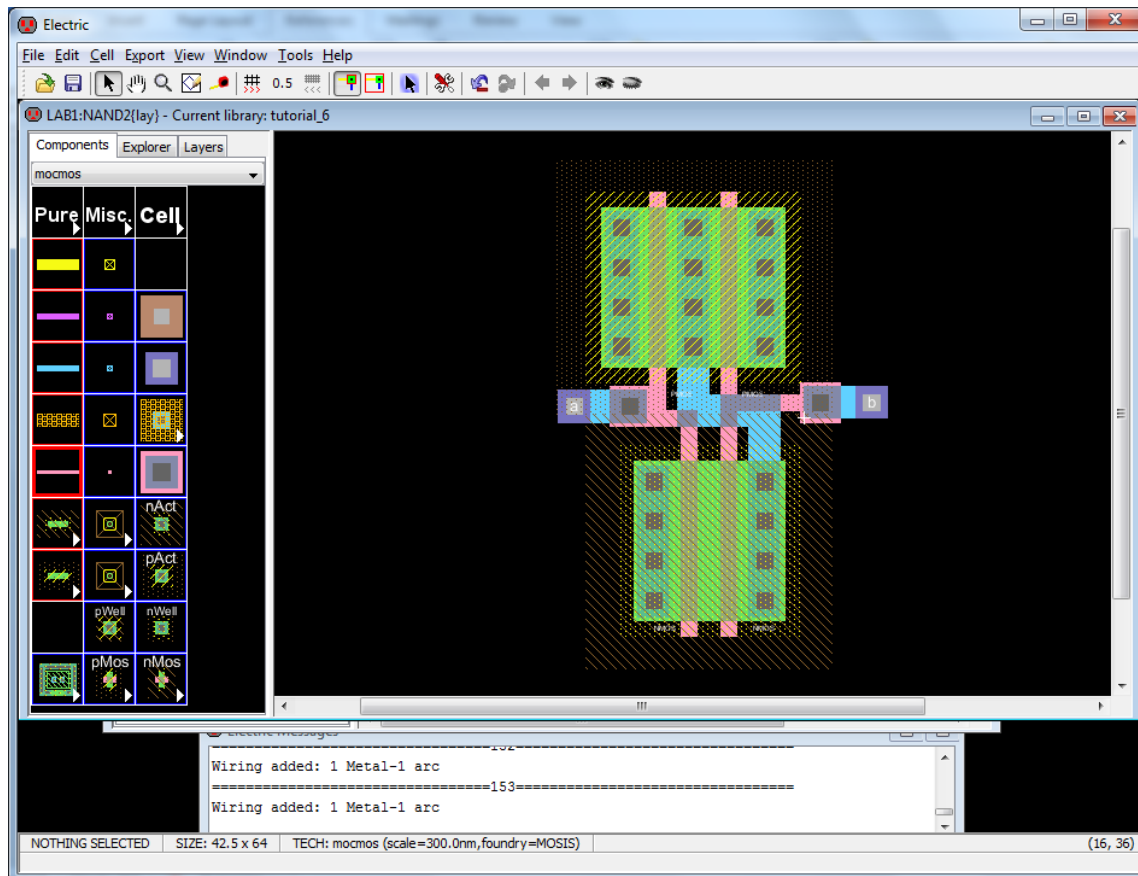
Добавете контакти metal-1-polysilicon-1 и ги свържете



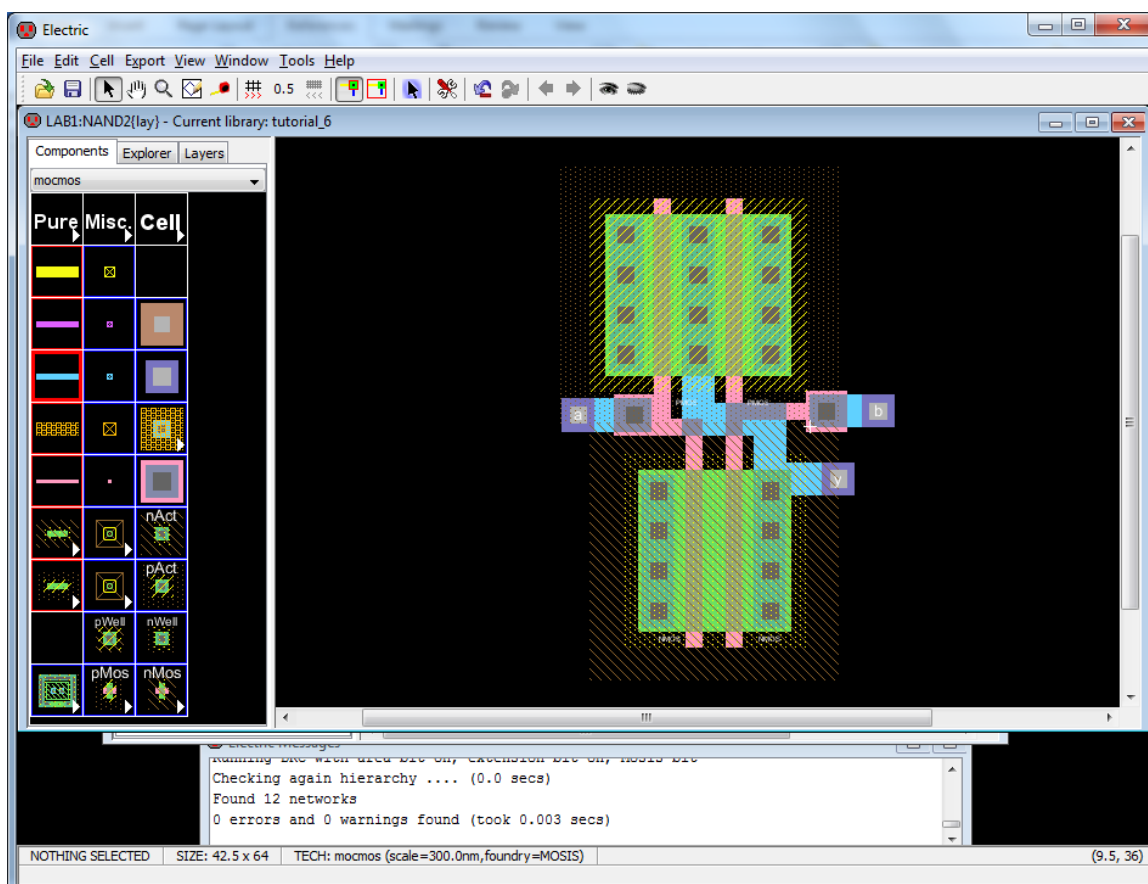
Направете DRC (F5) и отстранете евентуални грешки. Добавете контакти metal-1-metal-2



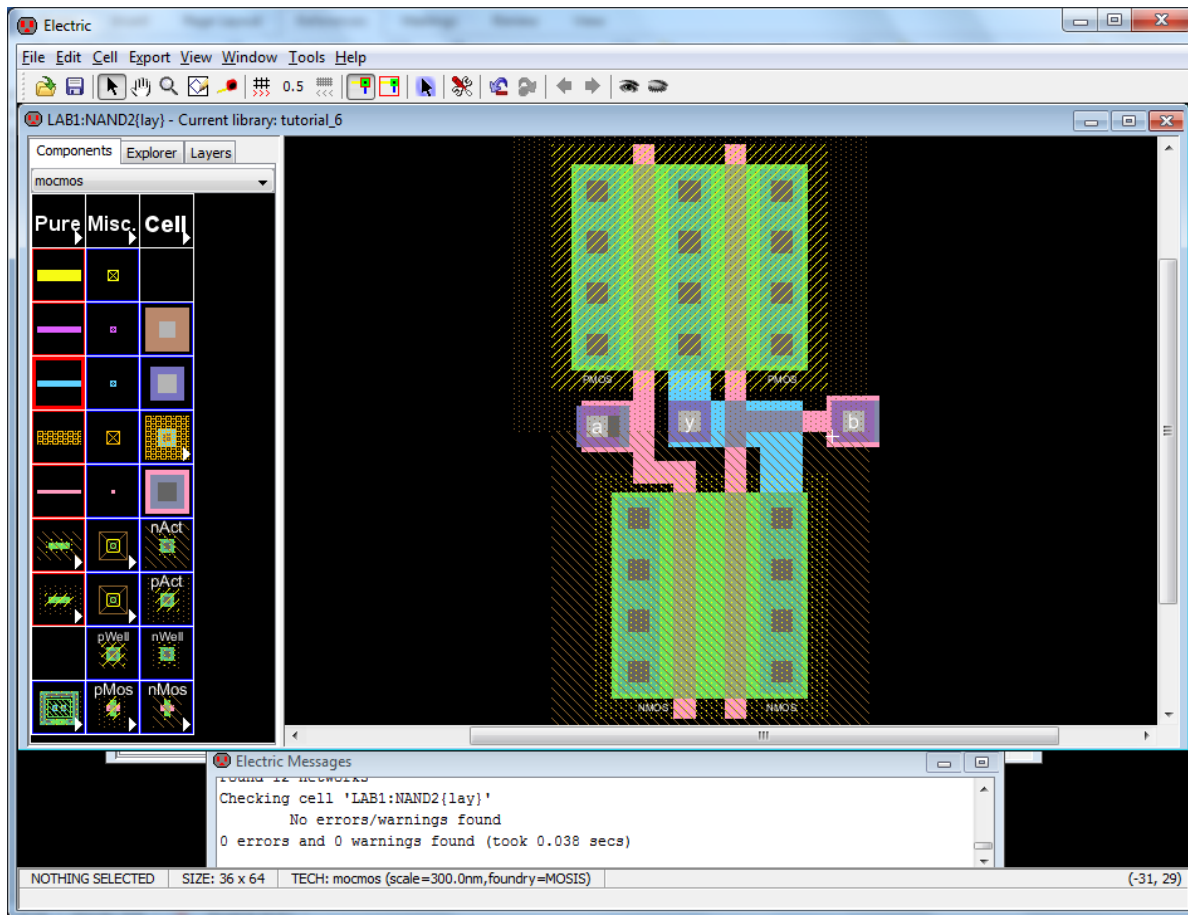
Свържете контактите и ги експортирайте с имена а и b. Използвайте Ctrl-E.



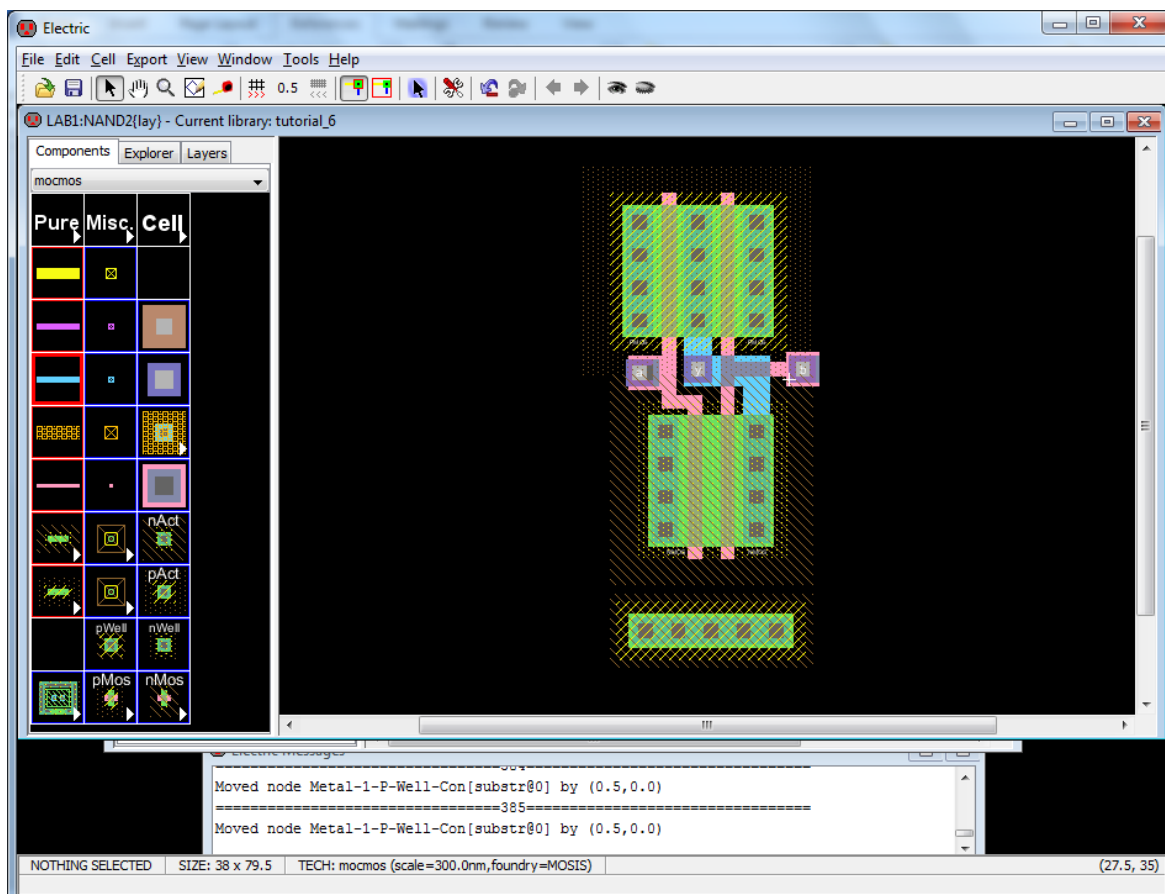
Добавете контакт metal-1-metal-2 за изхода. Свържете го и го експортирайте с име y.



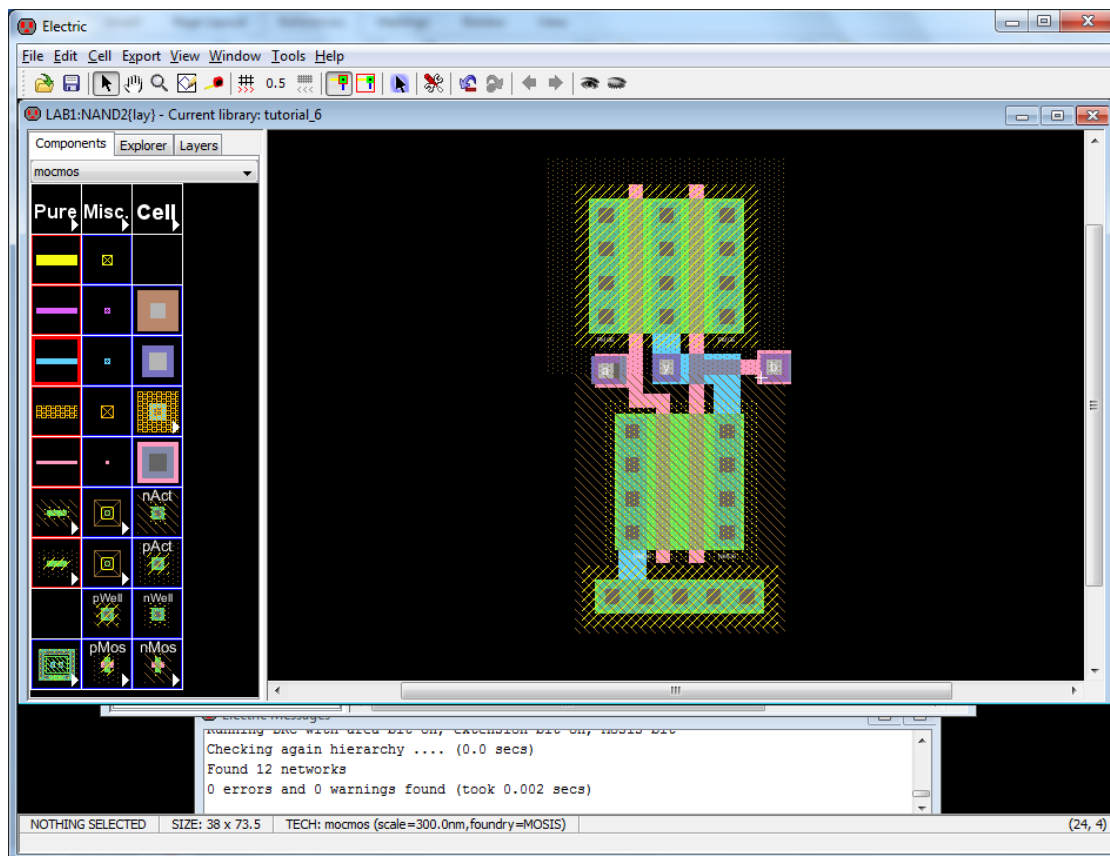
Преместете контактите, както е показано на фигурата:



Добавете компонент pWell с ширина 6 и дължина 35 .

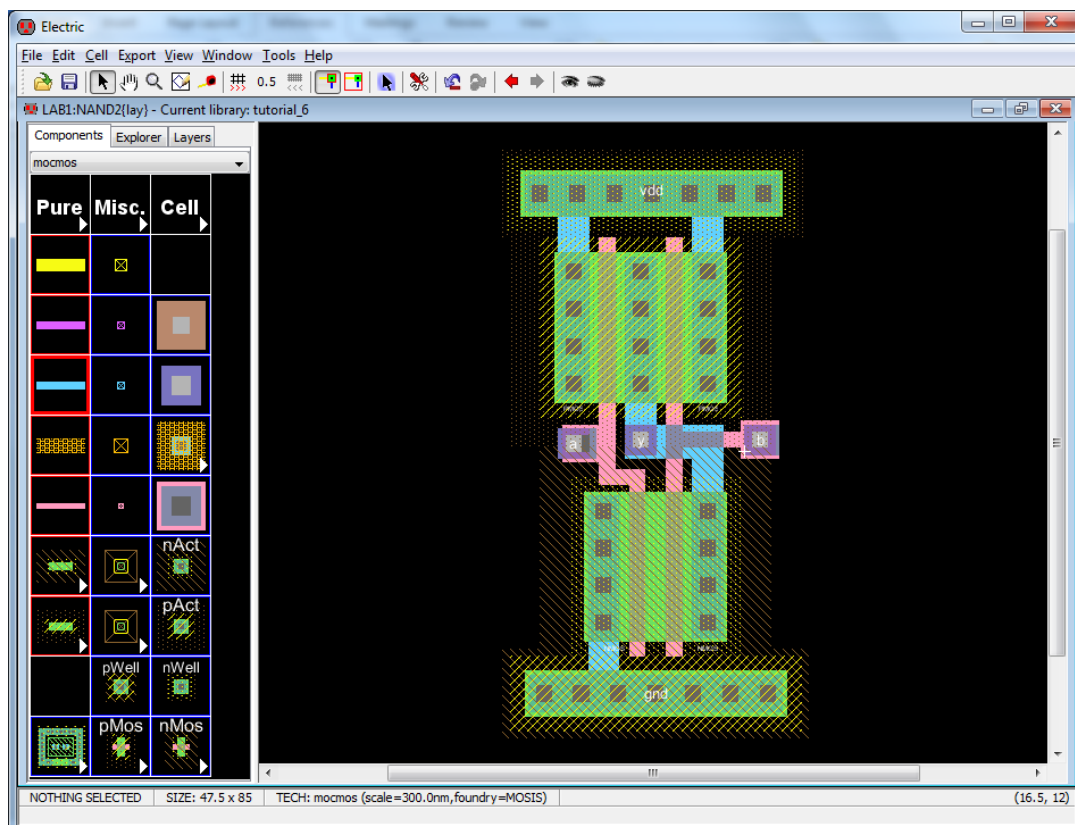


Свържете го и го доближете до транзисторите



Експортирайте контакта pWell с име gnd.

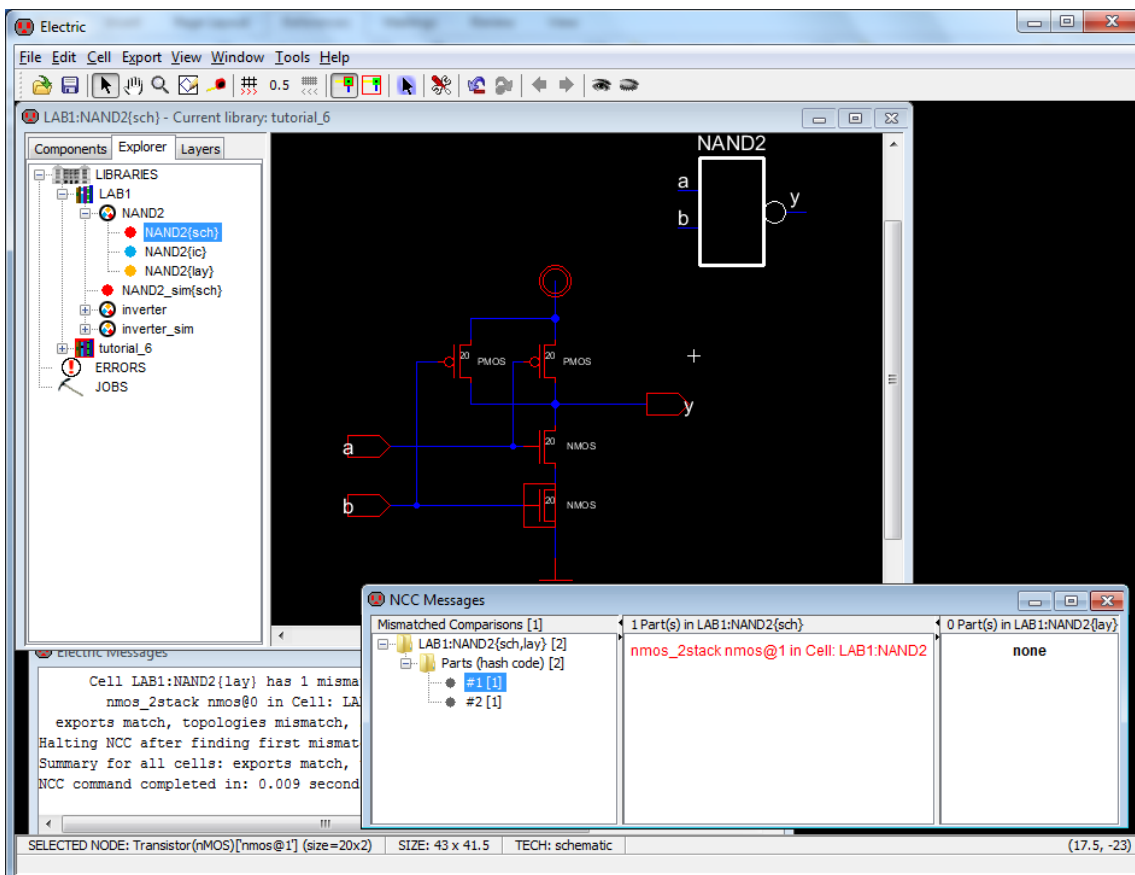
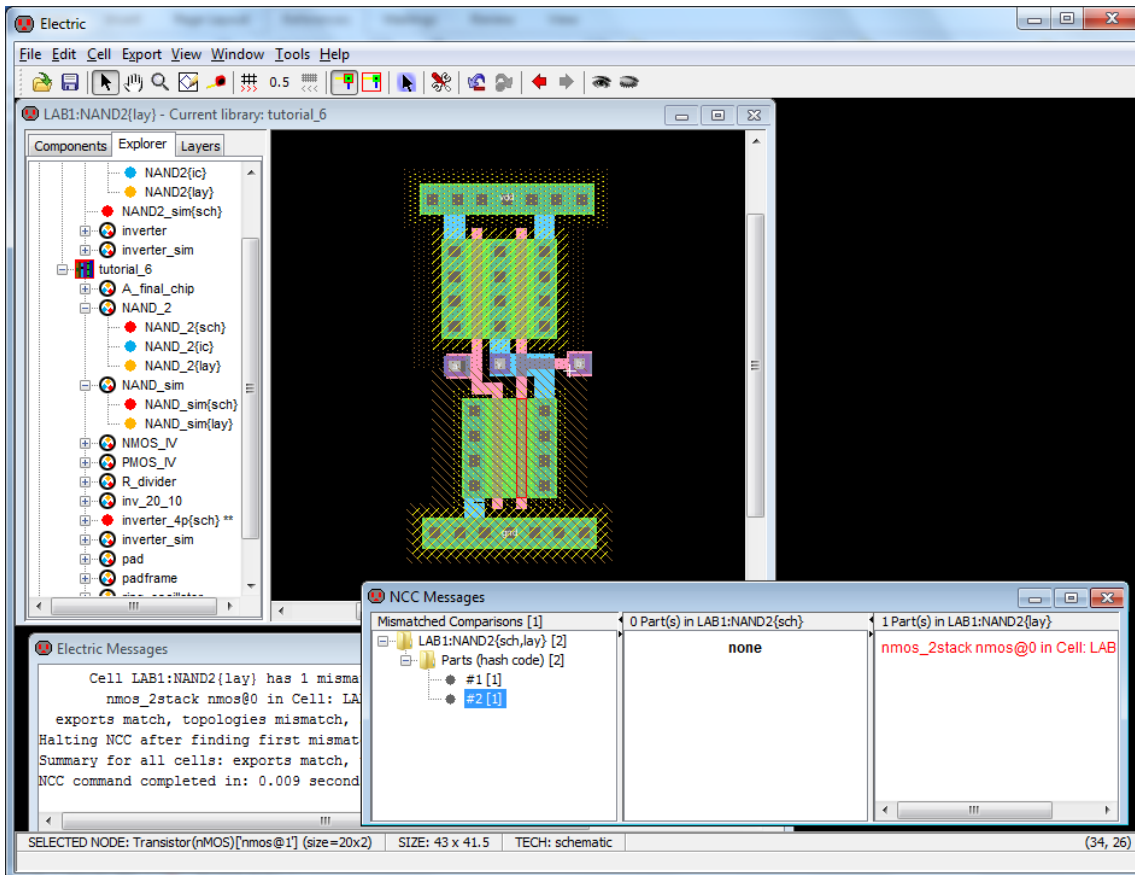
Добавете компонент nWell с ширина 6 и дължина 35. Свържете го и го експортирайте с име vdd.



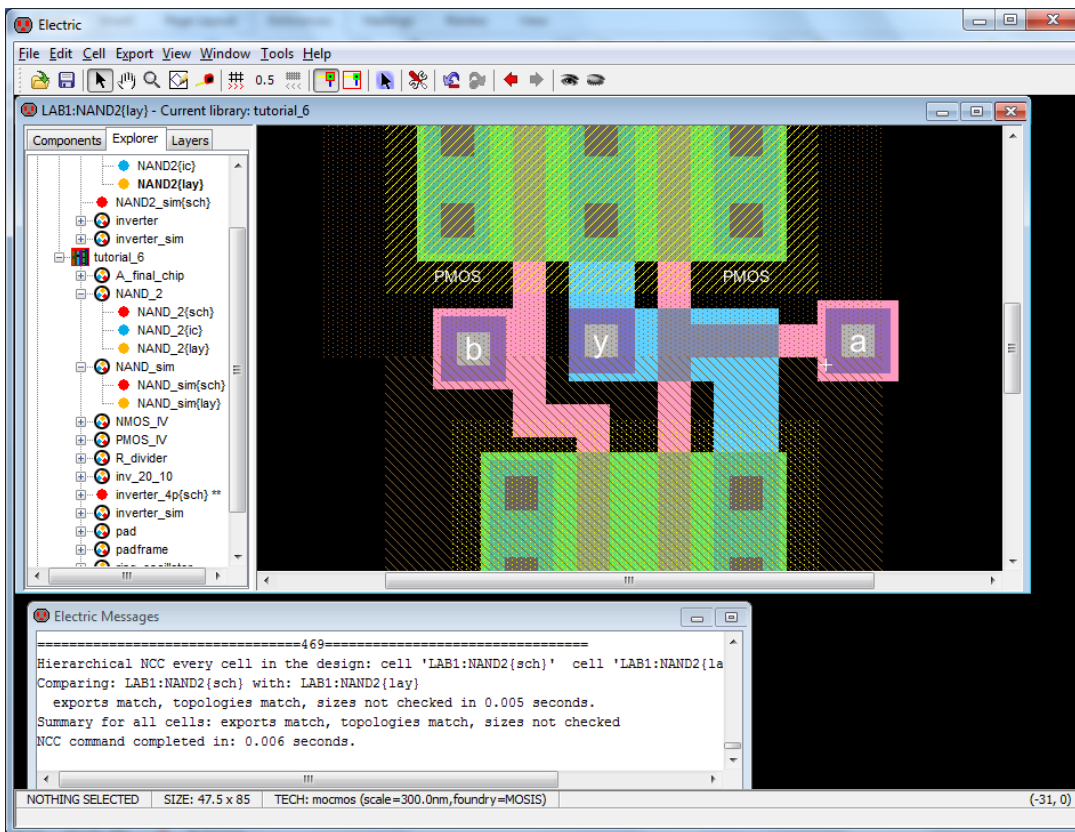
Изберете портовете (един по един) и ги експортирайте (Ctrl-E) с имена a, b, y.

Електрическа проверка – Tools -> ERC -> Check wells

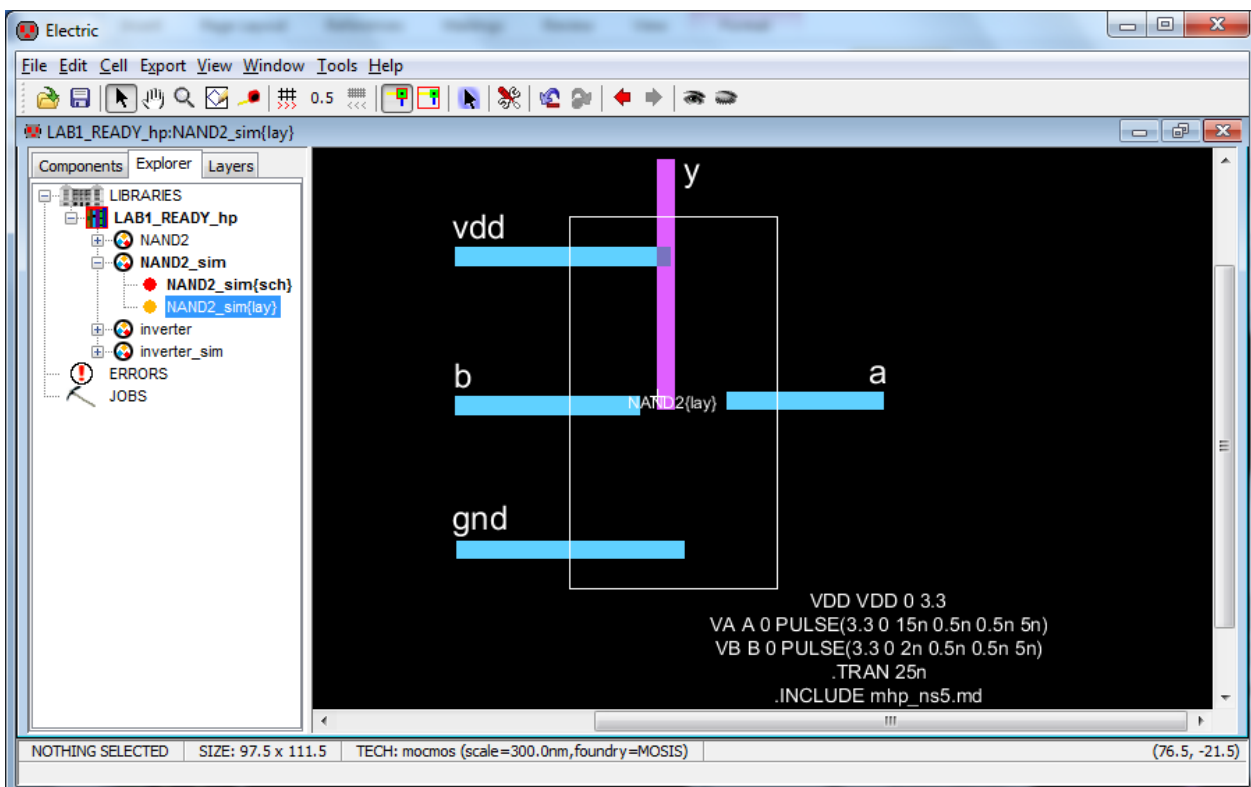
Проверка за съответствието между схема и layout – Tools -> NCC -> Schematic and layout views of Cell in current window. На следващите две фигури са показани грешки, намерени при NCC



Показания проблем, е в следстви на несъответствие в имената на в/и портове на схемата и layout-a. Отстранява се с преименоване на портовете в layout-a.

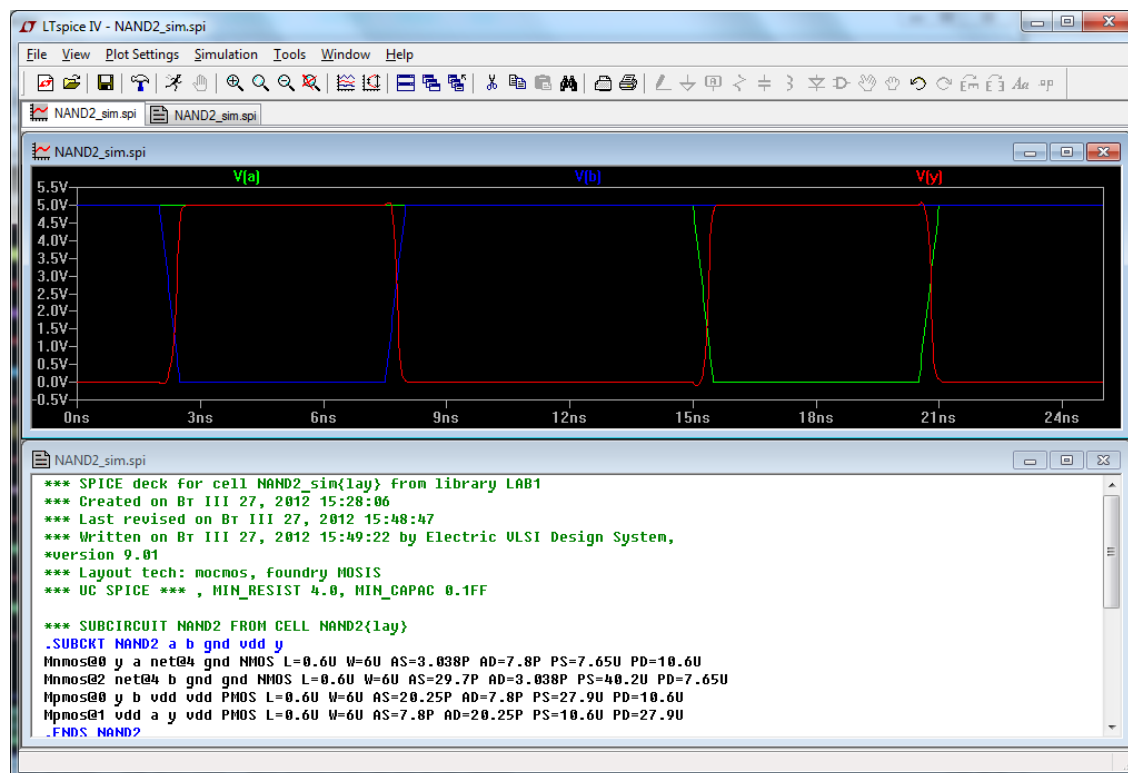


Създайте нова клетка NAND2_sim{layout}. В новата клетка поставете клетката NAND2{layout}: Cell -> Place cell instance. Към изводите на клетката NAND2 добавете къси проводници metal-1 или metal-2 и ги наименовайте а, b, y, vdd, gnd:



Стартирайте Spice симуляция – Tools -> Simulation (Spice) -> Write Spice Deck

Изберете сигналите V(a), V(b) и V(y)



Затворете LTSpice. Изберете сигналите a, b и c в electric probe.

