

**САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПЕТРА ВЕЛИКОГО**  
**Институт электроники и телекоммуникаций**  
**Высшая школа электроники и микросистемной техники**  
**ЗАДАНИЕ**

**на выполнение курсовой работы по дисциплине**

*Автоматизированная разработка устройств на ПЛИС*

студент **Миронов Кирилл**

группа: 4941104/20701

семестр: 3

**1. Тема работы:**

Реализация простейшего модуля UART на ПЛИС

**2. Срок сдачи студентом готовой работы:**

15.12.2022

**3. Исходные данные по работе:**

1. Лекции дисциплины в формате PDF
2. Техническая документация отладочной платы Arty A7-35T

**4. Содержание работы (перечень подлежащих разработке вопросов):**

*Разработать устройство на основе отладочной платы Arty A7-35T, позволяющее при подключении отладочной платы с помощью UART (ИС FT232RL на плате) к ПК, осуществлять обмен данными (ввод цифробуквенной информации с клавиатуры и отображение введенных данных в терминале ПК как "эхо")*

1. Разработать описание устройства на языке Verilog/SystemVerilog HDL (синтезируемое подмножество конструкций языка) согласно выданной теме работы;
2. Создать проект в среде Xilinx Vivado, а также все необходимые дополнительные файлы проекта (файл пользовательских ограничений .xdc, тестовых воздействий - testbench);
2. Провести поведенческое моделирование реализованного устройства в Xilinx Vivado, продемонстрировать работоспособность предложенной реализации на отладочной плате Arty A7-35T.

**Перечень обязательного сопроводительного материала:**

1. Исходный код на языке Verilog/SystemVerilog, в том числе модуля для тестирования (моделирования), а также все необходимые для проекта в Xilinx Vivado дополнительные исходные файлы;
  2. Результаты компьютерного поведенческого моделирования (как для исходного RTL кода, так и для списка межсоединений ячеек библиотеки), подтверждающие работоспособность предложенного решения;
  3. Эпюры сигналов из работающего устройства на ПЛИС, полученные с помощью встроенного логического анализатора ПЛИС, совпадающие с результатами поведенческого моделирования и подтверждающие работоспособность предложенного решения;
  4. Отчеты статического временного анализа (STA) для этапов логического синтеза и всех этапов построения топологии.
  5. Ссылка на репозиторий на <https://github.com/> с проектом для Xilinx Vivado;
- Все исходные файлы (RTL, XDC, и т. п.) должны сопровождаться комментариями в тексте файла. Для оформления пояснительной записки использовать шаблон, переданный Вам преподавателем. Репозиторий на сайте github должен иметь как минимум две ветки, готовый проект ("релиз") размещать в ветку **master**, разработку вести в ветке **dev** (минимум 5 коммитов, наглядно подтверждающие использование системы контроля версий GIT при разработке исходного кода. Готовый проект должен содержать все необходимые исходные файлы для построения проекта с помощью Vivado Project TCL без дополнительных действий (т.н. "out of the box").

**Структура пояснительной записки:**

- Введение;
- Основная часть;
- Заключение;
- Список использованных источников.

**5. Перечень графического материала (с указанием обязательных рисунков):**

**6. Дата выдачи задания:**

17.11.2023

**7. Форма отчетности: пояснительная записка о курсовой работе (данное задание прилагается к пояснительной записке)**

Преподаватель

И. М. Пятак

(подпись)

(инициалы, фамилия)

Студент

(подпись)

(инициалы, фамилия)