

به نام خدا

گروه: دکتر سروری

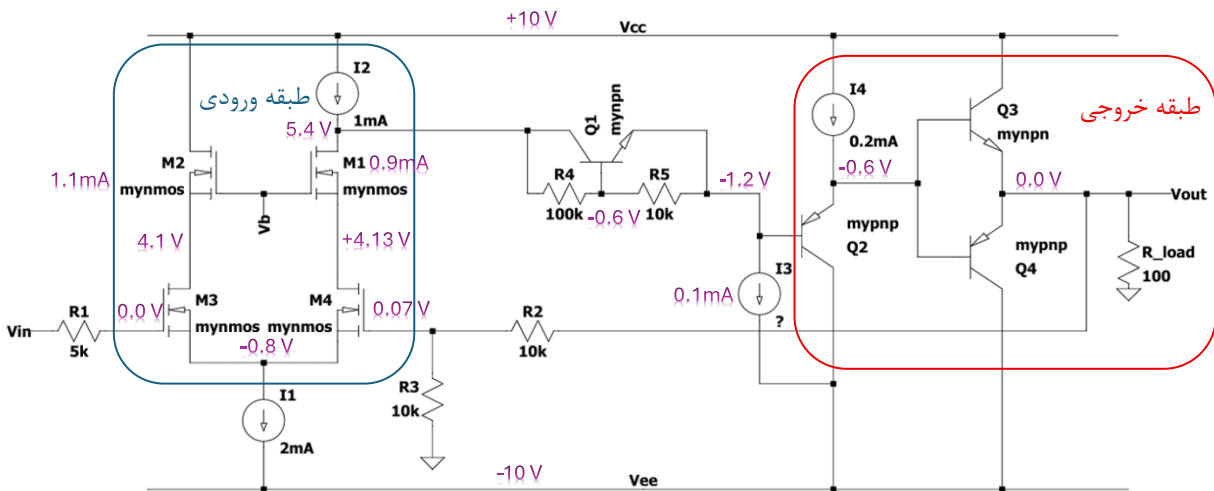
فاز دوم پروژه الکترونیک ۲

۴۰۲۱۰۲۵۵۱

سید محمد حسن میرشفیعی

بخش سوم: تحلیل اولیه مدار

-۱



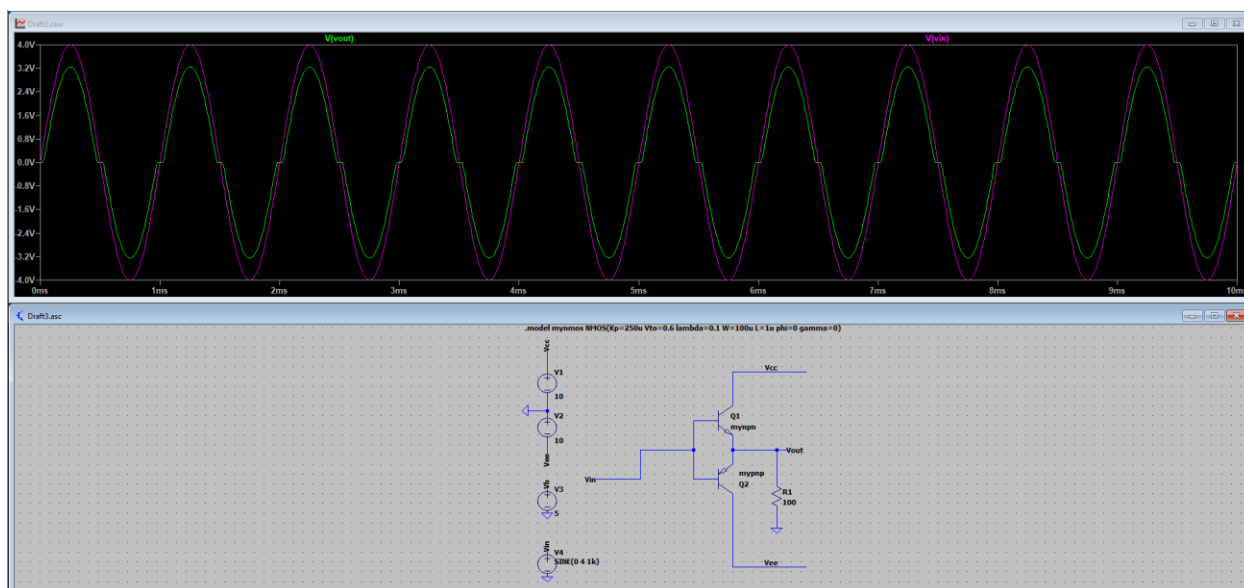
۲- ترانزیستور Q2 به عنوان بافر عمل میکند تا loading effect طبقه توان را کاهش دهد، در واقع این بافر با تطبیق امپدانس بین طبقه push pull (که امپدانس ورودی کمی دارد) با طبقه تقویت کننده ولتاژ (که امپدانس خروجی بالایی دارد) از فلات سیگنال و البته اعوجاج جلوگیری میکند (بهره ولتاژ ۱ است ولی بهره جریان بالایی دارد).

منبع جریان I3 برای بایاس ترانزیستور Q1 استفاده می شود.

$$\text{let: } V_{be} = 0.6, I_{c,Q1} = 40\mu A; \text{ So: } I_3 = \frac{0.6}{10k} + 40\mu = 0.1mA$$

۳- نقاط کار ترانزیستور ها:

	M1	M2	M3	M4	Q1	Q2	Q3	Q4
$I_C \text{ or } I_D$	0.9mA	1.1mA	1.1mA	0.9mA	40uA	0.2mA	0	0
$V_{ce} \text{ or } V_{ds}$	1.27 v	5.9 v	4.9 v	4.93 v	6.6 v	-9.4 v	10 v	-10 v



در مدار push pull بدون فیدبک، مادامی که ولتاژ گره X به حد نسایی نرسد که ترانزیستور های Q3 , Q4 خاموش باشند ما در ناحیهٔ DZ باقی مانده و ولتاژ گره خروجی صفر خواهد بود؛ در حالی که در مدار با فیدبک منفی، وقتی طبقه خروجی بخواهد وارد ناحیه مرده شود، V_{in} از V_{out} پیروی نکرده و لذا یک ولتاژ خطای قابل توجه در ورودی تقویت کنندهٔ خطا ایجاد می شود. به دلیل open loop gain بسیار بالای تقویت کننده، این ولتاژ خطای کوچک، به شدت تقویت می شود. سیگنال خطای تقویت شده، یک فرمان بسیار قوی به بیس ترانزیستورهای طبقهٔ push pull ارسال می کند که ترانزیستورها را وادار به روشن شدن می کند تا از DZ عبور کنند تا ولتاژ خروجی خود را به مقداری برسانند که خطای ورودی تقریباً صفر شود.

۵- سوینگ در تقویت کننده های توان معمولاً در طبقه خروجی مربوط به push pull تعیین میشود، در ادامه حد بالا و حد پایین (که در اینجا حد پایین توسط طبقه ورودی ست می شود، چراکه ولتاژ در گره سورس مشترک ماسفت های ورودی M3 و M4 نمی تواند از یک حدی پایین تر برود)، را محاسبه می کنیم:

$$V_- = V_{ee} + V_{ce,sat} = -9.8$$

$$V_{s,min}(M3, M4) = V_{ee} + V_{sat,I1} = -9.8; \quad \text{so: } V_- = V_{s,min}(M3, M4) + V_{BE} = -9.2$$

$$\text{finally: } V_- = -9.2$$

$$V_+ = V_{cc} - V_{sat} = +9.8$$

از این برداشت می شود که برای داشتن ماکزیمم سوینگ متقارن باید ولتاژ بایاس ورودی طبقه خروجی را شیفต์ دهیم که دو راه پیشرو داریم: راه اول: یک مقدار dc به ورودی AC اضافه کنیم در واقع باید ۰.۳ ولت ورودی را به بالا شیفต์ دهیم (در شبیه سازی حد بالا +۹.۶ و در حالتی که V_b را ۸ ولت قرار دادیم حد بالا +۹.۸۳ ولت بدست آمد که با نتایج تئوری کاملاً همخوانی دارد) و حد پایین -۹.۲ در آمد به همین دلیل به عنوان تست! در فایل شبیه سازی میتوان ۰.۱۵ شیفต์ به بالا داد و ماکزیمم سوینگ متقارن را داشت).

راه دوم: در قسمت ۹ آمده است

تعیین ICMR: مقادیری که در محاسبات زیر استفاده شده در تصویر بخش ۱ آمده است (برای محاسبه حد بالا از شرط باقی ماندن ترانزیستور M3 در ناحیه اشباع استفاده کردیم).

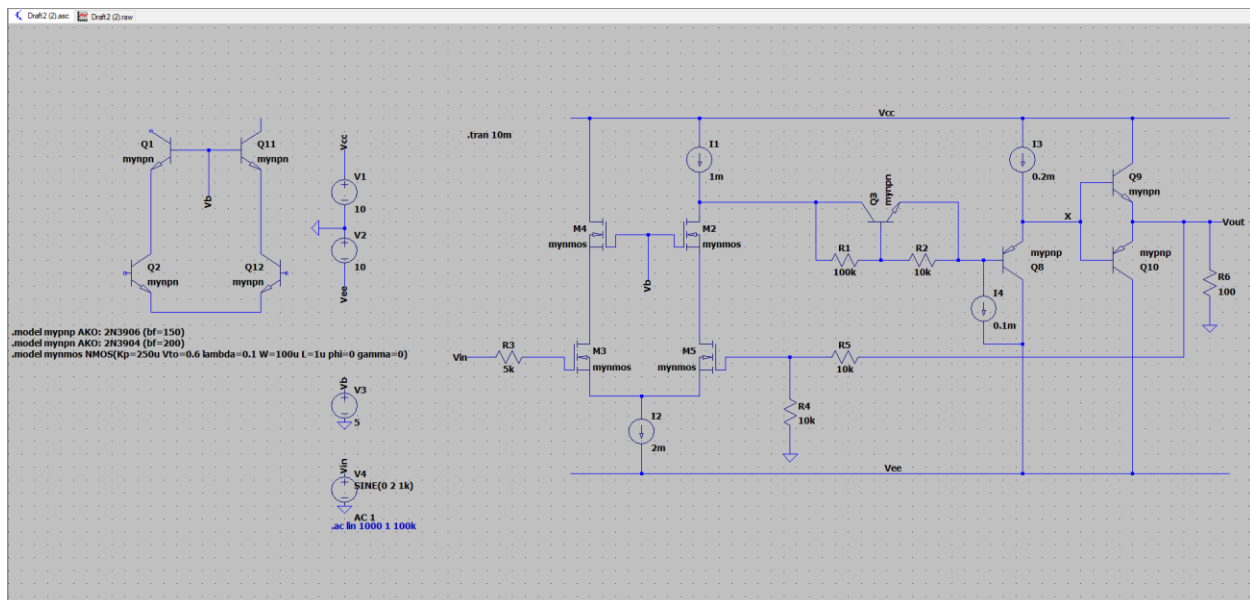
$$V_{cm,min} = V_{ee} + V_{sat,I2} + V_{GS,M3} = -10 + 0.2 + 0.8 = -9 V$$

$$V_{cm,max} = V_D(M3) + V_{th} = 4.1 + 0.6 = 4.7 V$$

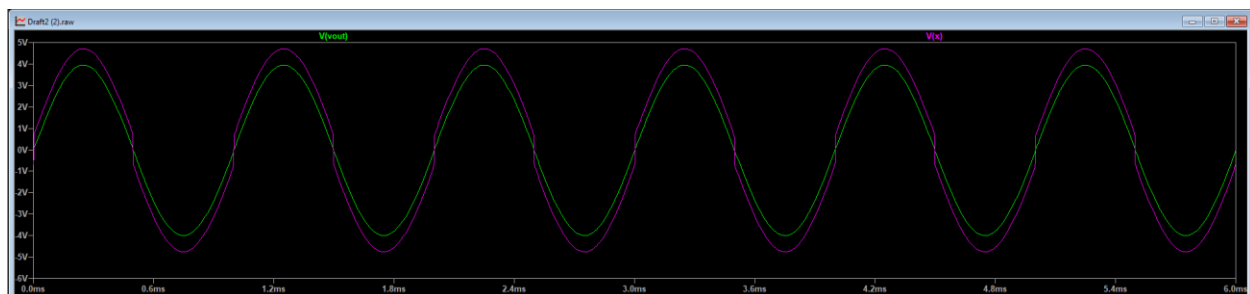
$$-9 < V_{cm} < 4.7$$

۶- علت اصلی محدود شدن سوئیچینگ خروجی در این مدار (و در اغلب تقویت‌کننده‌های مشابه)، (Saturation Voltage) ترانزیستورهای طبقه خروجی پوش پول است. به دیگر سخن، ولتاژ خروجی نمی‌تواند دقیقاً به ولتاژهای تغذیه (یعنی V_{ee} و V_{cc}) برسد، لذا خود ترانزیستورهای خروجی برای اینکه روشن بمانند و به درستی کار کنند، به یک حداقل افت ولتاژ بین کلکتور و امیتر خود نیاز دارند.

۷-



۸- ورودی با دامنه ۲ ولت:



جهش‌های ولتاژ که در شکل موج بیس ترانزیستورهای پوش پول مشاهده می‌شود، خطا یا نوسان ناخواسته نیست؛ همانطور که قبلاً در بخش ۴ بطور مبسوط پرداخته شد، بخاطر مکانیسم جبرانی فیدبک منفی با بهره بالا برای حذف اعوجاج عبور از صفر یا همان Crossover Distortion است.

۹- همانطور که در قسمت ۵ گفته شد، حد بالا ۹.۸ و حد پایین -۹.۲ ولت بدست آمد (نتایج تئوری)؛ که گفته شد یک راه برای افزایش ماکزیمم سوئیچینگ متقارن شیفت dc خروجی سینوسی به اندازه ۰.۳ ولت به سمت بالا بود، در واقع این راه معایب خود را دارد و آن هم خروج مدار از حالت ZIZO است که باعث میشود وقتی سیگنال AC هم نداشته باشیم مقداری توان مصرف شود.

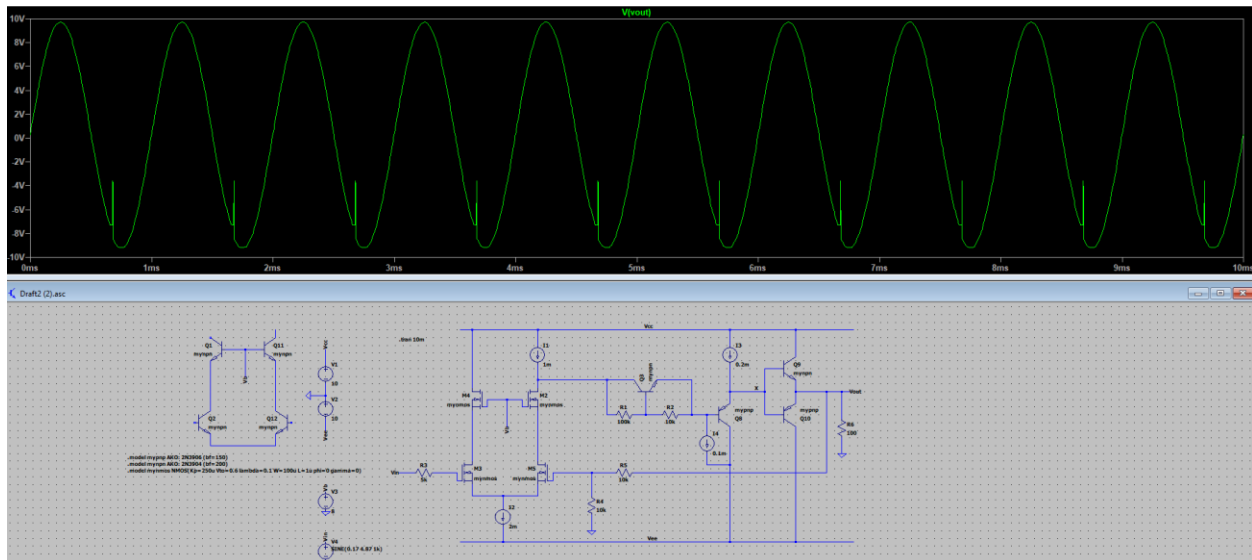
از طرفی گفته شد که در نتایج شبیه سازی در حالتی که V_b مقدار ۵ ولت دارد حد بالا ۹.۶۱ و حد پایین -۹.۱۷ ولت بدست آمد؛ به عبارت دیگر، ترانزیستور کسکود (M1) قبل از اینکه طبقه خروجی به حداکثر توان خود برسد، اشباع می‌شد و ولتاژ را در ۹.۶ محدود می‌کرد.

پس از تغییر: ($V_b=8V$) با افزایش ولتاژ گیت ترانزیستور کسکود، فضای سر آن افزایش یافت. این کار به طبقه ورودی اجازه داد تا ولتاژ را به مقدار بالاتری برساند و بار محدودیت سوئیچینگ صرفاً بر شانه طبقه خروجی بیفتد و توسط آن تعیین شود (۹.۸ ولتی که به نتایج تئوری سازگار بود). در شبیه سازی در این حالت، حد بالا ۹.۸۳ و حد پایین همچنان -۹.۲۳ ولت بدست آمد.

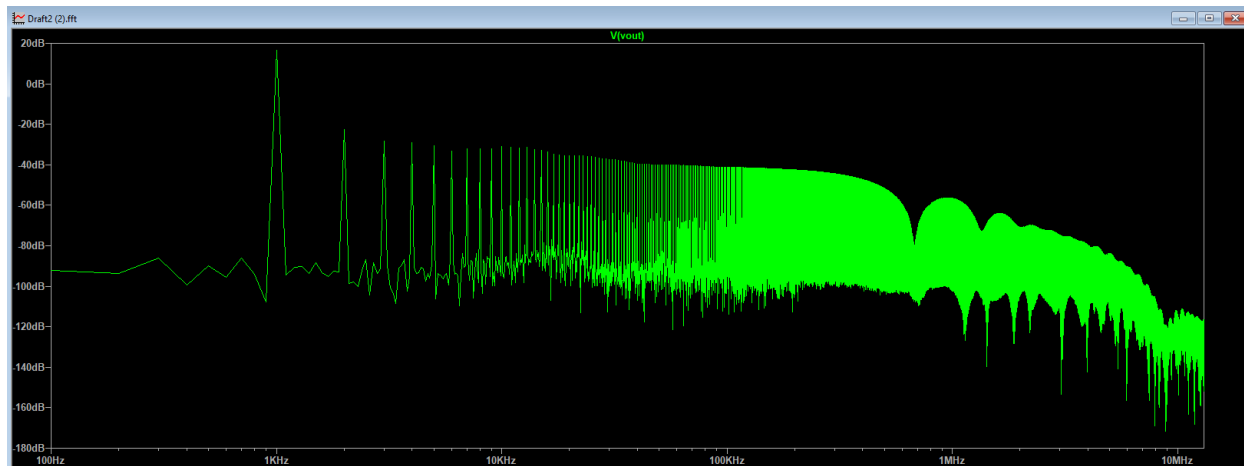
در ادامه تصاویر شبیه سازی با اعمال دو تغییر مهم در مدار برای داشتن ماکزیمم سوئیچینگ متقارن لحاظ شده است، آن دو تغییر به شرح زیر اند:

$$Output\ dc\ shift = \frac{(V_- + V_+)}{2} = 0.3\ V$$

$$V_b = 8\ V$$



۱۰- همانطور که در نمودار تبدیل فوریه زیر مشاهده میشود، هارمونیک اصلی (با قله بزرگ) در فرکانس 1k و باقی هارمونیک ها (2k, 3k ...) با قله های کوچکتر وجود دارند.



Fourier components of V(Vout)
N-Period=1
DC component: 0.341985

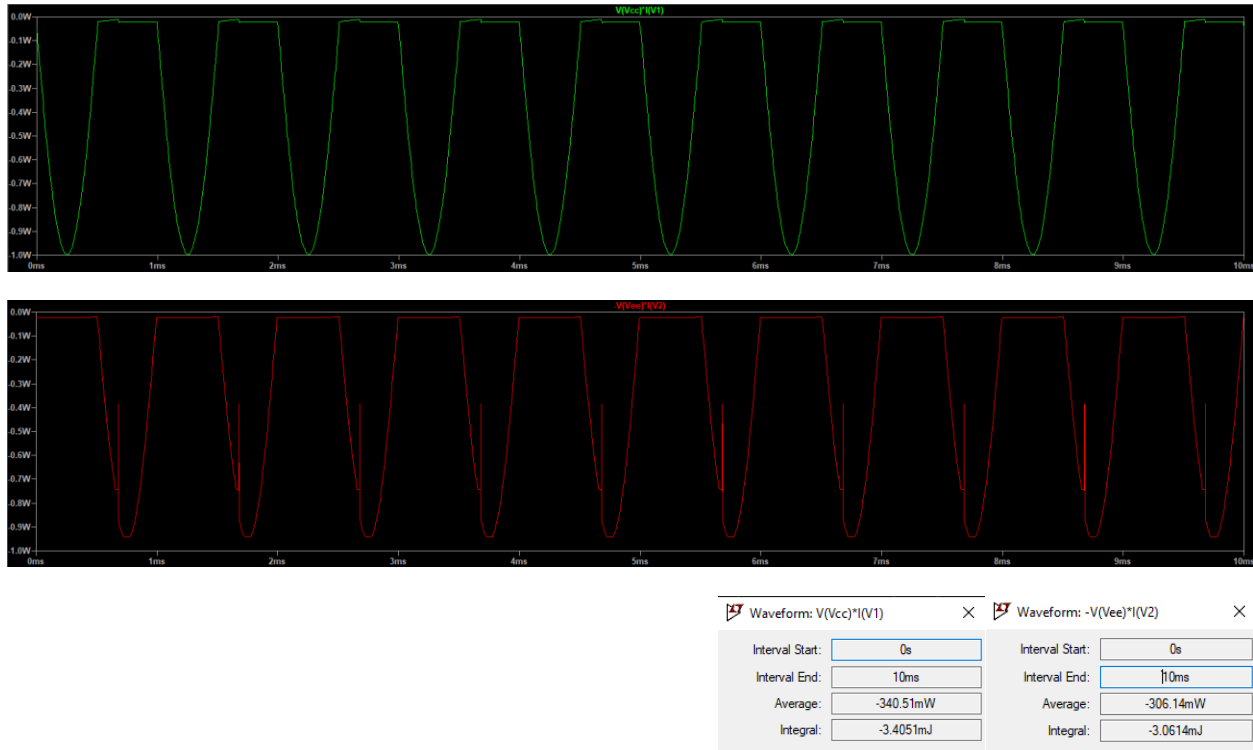
Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component
1	1.000e+03	9.435e+00	1.000e+00
2	2.000e+03	1.033e-01	1.095e-02
3	3.000e+03	5.551e-02	5.883e-03
4	4.000e+03	5.021e-02	5.322e-03
5	5.000e+03	4.188e-02	4.438e-03
6	6.000e+03	3.142e-02	3.330e-03
7	7.000e+03	3.533e-02	3.744e-03
8	8.000e+03	3.484e-02	3.692e-03
9	9.000e+03	3.463e-02	3.671e-03

Partial Harmonic Distortion: 1.596018%
Total Harmonic Distortion: 3.103116%

همانطور که دیده می شود مقدار THD حدود ۳ درصد است؛ در ادامه توضیحاتی در رابطه با منابع غیر خطیگی آمده است که عمدتاً ناشی از سه مورد زیر است:

- **ذات غیرخطی ترانزیستورها:** این مهم ترین منبع است. رابطه بین ولتاژ ورودی و جریان خروجی در ماسفت ها (رابطه درجه دو) و BJT ها (رابطه نمایی) خطی نیست و باعث تولید هارمونیک می شود.
- **(Crossover Distortion)** فرآیند خاموش و روشن شدن ترانزیستورهای NPN و PNP در طبقه خروجی push pull به شدت غیرخطی است که هارمونیک های مرتبه بالا تولید می کند.
- **نقش فیدبک:** حلقه فیدبک منفی به عنوان یک عامل خطی ساز عمل می کند به طوری که این حلقه با مقابله در برابر خطاهای ناشی از موارد بالا، به شدت مقدار THD نهایی را کاهش می دهد.

۱۱- توان لحظه ای کل مدار را با شبیه سازی در تصویر زیر آمده است (که همان توان کشیده شده از منابع تغذیه یعنی V_{cc} , V_{ee} است):

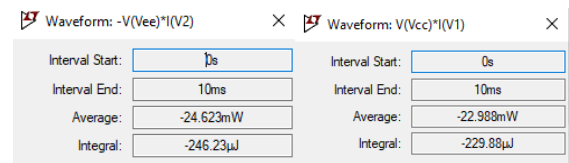


نکته: ورودی برای محاسبات دینامیکی با دامنه ۴.۸۷ ولت برای داشتن بیشینه سوینگ (نزدیک ۱۰ ولت منابع سوپلای) لحاظ شده و اینکه توان منبع V_{cc} با توان منبع V_{ee} در شبیه سازی برابر نیست بخاطر ۰.۱۷ ولتی است که بخاطر آفست اضافه شده تا بیشترین سوینگ را داشته باشیم!

توان کل مصرفی متوسط داینامیک (توان در حین کار) از مجموع دو مقدار بالا بدست می آید:

$$P_{avg}(total) = -340mW - 306mW = -646mW$$

توان مصرفی در حالت quiescent (ورودی صفر بدون آفست):



که حدود ۴۷ میلی وات توان مصرفی دارد.

محاسبات تئوری:

$$P_{avg}(total) = P_{avg}(V_{cc}) + P_{avg}(V_{ee}) = 2P_{avg}(V_{cc \text{ or } ee})$$

$$P_{avg}(V_{cc}) = P_{dc,quiescent}(V_{cc}) + P_{ac,dyn}(V_{cc}); \quad P_{dc,quiescent} = 2.3mA * 10V = 23mW$$

$$P_{ac,dyn} = I_{avg,Load} * V_{cc} = \frac{V_{L,max}}{\pi * R_L} * V_{cc} = \frac{9.8}{\pi * 100} * 10 = 312mA$$

$$finally: P_{avg}(V_{cc}) = 335mA; \quad So: P_{avg}(total) = 670mA$$

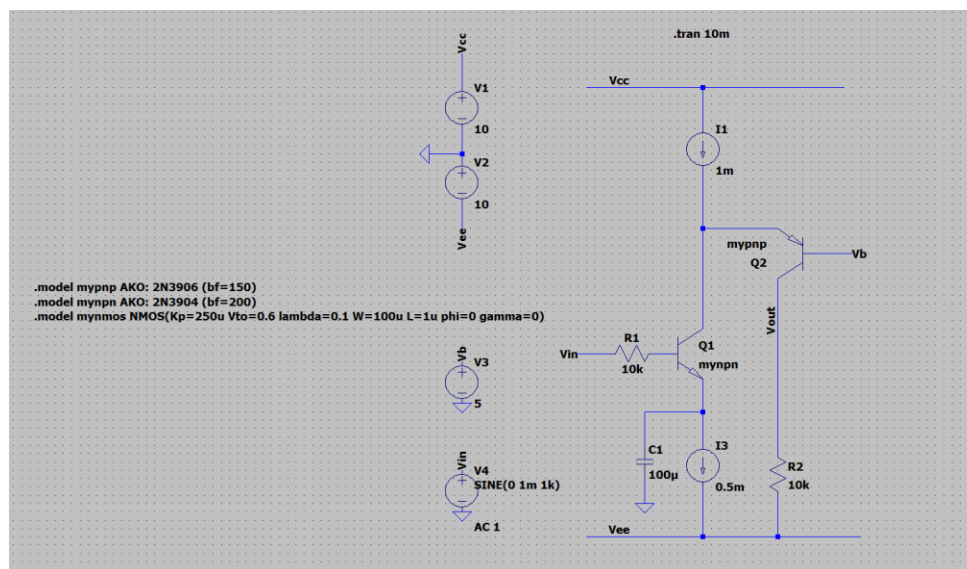
که به نتایج شبیه سازی نیز نزدیک است.

بخش پنجم: طراحی

۱- این ساختار در مقایسه با تقویت کننده های ساده یا کسکود معمولی (تلسکوپی)، چند مزیت کلیدی دارد:

- **محدوده حالت مشترک ورودی بسیار وسیع:** از آنجایی که طبقه ورودی (مثلاً با NPN) و طبقه کسکود (مثلاً با PNP) روی هم چیده نشده اند، ولتاژ DC ورودی می تواند به مقادیر بسیار نزدیک به سوپلای های مثبت یا منفی برسد، بدون اینکه ترانزیستورها از کار بیفتند. این ویژگی، برای مدارهایی که به سوئینگ ورودی بالا نیاز دارند، کاربردی است.
- **بهره ولتاژ بالا (High Voltage Gain):** مانند کسکود معمولی، این ساختار نیز به دلیل مقاومت خروجی بسیار بالایی که ایجاد می کند، بهره ولتاژ فوق العاده بالایی دارد.
- **پاسخ فرکانسی خوب:** این ساختار با کاهش اثر میلر، پهنای باند وسیعی دارد که پایین تر عکس طیف فرکانسی خروجی قرار گرفته است.

در زیر نمونه ساده (نمونه دیفرانسیلی این کسکود تا شده در مدار اصلی که باید طراحی شود آمده و صرفاً برای راحتی در تعیین نقطه کار از این مدل استفاده شده است) folded cascode آمده است:



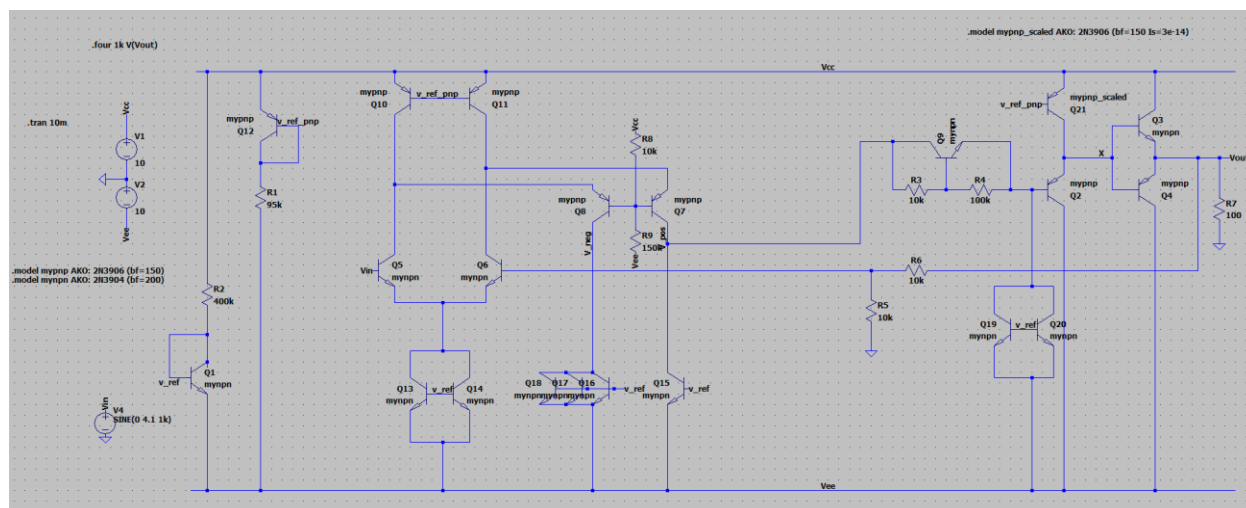
Reference: Sedra & Smith Q10,108

بهره: ۱۰۰؛ برای نقطه کار جریان کالکتور ترانزیستور ها به راحتی با یک kcl بدست می آید که در این مثال جریان کالکتور هر دو ۰.۵ میلی آمپر بدست می آید؛ با فرض ناچیز بودن جریان بیس Q1 ولتاژ بیس آن صفر بوده لذا ولتاژ آمیتر آن -۰.۶ ولت بدست می آید.

با توجه به اینکه V_b ۵ ولت است لذا ولتاژ امیتر ترانزیستور Q2 که همان کالکتور Q1 است ۵.۶ ولت بدست می آید؛ با توجه به اینکه جریان کالکتور Q2 نیم میلی آمپر است پس ولتاژ کالکتور (گره خروجی) -۵ ولت بدست می آید در نتیجه:

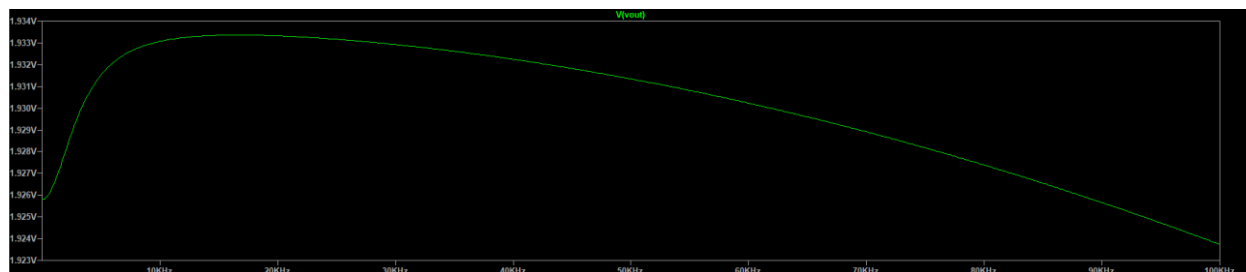
$$V_{ce}(Q1) = 6.2V, V_{ce}(Q2) = -10.6V$$

۲- و ۳-

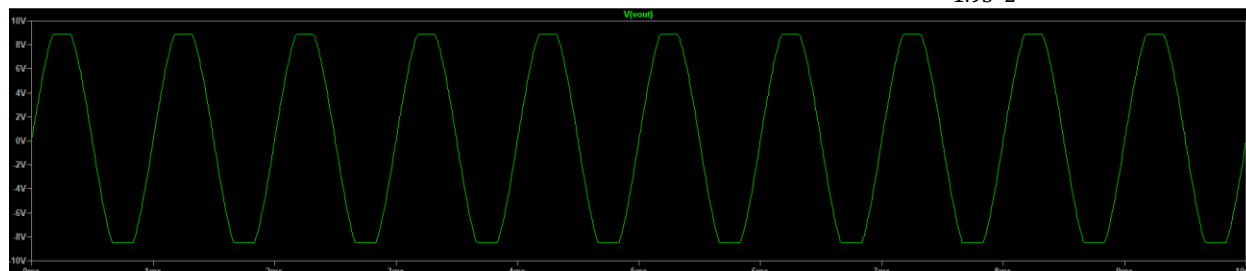


۴-

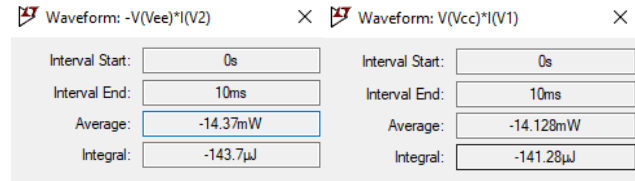
I- بهره حلقه بسته ۲ است که با ورودی AC با دامنه یک ولت در تصویر زیر خروجی حدود ۲ ولت مشاهده میشود که مطابق تحلیل AC Analysis است:



II- مطابق ورودی ۵ ولت که خارج از محدوده سوینگ طراحی شده است، تخمین زده می شود که حد بالای سوینگ ۸.۹۰ ولت و حد پایین آن -۸.۵۱ ولت است؛ لذا ماکزیم سوینگ متقارن بصورت پیک تو پیک ۱۷.۰۲ ولت بدست می آید که به این معناست بیشترین ورودی ای که میتوان داد $\frac{17.02}{1.93 \times 2} = 4.41V$ است



III- توان مصرفی در حالت بدون ورودی را در تصاویر زیر میبینیم:



که مشاهده میشود توان مصرفی کل حدود ۲۸.۵ میلی وات بدست می آید.

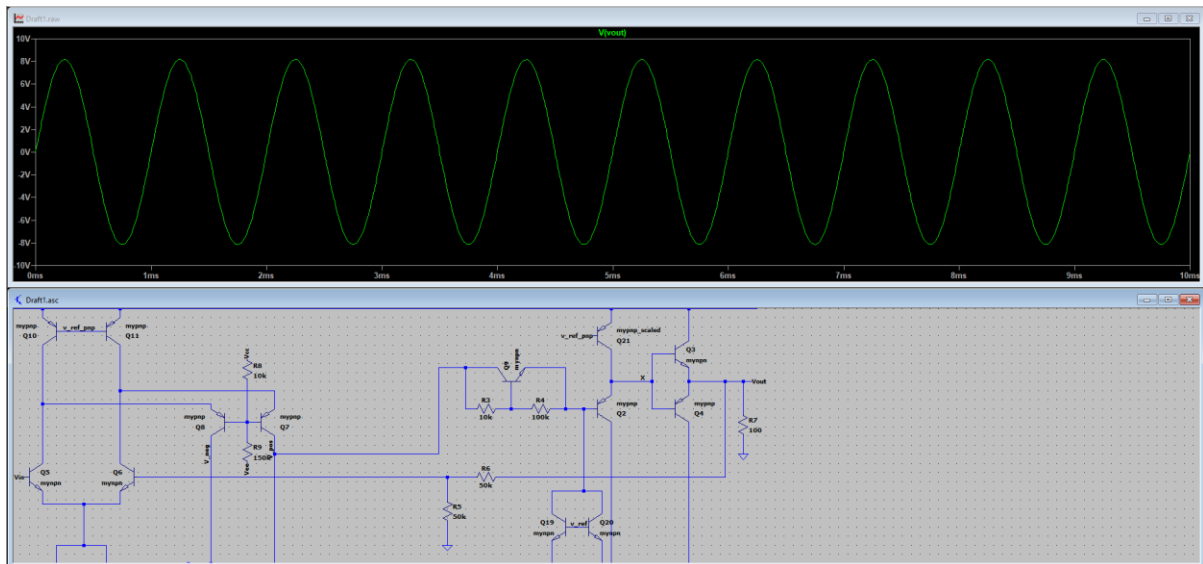
IV- THD ۰.۰۵ درصد بدست آمد که لب مرز است!

Fourier components of V(Vout)
N-Period=1
DC component:0.000562444

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component
1	1.000e+03	8.162e+00	1.000e+00
2	2.000e+03	4.076e-03	4.994e-04
3	3.000e+03	7.219e-04	8.845e-05
4	4.000e+03	4.509e-04	5.524e-05
5	5.000e+03	5.285e-04	6.475e-05
6	6.000e+03	1.178e-04	1.443e-05
7	7.000e+03	3.088e-04	3.784e-05
8	8.000e+03	3.892e-05	4.768e-06
9	9.000e+03	2.320e-04	2.842e-05

Partial Harmonic Distortion: 0.051663%
Total Harmonic Distortion: 0.050067%

-V



VI- اعوجاجی دیده نمی شود! در زیر THD در اثر این تغییر مقدار کمی بیشتر شده است:

Fourier components of V(Vout)

N-Period=1

DC component:0.00942444

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component
1	1.000e+03	8.160e+00	1.000e+00
2	2.000e+03	4.277e-03	5.241e-04
3	3.000e+03	7.584e-04	9.295e-05
4	4.000e+03	4.799e-04	5.882e-05
5	5.000e+03	5.614e-04	6.880e-05
6	6.000e+03	1.374e-04	1.684e-05
7	7.000e+03	3.274e-04	4.013e-05
8	8.000e+03	5.598e-05	6.860e-06
9	9.000e+03	2.532e-04	3.103e-05

Partial Harmonic Distortion: 0.054260%

Total Harmonic Distortion: 0.058432%