

به نام خدا

گروه: دکتر سروری

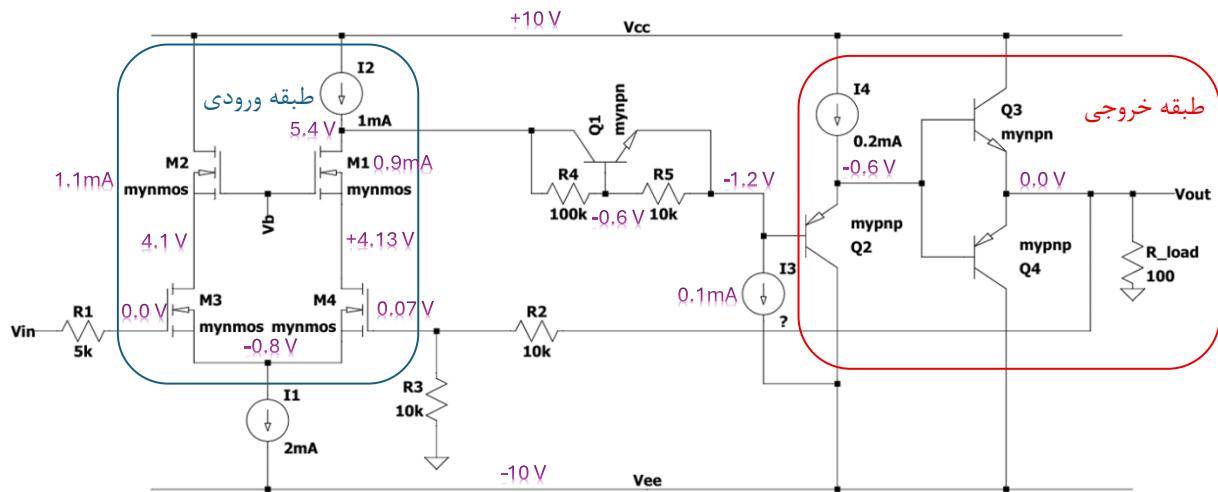
فاز دوم پروژه الکترونیک ۲

۴۰۲۱۰۲۵۵۱

سید محمد حسن میرشفیعی

بخش سوم: تحلیل اولیه مدار

-۱



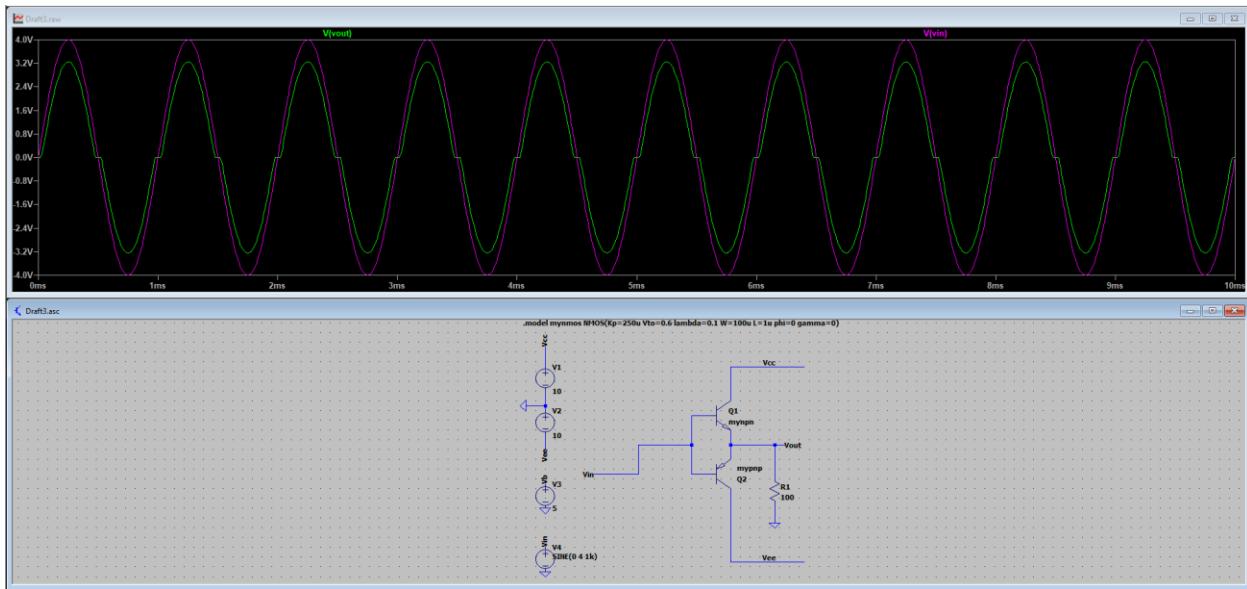
-۲- ترانزیستور Q2 به عنوان بافر عمل میکند تا loading effect طبقه توان را کاهش دهد، در واقع این بافر با تطبیق امپدانس بین طبقه push pull (که امپدانس ورودی کمی دارد) با طبقه تقویت کننده ولتاژ (که امپدانس خروجی بالایی دارد) از فات سیگنال و البته اعوجاج جلوگیری میکند (بهره ولتاژ ۱ است ولی بهره جریان بالایی دارد).

منبع جریان I3 برای بایاس ترانزیستور Q1 استفاده می شود.

$$\text{let: } V_{be} = 0.6, I_c Q1 = 40\mu A; \text{ So: } I3 = \frac{0.6}{10k} + 40\mu = 0.1mA$$

-۳- نقاط کار ترانزیستور ها:

	M1	M2	M3	M4	Q1	Q2	Q3	Q4
<i>I_C or I_D</i>	0.9mA	1.1mA	1.1mA	0.9mA	40μA	0.2mA	0	0
<i>V_{ce} or V_{ds}</i>	1.27 v	5.9 v	4.9 v	4.93 v	6.6 v	-9.4 v	10 v	-10 v



در مدار push pull بدون فیدبک، مادامی که ولتاژ گره X به حد نسبی نرسد که ترانزیستور های Q3 ، Q4 خاموش باشند ما در ناحیه باقی مانده و ولتاژ گره خروجی صفر خواهد بود؛ در حالی که در مدار با فیدبک منفی، وقتی طبقه خروجی بخواهد وارد ناحیه مرده شود، پیروی نکرده و لذا یک ولتاژ خطای قابل توجه در ورودی تقویت کننده خطای ایجاد می شود. به دلیل open loop gain V_{out} از V_{in} بسیار بالای تقویت کننده، این ولتاژ خطای کوچک، به شدت تقویت می شود. سیگنال خطای تقویت شده، یک فرمان بسیار قوی به بیس ترانزیستورهای طبقه push pull ارسال می کند که ترانزیستورها را وادار به روشن شدن می کند تا از DZ عبور کنند تا ولتاژ خروجی خود را به مقداری برسانند که خطای ورودی تقریباً صفر شود.

- سوینگ در تقویت کننده های توان معمولا در طبقه خروجی مربوط به push pull تعیین می شود، در ادامه حد بالا و حد پایین (که در اینجا حد پایین توسط طبقه ورودی سمت می شود، چراکه ولتاژ در گره سورس مشترک ماسفت های ورودی M3 و M4 نمی تواند از یک حدی پایین تر برود.) را محاسبه می کنیم:

$$V_- = V_{ee} + V_{ce,sat} = -9.8$$

$$V_{s,min}(M3, M4) = V_{ee} + V_{sat,I1} = -9.8; \quad \text{so: } V_- = V_{s,min}(M3, M4) + V_{BE} = -9.2$$

$$\text{finally: } V_- = -9.2$$

$$V_+ = V_{cc} - V_{sat} = +9.8$$

از این برداشت می شود که برای داشتن ماقزیم سوینگ متقارن باید ولتاژ بایاس ورودی طبقه خروجی را شیفت دهیم که دو راه پیشرو داریم: راه اول: یک مقدار dC به ورودی AC اضافه کنیم در واقع باید 3.0 ولت ورودی را به بالا شیفت دهیم (در شبیه سازی حد بالا 9.6^+ در حالتی که V_{lb} را 8 ولت قرار دادم حد بالا 9.83^+ ولت بدست آمد که با نتایج تئوری کاملا همخوانی دارد) و حد پایین -9.2 در آمد به همین دلیل به عنوان تست در فایل شبیه سازی میتوان 15.0 شیفت به بالا داد و ماقزیم سوینگ متقارن را داشت).

تعیین ICMR: مقادیری که در محاسبات زیر استفاده شده در تصویر بخش ۱ آمده است (برای محاسبه حد بالا از شرط باقی ماندن ترانزیستور M3 در ناحیه اشباع استفاده کردیم).

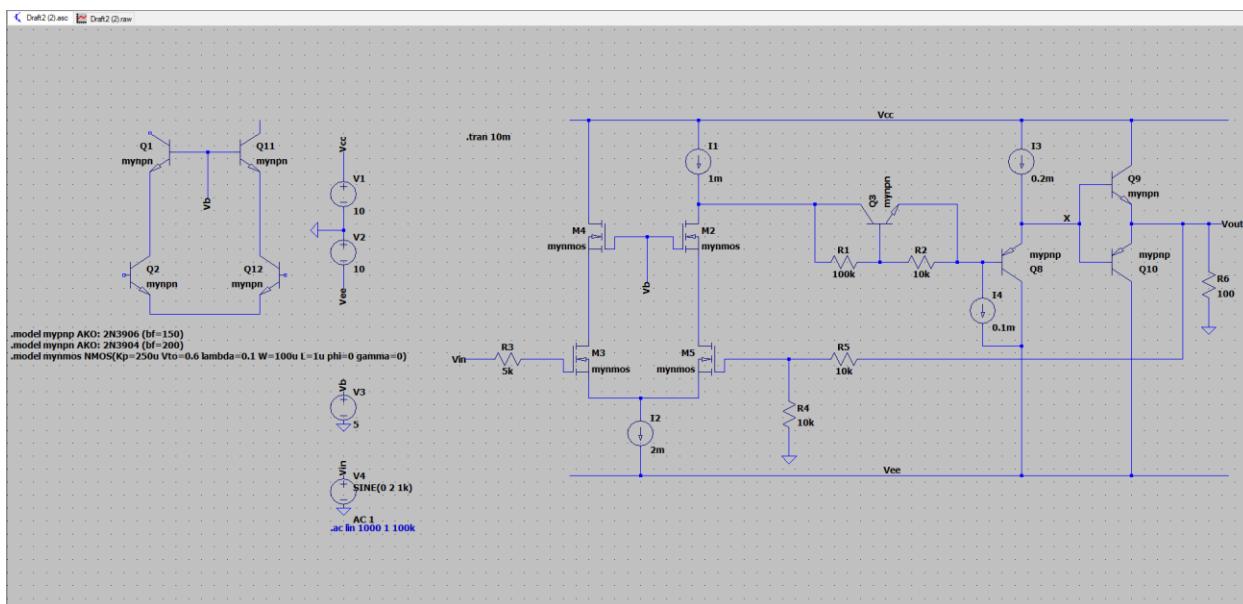
$$V_{cm,min} = V_{ee} + V_{sat,I2} + V_{GS,M3} = -10 + 0.2 + 0.8 = -9 V$$

$$V_{cm,max} = V_D(M3) + V_{th} = 4.1 + 0.6 = 4.7 V$$

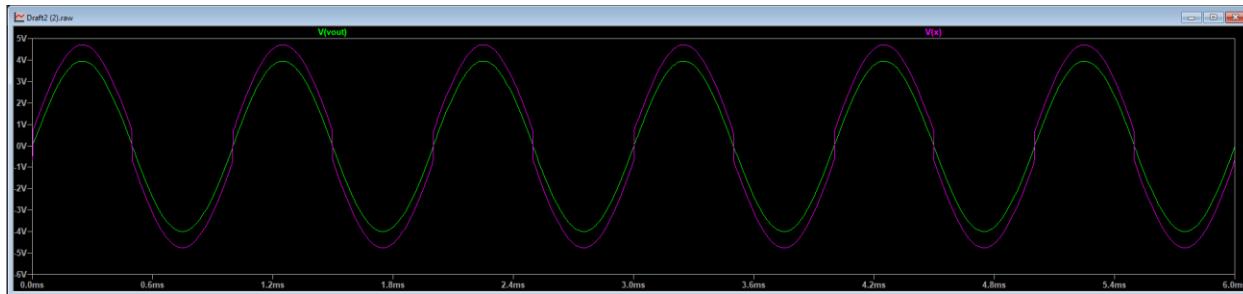
$$-9 < V_{cm} < 4.7$$

۶- علت اصلی محدود شدن سوئینگ خروجی در این مدار (و در اغلب تقویت‌کننده‌های مشابه)، طبقه خروجی پوش پول است. به دیگر سخن، ولتاژ خروجی نمی‌تواند دقیقاً به ولتاژهای تغذیه (یعنی V_{ee} و V_{cc}) برسد، لذا خود ترانزیستورهای خروجی برای اینکه روشن بمانند و به درستی کار کنند، به یک حداقل افت ولتاژ بین کلکتور و امیتر خود نیاز دارند.

-۷



-۸- ورودی با دامنه ۲ ولت:



جهش‌های ولتاژ که در شکل موج بیس ترانزیستورهای پوش پول مشاهده می‌شود، خطای نوسان ناخواسته نیست؛ همانطور که قبلاً در بخش ۴ بطور مبسوط پرداخته شد، با خاطر مکانیسم جیرانی فیدبک منفی با بهره بالا برای حذف اعوجاج عبور از صفر یا همان Distortion است.

-۹ همانطور که در قسمت ۵ گفته شد، حد بالا ۹.۸ و حد پایین -۹.۲ ولت بدست آمد (نتایج تئوری)، که گفته شد یک راه برای افزایش ماکریم سوینگ متقارن شیفت dc خروجی سینوسی به اندازه ۰.۳ ولت به سمت بالا بود، در واقع این راه معايب خود را دارد و آن هم خروج مدار از حالت ZIZO است که باعث میشود وقتی سیگنال AC هم نداشته باشیم مقداری توان مصرف شود.

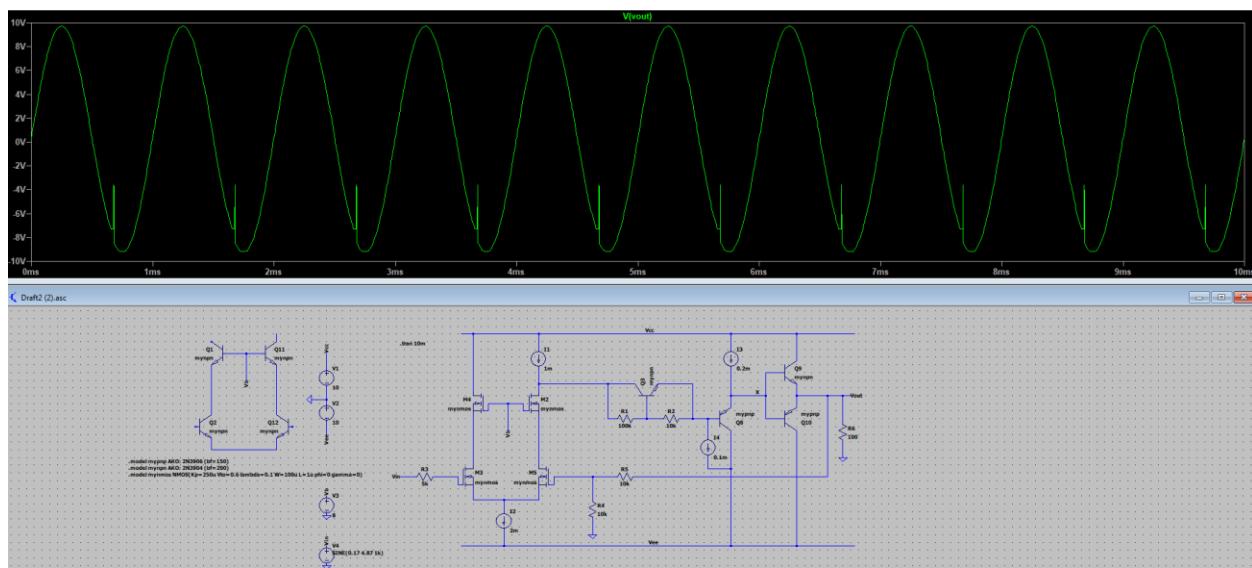
از طرفی گفته شد که در نتایج شبیه سازی در حالتی که V_b مقدار ۵ ولت دارد حد بالا ۹.۶۱ و حد پایین -۹.۱۷ ولت بدست آمد؛ به عبارت دیگر، ترانزیستور کسکود (M1) قبل از اینکه طبقه خروجی به حداکثر توان خود برسد، اشباع می شد و ولتاژ را در ۹.۶ محدود می کرد.

پس از تغییر: ($V_b=8V$) با افزایش ولتاژ گیت ترانزیستور کسکود، فضای سر آن افزایش یافت. این کار به طبقه ورودی اجازه داد تا ولتاژ را به مقدار بالاتری برساند و باز محدودیت سوینگ صرفا بر شانه طبقه خروجی بیفت و توسط آن تعیین شود (۹.۸ ولتی که با نتایج تئوری سازگار بود). در شبیه سازی در این حالت، حد بالا ۹.۸۳ و حد پایین همچنان -۹.۲۳ ولت بدست آمد.

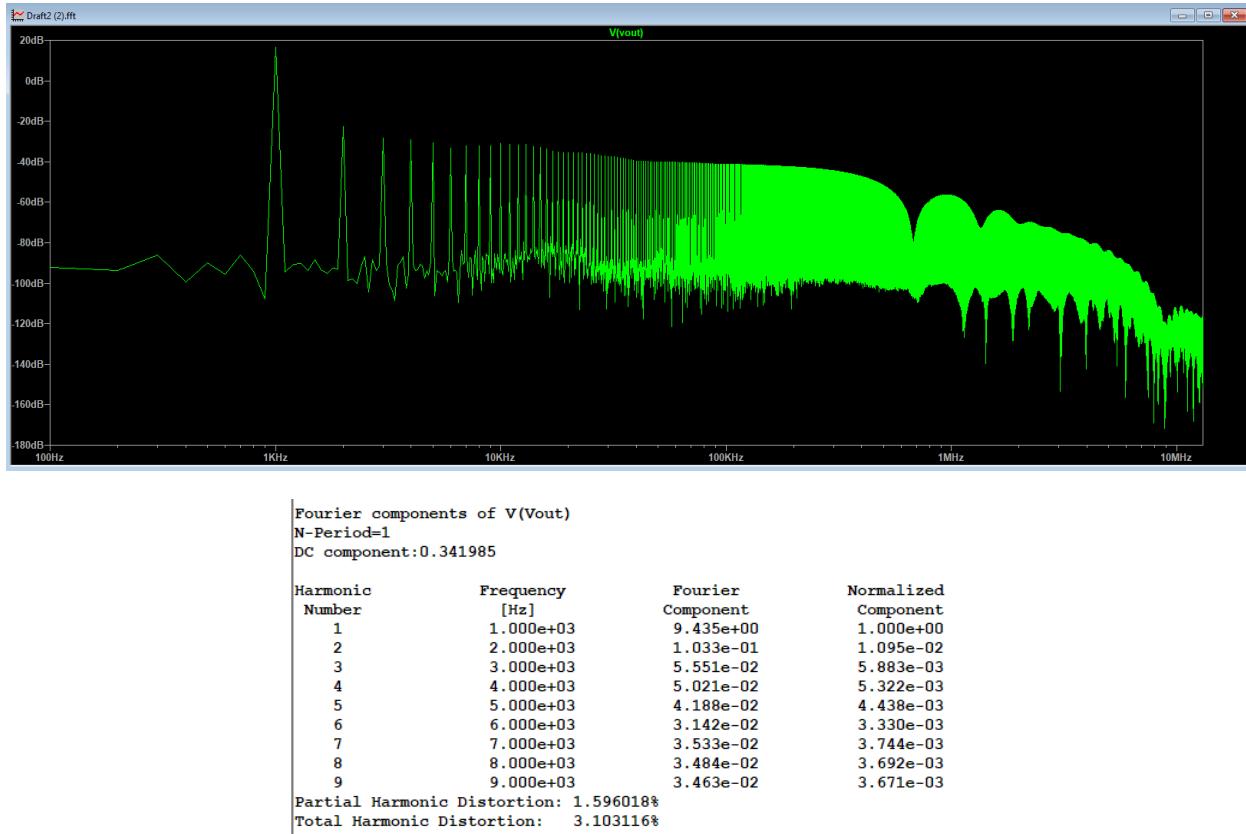
در ادامه تصاویر شبیه سازی با اعمال دو تغییر مهم در مدار برای داشتن ماکریم سوینگ متقارن لحاظ شده است، آن دو تغییر به شرح زیر اند:

$$Output dc shift = \frac{(V_- + V_+)}{2} = 0.3 V$$

$$V_b = 8 V$$



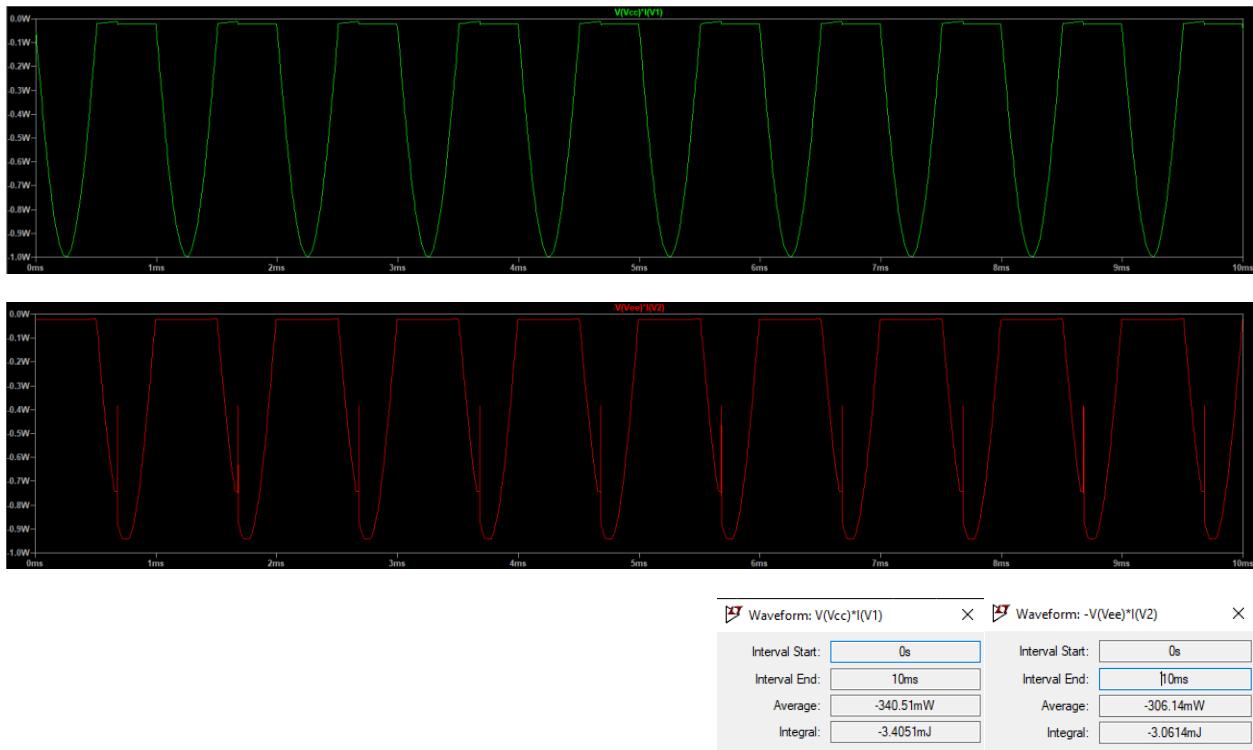
۱۰- همانطور که در نمودار تبدیل فوریه زیر مشاهده میشود، هارمونیک اصلی (با قله بزرگ) در فرکانس ۱k و باقی هارمونیک ها (۲k, 3k ...) با قله های کوچکتر وجود دارند.



همانطور که دیده می شود مقدار THD حدود ۳ درصد است؛ در ادامه توضیحاتی در رابطه با منابع غیر خطینگی آمده است که عمدتاً ناشی از سه مورد زیر است:

- ذات غیرخطی ترانزیستورها: این مهم‌ترین منبع است. رابطه بین ولتاژ ورودی و جریان خروجی در ماسفت‌ها (رابطه درجه دو) و BJT‌ها (رابطه نمایی) خطی نیست و باعث تولید هارمونیک می‌شود.
- push pull (فرآیند خاموش و روشن شدن ترانزیستورهای NPN و PNP در طبقه خروجی Crossover Distortion) شدت غیرخطی است که هارمونیک‌های مرتبه بالا تولید می‌کند.
- نقش فیدبک: حلقه فیدبک منفی به عنوان یک عامل خطی‌ساز عمل می‌کند به طوری که این حلقه با مقابله در برابر خطاهای ناشی از موارد بالا، به شدت مقدار THD نهایی را کاهش می‌دهد.

۱۱- توان لحظه‌ای کل مدار را با شبیه‌سازی در تصویر زیر آمده است (که همان توان کشیده شده از منابع تغذیه یعنی V_{ee} , V_{cc} است):

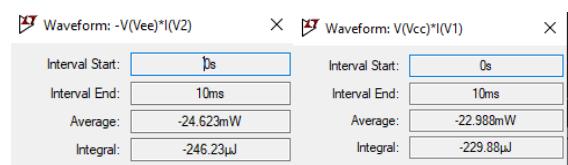


نکته: ورودی برای محاسبات دینامیکی با دامنه ۰.۸۷ ولت برای داشتن بیشینه سوپینگ (نزدیک ۱۰ ولت منابع سوپلای) لحاظ شده و اینکه توان منبع V_{cc} با توان منبع V_{ee} در شبیه‌سازی برابر نیست بخارط ۰.۱۷ ولتی است که بخاطر آفست اضافه شده تا بیشترین سوپینگ را داشته باشیم!

توان کل مصرفی متوسط دینامیک (توان در حین کار) از مجموع دو مقدار بالا بدست می‌آید:

$$P_{avg}(total) = -340mW - 306mW = -646mW$$

توان مصرفی در حالت quiescent (ورودی صفر بدون آفست):



که حدود ۴۷ میلی وات توان مصرفی دارد.

محاسبات تئوری:

$$P_{avg}(total) = P_{avg}(V_{cc}) + P_{avg}(V_{ee}) = 2P_{avg}(V_{cc \text{ or } ee})$$

$$P_{avg}(V_{cc}) = P_{dc,\text{quiescent}}(V_{cc}) + P_{ac,dyn}(V_{cc}); \quad P_{dc,\text{quiescent}} = 2.3mA * 10V = 23mW$$

$$P_{ac,dyn} = I_{avg,Load} * V_{cc} = \frac{V_{L,max}}{\pi * R_L} * V_{cc} = \frac{9.8}{\pi * 100} * 10 = 312mA$$

$$finally: P_{avg}(V_{cc}) = 335mA; So: P_{avg}(total) = 670mA$$

که به نتایج شبیه سازی نیز نزدیک است.

بخش پنجم: طراحی

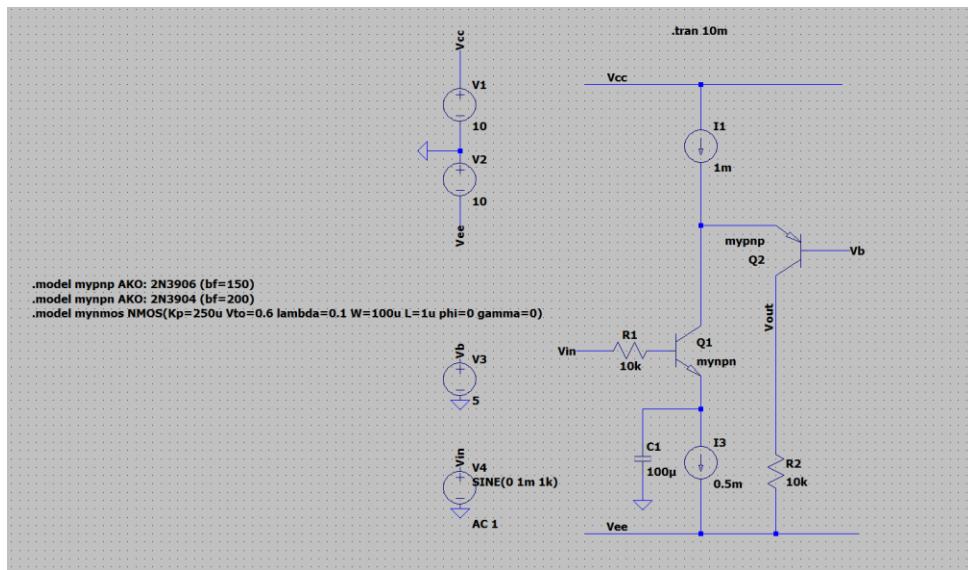
- این ساختار در مقایسه با تقویت کننده های ساده یا کسکود معمولی (تلسکوپی)، چند مزیت کلیدی دارد:

- محدوده حالت مشترک ورودی بسیار وسیع: از آنجایی که طبقه ورودی (مثلاً با NPN) و طبقه کسکود (مثلاً با PNP) روی هم چیزه نشده اند، ولتاژ DC ورودی می تواند به مقادیر بسیار نزدیک به سوپلای های مثبت یا منفی برسد، بدون اینکه ترانزیستورها از کار بیفتند. این ویژگی، برای مدارهایی که به سوئینگ ورودی بالا نیاز دارند، کاربردی است.

- بهره ولتاژ بالا (High Voltage Gain): مانند کسکود معمولی، این ساختار نیز به دلیل مقاومت خروجی بسیار بالایی که ایجاد می کند، بهره ولتاژ فوق العاده بالایی دارد.

- پاسخ فرکانسی خوب: این ساختار با کاهش اثر میلر، پهنای باند وسیعی دارد که پایین تر عکس طیف فرکانسی خروجی قرار گرفته است.

در زیر نمونه ساده (نمونه دیفرانسیلی این کسکود تا شده در مدار اصلی که باید طراحی شود آمده و صرفا برای راحتی در تعیین نقطه کار از این مدل استفاده شده است) folded cascode است:



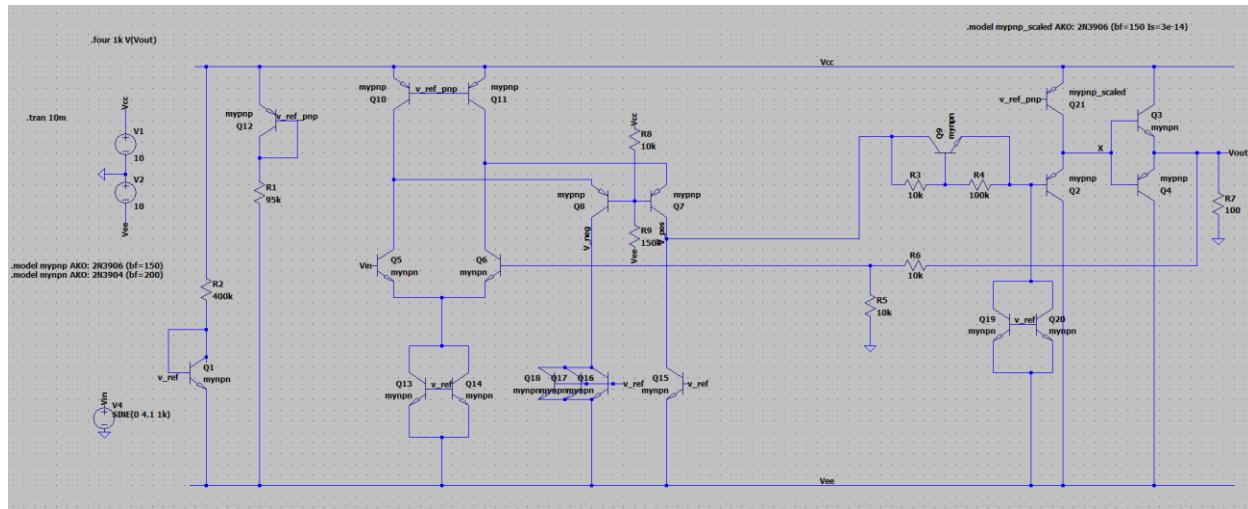
Reference: Sedra & Smith Q10,108

بهره: ۱۰۰؛ برای نقطه کار جریان کالکتور ترانزیستور ها به راحتی با یک kcl بدست می آید که در این مثال جریان کالکتور هر دو ۵.۰ میلی آمپر بدست می آید؛ با فرض ناچیز بودن جریان بیس Q1 ولتاژ بیس آن صفر بوده لذا ولتاژ امیر آن -۶.۰ ولت بدست می آید.

با توجه به اینکه V_b ۵ ولت است لذا ولتاژ امپیتر ترانزیستور Q2 که همان کالکتور Q1 است ۵.۶ ولت بدست می‌آید؛ با توجه به اینکه جریان کالکتور Q2 نیم میلی آمپر است پس ولتاژ کالکتور (گره خروجی) -۵ ولت بدست می‌آید در نتیجه:

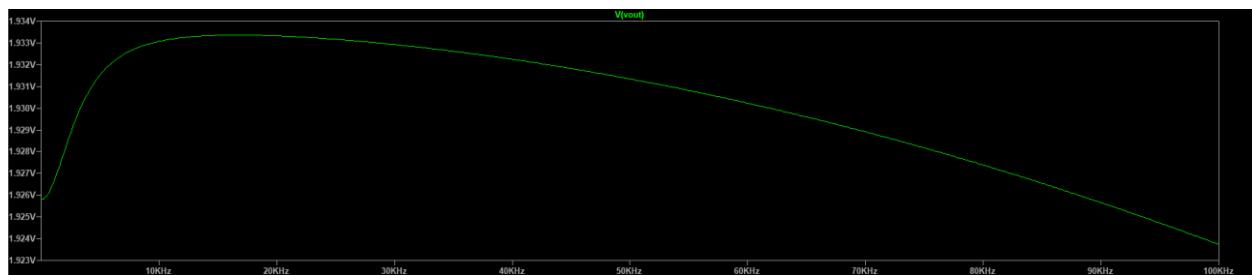
$$V_{ce}(Q1) = 6.2V, V_{ce}(Q2) = -10.6V$$

-۳ و -۲



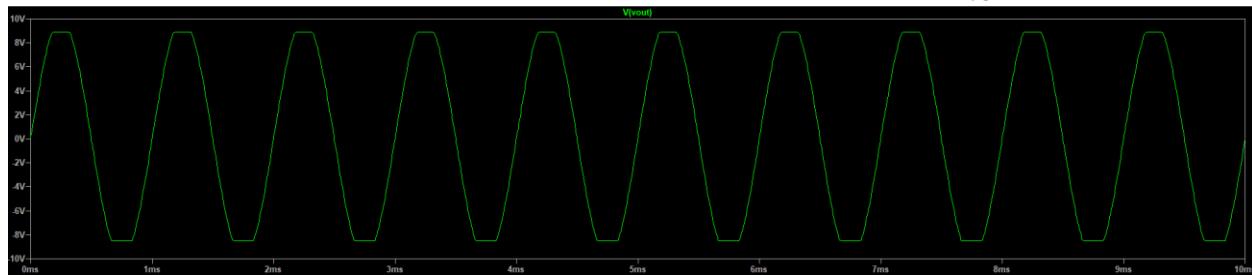
-۴

I- بهره حلقه بسته ۲ است که با ورودی AC با دامنه یک ولت در تصویر زیر خروجی حدود ۲ ولت مشاهده میشود که مطابق تحلیل Analysis است:

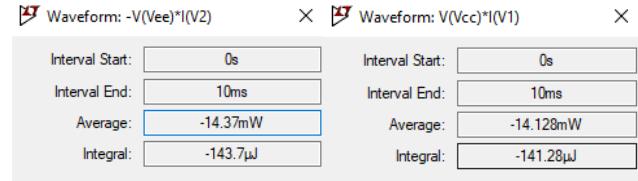


II- مطابق ورودی ۵ ولت که خارج از محدوده سوینگ طراحی شده است، تخمین زده می‌شود که حد بالای سوینگ ۸.۹۰ ولت و حد پایین آن -۸.۵۱ ولت است؛ لذا ماکریم سوینگ متقارن بصورت پیک تو پیک ۱۷.۰۲ ولت بدست می‌آید که به این معناست بیشترین ورودی ای

$$\text{که میتوان داد } \frac{17.02}{1.93*2} = 4.41V \text{ است}$$



-III- توان مصرفی در حالت بدون ورودی را در تصاویر زیر میبینیم:



که مشاهده میشود توان مصرفی کل حدود ۲۸.۵ میلی وات بدست می آید.

۰.۰۵ درصد بدست آمد که لب مرز است!

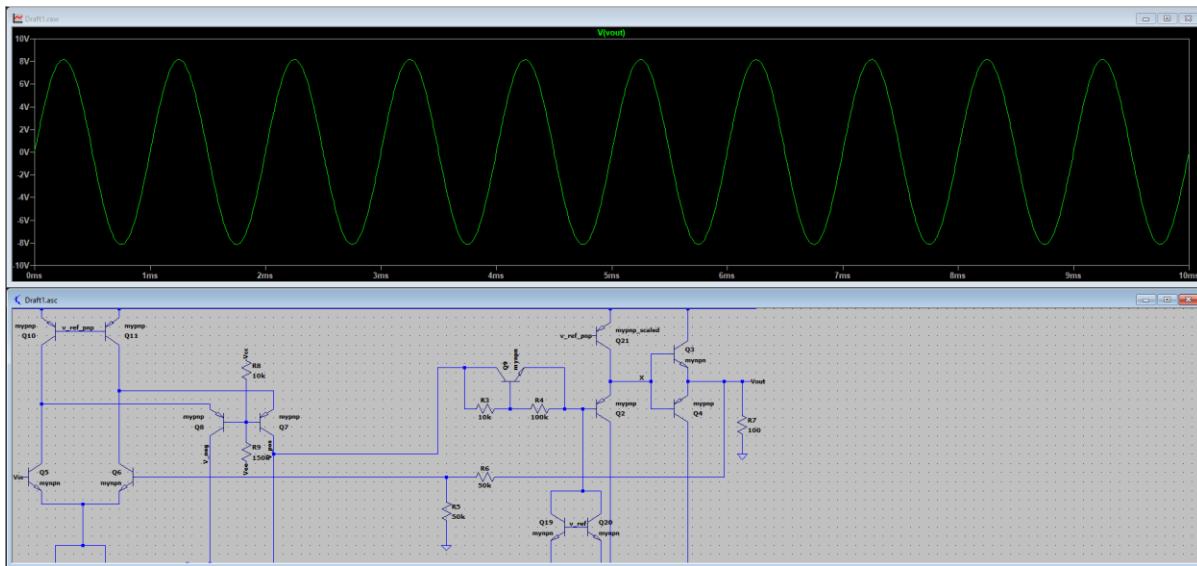
```

Fourier components of V(Vout)
N-Period=1
DC component:0.000562444

Harmonic          Frequency        Fourier          Normalized
Number           [Hz]            Component       Component
1                1.000e+03      8.162e+00    1.000e+00
2                2.000e+03      4.076e-03   4.994e-04
3                3.000e+03      7.219e-04   8.845e-05
4                4.000e+03      4.509e-04   5.524e-05
5                5.000e+03      5.285e-04   6.475e-05
6                6.000e+03      1.178e-04   1.443e-05
7                7.000e+03      3.088e-04   3.784e-05
8                8.000e+03      3.892e-05   4.768e-06
9                9.000e+03      2.320e-04   2.842e-05

Partial Harmonic Distortion: 0.051663%
Total Harmonic Distortion: 0.050067%
```

-V



- VI- اعوجاجی دیده نمی شود! در زیر THD در اثر این تغییر مقدار کمی بیشتر شده است:

Fourier components of V(Vout)

N-Period=1

DC component:0.00942444

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component
1	1.000e+03	8.160e+00	1.000e+00
2	2.000e+03	4.277e-03	5.241e-04
3	3.000e+03	7.584e-04	9.295e-05
4	4.000e+03	4.799e-04	5.882e-05
5	5.000e+03	5.614e-04	6.880e-05
6	6.000e+03	1.374e-04	1.684e-05
7	7.000e+03	3.274e-04	4.013e-05
8	8.000e+03	5.598e-05	6.860e-06
9	9.000e+03	2.532e-04	3.103e-05

Partial Harmonic Distortion: 0.054260%

Total Harmonic Distortion: 0.058432%