

〔美〕施 敏 主编

# Modern Semiconductor Device Physics

# 现代半导体 器件物理



科学出版社

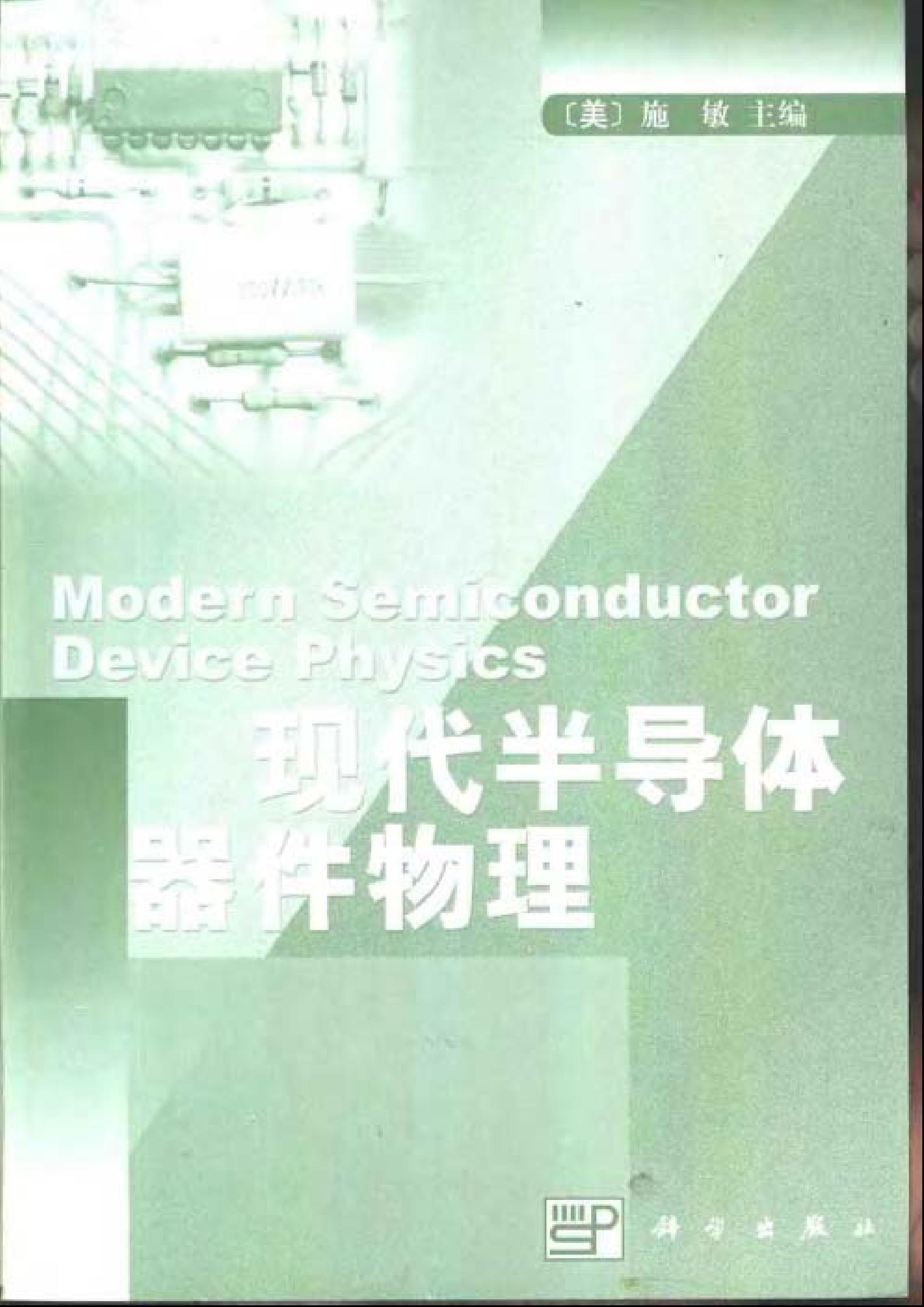
(TN-0312.0101)

ISBN 7-03-009059-4

9 787030 090591 >

ISBN 7-03-009059-4/TN · 312

定 价：48.00 元



〔美〕施 敏 主编

Modern Semiconductor  
Device Physics

现代半导体  
器件物理



清华大学出版社

图字：01-1999-2769

## 内 容 简 介

本书是1981年版《半导体器件物理》的续编。书中详细介绍了近20年来经典半导体器件的新增功能及新型半导体器件的物理机制。全书共八章，内容涉及先进的双极晶体管和异质结器件、金属-半导体接触及各种场效应晶体管，功率器件、量子器件、热电子器件、微波器件、高速光子器件，以及太阳能电池等。各章末除附有习题外还给出了尽可能多的参考文献。书后附录提供了符号表、国际单位制基本单位、物理常数、晶格常数最新值，以及元素半导体，二元、三元化合物半导体和绝缘体的特性。

本书可作为应用物理、电子工程、电机、材料科学领域大学本科生及研究生教材，也可供在半导体器件领域工作的科学家与工程师参考。

### 图书在版编目(CIP) 数据

现代半导体器件物理 / [美] 施敏 (S. M. Sze) 主编；刘晓彦、贾霖、康晋峰译。-北京：科学出版社，2001

书名原文：Modern Semiconductor Device Physics, John Wiley & Sons, Inc.

ISBN 7-03-009059-4

I. 现… II. ①施…②刘…③贾…④康… III. 半导体器件-物理性能  
N. TN303

中国版本图书馆 CIP 数据核字 (2000) 第 84511 号

Edited by S. M. Sze

MODERN SEMICONDUCTOR DEVICE PHYSICS

Copyright © 1998 by John Wiley & Sons, Inc.

本书由 Wiley 授权、根据英文版翻译

版权所有，翻印必究

科 学 出 版 社 出 版

北京东黄城根北街16号

邮 政 编 码：100717

<http://www.sciencep.com>

源 海 印 刷 厂 印 刷

科学出版社出版发行 各地新华书店经 销

\*

2001年6月第 一 版 开本：B5 (720×1000)

2001年6月第一次印刷 印张：27 1/2

印数：1—2 000 字数：524 000

定 价：48.00 元

(如有印装质量问题，我社负责调换(新欣))

## 中文版序

《现代半导体器件物理》与我的前著《半导体器件物理》(1969年第一版,1981年第二版)在内容上互为补充,它们都由 John Wiley & Sons 公司出版。这本新书的内容涵盖了半导体器件领域最近的发展状况,而前著《半导体器件物理》则提供了各种器件的工作原理基础和器件特征。

《半导体器件物理》的第一版和第二版已分别在 1972 年和 1987 年被辽河实验工厂情报资料室(东北工学院印刷厂印刷)和黄振岗先生(电子工业出版社出版)译成中文出版。自 1969 出版以来,《半导体器件物理》已被引用 1200 余次,是工程和应用科学领域同期发表的工作中被引用次数最多的 (ISI Press, Philadelphia)。

我很高兴地获知,《现代半导体器件物理》已由王阳元教授领导的北京大学微电子所中的一个小组译成中文。我相信该中译本将会被中国的半导体界很好地接纳。

中国正处于其电子工业快速增长的关键时刻。预计,到 2010 年,中国在消费电子产品方面的销售额将与美国持平;到 2020 年该销售额将是美国的五倍。在全球,电子工业仍将是最大的工业;在 2020 年电子产品的全球销售额将超过五千亿美元。

由于半导体器件是电子工业的基础,因此,对电气和电子工程、应用物理和材料科学专业领域的学生来说,了解器件的工作原理是非常重要的。我希望这本新书是研究生的一本有用的教科书,我还希望该书能成为在微电子和相关领域开展研究、开发工作的有关人员的参考书。

台湾交通大学联华电子讲座教授  
施敏 (S. M. Sze)

## 中译本序

1998年春,施敏教授应北京大学微电子所所长王阳元教授的邀请,来北京参加北京大学一百周年校庆,带来了刚刚出版的“Modern Semiconductor Device Physics”(S. M. Sze, John Wiley & Sons, Inc., 1998)一书,我们研究小组中的三位青年博士读到以后,爱不释手,决定把它译成中文奉献给读者。

施敏教授写书是很有名的。他写的“Semiconductor Device Physics”(S. M. Sze, John Wiley & Sons, Inc., 1969; and Second Ed. 1981)是这一领域的经典著作,自出版以来,始终被世界各大学作为教科书或教学参考书广泛采用。该书在中国,1972年就被译成中文(当时大陆的学者并不认识施敏教授,把作者姓名译成史西蒙)。从此,施敏教授的《半导体器件物理》,如同在世界各大学一样,也成了中国大学广泛采用的经典教科书。该书内容丰富、概念清晰、说理透彻,是它如此受到青睐的原因。三十年来在中国培养出来的半导体器件和微电子学方面的专业人才,几乎都读过施敏教授的这本书,从中受益匪浅(当然也包括我们研究小组的这三位博士)。施敏教授的学术成就是很卓著的,他在金属-半导体接触、微波和光电器件、亚微米 MOSFET 技术等领域的研究都作出了开创性的贡献。特别是他发明的非挥发性半导体存储器,如电可擦除的可编程只读存储器(EEPROM)和快闪存储器(Flash Memory),作为关键的存储器件已经广泛地应用到移动通讯、笔记本电脑、智能 IC 卡、数字相机、便携式电子系统中。施敏教授是北京大学的兼职教授,多次来北京大学微电子所讲学,他的在学术上能不断创造新思想的学风,在青年学生和教师(当然也包括我们研究小组的这三位博士)中有着非常好的印象,也激励着他们去不断地探索。

正如施敏教授所说,这本《现代半导体器件物理》是他的《半导体器件物理》(1981年版)一书的最新补充。随着微电子技术的迅速发展,半导体器件的特征尺寸已进入超深亚微米乃至亚 0.1 微米,在原理、结构和制造工艺方面有许多重大突破,同时出现了许多新型半导体器件,如量子器件等。《现代半导体器件物理》一书,对近二十年来半导体器件的发展成果,做出了非常成功的总结与提炼,并给出了国际半导体器件发展的最新进展和动态,因此是半导体器件领域的一本非常优秀的著作,我相信,它必将会成为大学相关专业的教科书和从事相关领域工作的工程师的参考书。

三位译者中,刘晓彦翻译了第三、五、八章,并对全部译稿进行了初审和统稿,贾稼翻译了第一、二、六、八章,康晋峰翻译了第四章和附录。毕竟三位译者都比较

年轻,知识面还不够宽,文字表述缺少经验,因而在翻译过程中常有力不从心的感觉,为此,邀请了八位朋友,他们都是各个半导体器件领域的专家,他们分别审阅了这本书的译稿,提出了许多重要的宝贵意见,为保证译稿的学术水平作出了贡献。为此,我们要向虞丽生、夏建白、孙钟林、王舒民、王子滨、张兴、赵宝瑛、黄如教授表示衷心的感谢。还要感谢中国科学院科学出版基金和科学出版社对这本译著的出版给予的资助和支持。孙雷、陈松涛、刘弋波在文字处理、编写索引等方面做了许多具体的工作,也一并表示感谢。

译稿不妥之处,敬请批评指正。

韩汝琦

2001年3月于燕园

## 序

在过去的 50 年中,电子工业的长足发展对我们的社会产生了无法估量的影响。目前,电子工业已成为世界上规模最大的工业,其全球市场份额已经超过了 10 000 亿美元。半导体器件是电子工业的基础,为满足电子工业的巨大需求,该领域的发展十分迅速。与此相适应的是,有关半导体器件的文献资料也呈爆炸式增长,从 20 世纪 50 年代的每年仅有几篇文献发表到现在的每年发表文献 10 000 余篇。

1981 年, Wiley-Interscience 出版社出版了《半导体器件物理》第二版。该书对所有经典半导体器件的物理机制和工作原理做了全面阐述。此后,又有超过 120 000 篇的半导体器件方面的文献发表。为了使读者能了解这些进展,我们邀请了一批半导体器件领域中的世界知名学者共同撰写了本书。书中详细阐述了 1981 年以来经典器件新增强的功能及新型器件的物理概念。需要指出的是,经典器件的基本物理机制并没有本质的改变,因此,第二版《半导体器件物理》中 80% 的内容仍然有效。为了使本书篇幅适中,我们将不加推导地直接使用第二版《半导体器件物理》中的结果,也不再重复其中的内容。所以,本书实际上是第二版《半导体器件物理》的一个补充。

编写本书的目的是作为应用物理、电机与电子工程、材料科学等领域研究生的教材,同时也可作为在半导体器件领域里工作的工程师和科学家的参考书使用。我们已假设读者对第二版《半导体器件物理》(Wiley, 1981)中讲述的器件工作原理有了基本的了解。对那些不熟悉第二版《半导体器件物理》的读者,这两本书可以同时学习。在这种情况下,我们假设读者已经学习过本科生使用的标准的半导体器件方面的教科书,如《半导体器件: 物理与工艺》(Wiley, 1985)等。

在本书的写作过程中,我们得到了许多人的支持和帮助。首先,要感谢我们的学术和工业研究机构的主管们,没有他们的帮助,这本书是不可能写出来的。本书审阅人的建议使我们获益匪浅,这些审阅人是: M. Barnett 博士(the University of Delaware), R. J. Beresford 教授(Brown University), R. Bhat 博士和 C. E. Zah 博士(Bell Communications Research), C. Y. Chang 教授(台湾交通大学), K. Chang 教授(Texas A&M University), L. Larson 教授(the University of California, San Diego), M. Mastrapasqua 博士和 K. K. Ng 博士(Lucent Technologies), B. J. Moon 博士(Vitesse Semiconductor Corporation), L. D. Partain 博士(Varian Associates), P. P. Ruden 教授(the University of Minnesota)以及 R. J.

Trew 教授(Case Western Reserve University)。

我们还要感谢 N. Erdos 先生对书稿所做的技术编辑工作。感谢 T. W. Sze 夫人准备了附录, P. L. Huang 女士、C. C. Chang 女士、L. T. Chou 女士、H. T. Chua 女士和 A. Y. W. Wong 女士准备了索引。我们还要感谢台湾交通大学 Spring Foundation 提供了基金资助。我还要特别感谢台湾 United Microelectronics Corporation(UMC)提供了 UMC Chair Professorship 基金, 以及香港科技大学的殷勤招待和香港大学为本书写作提供的良好工作环境。

S. M. Sze(施敏)

## 执笔者简介

P. M. 阿斯贝克(Asbeck)

加州大学圣迭戈分校，电子与计算机工程系，California, USA

B. J. 巴莱加(Baliga)

北卡罗来纳州立大学功率半导体研究中心，Raleigh, North Carolina, USA

S. 钱德雷塞卡(Chandrsekhar)

朗讯科技，贝尔实验室 Crawford Hill 实验室，Holmdel, New Jersey, USA

H. 艾西尔(Eisele)

密歇根大学电气工程和计算机科学系，Ann Arbor, Michigan, USA

T. A. 菲杰尔德利(Fjeldly)

挪威科技大学物理电子系，Trondheim, Norway

M. A. 格林(Green)

新南威尔士大学光电专业研究中心，Kensington, New South Wales, Australia

G. I. 哈达德(Haddad)

密歇根大学电气工程和计算机科学系，Ann Arbor, Michigan, USA

S. J. 希莱尼思(Hillenius)

朗讯科技贝尔实验室，Murray Hill, New Jersey, USA

T. P. 李(Lee)

贝尔通讯中心光电技术研究中心，Red Bank, New Jersey, USA

S. 卢莱伊(Luryi)

纽约州立大学石溪分校电子工程系，Stony Brook, New York, USA

M. S. 舒尔(Shur)

Rensselaer 理工学院电气、计算机和系统工程系，Troy, New York, USA

施敏(S. M. Sze)

台湾交通大学电子工程系，新竹，中国台湾

A. 扎拉维斯基(Zaslavsky)

布朗大学工程系，Providence, Rhode Island, USA

## 作者简介

施敏，男，中国工程院外籍院士、美国工程院院士、台湾交通大学教授、台湾纳米器件实验室主任、北京大学兼职教授。在金属-半导体接触、空间电荷区的碰撞电离、微电子工艺等领域做出了开创性的贡献。是非挥发性半导体存储器、肖特基MOSFET等多种半导体器件的发明人。著有《半导体器件物理》等11部学术专著。其中《半导体器件物理》一书是工程和应用科学领域的三部经典专著之一。

## 参 考 书 阅 读

刘晓彦，女，毕业于北京大学计算机系，获博士学位。现为北京大学微电子所副教授，目前主要从事显示类专用集成电路设计、超深亚微米半导体器件模型、模拟及新型器件结构的研究。

贾雷，男，毕业于北京大学物理系，获博士学位。现在美国加州大学圣迭戈分校工作，目前主要从事集成电路工艺等方面的研究。

康晋峰，男，毕业于北京大学计算机系，获博士学位。现为北京大学微电子所副教授，目前主要从事深亚微米和纳米半导体器件物理和工艺、集成电路新材料、快电存储器技术方面的研究工作。

韩致清，男，北京大学微电子所教授，博士生导师。长期从事固体物理、半导体物理、半导体器件物理的教学和研究工作，有较高的学术造诣。著有《半导体物理基础》、

《晶体管原理与设计》、《非晶态物理》、《固体物理学》等，发表论文80余篇，曾获全国高校优秀教材国家级特等奖和国家科技进步二等奖。

# 目 录

中文版序	
中译本序	
序	
执笔者简介	
<b>引言</b>	1
<b>1 双极晶体管</b>	9
1.1 引言	9
1.2 双极晶体管的工作原理	11
1.3 硅双极晶体管	26
1.4 异质结双极晶体管	31
1.5 双极晶体管模型	51
1.6 总结与展望	56
习题	59
参考文献	60
<b>2 化合物半导体场效应晶体管</b>	63
2.1 引言	63
2.2 肖特基势垒和欧姆接触	65
2.3 GaAs MESFET	69
2.4 异质结场效应晶体管(HFET)	82
2.5 楞极漏电流	89
2.6 新型化合物半导体 FET	90
2.7 总结与展望	98
习题	100
参考文献	103
<b>3 MOSFET 及其相关器件</b>	106
3.1 引言	106
3.2 MOSFET 的按比例缩小	107
3.3 CMOS/BiCMOS	110
3.4 可靠性	119

---

3.5 SOI 和三维结构 .....	122
3.6 存储结构 .....	125
3.7 低压/低功耗器件 .....	131
3.8 总结与展望 .....	133
习题 .....	136
参考文献 .....	137
<b>4 功率器件 .....</b>	<b>140</b>
4.1 引言 .....	140
4.2 功率整流管 .....	141
4.3 功率 MOSFET .....	155
4.4 绝缘栅双极晶体管 .....	167
4.5 MOS 楼控晶闸管 .....	179
4.6 碳化硅功率器件 .....	184
4.7 总结与展望 .....	185
习题 .....	186
参考文献 .....	186
<b>5 量子效应和热电子器件 .....</b>	<b>192</b>
5.1 引言 .....	192
5.2 共振隧穿(RT)结构 .....	194
5.3 热电子结构 .....	220
5.4 器件应用 .....	233
5.5 总结与展望 .....	245
附录 5.A 态密度和费米积分 .....	247
附录 5.B 在具有散射的超晶格中的漂移速度 .....	248
附录 5.C 接触和超晶格 .....	249
附录 5.D 相干晶体管基区输运 .....	250
习题 .....	251
参考文献 .....	254
<b>6 有源微波二极管 .....</b>	<b>262</b>
6.1 引言 .....	262
6.2 渡越时间二极管 .....	269
6.3 共振隧穿二极管 .....	282
6.4 转移电子器件 .....	288
6.5 总结与展望 .....	303
习题 .....	305
参考文献 .....	306

<b>7 高速光子器件</b>	311
7.1 引言	311
7.2 激光器的设计及其基本工作原理	313
7.3 量子阱和应变层量子阱激光器	325
7.4 高级激光器结构和光子集成电路(PIC)	330
7.5 光接收器和光电集成电路	341
7.6 总结与展望	350
附录 7.A 线宽公式的推导	350
附录 7.B 应变层单量子阱激光器的透光载流子面密度和微分增益的 近似表达式	353
习题	354
参考文献	356
<b>8 太阳电池</b>	362
8.1 引言	362
8.2 太阳光辐射和理想的能量转换效率	364
8.3 硅太阳电池：单晶、多晶和非晶	370
8.4 化合物半导体电池	384
8.5 组件	392
8.6 总结与展望	398
习题	399
参考文献	402
<b>附录 A 符号表</b>	407
<b>附录 B 国际单位制(SI 单位)</b>	409
<b>附录 C 单位词头</b>	409
<b>附录 D 希腊字母</b>	410
<b>附录 E 物理常数</b>	410
<b>附录 F 300K 的晶格常数</b>	411
<b>附录 G 重要的元素和二元半导体性质</b>	412
<b>附录 H Si 和 GaAs 在 300K 的性质</b>	413
<b>附录 I III-V 族三元化合物半导体的性质</b>	414
<b>附录 J SiO<sub>2</sub> 和 Si<sub>3</sub>N<sub>4</sub> 在 300K 的性质</b>	416
<b>索引</b>	417

# 引　　言

施敏

台湾交通大学，新竹，中国台湾

## 半导体器件物理文献

早在 1874 年，人们就开始了半导体器件的研究<sup>[1, 2]</sup>。然而，直到 1947 年朗讯 (Lucent) 科技公司所属贝尔实验室(前身为 AT&T 贝尔实验室)的一个研究小组发明了双极晶体管后<sup>[3, 4]</sup>，半导体器件物理的研究才有了根本性的突破。双极晶体管及其相关的半导体器件构成了当今全球市场份额最大的电子工业的基础。

与电子工业的成长同步，半导体器件方面的文献也如雨后春笋般地涌现。图 1 给出了器件方面文献每年的发表数量<sup>[5]</sup>。图 1 的资料来源于 INSPEC 数据库。这个数据库建于 1969 年。1969 年以前发表的器件方面文献的总数估计约为 2500 篇。如果器件文献的发表也有通常的生命周期特性(即由初生、成长、饱和，到最终下降)的话，那么，初生期占了约 3/4 个世纪(从 1874 年到 1947 年)。1947 年以后，进入到成长期。最初的快速增长持续了 27 年。这一时期，文献的年发表量每两年就翻一番。到 1974 年，文献年发表量达到 3000 篇。至此，以往的 100 年间发表的器件文献总数达到 13 000 篇。1974 年以后，成长在继续，但速度降了下来，文献年发表量每 12 年翻番，到目前为止，发表的文献超过了 150 000 篇。

我们预计，成长期将至少持续到 21 世纪初叶。如果成长速度保持不变，到 2000 年，文献总量将接近 220 000 篇；到 2005 年，总数将达到 350 000 篇。我们的确应该强烈地意识到，我们拥有数量多么庞大的半导体器件方面的文献。

## 器件构件

在《半导体器件指南》<sup>[6]</sup>一书中，定义了 67 种主要的半导体器件及其相关的 110 多个变种。然而，所有这些器件都可以由图 2 所示的少数几种器件构件来组成。

图 2(a) 示出了金属-半导体界面，这是在金属和半导体之间形成的一种紧密接触。这种构件是第一个被研究的半导体器件(1874 年)。这种界面可用作整流接触，即肖特基势垒，或用作欧姆接触。我们可以用这种界面构成许多有用的器件，

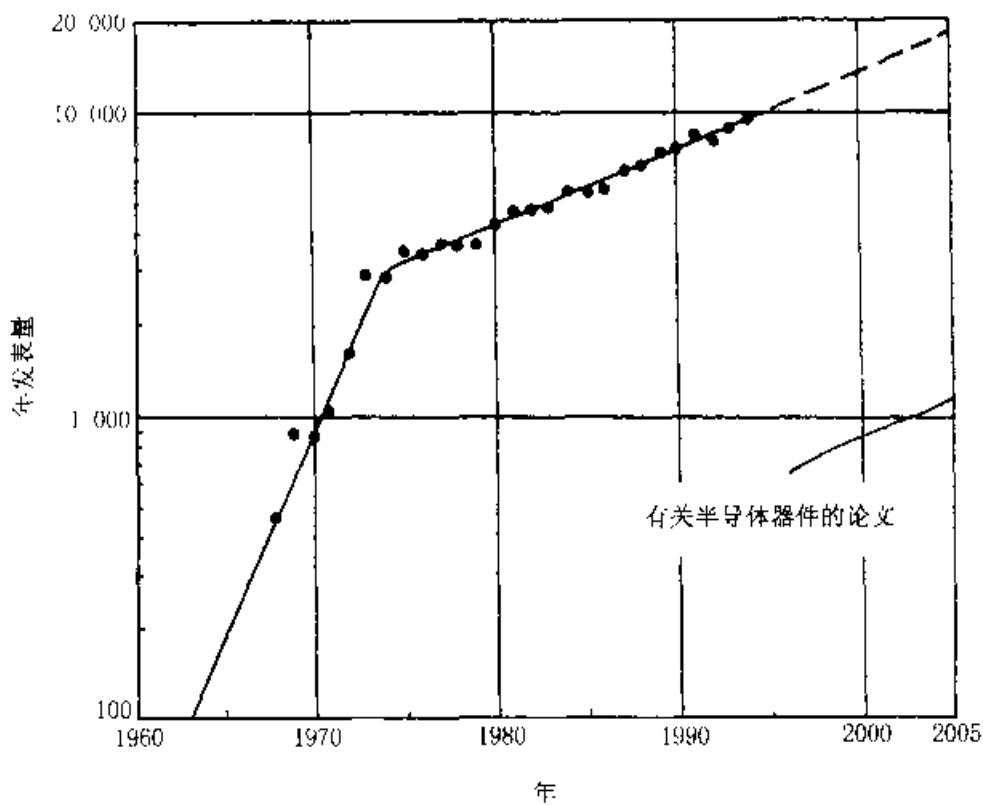


图 1 半导体器件文献的年发表量

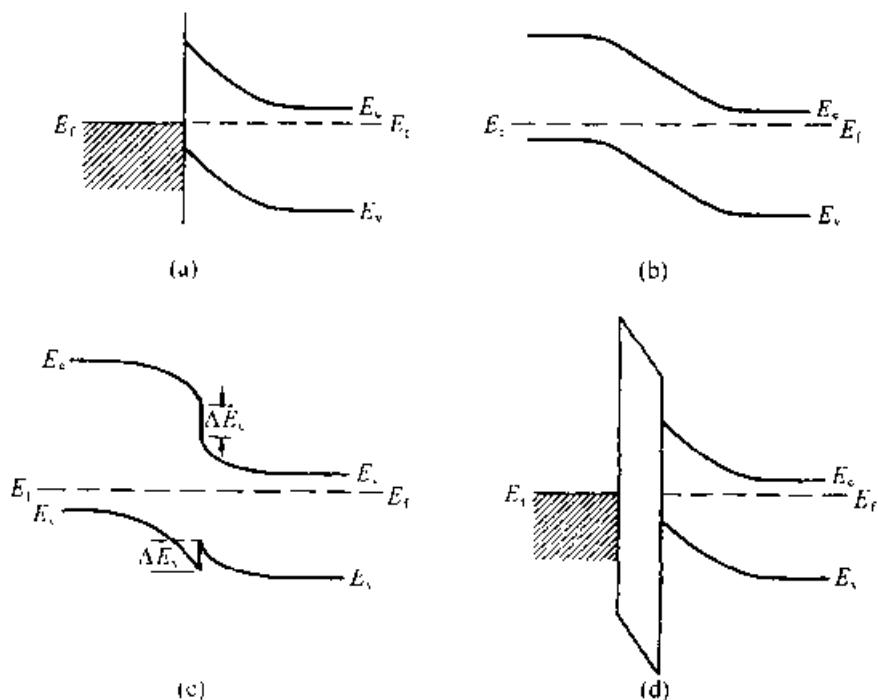


图 2 (a)金属-半导体界面(b)p-n 结(c)异质结界面(d)MOS 结构

例如,用一个整流接触作栅,用两个欧姆接触分别作源、漏,就可以得到一个 MESFET。

第二个构件是 p-n 结[图 2(b)]。它是在 p 型和 n 型半导体之间形成的“结”。若再加一层 p 型半导体，将两个 p-n 结结合起来，就构成了 p-n-p 双极晶体管。p-n-p 晶体管发明于 1947 年，它开创了现代电子学的新纪元。如果我们将三个 p-n 结结合起来构成一个 p-n-p-n 结构，就得到了晶闸管。

第三个构件[图 2(c)]是异质结界面，即在两种不同的半导体之间形成的界面。如果用带有两个异质结界面的 n-Al<sub>x</sub>Ga<sub>1-x</sub>As/p-GaAs/p-Al<sub>x</sub>Ga<sub>1-x</sub>As 结构，就可以做成双异质结激光器。另一个重要的例子是共振隧穿二极管(RTD)，它是由四个异质结，如 GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/GaAs 构成的。

图 2(d)示出的是金属-氧化物 半导体(MOS)结构(如果氧化物用绝缘体替代，就是 MIS 结构)。这种结构可视为一个金属-氧化物界面和一个氧化物-半导体界面的结合。其大规模集成电路(ULSI)中最重要的器件 MOSFET，就是由一个 MOS 结构作栅，两个 p-n 结作源和漏形成的。

我们采用以下的技术来制造这些构件：(1) 用金属化过程来形成金属-半导体接触和金属-氧化物界面(这是 MOS 结构的一部分)；(2) 用离子注入或杂质扩散方法来形成 p-n 结；(3) 用外延方法，特别是分子束外延(MBE)和金属有机物化学汽相沉积(MOCVD)方法，来形成异质结；(4) 用氧化或薄膜淀积方法来形成氧化物-半导体界面<sup>[7, 8]</sup>。

## 主要里程碑

图 3 按时序标示了一些重要的半导体器件的发明时间，列在右边的是两端器件，列在左边的是三端器件和四端器件。最早对半导体器件(金属-半导体接触)作系统研究之人当属 Braun，他在 1874 年注意到电阻对外加电压极性的依赖以及表面导电的机制<sup>[9]</sup>。1907 年，Round 发现了电致发光现象(发光二极管，LED)。当他在一块金刚砂晶体上的两点间加上电压时，观察到晶体发出了黄光<sup>[9]</sup>。1938 年 Schottky 提出，金属-半导体接触中的势垒起源于半导体中稳定的空间电荷，而非由于一个化学层的存在。这个模型现在被称作肖特基(Schottky)势垒<sup>[10]</sup>。

1947 年，Bardeen 和 Brattain 发明了点接触晶体管<sup>[3]</sup>。紧接着，1949 年 Shockley 发表了关于 p-n 结和双极结型晶体管的经典性文章<sup>[4]</sup>。晶体管的问世，对电子工业产生了无法估量的影响。三位发明者因此获得了 1956 年诺贝尔奖。随后，在 1952 年，Shockley 提出了结型场效应晶体管，这是第一个半导体场效应器件<sup>[1, 7]</sup>。同年，Ebers 发展了晶闸管的基本模型，而晶闸管是用途最多的开关器件之一<sup>[12]</sup>。基于光伏效应的太阳能电池，首先由 Chapin、Fuller 和 Pearson 于 1954 年做出来，他们利用扩散形成的硅 p-n 结，获得了 6% 的转换效率<sup>[13]</sup>。从长远的用途来看，太阳能电池是从太阳获得能量的主要器件。

1957 年，Kroemer 建议采用异质结双极晶体管来提高发射极的效率<sup>[14]</sup>，这种

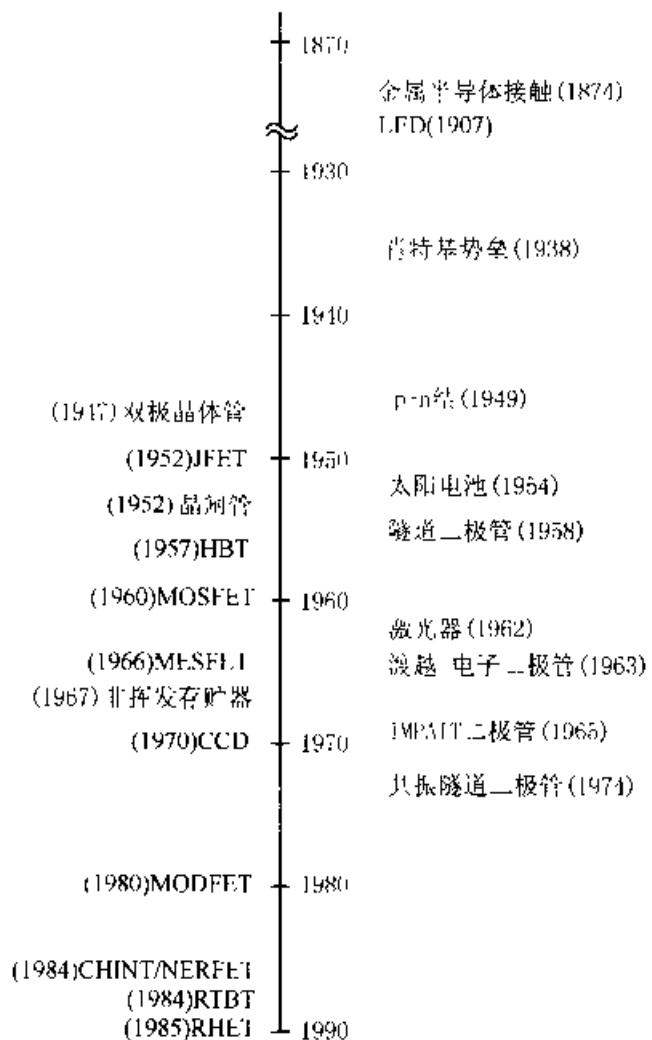


图 3 主要半导体器件发明的时间顺序表

器件有潜力成为速度最快的半导体器件之一。1958 年, Esaki 在一个重掺杂的 p-n 结中观察到了负阻特性, 从而导致了隧道二极管的发明<sup>[15]</sup>。隧道二极管对于半导体物理学的贡献非常巨大, Esaki 因此荣获 1973 年诺贝尔奖。

对于甚大规模集成电路(ULSI)来说, 最重要的器件是增强型 MOSFET<sup>[1]</sup>, 它首先是由 Kahng 和 Atalla 于 1960 年报道的<sup>[16]</sup>。MOSFET 及相关的集成电路现在占有了半导体器件市场份额的 90%。另一个非常重要的器件是激光二极管。1962 年, 分别以 Hall<sup>[17]</sup>、Nathan<sup>[18]</sup>和 Quist<sup>[19]</sup>为首的研究小组几乎同时宣布他们在半导体中获得受激辐射。激光的应用领域非常广阔, 如光纤通讯、激光打印、大气污染监测等。

1) E. Labate 在 1957 年提出了一个类似的 MOSFET 结构。这个方案记录在贝尔实验室的记事簿 No. 57-25647 的第 179 页上, 这个方案写道: “通过在绝缘体上沉积的金属层上施加一个电压来控制硅棒的电阻, 这种器件就像真空管那样, 可以控制表面电流, 这种器件是一种压控器件。”M. M. Atalla 在 1957 年 3 月 8 日证实了这一方案的存在。

在随后的三年中，发明或提出了三种重要的微波器件。第一种是由 Gunn 于 1963 年发明的转移电子器件(TED)，也称 Gunn 二极管<sup>[20]</sup>。TED 广泛地应用于毫米波段。第二种器件是 IMPATT 二极管<sup>[21]</sup>，它是由 Johnston、DeLoach 和 Cohen 于 1965 年发明的。在所有的半导体器件中，IMPATT 二极管在毫米波段能产生最大连续功率。第三种是 MESFET<sup>[22]</sup>，它是由 Mead 在 1966 年发明的。这种器件对于单片微波集成电路(monolithic microwave IC, MMIC)而言，是非常重要的器件。

非挥发性存储器<sup>[23]</sup>最早是由 Kahng 和 Sze 在 1967 年提出的。非挥发性存储器已经广泛地应用于集成电路，如可擦除可编程只读存储器(EPROM)，电可擦除可编程只读存储器(EEPROM)和快速闪存等。由于快速闪存具有高密度、电复写、非挥发性等突出的优点，在系统应用方面，它将会超过动态随机存储器(DRAM)，并在不远的将来会取代大多数的磁存储器。

电荷耦合器件(CCD)<sup>[24]</sup>是由 Boyle 和 Smith 在 1970 年发明的。CCD 在光学传感器方面有着十分广泛的用途。1970 年是器件商业化的一个分水岭。所有规模生产的半导体器件，无论是分立器件抑或是集成电路，都是在 1970 年或之前发明出来的。当然，由于工艺技术的进步、强有力模拟工具的出现，以及在器件结构方面实质性的改进，这些器件的性能在此后的日子里还是有实质性提高的。

1970 年之后的一个重要进展是，1974 年 Chang、Esaki 和 Tsu 在双势垒结构<sup>[25]</sup>中观察到了共振隧穿效应。共振隧穿二极管是大多数量子器件的基础。量子器件能够提供极高密度、超高速和增强的功能，同时，实现同样的功能所使用的器件数目却人为减少。另一个有意义的进展是人们认识到采用调制掺杂可制造出一种高速器件。这种称为调制掺杂场效应晶体管(MODFET)<sup>[26]</sup>的器件是由 Mimura、Hiyamizu、Fujii 和 Nanbu 在 1980 年发明的。选用合适的异质结材料，MODFET 可望成为速度最快的场效应管。

1980 年以后，大多数的新器件都包含异质结<sup>[27]</sup>。电荷注入晶体管(CHINT)是一种有趣的器件<sup>[28]</sup>，它至少包含两个异质结，是由 Luryi、Kastalsky、Gossard 和 Hendel 在 1984 年发明的。一种叫作负阻场效应晶体管(NERFET)的器件<sup>[29]</sup>也是由同一小组发明的。这些器件基于实空间转换(RST)机制。它们能够实现许多新的电路功能，并且性能良好。例如，复合功能 NORAND 只用一个 CHINT 器件就可以实现。将共振隧穿二极管和经典器件结合起来，可以构造许多新的量子器件(QED)。共振隧穿双极晶体管(RTBT)即是其中之一。这种器件至少有 4 个异质结，是由 Capasso 和 Kiehl<sup>[30]</sup>提出的。Ricco 和 Solomon<sup>[31]</sup>于 1984 年也独立地提出这一器件。另一个 QED 的例子是共振隧穿热电子晶体管(RHET)，它是由 Yokoyama、Imamura、Muto、Hiyamizu 和 Nishi 于 1985 年提出的。这些 QED 和 RST 器件作为其他技术的补充，具有非常大的潜力。例如光电集成电路就有可能

受益于基于共振隧穿或实空间转换效应的超快功能元件的引入。

应该指出，在图 3 中我们没有把半导体传感器(光子器件除外)包括进来。半导体传感器能够检测到一个非电输入信号，并把它转化为一个合适的输出信号。这一领域的发展也非常迅速，有关文献约占所有半导体器件文献(电或非电输入信号)的 20%。对半导体传感器感兴趣的读者可以参考合适的教材或参考书<sup>[38]</sup>。

## 本书的安排

《现代半导体器件物理》(MSDP)是作为《半导体器件物理》第二版(Wiley, 1981)的补充而编写的。所以，我们采取了和第二版的《半导体器件物理》(以下简称“第二版”)相同的格式，并且章节次序的安排也相似。两书章节安排的比较示于图 4。

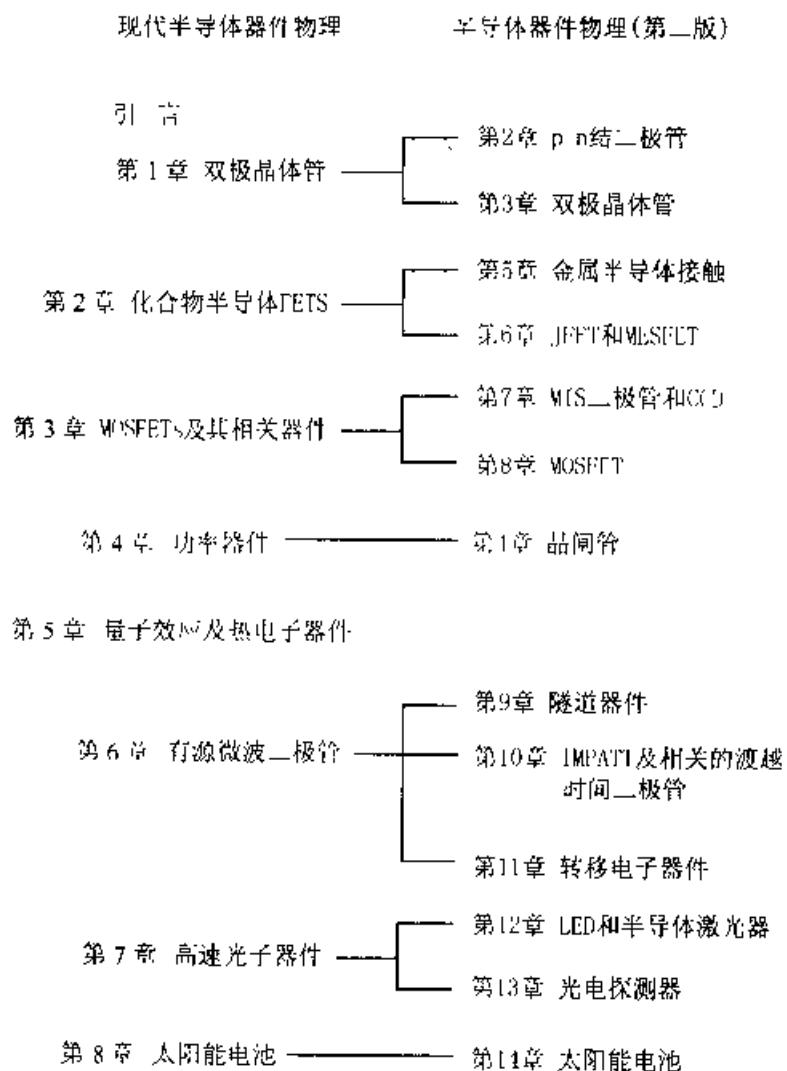


图 4 本书的章节安排及其与第二版《半导体器件物理》的对应关系

本书共 8 章。第 1 章论述了先进的双极晶体管和异质结双极晶体管器件及其电路应用，与“第二版”中讲述双极晶体管基本知识的第 2, 3 章相对应。第 2 章讨论了金属 半导体接触、MESFET、JFET 和 MODFET(与“第二版”的第 5, 6 章对应)。第 3 章介绍了 MOSFET 及相关器件，诸如 SOI(Silicon-on-insulator)、DRAM 和非挥发性存储器(与“第二版”的第 7, 8 章相对应)。第 4 章论述了功率器件，如功率 MOSFET，绝缘栅双极晶体管、MOS 栅控晶闸管(与“第二版”的第 4 章对应)。MSDP 中的章节顺序在此处有一些变化，主要是考虑到许多新的功率器件采用双极晶体管和 MOSFET 相结合的结构。

第 5 章讨论了量子器件和热电子器件。因为这些器件的大部分是在 1981 年之后发展起来的，故在“第二版”中没有对应章节。第 6 章论述了微波器件，包括隧道器件、IMPATT 二极管和转移电子器件(分别与“第二版”的第 9、10、11 章对应)。第 7 章介绍的是高速光子器件，特别是量子阱激光器、分布式反馈激光器、光子探测器和光电集成电路(与“第二版”的第 12, 13 章对应)。在附录中，我们给出了符号表、国际单位制基本单位、国际单位制词头、希腊字母表和物理常数。另外也给出了晶格常数的最新值、重要元素和二元化合物半导体的特性，三元 II-V 族化合物半导体的特性和绝缘体的特性。

由图 1 可见，目前，半导体器件方面的文献仍在急剧增长。许多内容，如经典器件的终极性能、量子效应器件的新功能和光电集成电路等都在研究之中。本书里提供的资料可作为一个基础。每章末附列的参考文献则可提供更多的信息。

## 参 考 文 献

- [1] F. Braun, "Über die Stromleitung durch Schwefelmetalle," *Ann. Phys. Chem.* 153, 556(1874).
- [2] Most of the classic device papers are collected in S. M. Sze, Ed., *Semiconductor Devices: Pioneering Papers*, World Scientific, Singapore, 1991.
- [3] J. Bardeen and W. H. Brattain, "The transistor, a semiconductor triode," *Phys. Rev.* 71, 230(1948).
- [4] W. Shockley, "The theory of p n junction in semiconductors and p-n junction transistors," *Bell Syst. Tech. J.* 28, 435(1949).
- [5] From INSPEC database, Bell Laboratories, Lucent Technologies, 1996.
- [6] K. K. Ng, *Complete Guide to Semiconductor Devices*, McGraw-Hill, New York, 1995.
- [7] For a reference on basic processing technology, see, for example, S. M. Sze, Ed., *VLSI Technology*, 2nd ed., McGraw-Hill, New York, 1988.
- [8] For a reference on advanced processing technology, see, for example, C. Y. Chang and S. M. Sze, Eds., *ULSI Technology*, McGraw-Hill, New York, 1996.
- [9] H. J. Round, "A note on carborundum," *Electr. Wld* 19 (February 9), 309(1907).
- [10] W. Schottky, "Halbleitertheorie der Sperrschiicht," *Naturwissenschaften* 26, 843(1938).
- [11] W. Shockley, "A unipolar field effect transistor," *Proc. IRE* 40, 1365(1952).
- [12] J. J. Ebers, "Four terminal of p n p n transistors," *Proc. IRE* 40, 1361(1952).

- [13] D. M. Chapin, C. S. Fuller, and G. L. Pearson, "A new silicon p-n junction photocell for converting solar radiation into electrical power," *J. Appl. Phys.*, 25, 676(1954).
- [14] H. Kroemer, "Theory of a wide gap emitter for transistors," *Proc. IRE* 45, 1535(1957).
- [15] L. Esaki, "New phenomenon in narrow germanium p-n junctions," *Phys. Rev.* 109, 603(1958).
- [16] D. Kahng and M. M. Atalla, "Silicon silicon dioxide surface device," in *IRE Device Research Conference*, Pittsburgh, 1960. (The paper can be found in Ref. 2.)
- [17] R. N. Hall, G. E. Fenner, J. D. Kingsley, T. J. Soltys, and R. O. Carlson, "Coherent light emission from GaAs junctions," *Phys. Rev. Lett.* 8, 366(1962).
- [18] M. I. Nathan, W. P. Dumke, G. Burns, F. H. Dill, Jr., and G. Lasber, "Stimulated emission of radiation from GaAs p-n junctions," *Appl. Phys. Lett.* 1, 62(1962).
- [19] T. M. Quist, R. H. Rediker, R. J. Keycs, W. E. Krag, B. Lax, A. L. McWhorter, and H. J. Zeigler, "Semiconductor maser of GaAs," *Appl. Phys. Lett.* 1, 91(1962).
- [20] J. B. Gunn, "Microwave oscillations of current in II-V semiconductors," *Solid State Commun.* 1, 88 (1963).
- [21] R. L. Johnston, B. C. DeLoach, Jr., and B. G. Cohen, "A silicon diode microwave oscillator," *Bell Syst. Tech. J.* 44, 369(1965).
- [22] C. A. Mead, "Schottky barrier gate field effect transistor," *Proc. IEEE* 54, 307(1966).
- [23] D. Kahng and S. M. Sze, "A floating gate and its application to memory devices," *Bell Syst. Tech. J.* 46, 1283(1967).
- [24] W. S. Boyle and G. E. Smith, "Charge coupled semiconductor devices," *Bell Syst. Tech. J.* 49, 587 (1970).
- [25] L. L. Chang, L. Esaki, and R. Tsu, "Resonant tunneling in semiconductor double barriers," *Appl. Phys. Lett.* 24, 593(1974).
- [26] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, "A new field-effect transistor with selectively doped GaAs/n Al<sub>x</sub>Ga<sub>1-x</sub>As Heterojunction," *Jap. J. Appl. Phys.* 19, L225(1980).
- [27] The references for novel device structures invented or developed after 1974 can be found in, for example, S. M. Sze, Ed., *High Speed Semiconductor Devices*, Wiley-Interscience, New York, 1990.
- [28] S. Luryi, A. Kastalsky, A. C. Gossard, and R. H. Hendel, "Charge injection transistor based on real space hot electron transfer," *IEEE Trans. Electron Dev. ED* 31, 832(1984).
- [29] A. Kastalsky, S. Luryi, A. G. Gossard, and R. H. Hendel, "A field-effect transistor with a negative differential resistance," *IEEE Electron Dev. Lett. EDL* 5, 57(1984).
- [30] F. Capasso and R. A. Kiehl, "Resonant tunneling transistor with quantum well base and high-energy injection:a new negative differential resistance device," *J. Appl. Phys.* 58, 1366(1985).
- [31] B. Ricco and P. M. Solomon, "Tunable resonant tunneling semiconductor emitter structure," *IBM Tech. Disclos. Bull.* 27, 3953(1984).
- [32] N. Yokoyama, K. Imamura, S. Muto, S. Hiyamizu, and H. Nishi, "A new functional resonant tunneling hot electron transistor(RHET)," *Jap. J. Appl. Phys.* 24, L 853(1985).
- [33] For example, S. M. Sze, Ed., *Semiconductor Sensors*, Wiley-Interscience, New York, 1994.
- [34] O. Madelung, Ed., *Semiconductor Group IV Elements and II-V Compounds*, Springer-Verlag, Berlin, 1991.

# 1 双极晶体管

Peter M. Asbeck

University of California, San Diego

## 1.1 引言

双极晶体管是最早的具有放大功能的固体器件，一直在高速电路、模拟电路和功率电路中占有主导地位。近年来，尽管双极技术受到了MOSFET技术的严重挑战，但在上述领域，其主导地位仍未改变。双极技术本身也正经历着迅速的变革。这些变革有望使双极技术得到进一步发展，并在相关领域维持其主导地位。

图1.1给出n-p-n双极晶体管的剖面示意图，并示出了相对于发射极中心沿电子运输方向的能带图。本章将以n-p-n晶体管为例进行讨论，所得出的大多数结果同样可用于p-n-p晶体管。双极结构本身具有如下优点：

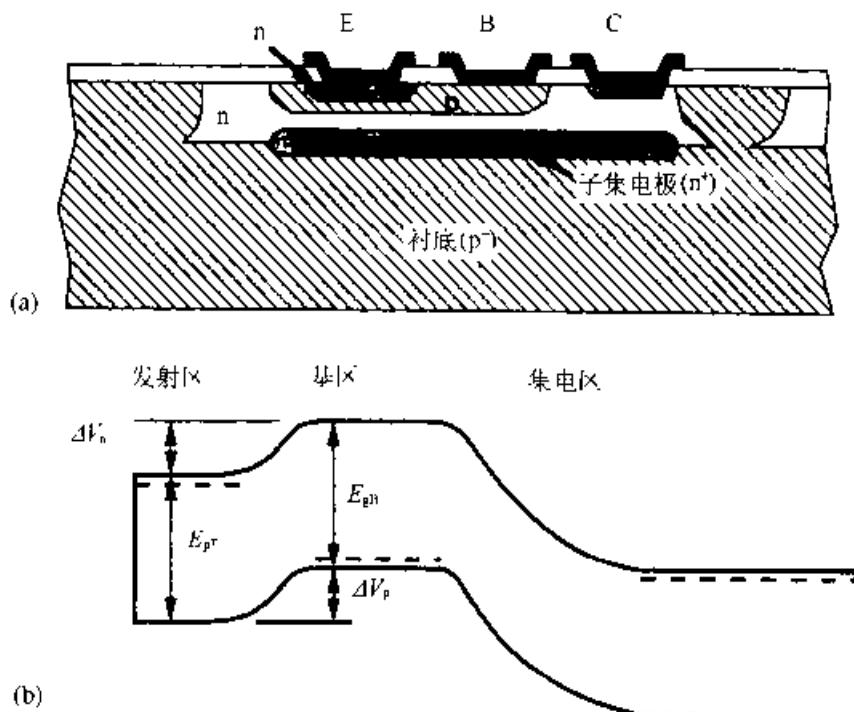


图1.1 n-p-n双极晶体管的剖面示意图(a)及其相应的沿电子运输方向的能带图(b)

1. 电子沿垂直方向流过器件。由于可以通过诸如扩散、离子注入和外延等工艺，实现对电子渡越时间有影响的器件尺寸的精确控制。因而，很容易制造出电子渡越时间短、截止频率  $f_T$  高的器件。与 FET 不同的是，它是在对光刻工艺并无特殊要求的前提下实现高  $f_T$  的。

2. 与 FET 中电流只在沟道薄层中流动不同，双极晶体管的导通电流流经整个发射区。这使得在单位芯片面积上可实现很大的电流输出，具有很高的电流密度。

3. 输出电流  $I_C$  的载流子密度直接由输入电压控制，因而  $I_C$  按  $\exp(qV/nkT)$  的形式变化 ( $n$  近似或等于 1)。这使得跨导  $g_m$  按  $g_m = qI_C/kT$  的形式变化。在所有的基于电压调制载流子密度（实际上，目前所有的晶体管都属这个范畴）的三端器件中，这是可能获得的最高值。高跨导可使电路工作时的输入电压摆幅降低，这在逻辑电路中对于降低功率-延迟乘积是至关重要的。

4. 相对而言，双极晶体管的开启电压  $V_{BE}$  由 p-n 结内建场决定，而不依赖于器件尺寸和工艺的变化。这个特点使整个硅片上开启电压的变化不大。这对于模拟电路中失调电压的减小和逻辑电路中电压摆幅的减小都是必须的。

5. 双极晶体管的输入电容往往是用工作电流来衡量的，其大小主要由扩散电容决定。于是，双极器件在高（或低）电流下工作时其输入电容能够相应地调整，使扇出延迟的变化不大。因此在双极电路中，通常不需要通过调整器件的尺寸来适应驱动负载。

6. 在高电压、大电流电路中，由于电子和空穴的双注入，有可能获得轻掺杂质电区电阻的电导调制。这个效应可使双极晶体管的串联电阻比场效应晶体管有显著的降低。

与 FET 相比，双极晶体管也有下述缺点：

1. 双极晶体管在 DC 下工作需要一定的输入（基区）电流。相比之下，FET 只在高频下需要一定的输入电流，而在 DC 下不需要。

2. 当双极晶体管工作在饱和区时（集电结正偏），基极电流增加，并伴随有过剩电荷的贮存。结果，使双极晶体管的开关速度趋缓，难以用于逻辑电路。在快速逻辑系列中，诸如，发射极耦合逻辑，采用了细致的（elaborate）技术来避免饱和。

3. 阈值电压在电路里不能作为设计参数使用。目前，只能制造具有正阈值电压的晶体管（增强模式器件）。在电路中，阈值电压不能作为设计参数。

微电子技术的新进展不断地增强双极晶体管的优势，克服其不足。先进的工艺能使器件的尺寸和寄生效应变得更小。异质结的使用在晶体管的设计中增加了一个新的自由度，使器件速度更快。在 BiCMOS 技术中双极晶体管与 FET 结合起来，可获得超高输入阻抗并可实现在逻辑电路中使用的信号开关旁路晶体管（参阅第三章）。

本章将讨论双极晶体管设计及性能中所涉及的基本原理。首先讨论双极晶体管的工作原理，包括性能上的主要限制。之后讨论先进的硅同质结双极晶体管和异质结双极晶体管的制造技术，接着给出使用不同材料系统，包括 Si, GaAlAs/GaAs 和 InGaAs/InAlAs/InP 制造的异质结晶体管的性能。

## 1.2 双极晶体管的工作原理

### 1.2.1 晶体管的电流传输机制

在晶体管发射结施加正向输入电压  $V_{BE}$  后，电子从发射区流向基区所遇到的势垒(图 1 中用  $\Delta V_a$  表示)减小。越过势垒的电子在扩散和漂移作用下渡越基区。到达集电结的载流子被结内的强电场扫入集电区，从而获得预期的集电极输出电流。同时，输入电压  $V_{BE}$  使空穴流入基区。空穴在基区集结起来以平衡注入的电子从而保持基区的准电中性。在正常工作模式(即，发射结正偏，集电结反偏)下，晶体管内电子和空穴的分布示于图 1.2。基区中的过剩载流子发生电子-空穴复合，另外，空穴还会从基区注入发射区。为了提供空穴，需从基极输入一净电流，但这又是不希望存在的输入电流。双极晶体管设计的任务就是在尽可能增大集电极电流的同时尽量减小相关的基极电流。就大多数应用而言，共发射极直流电流增益需在 30~100 之间。

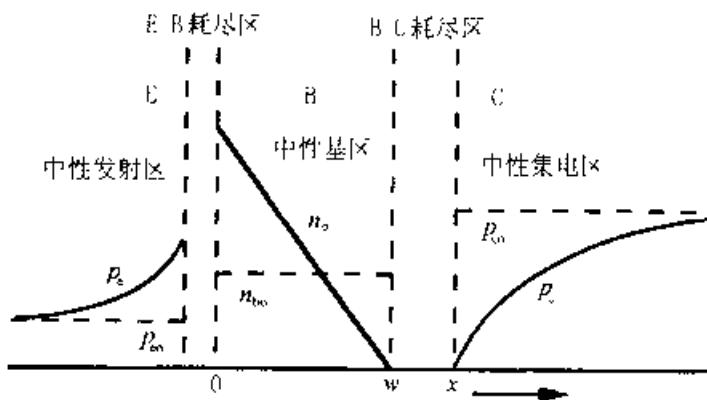


图 1.2 双极晶体管正常工作模式下少数载流子的分布

为了定量分析晶体管的端电流，可以先考虑集电极电流并在假设没有电子-空穴复合的情形下估算它的大小。然后，将基极电流作为微扰项来计算。

**集电极电流** 如果基区内的材料结构和掺杂是均匀的，那么，准中性基区中的电场很小，少数载流子的运动主要靠扩散，而没有漂移成分。于是，与电子相关的电流(可以看作 n-p-n 型晶体管中的集电极电流)可以很容易地由下式估算：

$$J_c = qD_n(dn/dx) = qD_n[n_b(0) - n_b(w)]/w \quad (1.1)$$

式中， $n_b(0)$  和  $n_b(w)$  分别是基区靠近发射结边缘处和靠近集电结边缘处的电子浓

度,  $D_n$  为电子在基区的扩散系数。因为在发射结和集电结区域载流子的准费米能级为常数, 所以, 在小注入条件和忽略复合的情形下, 电子浓度可以计算出来。应用玻尔兹曼统计, 有

$$\begin{aligned} p_b(0)n_b(0) &= n_i^2 \exp(qV_{BE}/kT) \\ p_b(w)n_b(w) &= n_i^2 \exp(qV_{BC}/kT) \end{aligned} \quad (1.2)$$

式中,  $n_i$  是基区的本征载流子浓度, 端电压  $V_{BE}$  和  $V_{BC}$  对应载流子准费米能级之间的能量差。电子电流为<sup>[1]</sup>

$$J_e = qD_n n_i^2 [\exp(qV_{BE}/kT) - \exp(qV_{BC}/kT)] / p_b w \quad (1.3)$$

式中,  $p_b$  是基区的空穴浓度, 它大约等于掺杂浓度,  $w$  是准中性基区的宽度。

可以对以上的推导做各种各样的修正。如在基区可采用费米-狄拉克统计。对于施加大反偏电压的 p-n 结, 准费米能级不再为常数, 但由此引起的误差可以忽略。更重要的是, 在实际的器件里, 基区的组分和掺杂可能是非均匀的。图 1.3 所示是一个现代双极晶体管的典型掺杂分布及其相应的能带图。基区内, 存在一个较大的受主掺杂梯度, 由此导致的自建场为

$$\phi = (kT/q)(dp/dx)/p \quad (1.4)$$

这个电场使得垂直于结面的空穴电流为零, 其原因在于电场产生的漂移分量与和掺杂梯度相关的扩散分量相抵消。自建场的影响有时可能是很可观的。例如, 在宽度 100nm 的基区上, 10 倍的掺杂浓度梯度引起的电场为  $\phi = 6000\text{V/cm}$ , 因而, 从发射区注入基区的电子将在漂移和扩散的共同作用下运动。

在现代的晶体管中, 有意识地利用电场来加速电子向集电极的运动, 以增加电流, 减小电子的贮存。为了计算这类晶体管的集电极电流, 需要考虑与漂移和扩散有关的总电流, 即:

$$J_c = q\mu n\phi + qD_n(dn/dx) \quad (1.5)$$

将方程(1.4)代入方程(1.5)中并在整个基区上积分, 可得到总的集电极电流<sup>[2]</sup>:

$$J_c = qD_n n_i^2 [\exp(qV_{BE}/kT) - \exp(qV_{BC}/kT)] / \int p(x)dx \quad (1.6)$$

式中, 积分在整个准中性基区上进行。这个方程的特点在于, 它与方程(1.3)有完全相同的形式, 但它更普遍一些。

还可做进一步的拓展以涵盖更多的现代器件。如果材料组分在整个基区内变化, 则带隙和本征载流子浓度也将变化。例如,  $n_i^2 = N_c N_v \exp(-E_g/kT)$ , 其中,  $N_c$ ,  $N_v$  分别为导带和价带的有效态密度,  $E_g$  是带宽。这种情形下, 载流子的运动满足漂移-扩散方程的普遍形式, 即<sup>[3]</sup>:

$$J_c = \mu_n n [q\phi + (d\Delta E_g/dx)] + qD_n [(dn/dx) - (n/N_c)(dN_c/dx)] \quad (1.7a)$$

<sup>1)</sup>  $J_e$  应为电流密度, 有时也可看作是相应区域的电流。 译注

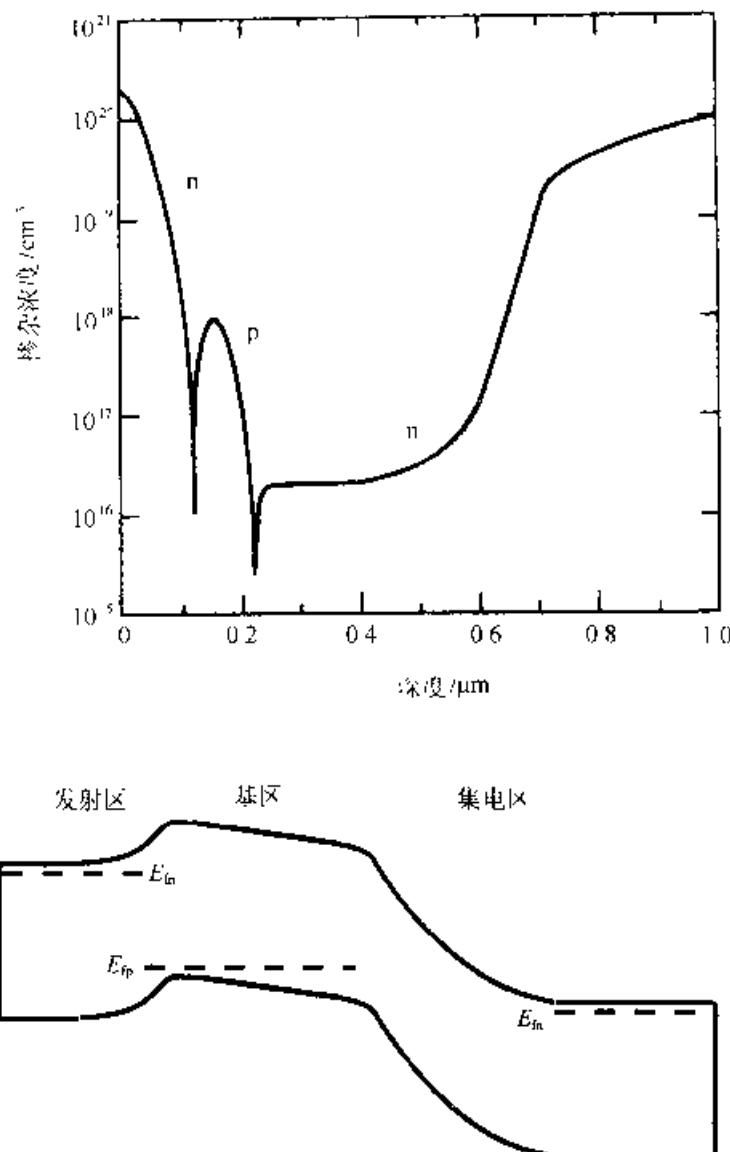


图 1.3 (a)Si 同质结双极晶体管典型的掺杂分布; (b)相关的能带图

$J_p = \mu_p p [-q\epsilon' + (\Delta E_v / dx)] + qD_{p\parallel}(\partial p / \partial x) - (p/N_s)(dN_s / dx)$  (1.7b)  
 其中,  $\Delta E_c$ ,  $\Delta E_v$  分别为导带和价带的变化, 它们依赖于组分的变化。与电场  $\epsilon'$  项相加的是依赖于组分的准电场项, 它也驱动载流子的运动, 驱动力来源于不同组分材料之间电子和空穴的束缚能的变化。与  $dn/dx$  和  $dp/dx$  扩散项相加的是类扩散项, 它们与组分变化时引起的带边态密度变化的梯度相关。如在 1.4 节中将要提到的那样, 可以发挥这些附加项, 特别是准电场项的好处, 以增加基区少子的速度, 从而进一步减小电荷的贮存、增加晶体管的工作速度。为了计算集电极电流, 可以利用关系  $J_p = 0$  来估计电场的大小, 然后从方程(1.7a)确定电子电流:

$$J_e = qD_n [\exp(qV_{BC}/kT) - \exp(-qV_{BC}/kT)] / \int [p(x)/n_i^2(x)] dx \quad (1.8)$$

由于  $N_s$ ,  $N_i$ ,  $\Delta E_c$  和  $\Delta E_v$  (或等价地说是  $E_g$ ) 的变化,  $n_i^2$  在基区内随位置而

变。该关系由 Kroemer<sup>[1]</sup> 得到，是以前结果的一个直接的拓展，表达式非常简单。从这个集电极电流的表达式中可得到如下结果：

1.  $J_c$  与  $V_{BE}$  的关系不依赖于发射极掺杂和结深等因素。

2.  $J_c$  与  $V_{BE}$  的关系不依赖于基区组分或掺杂的具体分布情形，而只与其积分值有关。

3. 电子在基区正反两个方向上的输运受到相同的限制，并对电压有相同的依赖关系，即  $J_c$  与  $V_{BE}$  的关系和晶体管反向工作状态下  $J_e$  与  $V_{BC}$  的关系式相同。（注意，相关的空穴电流在这两种条件下有很大不同。）

4. 在不同的偏压条件下，基区的空穴数会发生变化，在这种情形下，集电极电流也会发生变化。例如，在非常大的正偏电压之下，基区的空穴数将会高于掺入的受主杂质数。这种情形称为大注入。从方程(1.8)可知，集电极电流会有所下降。如果注入的空穴浓度比基区本底受主浓度高出许多，那么，准中性条件将通过关系式  $p = n = n_0 \exp(qV_{BE}/2kT)$  建立，这使得  $J_c$  的表达式中将包含一个与电压有关的因子  $\exp(qV_{BE}/2kT)$ 。

如反向偏压  $V_{CB}$  增加，则基区中的耗尽层增宽，空穴浓度的积分值下降。由方程(1.8)可知，这将导致集电极电流增加，在基区均匀掺杂的情形下， $J_c$  改变为：

$$\frac{dJ_c}{dV_{CB}} = J_c C_{BC} / p_b w \quad (1.9)$$

式中， $C_{BC}$  是单位面积集电极的结电容， $J_c$  与  $V_{CB}$  的关系变为

$$J_c(V_{CB})/J_c(0) = 1/(1 - V_{CB}/V_A) \approx 1 + (V_{CB}/V_A) \quad (1.10)$$

式中  $V_A = C_{BC}/(qp_b w)$  为 Early 电压。相应的输出电导使晶体管的电压增益下降。只要维持充分大的  $p_b w$  值即能保证输出电导减到最小。

上述  $J_c$  的表达式描述了电子电流主要由基区输运决定的情形，这是目前大多数器件所对应的情形。但在如后所述的异质结双极晶体管中，势垒限制了电流，或者产生了远离平衡的注入电子分布，因此需要考虑附加贡献。在大多数小尺寸器件中， $J_c$  的表达式需要做进一步的修正。如果载流子渡越基区时几乎不发生散射，则方程(1.7)不再有效。

**基极电流** 基极提供的空穴电流由不同部分组成，如图 1.4 所示，它们分别对应着器件的准中性基区、发射结空间电荷区、发射区的周边、发射区体内和发射区表面等不同区域中的空穴与电子的复合。以下分别估计基极电流的主要成分：

**基区复合** 基区内电子和空穴的复合可以是通过深能级的直接辐射复合也可以是俄歇复合。在大多数情形下，若复合寿命为  $\tau_{rec}$ ，则基区单位体积内的净复合率为  $U = (n - n_{eq})/\tau_{rec}$ ，其中  $n$  为注入基区的电子浓度， $n_{eq}$  为热平衡下的少子浓度，相应的基极电流为整个基区内复合率的积分：

$$J_{b1} = q N_s / \tau_{rec} \quad (1.11)$$

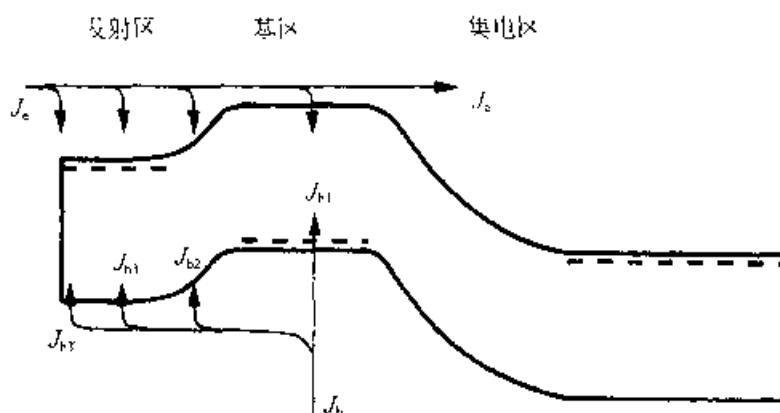


图 1.1 n p-n 晶体管中发射极和基极电流成分的示意图

式中,  $N_s$  为注入基区过剩电子浓度的积分。对于具有均匀掺杂基区的简单晶体管,  $N_s$  可直接由下式得到:

$$\begin{aligned} N_s &= [n(0) + n(w)]w/2 \\ &= n^2[\exp(qV_{BE}/kT) + \exp(qV_{BC}/kT) - 2]w/2p_b \end{aligned} \quad (1.12)$$

在正常工作区 ( $V_{BE} \gg kT/q$ ,  $V_{BC} \ll -kT/q$ ), 上式中只有与  $V_{BE}$  有关的项是重要的。对于均匀掺杂的晶体管, 由公式(1.1)可以建立起  $N_s$  与  $J_e$  之间的关系:

$$\begin{aligned} N_s &= J_e w^2 / (2D_n q) = J_e \tau_b / q \\ \tau_b &= w^2 / (2D_n) \end{aligned} \quad (1.13)$$

其中  $\tau_b$  为电子的基区渡越时间。于是基区电流  $J_{b1}$  和与之相应的受该因素限制的电流增益  $\beta_1$  为:

$$\begin{aligned} J_{b1} &= (\tau_b / \tau_{rec}) J_e \\ \beta_1 &= J_e / J_{b1} = \tau_{rec} / \tau_b \end{aligned} \quad (1.14)$$

基区渡越时间  $\tau_b$  和复合时间  $\tau_{rec}$  的比可以理解为注入电子在基区的复合几率。在更复杂的结构中,  $N_s$  仍与  $J_e$  成比例, 对  $\tau_b$  加以修正后公式(1.13)、(1.14)仍然成立。在现代器件中,  $\tau_b$  的数量级为皮秒(ps), 而  $\tau_{rec}$  的数量级为纳秒(ns)或微秒(μs), 因此  $J_{b1}$  通常很小。

**发射区-基区耗尽区复合** 根据对深能级复合(Schockley-Read-Hall 等<sup>[1]</sup>)的研究, 载流子的等效复合寿命与载流子浓度密切相关。在  $p=n$  的条件下, 复合率达到最大值, 相对说来, 可参加复合的两种载流子都较充足。在双极晶体管中, 这种情况出现在发射结耗尽区中相对较薄的区域内, 并有  $n=p=n \exp(qV_{BE}/2kT)$ 。在耗尽区中对复合率积分可得净基极电流为

$$J_{b2} = q \int U(x) dx = (qn_e / \tau_{eff})(2\pi kT / q\phi_p) \exp(qV_{BE}/kT) \quad (1.15)$$

其中  $\phi_p$  是对应于最大复合截面的电场。因此, 对基极电流的这一贡献项与电压有  $\exp(qV_{BE}/2kT)$  的依赖关系, 这意味着理想因子为 2。而且, 受该机制限制的电流

增益  $\beta_2$  随集电极电流的增加而增加：

$$\beta_2 = J_c / J_b \propto \exp(qV_{BE}/2kT) \propto J_c^{1/2} \quad (1.16)$$

**发射极的反向注入** 当发射结处于正向偏置时，空穴电流通过扩散(和漂移)进入发射区，与电子在发射区内和发射区表面复合。由于受与空穴扩散长度相关的发射区厚度和发射区表面复合速度的影响，载流子的浓度分布在器件内是显著不同的。图 1.3 示出的载流子分布对应于厚发射区的情形，此时空穴扩散长度对载流子浓度分布起主导作用。更常见的情形是，双极晶体管具有金属化接触的薄发射区(金属化接触可引起高的表面复合速度)，此时，在发射区内空穴密度随距离的变化呈近似的线性关系。无论是哪一种情形，只要考虑扩散、与内建场相关的漂移和能带变化等因素，利用与处理电子电流方程(1.4)~(1.8)基本类似的方法，即可计算出空穴电流密度。空穴电流  $J_{bs}$  由下式给出：

$$J_{bs} = qD_p \exp(qV_{BE}/kT) / \int (n/n_e^2) dx \quad (1.17)$$

受该机制限制的晶体管的直流电流增益  $\beta_3$  为

$$\beta_3 = J_c / J_{bs} = (D_n/D_p) \left[ \int (n/n_e^2) dx / \int (p/n_b^2) dx \right] \quad (1.18)$$

式中  $n_e$  和  $n_b$  分别为发射区和基区的本征载流子浓度。对均匀掺杂发射区和基区，在具有无限表面复合速度的薄发射区情形下，表达式简化为

$$\beta_3 = (D_n/D_p) (n_e w_e \exp(E_{ge}/kT)) / [p_b w_b \exp(E_{gb}/kT)] \quad (1.19)$$

该方程给出了一组重要的晶体管设计参数，其中，电流增益与发射区和基区掺杂浓度比  $n_e/p_b$  呈正比关系。为保持适当的电流增益，该比值的典型取值为 1000 的量级。对于硅同质结型晶体管，发射区掺杂浓度的典型值在  $10^{20}/\text{cm}^3$  的量级，而基区掺杂浓度的典型值一般在  $10^{17} \sim 10^{18}/\text{cm}^3$  的量级。从式(1.19)可以看出，发射区和基区的带隙差是影响电流增益的主要因素。在同质晶体管中，带隙差主要起源于发射区一侧重掺杂引起的带隙减小。因为在重掺杂情形下，由于施主或受主的原子势及其波动(带尾效应)对载流子能量的影响以及相关电子和空穴气束缚能的形成，有效带隙减小，对硅中的带隙减小量已从理论和实验方面做了广泛的研究<sup>[1, 2]</sup>。随着发射区带隙的减小，电流增益以  $\exp(-\Delta E_{gi}/kT)$  的因子减小。其中  $\Delta E_{gi}$  是带隙在发射结边缘处的减小值。

总的基极电流是上述各分量与发射结隧穿电流、发射区边缘电流等附加成分的总和。尽管基极电流各分量与  $V_{BE}$ 、温度、基区厚度、发射区周长与发射区面积的比值等有各不相同的依赖关系，但在特定环境下通常还是很难仔细区分的。

## 1.2.2 电荷贮存

双极晶体管的交流特性和瞬态特性由器件中贮存的电荷所决定，随偏压的改

变，这些电荷会增加或减少。在电荷控制模型(charge control model)中，基极电流包括与器件各端瞬时偏压相关的直流成分和由器件内贮存电荷推导出的瞬时值。在正常工作状态下，有

$$\begin{aligned} I_B(t) &= I_{B0}[V_{BE}(t), V_{BC}(t)] + (dQ_B/dt) \\ I_C(t) &= I_{C0}[V_{BE}(t), V_{BC}(t)] \\ I_E(t) &= I_C(t) + I_B(t) \end{aligned} \quad (1.20)$$

另外，在电荷控制近似中， $Q_B$  取稳态条件下的  $Q_B$  值，该值与端电压瞬时值相对应。这个近似的核心是，从稳态条件下晶体管中的电荷分布情况和方程(1.20)出发，计算出晶体管的瞬态特性和交流特性。

图 1.5 示出了器件在正偏压下贮存的电荷与零偏压下的  $Q_{B0}$  值相比多出的电荷量  $\Delta Q_B$ 。图中还示出了零偏压和正偏压下，电子和空穴的分布情形。单位面积的过剩电荷  $\Delta Q_B$  可通过对整个器件的过剩电子电荷密度分布，或过剩空穴电荷密度进行积分而计算出来。因为整个晶体管是中性的，对电子和空穴的两个积分值在大小上应该相等。

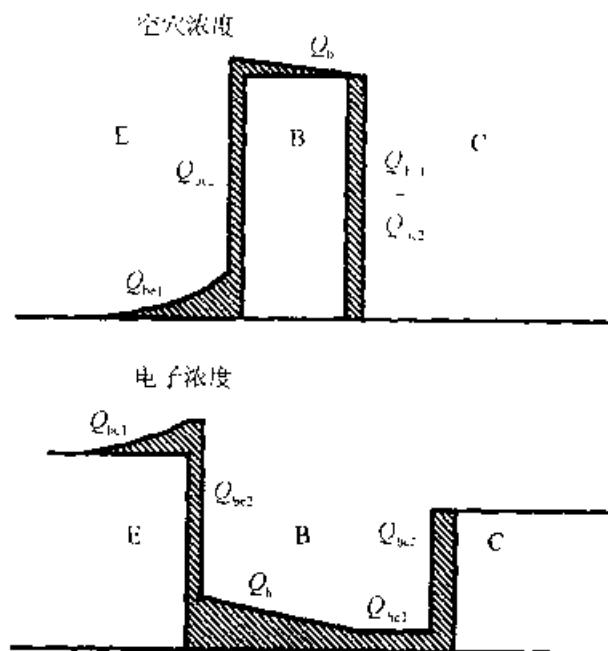


图 1.5 在正偏压下，晶体管中贮存的过剩空穴电荷  
和过剩电子电荷

**电荷贡献** 对电荷  $Q_i$  的贡献可来自器件的不同区域(图 1.5 中的  $Q_{be1}$ ,  $Q_{be2}$ ,  $Q_b$ ,  $Q_{bc1}$  和  $Q_{bc2}$ )。其中每一部分的贡献都近似正比于集电极电流密度  $J_c$ 。令人感兴趣的是计算  $Q_i/J_c$  的比值，该值具有时间单位，大致相当于载流子通过器件不同区域所需的渡越时间，其近似估计如下。

**发射区电荷  $Q_{be}$**  发射结正偏时，过剩空穴注入到发射区中，其分布依赖于发射区厚度和表面复合情形(如前所述)。对于金属接触的薄发射区的简单情形，

贮存电荷为

$$Q_{be1} = \int q(p - p_{eq})dx = qw_e n_a^2 \exp(qV_{BE}/kT)/(2n_e) \quad (1.21)$$

$$\tau_{be1} = Q_{be1}/J_c = w_e w p_b n_e^2 / (2D_n n_e n_b)$$

其中,  $\tau_{be1}$  对硅双极晶体管总延迟的贡献非常显著。为了减小  $\tau_{be1}$ , 发射区应薄, 摹杂浓度要高, 同时, 基区也应较薄但摹杂浓度要低(这一点也是获得大的 DC 电流增益所需要的)。另一个有效方法是采用宽带隙材料的发射极, 对此, 在后面的异质结双极晶体管(HBT)部分将进一步讨论。

发射结耗尽区电荷  $Q_{be2}$  电荷只能贮存在耗尽区的边缘, 这样, 在结电压发生改变时, 它可以维持静电场的变化。对应于  $dV_{BE}$  的电压变化, 相应的贮存电荷变化为  $C_{BE}dV_{BE}$ ,  $C_{BE}$  大致可以看作 p-n 结耗尽区电容。与这部分电荷相关的延迟时间为

$$\tau_{be2} = dQ_{be2}/dJ_c = C_{BE}(dJ_c/dV_{BE}) = C_{BE}g_m = C_{BE}qJ_c/kT \quad (1.22)$$

通常将  $\tau_{be1}$  和  $\tau_{be2}$  加在一起, 作为发射极的延迟  $\tau_e$ 。

基区电荷  $Q_b$  注入基区的电子电荷要被流入到基区的剩余空穴所中和。电荷总数及相关的延迟时间已经在有关基区电流计算的部分讨论过。对于均匀摹杂的基区, 有

$$Q_b = \int q(n - n_{eq})dx = J_c w^2 / (2D_n) \quad (1.23)$$

$$\tau_b = w^2 / (2D_n)$$

在现代器件中, 必须考虑更多的修正<sup>[5]</sup>, 当基区静电场非常显著时, 电子电流作漂移和扩散运动,  $\tau_b$  习惯表示为  $\tau_b = w^2 / \eta D_n$ , 其中  $\eta$  是一个修正因子, 它依赖于电场的大小( $\eta \approx 2[1 + (q\phi w / 2kT)^{3/2}]$ )。

电子离开基区时速度的大小受饱和速度  $v_{sat}$  的限制。此外, 对于薄基区, 扩散流并不由 Fick 扩散定律来决定, 它还要受到泻流速度或热离子发射速度的制约。这个速度对应的情形是, 所有的热电子直接从发射极流入集电区而没有背散射或载流子的回流。在这种情形下, 基区渡越时间可近似写为  $\tau_b = w^2 / (2D_n) + w/v_m$ , 其中  $v_m$  是电子离开集电结基区一侧时的速度, 它由电子的泻流或热离子发射速度给出:  $v_m = (kT / 2\pi m^*)^{1/2}$ 。

集电区电荷  $Q_{bc1} + Q_{bc2}$  当偏压改变时, 贮存在集电结耗尽区中的电荷通过两种机制发生改变。一种是, 随  $V_{BC}$  的改变, 耗尽电荷  $Q_{bc1} = C_{BC}dV_{BC}$  从基区和集电区流入(或流出)耗尽区。相应的延迟时间  $\tau_{bc1}$  由  $dQ_{bc1}/dJ_c$  给出。按照惯例, 计算电荷时需将集电极与发射极微分短路, 考虑外电路的影响(外电路可能有串联电阻), 当  $V_{BF}$  变化时, 相应的  $V_{BC}$  的变化为:

$$\Delta V_{BC} = \Delta V_{BE} + I_C(R_F + R_C) \quad (1.24)$$

式中,  $R_E$  和  $R_C$  分别为与发射区和集电区相关的非本征寄生电阻。集电极电流  $I_C$  由  $J_c$  乘以发射极面积  $A_E$  得到。延迟时间为

$$\tau_{be1} = C_{BC} \left| \frac{dV_{BE}}{dJ_c} + R_E A_E + R_C A_C \right| - C_{BC} \left| \frac{qI_C}{kT} + R_E A_E + R_C A_C \right| \quad (1.25)$$

引起基区电荷变化( $V_{BC}$  为常数)的另一种机制与耗尽区内有限的电子速度相关。当  $J_c$  增加时, 集电极内的电子密度也增加, 相关的电子电荷将调节集电区的空间电荷分布从  $N_D$  到  $N_{D\text{eff}} = N_D - J_c/qv_s$  ( $N_D$  为集电区的施主浓度,  $v_s$  是电子速度, 一般取其为饱和值)。注入的电子在耗尽区中的作用如同受主掺杂, 于是, 这种“掺杂”上的变化改变了靠近基区的耗尽区边缘的电荷数量。简单的单边 p-n 结近似中, 耗尽区电荷  $Q_c$  和相应的时间常数  $\tau_{be2}$  分别为:

$$Q_c = [2\epsilon q N_{D\text{eff}}(V_{CB} + V_{bi})]^{1/2} = [2\epsilon q (N_D - J_c/qv_s)(V_{CB} + V_{bi})]^{1/2}$$

$$\tau_{be2} = dQ_c/dJ_c = Q_c/(2N_{D\text{eff}}qv_s) = w_c/2v_s \quad (1.26)$$

式中,  $w_c$  是集电极耗尽区的厚度。 $\tau_{be2}$  值的大小相当于一个电子以饱和漂移速度渡越集电结耗尽区所需时间之半。因子 2 说明, 在耗尽区电压降为常数时, 与分布在耗尽区的电子相对应的电荷, 部分终止于靠近基区的耗尽区一侧, 部分终止于靠近集电区的耗尽区一侧。对电子速度在集电区内随空间位置变化的情形, 上述简单图像可修正为<sup>[1]</sup>:

$$\tau_{be2} = \int [(1 - x/w_c)/v(x)dx] \quad (1.27)$$

在基区贮存的总电荷为上述各项贡献之和。同样, 总延迟  $\tau_{ee}$ , (从发射极到集电极的延迟)为以上所述各项延迟之和:

$$Q_B = Q_{be1} + Q_{be2} + Q_b + Q_{bc1} + Q_{bc2}$$

$$\tau_{ee} = \tau_{be1} + \tau_{be2} + \tau_b + \tau_{bc1} + \tau_{bc2} \quad (1.28)$$

**晶体管的工作模式** 以上讨论的偏置情形为, 发射结正偏, 而集电结反偏或只稍稍正偏(称作正常工作模式)。如果发射结和集电结均反偏, 则晶体管处在截止模式, 没有电流流动。如果集电结正偏, 而发射结反偏, 则晶体管处于反向工作模式, 发射极有电流流动。在大多数情形下, 晶体管制造时采用的掺杂与面积之比使在该模式下的电流增益非常低, 甚至低于 1。另外, 如果发射结和集电结均正偏, 晶体管就处于所谓的饱和模式下。在饱和模式下, 典型的少子浓度分布示于图 1.6, 基区中贮存的电荷比正常工作状态下基区贮存的电荷要多许多。另外, 集电区也贮存了大量的少子电荷。在开关工作状态下, 过剩电荷(空穴)必须通过复合或以从基区抽取的方式消失。一般地, 这些情形将大大地降低晶体管的性能。在饱和模式下, 贮存电荷分为  $Q_F$  和  $Q_R$  两部分, 它们分别与发射区和集电区相关。这两部分的基区电荷可从图 1.6 得到。包括饱和情形的电荷控制方程的总形式变为:

$$I_B(t) = I_{B0}[V_{BE}(t), V_{BC}(t)] + (dQ_F/dt) + (dQ_R/dt) \quad (1.29a)$$

$$I_C(t) = I_{C0}[V_{BE}(t), V_{BC}(t)] + (dQ_B/dt) \quad (1.29b)$$

$$I_E(t) = I_{E0}[V_{BE}(t), V_{BC}(t)] - (dQ_E/dt) \quad (1.29c)$$

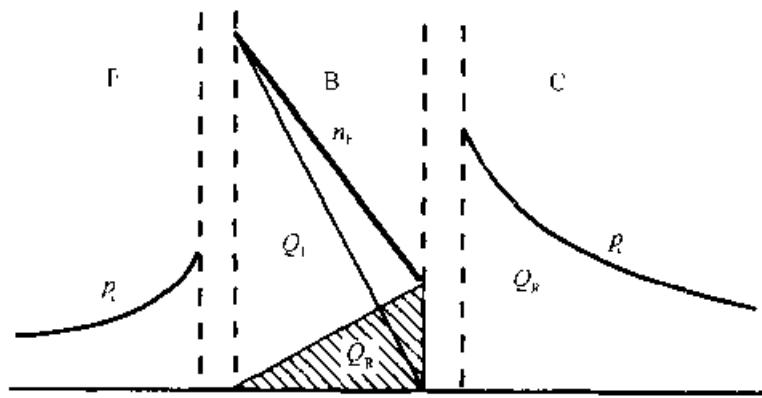


图 1.5 晶体管饱和时的少数载流子分布及与其相关的贮存电荷

### 1.2.3 晶体管性能的品质因子

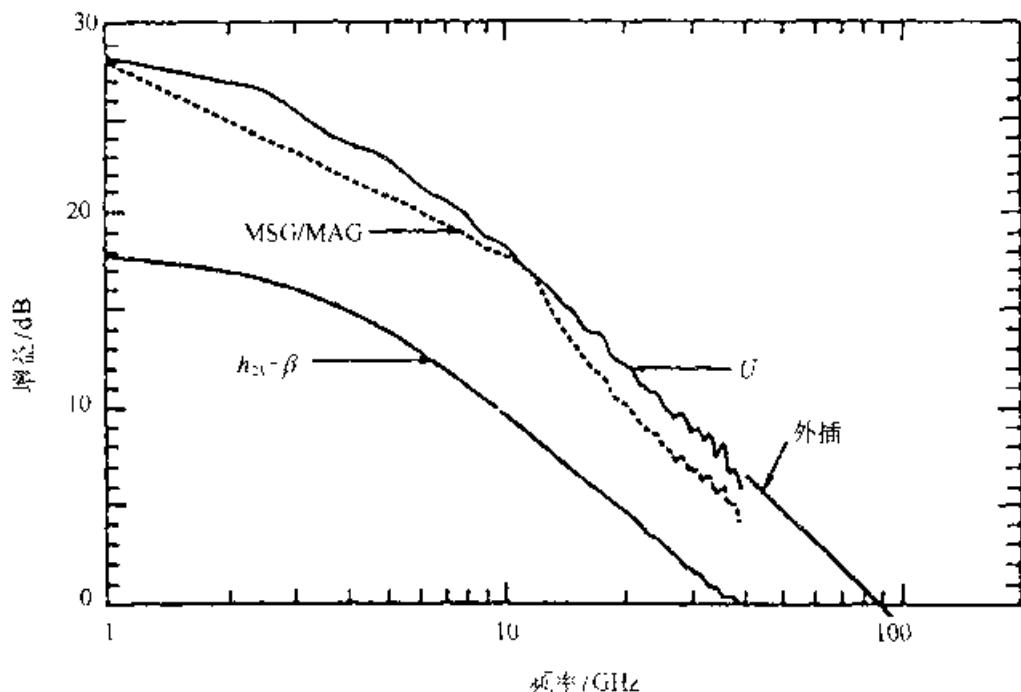
**电流增益特征频率( $f_T$ )**  $f_T$  是指晶体管的短路微分电流增益  $h_{ie}$  降为 1 时的工作频率。它是衡量晶体管高速性能的重要因子。如果考虑晶体管的交流特性，假设具有  $e^{-\omega t}$  时间依赖关系的小信号激发电压和电流，则在电荷控制框架下，微分电流增益  $h_{ie}$  可按下式计算：

$$\begin{aligned} i_L &= i_{L0} + j\omega Q_L \\ i_c &= i_{c0} \\ |h_{ie}| &= |i_L/i_b| = |i_{c0}/(i_{b0} + j\omega Q_L)| \quad (1.30) \\ &= \left| \frac{1}{[(i_{b0}/i_{c0}) + (j\omega Q_b/i_{c0})]} \right| = \left| \frac{1}{(1/\beta + j\omega \tau_{ee})} \right| \end{aligned}$$

这里，我们用符号  $i_b$ ,  $i_c$  等表示小信号状态下的  $I_B$ ,  $I_C$  等物理量，并注意到  $Q_b/i_{c0} = dQ_b/dI_C = \tau_{ee}$ 。从图 1.7 中可以看到，电流增益  $h_{ie}$  的频率依赖关系在低频下为  $\beta$ ，当频率大于  $1/(2\pi\beta\tau_{ee})$  时， $h_{ie}$  随频率的升高以  $6\text{dB/倍频程}$  ( $1/f$  依赖) 的速度下降。当频率为  $f_T = 1/(2\pi\tau_{ee})$  时， $1/\beta$  与  $2\pi f_T \tau_{ee}$  (等于 1) 相比可忽略，电流增益的大小变为 1。在 1.2.2 节中讨论过的延迟在决定器件交流电流增益中起着主要的作用。在中等电流密度的正常工作状态下，对  $f_T$  有贡献的各项一般可表示为

$$1/(2\pi f_T) = \tau_b + \tau'_e + (\tau_e/2v_e) + (R_L + R_C)C_{BC} - [(C_{BE} + C_{BC})kT/(qI_C)] \quad (1.31)$$

在电路级模型中，有时称前三项为  $T_T$ ，这在后面将有论述。最后一项与集电极电流呈  $1/I_C$  的依赖关系，这使得晶体管在小电流工作时速度明显减慢。为了区别这些项的贡献，通常将  $f_T-I_C$  的实验数据按  $1/(2\pi f_T)-1/I_C$  表示出来，斜率为  $kT/q(C_{BE} + C_{BC})$ ，如图 1.8 所示。当  $I_C$  很高时，由于基区扩展效应  $f_T$  会下降 ( $\tau_e$  增加)。这在下面将有论述。

图 1.7 典型的微分知路电流增益  $h_{fe}$  和功率增益 MSG、MAG 及  $U$  对频率的依赖关系

### 最高振荡频率 ( $f_{max}$ ) 最高振荡频率

是指晶体管的功率增益最大值降为 1 时的  $1/2\pi f_{max}$ 。 $f_{max}$  在估算功率增益时非常有用，这是因为在很大的频率范围内功率增益最大值  $G_p$  满足：

$$G_p = (f_{max}/f)^2 \quad (1.32)$$

$f_{max}$  不同于  $f_T$ （通常大于  $f_T$ ）， $f_{max}$  不仅考虑了电流增益的可能性，也考虑了电压增益的可能性。简化的双极晶体管混合  $\pi$  型等效电路的简单分析<sup>[1]</sup>是对影响  $f_{max}$  的重要因素进行估计的基础。

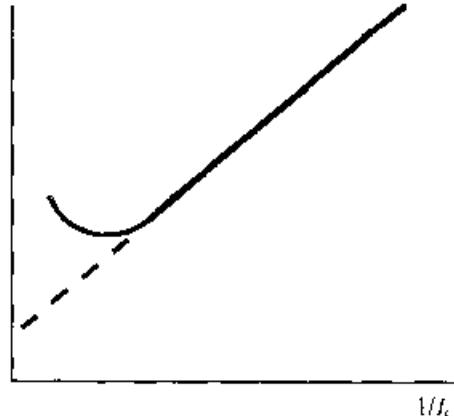
晶体管功率增益最大值可写为

$$G_p = \frac{1}{4} [\operatorname{Re}(Z_{in})/\operatorname{Re}(Z_{out})] |h_{fe}|^2 \quad (1.33)$$

其中， $h_{fe}$  即前面定义的电流增益， $Z_{in}$  和  $Z_{out}$  分别是晶体管的输入和输出阻抗。在高频下， $Z_{in}$  的实部主要为基极电阻  $R_B$ 。同样，在高频下， $Z_{out}$  由  $C_{BC}$  的反馈效应所主宰。输出端的电压源  $v_o$  将会在输入端产生电压  $v_o C_{BC} / (C_r + C_{BC})$ ，从而引起输出电流  $v_o g_m C_{BC} / (C_r + C_{BC})$ 。于是，输出阻抗实部为

$$\operatorname{Re}[Z_{out}] = 1/(2\pi f_T C_{BC}) \quad (1.34)$$

其中使用了关系式  $f_T = g_m / [2\pi(C_r + C_{BC})]$ 。功率增益及相应的  $f_{max}$  值为：

图 1.8 双极晶体管  $1/2\pi f_{max}$  对  $1/I_C$  的依赖关系示意图

$$\begin{aligned} G_p &= f_T / (8\pi R_B C_{BC} f^2) \\ f_{max} &= (f_T / 8\pi R_B C_{BC})^{1/2} \end{aligned} \quad (1.35)$$

在更加精确的表达式中，对  $R_B$  和  $C_B$  在器件不同区域中的分量进行适当的加权，同时，相位变化也应考虑进来<sup>[6]</sup>。

为了从式(1.35)中推导出功率增益值，晶体管的输入和输出阻抗必须匹配。 $f_{max}$  的实验值可从微波网络分析器测量的  $S$  参数中得到，于是可以计算功率增益与频率的关系。MAG 和 Mason 增益  $U$  是度量功率增益的重要参数，前者是通过输入和输出端口共轭匹配条件下得到的最大功率增益，后者是在输入输出共轭匹配条件下，同时使用无损耗反馈网络消除内部的器件反馈后所得到的最大增益。MAG 和  $U$  在频率  $f_{max}$  下都变为 1。对于某些输入输出阻抗的组合，许多器件在某一特征频率  $f_1$  以下可能会不稳定，而在  $f_1$  以上，器件趋向于完全稳定。在潜在的不稳定性区域里，MAG 无法定义，此时，用最大稳定增益 MSG 来度量增益。

#### 1.2.4 晶体管性能的限制因素

**基区穿通** 为了缩短渡越时间，基区要做得更薄，在高集电结偏压时，将出现集电结耗尽区与发射结耗尽区相接的极端情形。这会使发射极电流的势垒减小，电流注入失去控制(集电极失控电流)。这个效应也可视为 Early 效应或基区宽度调制效应的极限形式。这个效应对基区的宽度和掺杂浓度提出了限制(当基区宽度小于 50nm 时，掺杂浓度要在  $10^{18}\text{cm}^{-3}$  的数量级或更高)。基区很小时，掺杂原子分布的统计特性非常重要，如果基区内任一面积的受主的数目太少，将会出现局部穿通。

**基区扩展** 双极晶体管集电极电流密度受到的一个重要限制是基区扩展效应，或称 Kirk 效应。如前所述，注入到集电结耗尽区中的电子浓度  $n = J_e / qv_s$  调制了集电结的空间电荷密度。当注入的电子浓度与本底施主浓度可比拟时，在集电结耗尽区中的电场分布发生较大的变化，如图 1.9 所示。当  $J_e = qv_s N_D$  时，集电区的行为如同集电区未掺杂时的行为一样。耗尽区一直扩展到集电区埋层。当电流密度更高时，集电区的行为就如同是集电区掺入了 p 型杂质，使基极一侧的耗尽区电场减小。结果，在临界电流密度  $J_k$  之下，注入载流子密度为：

$$n_e = N_D + 2\epsilon(V_{CB} + V_{L1}) / qw_e^2 \quad (1.36)$$

这时基区边缘处的静电场消失了。当电流密度大于  $J_k$  时，空穴不再局限于基区，它们将扩散进入集电区，使基区宽度增大，集电结耗尽区宽度减小。这将导致基区渡越时间增大，电流增益减小，同时，也会导致集电结渡越时间的略微下降及电容的增加。在硅基器件中，由此引起的性能退化是非常显著的。通常认为  $J_k$  是高速晶体管电流密度的上限。在 II-V 族化合物 HBT 中，由于基区渡越时间非常短，与基区增宽相关的不利因素并不总是很重要，当电流密度大于  $J_k$  时仍可能正

常工作<sup>[7]</sup>。

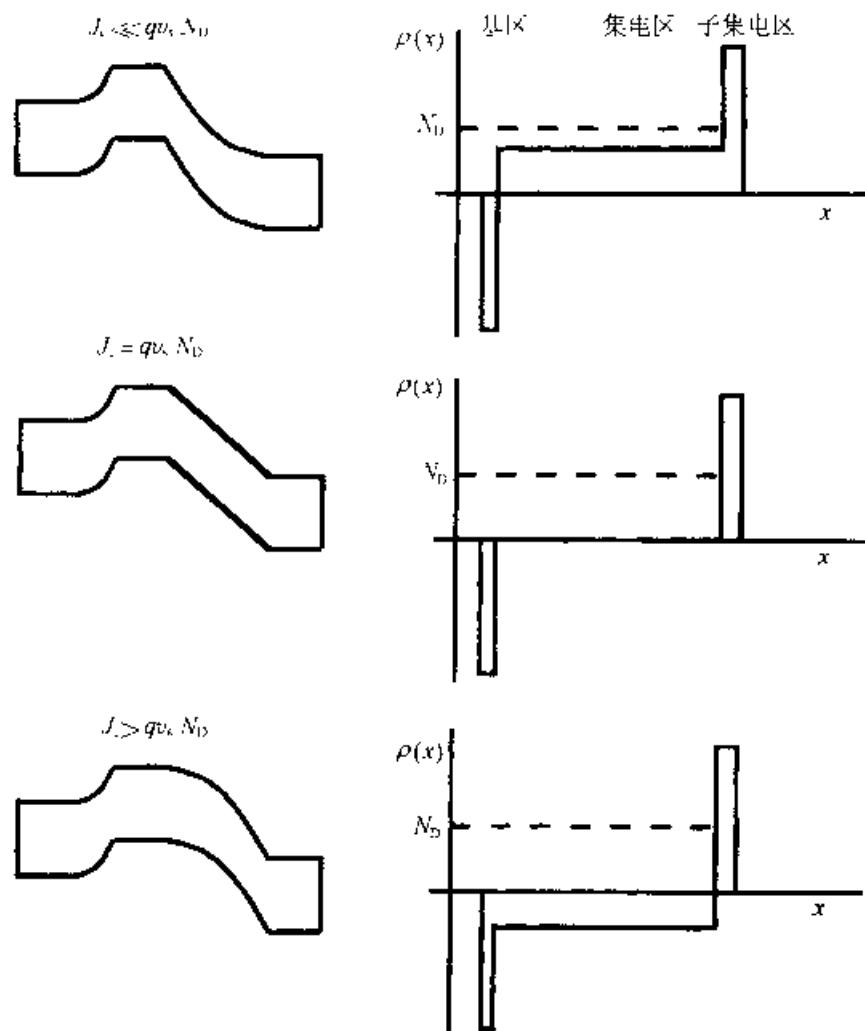


图 1.9 不同的集电极电流下的能带图和相应的集电区电荷密度。

它显示了基区扩展效应

**雪崩击穿** 当集电结耗尽区中的电场达到半导体击穿电场值时, 流过的电流通过碰撞电离产生电子-空穴对。碰撞电离产生的电子流入集电极, 加入  $I_C$  中, 空穴则流入基区。如果晶体管在基极接有电压源(或短路), 空穴电流将流出基极。然而, 在许多情形下, 基极接着电流源(高阻抗), 于是雪崩产生的基极电流会加入到输入电流中, 通过晶体管电流增益进一步导致集电极电流的增加。因此, 基极开路时的击穿电压  $BV_{ceo}$  比基极短路时的击穿电压  $BV_{ces}$  要低很多, 而且在  $BV_{ceo}$  下  $J_c$  的上升也很显著。

由于器件需要缩小尺寸以增加  $f_T$  和相应的电路速度, 因此集电区内电场增加(在固定的集电结电压下), 击穿电压趋于降低, 这成为晶体管应用的一个重要限制。图 1.10 给出了  $BV_{ceo}$  和  $f_T$  的报道值, 它们是对大量晶体管测量后得到的<sup>[8]</sup>。 $BV$  和  $f_T$  之间内在的制约体现在由  $f_T$  和  $BV_{ceo}$  乘积给出的 Johnson 品质因子中。

$f_T$  近似受集电极渡越延迟时间的限制，其数值低于  $v_s/\pi\omega_c$ 。 $V_{CE}$  的大小（假设为共基极工作状态）受击穿电压限制，低于  $BV - \epsilon_{bce}^2/\pi\omega_c$ 。其中， $\epsilon_{bce}$  为集电区击穿电场。因而  $BV \cdot f_T$  之积被限制为低于  $\epsilon_{bce}^2/\pi$ 。这个常数值与集电区材料有关，而与晶体管的设计无关。

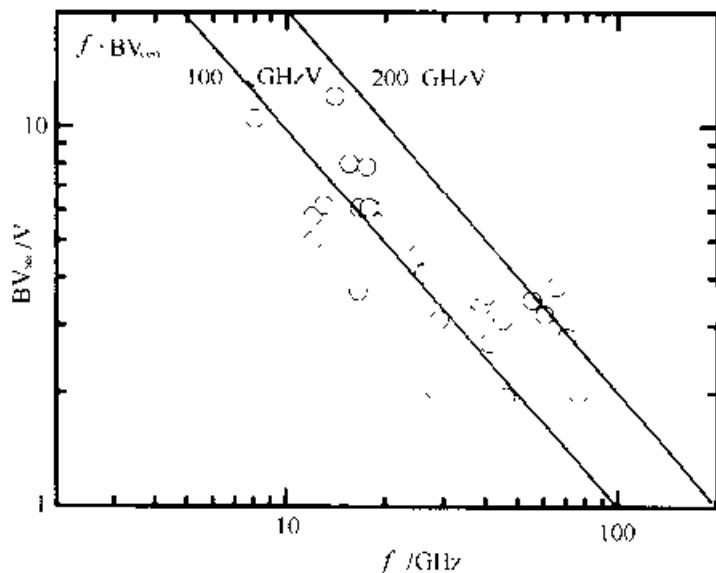


图 1.10 各种报道中的双极晶体管击穿电压  $BV_{ce}$  和  $f_T$  的关系（引自 Nakamura 和 Nakatnac 之文献[8]）

**寄生因素** 迄今为止，讨论主要集中在本征器件上，器件被视为一维结构。然而，环绕器件的寄生因素对双极晶体管的性能有很大影响，如图 1.11 所示。

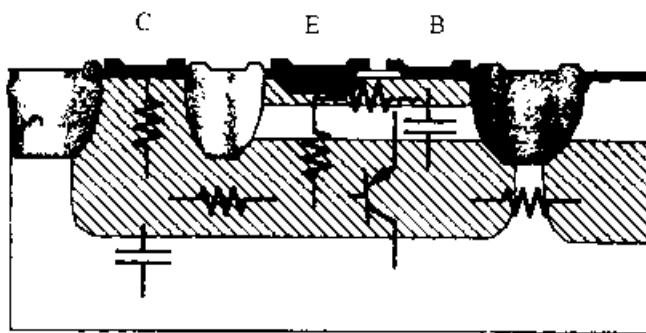


图 1.11 一个双极晶体管截面的示意图，图中显示了寄生因素

为了与基区相接触，通常在发射区的一侧或两侧形成外基区。基区接触电阻，以及基区接触和本征器件之间区域的电阻，可以显著地影响器件的性能。

计算发射区下而本征区的有效基区电阻（又称夹断基区）的简单方法是把发射极电流和相应的基极电流密度在整个发射区看作是均匀的。于是在基区流动的横向电流  $I_b$  随位置不同呈线性变化，如图 1.12(a) 所示。电压降  $I_b R_b$  使得发射结电压随位置的变化呈二次函数关系。内基区各点与发射区边缘处的平均电压差为  $R_b W / 12L$ ，其中  $R_b$  为夹断基区的薄层电阻， $W$  和  $L$  分别是发射区的宽度和长度。

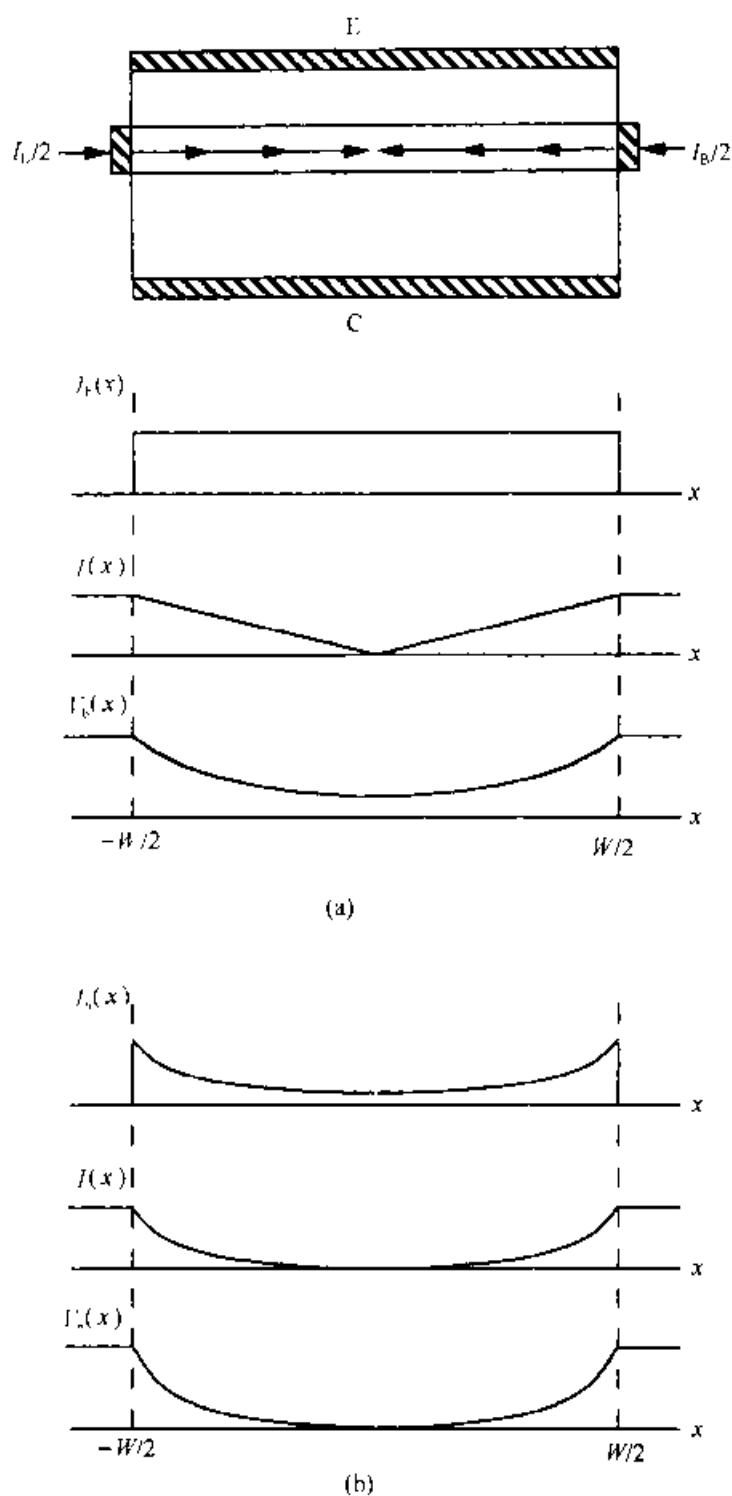


图 1.12 基极横向电流、注入电流密度和基区发射区电压随发射区内不同位置的变化情况。(a)对简单近似(均匀注入发射区);(b)考虑电流趋肤效应

外基区和集电区之间的电容是对晶体管高频特性影响最大的寄生因素。其中非本征电容  $C_{BC}$  是  $C_{BC}$  中的主要部分, 因为本征集电结面积一般只占整个结面积的  $1/3$  到  $1/6$ 。非本征基区包围着发射区并形成侧墙, 因为这个结的两侧掺杂浓度都很高, 所以电容值很大, 另外有漏电流大和击穿低等隐患。

另一个重要的寄生因素是发射区电阻。发射区接触的面积一般等于本征器件的面积。双极晶体管可获得的本征  $g_m$  的值非常高(发射极达到  $4\text{mS}/\mu\text{m}^2$ ，但是，如果  $R_e$  不低于  $10\sim50\Omega \cdot \mu\text{m}^2$ ，非本征  $g_m$  可能会受到严重的抑制。

当双极晶体管集成在硅片上形成电路时，通常在基区、集电区和衬底之间会形成一个寄生 p-n-p 晶体管，在本征晶体管处于饱和状态时，这个寄生晶体管中将有显著的电流流动。

**电流集边效应** 流过基区的直流和交流电流产生电压降  $IR$ 。该电压降会使发射极中心处的正偏电压  $V_{BE}$  相对于发射极边缘减小。如果  $IR$  压降值与  $kT$  可比拟时，它会对晶体管正向电流产生显著的影响。在大电流高频率下工作时，晶体管条形发射极的中心区域的电流较小，因而减小了器件的跨导。这就使高频下晶体管特性的理论描述复杂化。

可利用分布晶体管模型定量描述电流集边效应，如图 1.12(b) 所示。电流集边效应的近似估算法是在一个给定的偏压附近，将晶体管行为线性化。由于发射极宽度方向上的电压变化，流入基区的电流密度  $j_b$  不再均匀，而是如图 1.12 所示，随位置的不同而变化，采用正弦稳态 AC 分析，结电压增量  $v$  和横向基极电流  $i_b$  的相应的方程可写为：

$$\begin{aligned} \frac{dv}{dx} &= -i_b R_s \\ \frac{di_b}{dx} &= j_b - j_0 + j_r(qv/kT) + j\omega C_{in}v \end{aligned} \quad (1.37)$$

上述方程的解显示，电压按  $\exp(\gamma x)$  方式横向变化。其中，

$$\gamma = \{R_s g_m [(1/\beta) + (jf/f_T)]\}^{1/2} \quad (1.38)$$

对于低  $\beta$  和高夹断基区电阻，在大电流高频率下工作时电流扩展宽度会减小。为了尽量减小电流扩展的影响，高速 Si 晶体管的发射区宽度做得非常小( $0.25\sim0.5\mu\text{m}$ )。为了使基区渡越时间短，高速晶体管通常具有很大的夹断基区电阻( $>10\text{k}\Omega/\square$ )。但在 HBT 中，这些影响将大大缓解。

电流集边效应的一个有趣的副作用是基区电阻在大电流或高频下趋于减小。实际上，集电极电流只在发射区边缘附近的区域流动。当电流集边程度增加时，这些区域和基区接触之间的距离便会减小。

### 1.3 硅双极晶体管

一种制作硅集成双极晶体管的典型常规工艺过程示于图 1.13 中。p 型衬底上注入 As 或 Sb，形成  $n^+$  埋层作为亚集电极[图 1.13(a)]后，外延生长一层轻掺杂的 Si 以形成集电区层，然后，采用氯化硅作掩模，在表面用局域氧化作隔离[图 1.13(b), (c)]。此时可对集电极作深接触(plugs)注入，接着形成注硼基区[图 1.13(d)]，采用注 As 或注 P 来形成发射区。在流程示意图中，在发射区注入之前

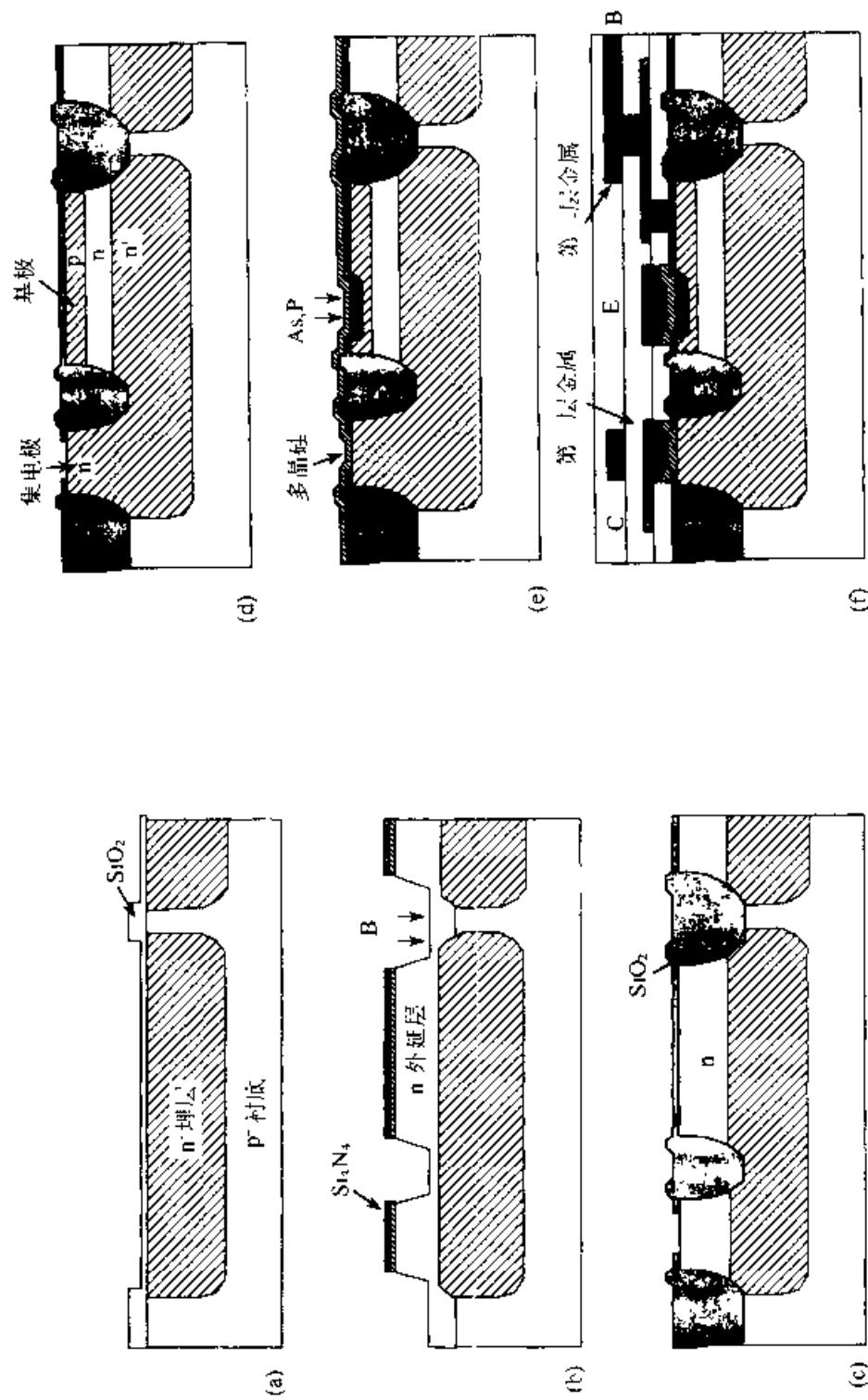


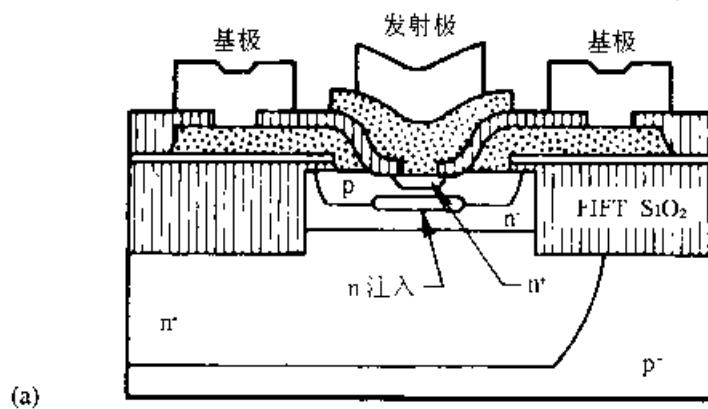
图 1.13 “常规”硅双极晶体管典型的工艺流程

先要淀积多晶硅，这层多晶硅可用来作为扩散源和发射极接触[图 1.13(e)]。在淀积几层用电介质层隔离的互连金属后，晶体管结构就形成了。

近年来，硅双极晶体管制造技术有了很大的发展，器件纵向和横向尺寸大为减小，这使得器件性能得到了很大改善。本节将讨论几个当前制造技术中的要点。

### 1.3.1 自对准发射极和基区接触

用掺杂多晶硅层作扩散源形成发射极和外基区，并把多晶硅留在硅片上作为发射区和基区的接触，这可使常规技术获得显著的改进<sup>8~11</sup>。多晶硅层可以抗高的工艺温度，还可以被氧化，因此它们适用于许多复杂的工艺技术。特别是，采用宽度可精确控制在几千埃的电介质侧墙隔离层时，发射区接触和基区接触之间的分隔可以自对准。发射区的宽度等于基区多晶硅上的窗口的宽度（由光刻所限定）减去侧墙的宽度。图 1.14(a)示出一个有代表性的器件剖面图。考虑到两边的侧墙隔层，发射区宽度已做到  $0.35\mu\text{m}$ ，而开始时的光刻图形是  $1\mu\text{m}$ 。发射极多晶硅可



(a)

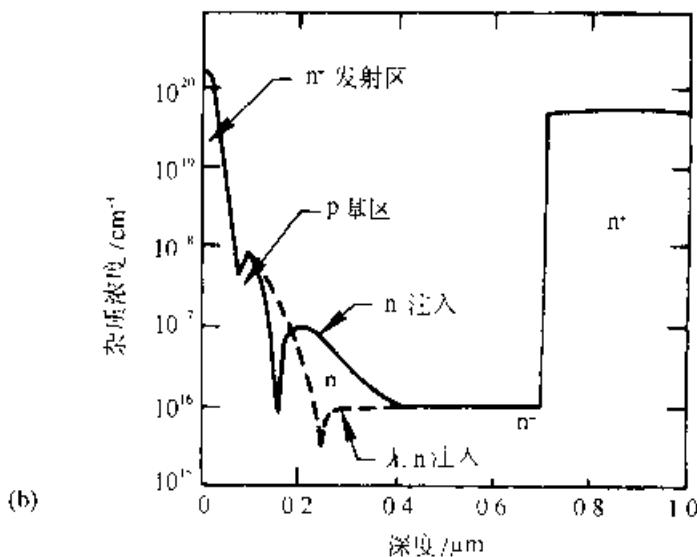


图 1.11 (a) 双层多晶硅自对准晶体管的截面图；(b) 通过发射区窗口注入磷后所得到的掺杂分布(引自 Konaka 等之文献[11])

扩展到很大的区域中去，而不仅限于接触区。这样就减小了它的串联电阻。集电结面积保持在最小，一般为发射区面积的3倍，即使是非常窄的发射区也是这样。与非自对准器件相比，器件面积上也大为节省，由于对准精度的限制，非自对准器件要求基区和发射区有较大的间隔以满足光刻的需要。

这种技术的主要限制是单晶硅中n'和p'掺杂分布区域的重叠。这些掺杂分布来自相距很近的多晶硅区。如果重掺杂区重叠很多，则会发生隧穿。此外由于电场的增强，也会产生热电子。继而载流子被注入到表面氧化物中，引起表面的漏电流。

### 1.3.2 多晶硅发射极

用多晶硅形成发射区接触大大改善了晶体管的电流增益和器件纵向尺寸。多晶硅工艺的主要作用在于控制单晶硅发射区表面的有效复合速度 $s_0$ 。采用金属接触的发射区 $s_0$ 非常大（在 $10^5 \text{ cm/s}$ 量级），其结果是，随着发射区厚度减小，基区电流增加。实验发现，多晶硅扩散形成的发射区的表面复合速度较低。这是因为在这种情况下，空穴的分布得到了调整。如图1.15所示，基极电流减少。对一个足够薄的单晶硅发射区，空穴贮存量也将减小。

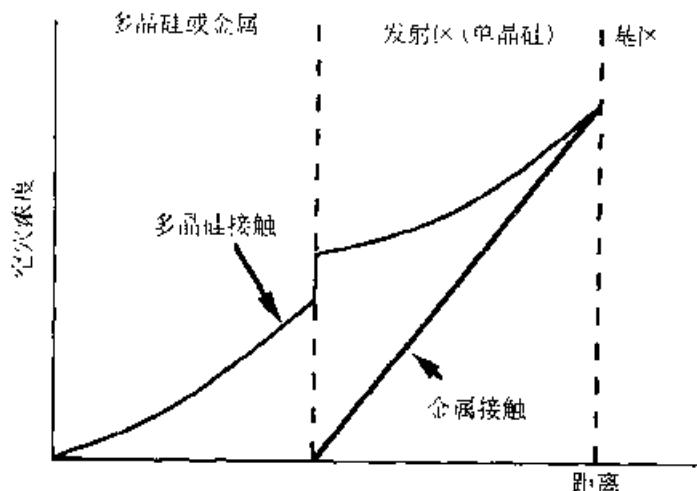


图1.15 多晶硅接接触发射区的少数载流子分布的示意图

多晶硅发射区的 $s_0$ 值的大小依赖于具体的工艺条件，特别是依赖于单晶和多晶界面处 $\text{SiO}_2$ 的数量。 $\text{SiO}_2$ 的厚度由淀积多晶硅之前的HF漂洗，随后的热处理和氢钝化表面在氧气气中的暴露，多晶硅淀积之后的热处理（这一步会使氧化层破裂）等因素决定。制备器件时需很好地控制这层氧化层的厚度。如果氧化层太厚，则发射极接触的串联电阻太大，如果太薄，则电流增益受到损害。

对于有连续的氧化物表面覆盖层的器件，电子和空穴电流为隧穿电流。然而，由于能带对齐关系，电子隧穿的概率要比空穴隧穿概率大许多。在多晶硅界面，特别是对于氧化物界面不完整的器件，其它附加的物理效应对控制多晶硅界面处的电流，作用是很显著的。已经观察到，由于As杂质的分凝引起的界面处能带

弯曲，为空穴输运设置了一个势垒，从而提高了电流增益。

采用多晶硅接触、薄的发射区能够获得可接受的电流增益。薄的发射区限制了空穴的贮存，而且允许在较高的掺杂浓度下以足够的控制精度形成薄基区。从工艺的角度来看，多晶硅的优点是由于发射区掺的杂质 As 可以被注入多晶硅中，然后进行推进退火。因此，单晶材料中没有注入损伤，而且通过对退火的控制，浅结发射区重复性可做得很好。基区的形成也是制造上的一个关键步骤。形成基区的常规方法是在发射区淀积之前进行硼注入。然而硼原子易于形成沟道，使得注入分布具有长尾，因而，必须使用非常低的注入能量，这样，基区电荷就对发射区厚度很敏感。为了尽可能重复地获得浅的基区分布，人们正在研究硼扩散的方法，其中采用形成发射极的多晶硅层来作为源，即开始时多晶硅形成 p 型，然后进行 As 注入，或在多晶硅之前先淀积一层硼硅玻璃，然后再剥离。另一种技术是采用常规硼注入，随后将磷注入到基区下面的集电区以抑制与硼的长尾分布有关的掺杂过程<sup>[11]</sup>，图 1.14(b)给出了最后的总掺杂分布。这种技术还有其它优越性，如在集电极漂移区中掺杂得到增强，因而可以抑制基区的扩展等。这就使得器件可以在大电流密度下使用，如在  $J_c = 10^5 \text{ A/cm}^2$  下， $f_T$  可增至 25GHz 以上。这种技术的另一个特点是，集电区上的注入面积是由发射极窗口决定的，因此，集电区的磷注入只发生在器件的本征区，在非本征区，集电区掺杂仍保持很低浓度以尽量减小  $C_{BC}$ 。

### 1.3.3 先进的硅双极工艺

**侧墙接触工艺** 侧墙基区接触结构(SICOS)晶体管创造性地使用多晶硅接触来大幅度提高器件的性能，增加了器件在电路中的应用范围<sup>[12]</sup>。SICOS 晶体管示于图 1.16。厚氧化层将基区多晶硅和集电区分开，因而，非本征基区-集电区电容大大减小，器件结构变成了一维模型的近乎完美的体现。采用合适的掺杂分布，器件结构对于电流从发射极流向集电极的正向工作模式和从集电极流向发射极的反向工作模式是对称的。在电路中，使用高质量的反向工作晶体管还可简化电路的版图设计。

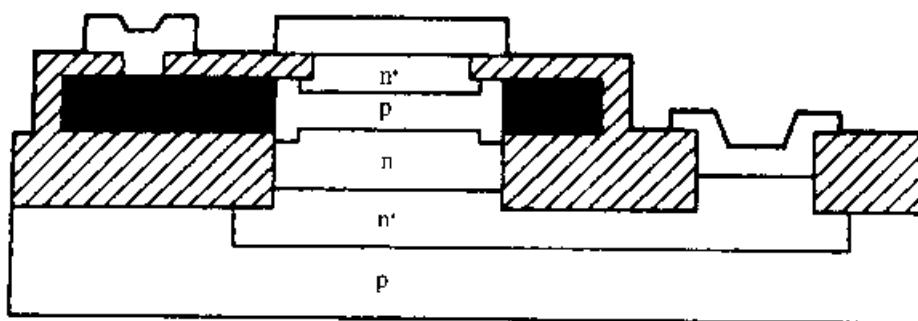


图 1.16 SICOS 晶体管截面图(引自 Nakamura 等之文献[12])

**外延基区** 为了克服离子注入形成基区带来的问题，同时为了将基区做得更

薄，并控制基区掺杂分布，人们探索出了原位掺杂外延基区生长技术<sup>[8]</sup>。通过适当地调整外延工艺，使得外延生长只在硅衬底上暴露的单晶区域上进行，或者使淀积在整个硅片上进行，此时在某些有  $\text{SiO}_2$  覆盖区域淀积的是多晶硅。外延控制得好可以使基区更薄， $f_T$  更高。然而，很关键的是要控制好基区外延生长之后的热处理工艺，使得硼掺杂原子不致过分地外扩散。这一点在发射极注入工序中需给予特别地考虑。

**尺寸问题** 尽管多晶硅发射极和其它先进工艺可以将发射区做浅和将基区做薄。但是纵向尺寸仍受到下列因素的限制：

1. 当基区做薄后，除非掺杂浓度增加，否则，会引起基区电阻的增加。但这个限制在相当大程度上可通过将发射区做窄，使基区接触和条形发射区中心之间的距离变小来抵消。
2. 在合理的工作电压下，需要避免基区穿通。这大致相当于要求防止  $V_{CB} = 3\text{V}$  下的基区穿通，为此，夹断基区电阻需在  $30\text{k}\Omega$  以下，并要求结构缩小时，基区掺杂浓度增加。
3. 对于较高的基区掺杂浓度，发射区中电荷贮存增加， $f_T$  降低。由于空穴向发射区注入的增加和发射结隧穿电流的出现（特别是在低偏压下），电流增益下降。
4. 为了减小集电区渡越时间和提高电流密度，以避免出现 Kirk 效应需增加集电区掺杂，这将降低集电区的雪崩击穿电压。

## 1.4 异质结双极晶体管

### 1.4.1 双极晶体管中的能带工程

如果适当地改变器件中半导体材料的组分，那么，就有可能克服双极晶体管在纵向尺度上受到的限制。正如 1.2.1 节中论述的那样，发射区和基区的带隙差对电流增益有决定性的影响。在常规硅晶体管中，发射区重掺杂所导致的带隙变窄使电流增益下降。相反，通过有意识地改变半导体组分使发射区带隙宽于基区带隙，则可使晶体管的性能有很大的提高。换句话说，带隙变化的重要性在于它可以分别对电子和空穴受到的作用进行控制。适当改变半导体材料的结构所引起的导带和价带的能量梯度可产生一个准电场，驱动载流子运动。能够对这些作用力进行控制，则为双极器件的设计提供了一个十分有用的新的自由度<sup>[13, 14]</sup>。

异质结方法在双极器件中的使用被搁置了数十年。其原因在于，如何使不同材料之间的界面不因为晶格失配而引起杂质或结构方面的缺陷，在技术的实现上存在困难，而这些缺陷会引起大的复合和隧穿电流。即使到现在，仍然只能在很少的几种材料系统上制备高性能的异质结双极晶体管(HBT)。其中研究得最多的是那些晶格常数相同或相近的材料(如  $\text{GaAlAs}/\text{GaAs}$  和  $\text{InGaAs}/\text{InAlAs}/\text{InP}$ )，

以及用薄层来实现与衬底(SiGe/Si)晶格常数相适应的材料系统。

**突变结和缓变结** 在不同半导体材料形成突变结的地方，普遍存在着价带顶和导带底能量的不连续性。材料间的带隙差  $\Delta E_g$  等于导带能差  $\Delta E_c$  和价带能差  $\Delta E_v$  之和 ( $\Delta E_g = \Delta E_c + \Delta E_v$ )。图 1.17(a)示出 n-p-n AlGaAs/GaAs HBT 的典型能带图。该 HBT 的发射区能隙较宽，发射结是突变结。在发射结处，导带出现势垒，阻碍电子从发射区向基区的注入，这就降低了发射结注入效率(但对高速工作还是有好处的，因为越过这个势垒注入到基区的电子速度较大)。为了提高 HBT 的电流增益，材料组分在几百埃的范围内渐渐变化，从而得到如图 1.17(b)所示的能带图。带边的具体情况依赖于掺杂的分布和组分的分布。如图 1.18 所示，导带的能量由静电势  $\phi(x)$  和材料电子亲和势  $\chi(x)$  之和确定，其中， $\chi(x)$  随材料组分而变化。为避免在导带出现尖峰，可使合金组分从结开始随距离以二次方的形式变化。于是， $\chi(x)$  的变化也是二次型的。因为在均匀掺杂下， $\phi(x)$  也是二次型的，所

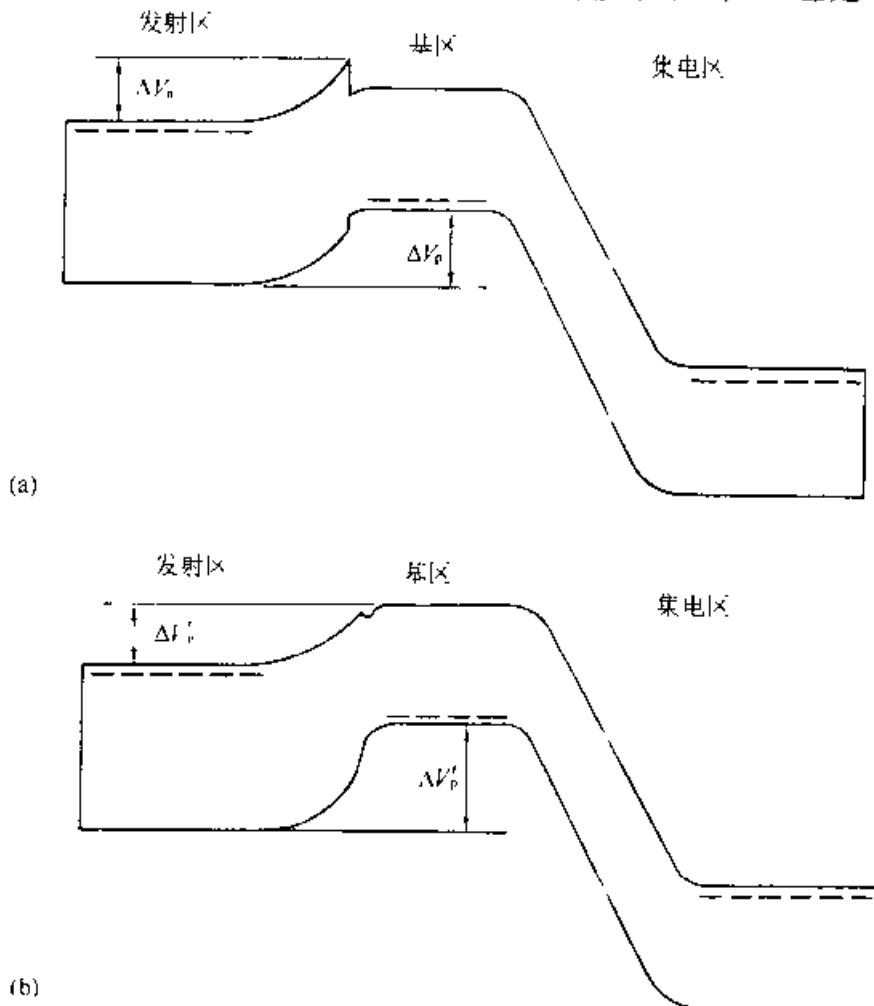


图 1.17 (a)发射结为突变结的 HBT 的能带图；  
(b)发射结处合金组分缓变时的能带图

以它可以被静电势的变化抵消。其它减少导带势垒的技术包括在导带能量较低的一层中加一阻挡层，或者在结区有意引入掺杂偶极层，由此产生一个静电势的变化来抵消电子亲和势的变化，如图 1.19 所示。

**宽带隙发射区** 根据方程(1.19)，采用宽带隙发射区后，电流增益在空穴反向注入发射区(发射结注入效率)因素限制下，其值为

$$\beta_s = \frac{(D_n/D_p)n_c w_r \exp(\Delta E_g/kT)}{p_t w} \quad (1.39)$$

通常使发射区与基区带隙之差  $\Delta E_g$  大于 250meV( $10kT$ )，则该因素可使  $\beta_s$  比同质结器件提高  $10^4$  倍。因此即使是在基区掺杂很高而发射区掺杂很低情况下，仍可保证注入效率足够大。使用 GaAlAs/GaAs 材料体系的 HBT 的杂质浓度分布示于图 1.20，这与图 1.3 所示的同质结的情形形成了鲜明的对照。在 HBT 中，基

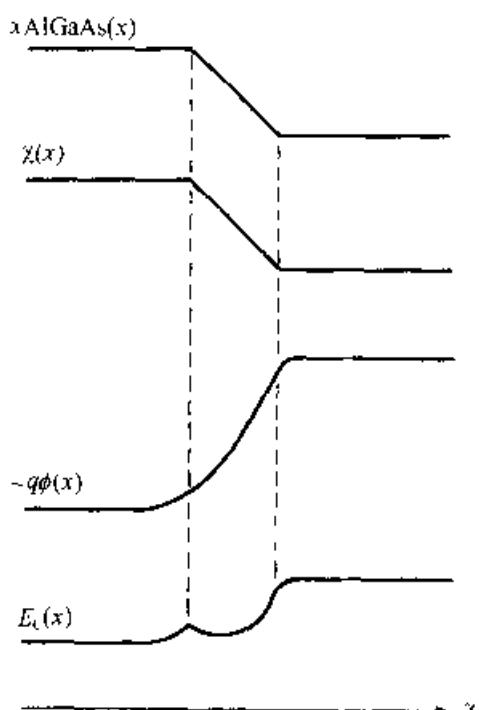


图 1.18 在异质结处，导带与静电势变化及电子亲和势变化之间的关系

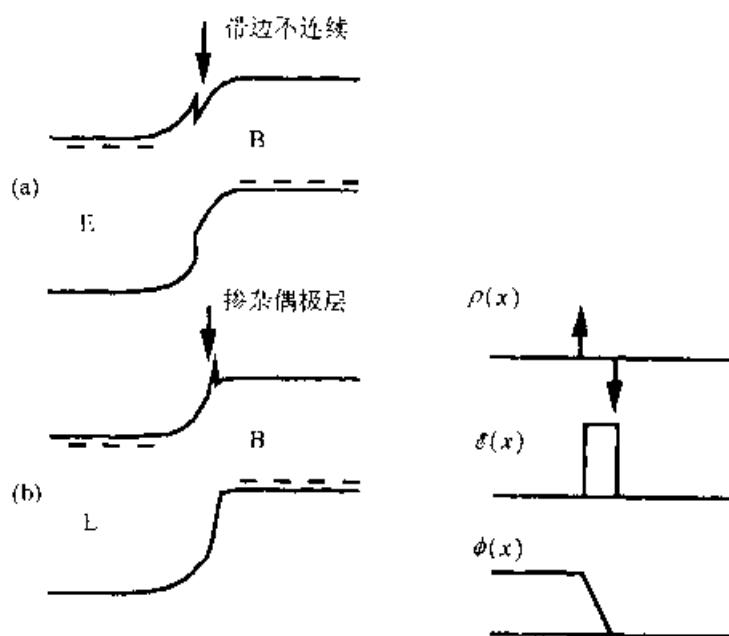


图 1.19 使用阻挡层和掺杂偶极层来降低  $\Delta E_g$  势垒的能带图。  
图中也显示了掺杂偶极层的电荷密度、电场及静电势的变化

区掺杂可高达  $10^{20}/\text{cm}^3$ 。因此，即使基区非常薄，基区的薄层电阻仍可大大降低，因而晶体管的  $f_{max}$  大大增加。限制器件尺寸的基区穿通问题也因基区的高掺杂而得以解决。当电流密度很高时，由于高注入效应引起的电流增益的减小也可避免。

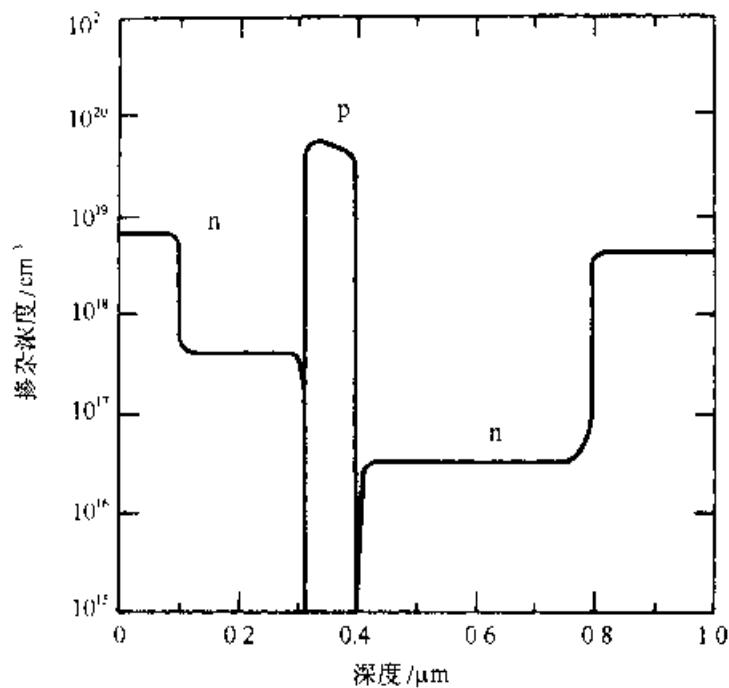


图 1.20 GaAlAs/GaAs HBT 的典型的掺杂分布

器件的 Early 电压也因为基区电荷对输出电压  $V_{BE}$  不敏感而增加很多。同时，发射区的掺杂浓度可以大幅度减小，这就使发射结空间电荷区在结的发射区一侧增宽许多，发射结电容减小。储藏在发射区的空穴，在异质突变结的情况下，基本消失，而在异质缓变结的情况下，也大大减小，从而增加了  $f_T$ 。

**缓变基区** 既然有能力控制半导体材料的带隙宽度，那么控制基区中带宽缓变，使之在靠近发射区处为  $E_{g1}$ ，靠近集电区处为  $E_{g0} - \Delta E_g$ ，也是很有意义的，如图 1.21(a)所示。高的空穴电导率保证了价带足够平坦，带隙的偏移建立了大小为  $\Delta E_g/w_b$  的导带能量梯度。该能量梯度是一个准电场，它以漂移和扩散方式驱动电子通过基区。如 1.2.1 节中所述，在同质结器件中，漂移场量级在  $2\sim 6\text{kV}/\text{cm}$ 。而在 HBT 中，使漂移场增大  $2\sim 5$  倍是很容易实现的。值得注意的是，在 II-V 族化合物半导体中，电子受这个强的准电场加速，可获得一个速度，该速度超过了由稳态速度场曲线预计的值。因为基区的总电压降通常限制在低于发生导带中心 ( $\Gamma$ ) 最小值到卫星能谷散射的阈值能量值，因此速度饱和不会发生。这使得  $f_T$  得到显著改善。

**宽带隙集电区** 带隙工程能提供的另一可能是增宽集电区的带隙，如图 1.21 (b)所示。由此带来的好处是，当集电结正向偏置时，可以阻止空穴从基区向集电区注入，这类似于宽带隙发射区效应。这大大地减小了饱和储藏电荷密度，加快了偏压在饱和区时器件的关闭速度。需要注意的是，由于存在从集电区到基区的注入电子，饱和储藏电荷并没有完全消失。双异质结器件可在正反两个方向上对

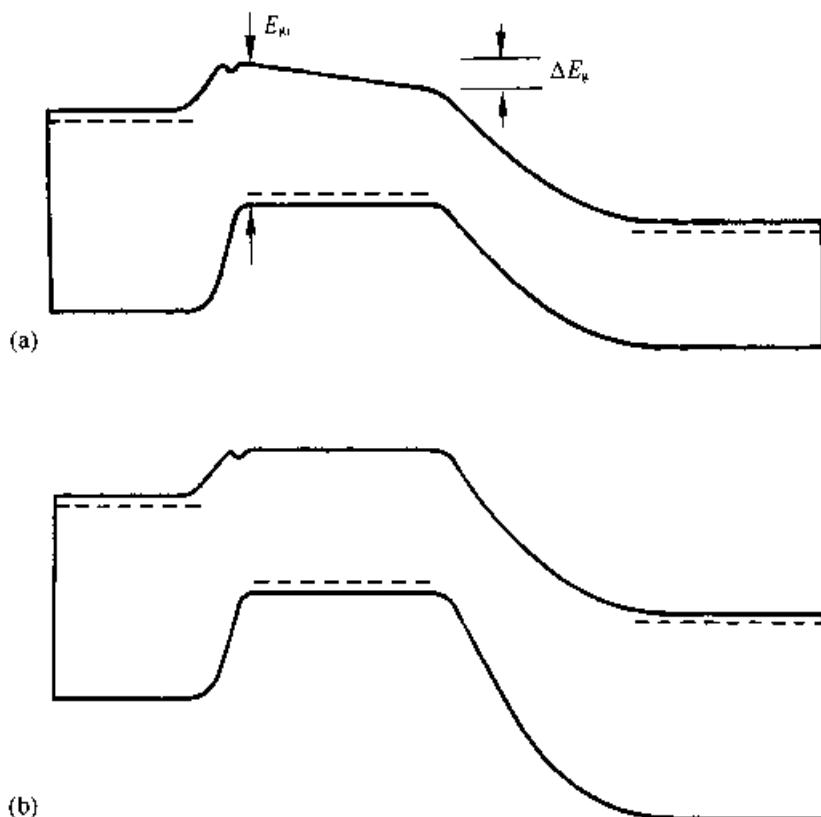


图 1.21 (a)基区组分缓变的 HBT 的能带图;  
(b)双异质结晶体管的能带(拥有宽带隙的发射区和集电区)

称工作的特点为电路设计提供了灵活性。

对于拥有宽带隙发射区和集电区的双异质结晶体管，避免在集电结处形成导带势垒是很关键的，正如宽带隙发射区的情形那样，可通过组分渐变、引入阻挡层和掺杂偶极层的方法来做到一点。

宽带隙集电区器件的另一个优点是击穿电压的增加，这是因为在宽带隙材料中，碰撞电离减小。另外，漏电流也减小了。集电区的 Johnson 品质因子原则上能独立于晶体管其它特性而优化。由于不会碰到同质结器件存在的漏电流和低电压区等问题，异质结器件使用窄带隙基区材料是可能的。

**HBT 中的电流** 影响 HBT 中集电极电流的主要因素有：(1)和同质结晶体管中相似的电子渡越基区，这和突变结中的情况类似；(2)载流子越过导带势垒的输运，如在突变结中遇到的情形；或者(3)发射区掺杂浓度较低时，发射区对电子的供给问题。对于情形(1)，集电极电流  $J_c$  已在 1.2.1 节中给出了推导结果：

$$J_c = \frac{qD_n [\exp(qV_{BE}/kT) - \exp(qV_{BC}/kT)]}{\int p(x)/n_b^2(x) dx} \quad (1.40)$$

该式即为 Kroemer-Moll-Ross 关系，上式表明， $J_c$  只依赖于基区的结构，基区带隙变化带来的问题可以简单地通过计人本征载流子浓度  $n_i$  的变化来加以考虑，因

而与  $J_0$  有关的理想因子为 1。

对于更一般的情形，即同时考虑机制(2)、(3)和(1)对电流的影响时<sup>[15]</sup>， $J_0$  可表示为：

$$J_0 = \exp(qV_{BE}/kT)/[(1/J_1) + (1/J_2) + (1/J_3)] \quad (1.41)$$

其中， $J_1$ ， $J_2$ ， $J_3$  是对应于不同机制下的电流密度，它们普遍依赖于电压。开启电压与只受基区输运限制的情形相比，开启电压有所增加。因为导带不连续的高度随着  $V_{BE}$  的增加而稍有增加，因此  $J_0$  的理想因子稍大于 1。

由于发射区注入效率的限制，当在发射结上无不连续时的电流增益可由(1.41)式计算。在这个表达式中，值得注意的是，电流增益随温度的增加而减小。因为空穴流遇到的势垒比电子流遇到的大，其热激活能较大，因此，这样的结果是很自然的。

#### 1.4.2 硅基 HBT

既要利用异质结的优点，又需要与标准的硅双极技术兼容，为此，人们做了大量的努力，试图找到一种合适的宽带隙半导体材料作为硅器件的发射区，或者，像目前的情形，找到一种合适的窄带隙半导体材料作为基区。

**宽带隙发射区方法** 对于硅基双极晶体管中的宽带隙发射区，曾尝试许多材料，如微晶硅、非晶硅、SiPOS(半绝缘多晶硅)、 $\beta$ -碳化硅和 GaP 等。然而到目前为止，还没有找到能在未来发展中充当主角的单一材料体系。宽带隙发射区方法是有希望和已有的硅双极技术结合起来的方法，然而，一些本质的问题影响了这种方法的发展：

1. 宽带隙材料经常会导致高发射区电阻，这既与材料本身有关，亦与发射区硅界面，或与材料的接触情况有关。

2. 施主向单晶硅的扩散必须得到抑制。如果单晶硅区域变成 n 型，它将变成有效发射区，就会和多晶硅发射极结构一样储藏有空穴电荷。

**Si<sub>1-x</sub>Ge<sub>x</sub>HBT 能带结构** 锗的引入能使硅的带隙变窄，于是可用 SiGe 合金来构成双异质结双极晶体管的基区。SiGe 合金的晶格常数与硅的晶格常数不同，但如果 SiGe 外延层的厚度小于临界厚度，它与硅衬底的晶格失配可通过弹性形变来化解，而且没有失配位错形成(赝晶生长)<sup>[16]</sup>。图 1.22 示出了 Si<sub>1-x</sub>Ge<sub>x</sub> 合金临界厚度与合金组分  $x$  的关系。由于晶格常数的失配，SiGe 蕴晶层存在应变。硅能带结构的特点使得这个应变对晶体管的性能大有裨益。硅和锗含量适中的 SiGe 在无应变时导带的最小值对应  $k$  空间 {100} 方向的六重简并能谷。当有应变时，能谷的简并就会解除。在(100)衬底上生长的 SiGe，其垂直于异质结方向的 4 个能谷的能量会降低，而其余两个能谷的能量要升高。于是，总的带隙变窄量比等锗含量的无应变 SiGe 材料的带隙变窄量要大。同时，电子优先填充的能谷在输运方向的电

子有效质量特别低。事实上，对于垂直于异质结方向的输运，电子有效质量与横向有效质量( $0.19m_e$ )相近，这比无应变的情况减少了60%。类似地，SiGe价带顶的简并也会解除，在锗含量一定时，这也会使带隙能量的移动增加。对于在异质结平面内的输运，能量占先的价带对应于轻有效质量的空穴，于是基区电阻降低。各向异性的应变导致的有效质量的改变足以补偿由于合金散射引起的迁移率降低带来的影响。

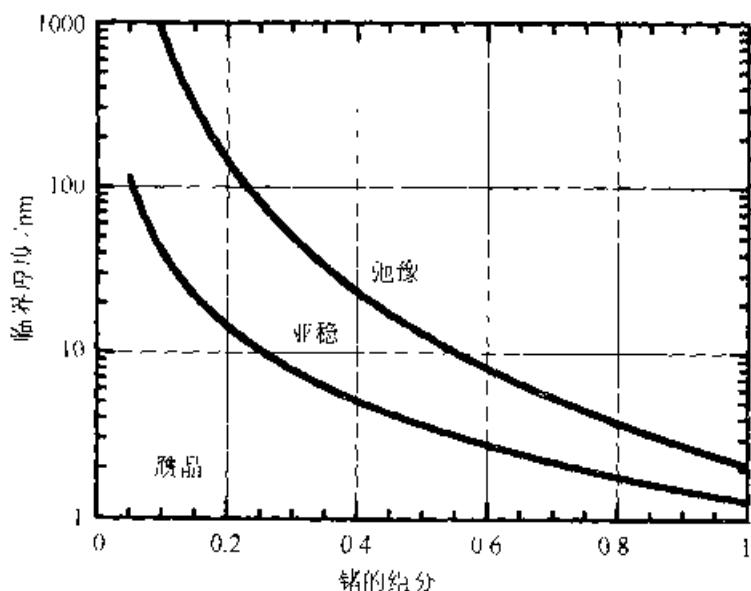


图 1.22 硅上赝晶生长的  $\text{Si}_{1-x}\text{Ge}_x$  的临界厚度与合金组分的关系

硅上赝晶生长的 SiGe 的带隙变化示于图 1.23。SiGe 和硅的带隙差主要表现

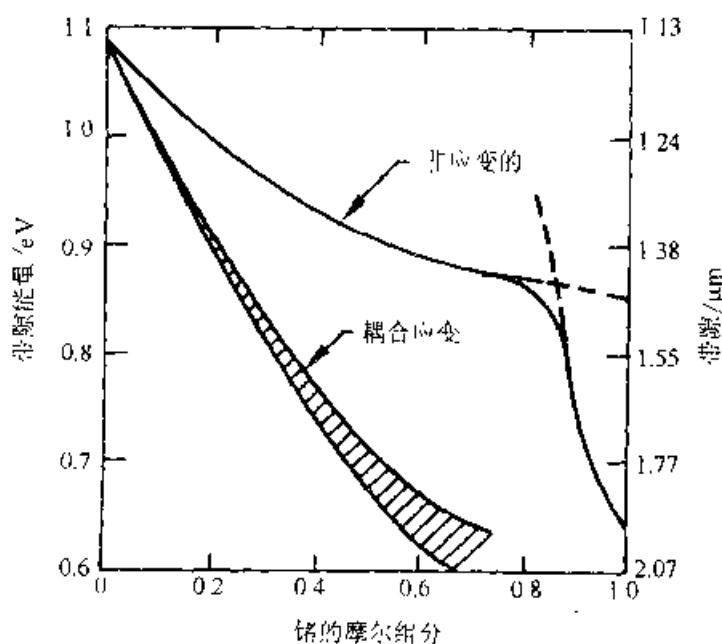


图 1.23 硅上赝晶生长的  $\text{Si}_{1-x}\text{Ge}_x$  及无应变 SiGe 的能隙随合金组分变化的关系(引自 Iyer 等人的文献[16])

在价带的阶跃，因此不存在导带不连续性引起的电子流受阻的问题，这为 n-p-n HBT 带来很大好处。

**SiGe 的生长和 HBT 的制备** 生长 SiGe 的技术包括分子束外延(MBE)、限制反应工艺(LRP)，以及超高真空化学汽相沉积(UHV/CVD)等<sup>[16-20]</sup>。MBE 可采用固源或气源。LRP 方法中，外延过程在气相中进行，用高强度灯丝加热以控制基片的温度。UHV/CVD 技术中的主要特点是氧实际上完全被排除，这就使外延生长比通常硅生长的温度低。这项技术能保证多硅片外延中，各片的外延层厚度均匀。

在平衡条件下，生长在硅衬底上的 SiGe 膜在厚度超过临界厚度时要发生晶格弛豫。然而，如果外延层厚度小于临界厚度，且生长温度及随后的处理温度足够低，那么，这层膜能以一种有应变的亚稳态形式存在。

采用各种策略来协调 SiGe 生长和处理的工艺。一方面，如果锗的含量限制在一定范围，使 SiGe 层中稳定的应变得以保留(对于典型厚度为 50nm 的基区，锗含量限制在 10% 左右)，那么结构就能承受高温处理。另一方面，如果生长及后处理温度较低，那么锗含量可以很高，甚至超过 35%。

在第一种情况下，SiGe 能够与标准的硅双极(以及 BiCMOS)工艺兼容，这样就可以利用很多已经成熟的技术。器件设计注重充分利用 SiGe 的优点，即通过基区带隙缓变来减小基区渡越时间。图 1.24 是实现这一功能的有代表性的层结构。如果从基区靠近发射区的一边到靠近集电区的一边，锗含量从 0% 变化到 8%，那么形成的能使电子加速的自建场为 14kV/cm。正如下面将会提到的，这种结构能获得非常高的工作速度。然而，由于发射区与基区的带隙差有限，基区的掺杂浓度不能增加很多。总的说来，这种晶体管的制备与先进的硅同质结双极晶体管的

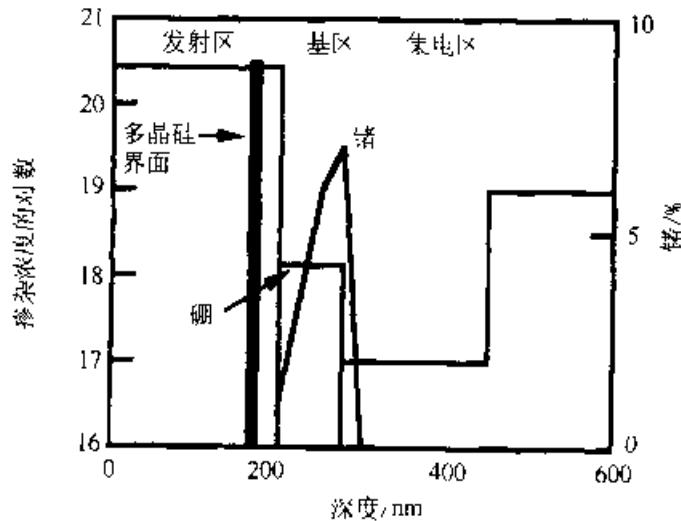


图 1.24 缓变基区的 SiGe HBT 的掺杂浓度及 Ge 含量的分布(引自 Harame 等人的文献[19])

制备相似。基区 SiGe 层的生长有几种方法，一种方法是控制条件进行 SiGe 的选择外延生长，这样 SiGe 只淀积在二氧化硅或氮化硅膜上刻开的窗口中；另一种方法是非选择外延生长，SiGe 在硅片上大面积淀积（当 SiGe 覆盖在氧化物或氮化物上时，它将成为多晶态）。基区淀积后，在 SiGe 上淀积多晶硅形成发射区，图 1.25 给出了代表性的器件剖面图。

如果不要求和标准的硅工艺兼容，那么基区锗含量可以大大增加<sup>[20]</sup>，基区掺杂浓度也可大幅度增加，达到  $10^{16} \sim 10^{20} / \text{cm}^3$  量级。这种晶体管通过一次外延生长基区和发射区（因为温度要求很低，不能淀积或掺杂多晶硅），通过低能 Ga 注入或采用选择腐蚀的方法与薄基区接触。已经研制出对应变很敏感的湿法腐蚀液，当腐蚀液到达 SiGe 时腐蚀会自动停止。通过低温沉积介质来完成钝化，通过背面腐蚀来实现隔离。图 1.25(c)示出这种器件的剖面。

**器件特性** 如方程(1.8)所示，基区带隙的变窄使  $I_C - V_{BE}$  关系朝着降低开启电压的方向变化。图 1.26 示出基区 Gummel 数恒定 ( $2 \times 10^{13} / \text{cm}^2$ ) 但基区合金组分变化的一系列 HBT 器件的集电极电流  $I_C$  测试结果<sup>[18]</sup>。在基区掺杂一定时，与同质结器件 Gummel 数为  $10^{12} / \text{cm}^2$  相比，HBT 的基极电流显著下降。图中也给出了基区合金组分一定时 ( $x = 0.215$ )，基极电流随基区宽度  $w$  的变化情况。 $w$  低于  $300 \text{ nm}$  时，理想因子接近 1，基极电流与  $w$  无关，这是由发射区注入效率限制电流增益所希望的结果。当  $w$  大于  $300 \text{ nm}$  时，理想因子和基极电流的增加可看作是失配位错形成引起的。实验结果证实，与全硅晶体管相比，SiGe HBT 有许多优点，其中包括：

1.  $f_T$  较高，特别是在基区锗含量缓变的情况下。
2. 对于给定的电流增益，HBT 的基区掺杂浓度较高，这可减少基区电阻，从而提高  $f_{max}$ ，降低 Johnson 噪声，减小电流集边效应。
3. Early 电压较高。
4. 基区穿通电压较高。

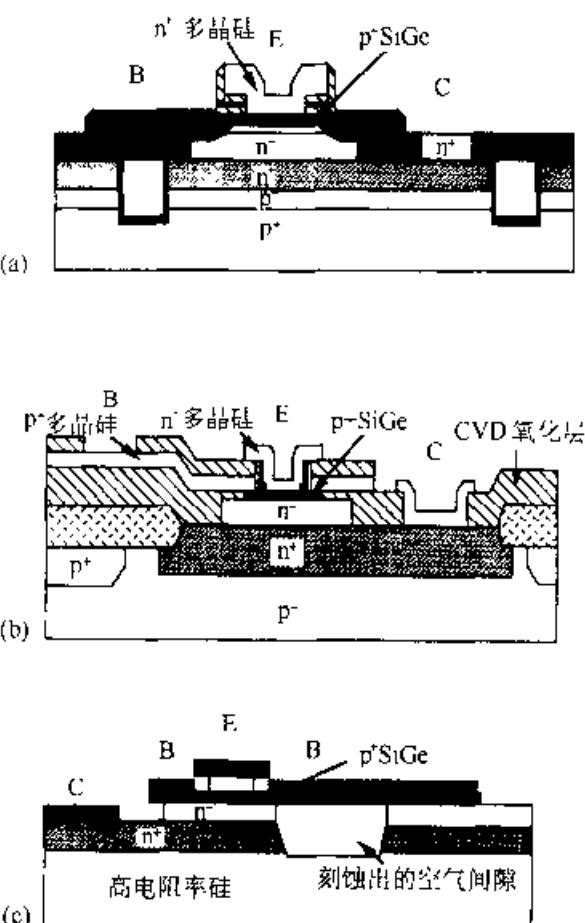


图 1.25 具有不同结构的典型 SiGe HBT 截面图

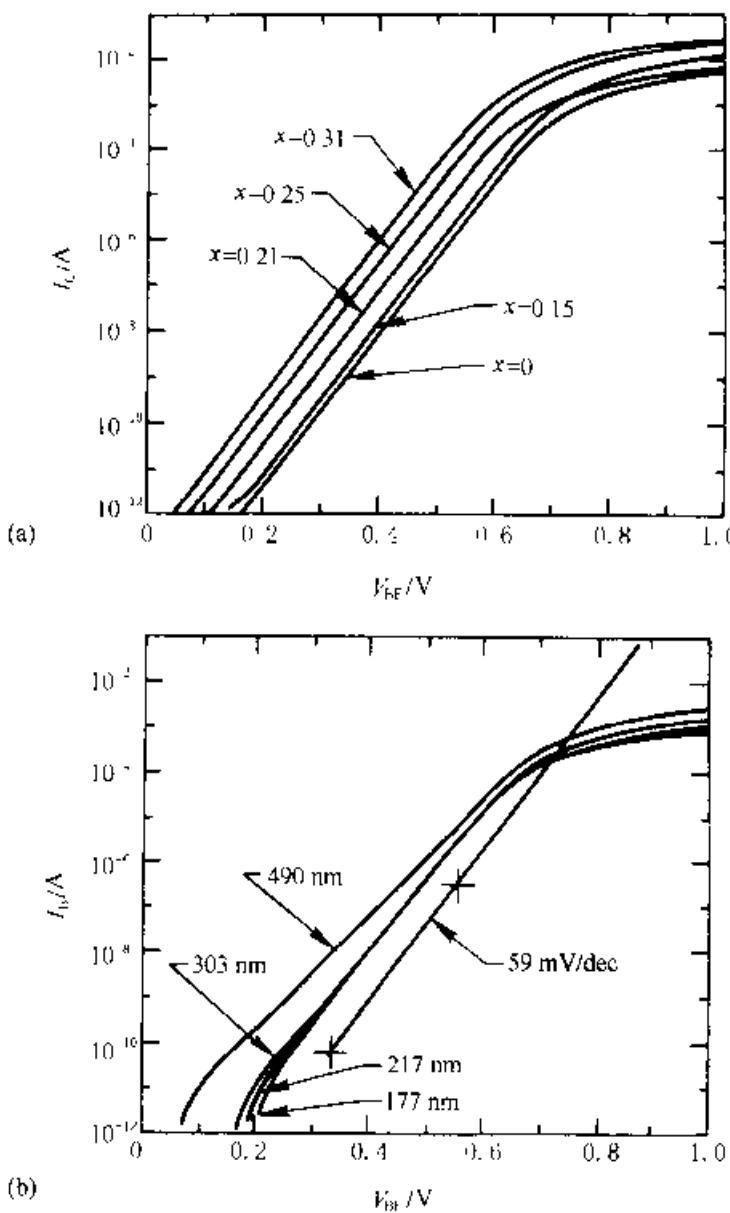


图 1.26 (a)Ge 摩尔分数  $x$  不同时 SiGe HBT 的  $I_c$  与  $V_{BE}$  的关系;  
(b)Ge 摩尔分数不变, 但基区宽度  $w$  变化的 SiGe HBT 的  $I_b$  与  $V_{BE}$   
的关系(引自 Gibbons 等人的文献[18])

SiGe HBT 的高速性能是很突出的。由于锗含量在基区缓变所引入的自建场很强, 故可采用这一方法使电子在基区的渡越时间大幅度下降<sup>[19]</sup>。从图 1.27 可以看出, 在同样的工艺条件下, SiGe HBT 的  $f_T$  比标准硅双极晶体管的  $f_T$  高许多。通过优化自建场以及减小其它延迟因子, 已经获得了高达 115GHz 的  $f_T$ 。

当基区锗含量很高时, 可以使基区厚度减小很多, 从而大大提高  $f_T$ ; 或者使基区的薄层电导增加很多, 从而大大提高  $f_{max}$ 。对实测的增益-频率曲线进行外推, 得到的  $f_{max}$  可高达 150GHz。

即使基区掺杂不变, Early 电压也会随锗含量的增加而增加, 这是由于带隙影响了受基区输运限制的电流所带来的结果。这一点由方程(1.8)也可看出。事实

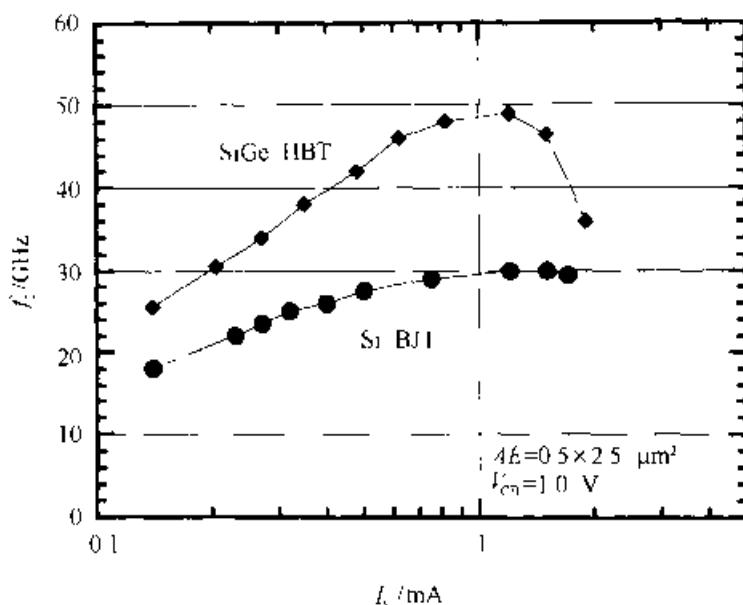


图 1.27 SiGe HBT 和同样工艺制备的 Si BJT 的截止频率  $f_T$  与电流关系的实测图(引自 Harame 等人的文献[19])

上，在靠近集电区的基区部分，因锗含量高， $n_s$  值很大，对方程(1.8)分母上的积分值贡献较小。于是，在靠近集电区的基区部分，载流子的耗尽不改变集电极电流。电流增益与 Early 电压之积( $\beta V_A$ )对于线性(模拟)应用而言，是一个很重要的品质因数。这个品质因数由于锗的引入可以增加 20~100 倍。

#### 1.4.3 III-V 族化合物基 HBT

**AlGaAs/GaAs HBT** Al<sub>x</sub>Ga<sub>1-x</sub>As/GaAs 材料系统在 HBT 的制备中有许多优势，其中包括：

1. Al<sub>x</sub>Ga<sub>1-x</sub>As/GaAs 材料系统的晶格匹配非常好，室温下，AlAs 和 GaAs 晶格常数的失配在 0.14% 的量级，而且，由于热膨胀系数的差别很小，在典型的晶体生长温度下，晶格常数的失配甚至会更小。不论 Al 的摩尔分数  $x$  如何选择，AlGaAs 和 GaAs 都可以匹配。这就使得外延生长中成分控制上的限制大为减小。
2. 可以采用高级的材料生长技术，如分子束外延 MBE 和金属有机物化学气相沉积 MOCVD 等，这些技术可以精确控制超薄器件层的生长。
3. 带隙差异可以很大。合金系统的带隙由下式给出： $E_g = 1.424 + 1.247x$  ( $x < 0.45$ )； $E_g = 1.424 + 1.247 + 1.147(x - 0.45)^2$  ( $x > 0.45$ )。在临界组分  $x = 0.45$  以下，带隙是直接带隙；在临界值以上，导带最小值在布里渊区中的 X 点，而价带最大值仍在  $\Gamma$  点。带隙差的主要部分(约 62%)来源于导带能量差。而其余部分(约 38%)来自价带能差。因而，突变的 N-p 异质结的导带能量势垒很显著。
4. Al<sub>x</sub>Ga<sub>1-x</sub>As 中，当  $x < 0.45$  时，电子的迁移率很高，这是由于  $\Gamma$  最小点处有效质量很小( $m^* = 0.065$ )。在纯净材料中，电子迁移率达到  $8000 \text{ cm}^2/\text{V} \cdot \text{s}$ 。

高迁移率会使基区渡越时间减小，发射结处电荷贮存减小，未耗尽n型集电区的电导率增加。

5. 在强电场( $>3\text{kV/cm}$ )下，GaAs中的电子在稳态条件下具有负的微分迁移率，其速度会下降至饱和值 $0.8\times 10^7 \sim 1.0\times 10^7\text{cm/s}$ 。当电子进入强场区时，短时间内，它们的速度会大大超过这个极限值。这个现象就是熟知的速度过冲效应，它对于减小载流子渡越集电结耗尽区的渡越时间是非常重要的。

6. 由于GaAs带隙很宽，室温下，本征载流子浓度很低 $n_i=2\times 10^5/\text{cm}^3$ ，本征材料的电阻率在 $5\times 10^6\Omega\cdot\text{cm}$ 量级(常视为“半绝缘体”)。由于衬底中很容易产生深能级，而深能级可以将费米能级钉扎在带隙中央附近，故此，衬底的电阻率很容易接近这个极限值。衬底的半绝缘特性使器件和互连之间的绝缘变得简单易行。在硅基器件中的重要因素，器件(或互连)与衬底间的电容，也减小到可以忽略不计。

7. AlGaAs/GaAs被广泛地用于制备各种光电子器件，包括LED、激光器、调制器，以及各种探测器。这些器件可与基于AlGaAs/GaAs的HBT电路进行单片集成。

**器件结构** 图1.28示出了一个典型器件的剖面图和相关的层结构。发射区层由 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 组成，其中AlAs的摩尔分数x约为0.25。因为当x更大时，称作DX中心的深施主开始出现在n型GaAlAs中，因此，DX中心能增加发射结耗尽区的电容，而且引起陷阱效应。当x=0.25时，发射区带隙比基区带隙宽0.3eV，使注入效率大大增加。带隙差主要来源于导带能量差(0.2eV)。在许多研究工作中，发射结处合金成分是渐变的。基区厚度通常为 $0.05\sim 0.1\mu\text{m}$ ，掺杂浓度为 $5\times 10^{18}\sim 5\times 10^{20}/\text{cm}^3$ 。基区掺杂浓度即使极高也不会使空穴注入发射区，尽管此时基区电流的其它成分还是存在的，而且随基区掺杂的增加而增加。相应的基区薄层电阻在 $100\sim 600\Omega/\square$ 范围之内。对基区掺杂浓度的实际限制主要来自冶金学上的考虑。大多数经常使用的受主(MBE中的Be及MOCVD中的Zn)的扩散系数随浓度增加而增加。这就要求在晶体生长中特别小心，并在晶体生长之后杜绝高温处理过程，否则受主杂质将穿透进入轻掺杂的GaAlAs中。如果p-n结推进到宽带隙材料中，就会形成一个阻挡电子流的势垒，而阻挡空穴流的势垒则会减小，如图1.29所示。这就减小了电流增益。通常以在发射区表面生长InGaAs层(与GaAs晶格不匹配)来减小发射极的接触电阻。

已经演示了一些HBT结构变化的实验：

1. 基区组分渐变实验。Al含量在基区内的变化可高达10%。器件基区层中可加入InAs形成GaInAs合金，其带隙窄于GaAs带隙。如果基区足够薄，则基区的生长是赝晶生长。

2. 集电区为宽带隙的双异质结器件已经制备出来，而且，如果适当地调整工

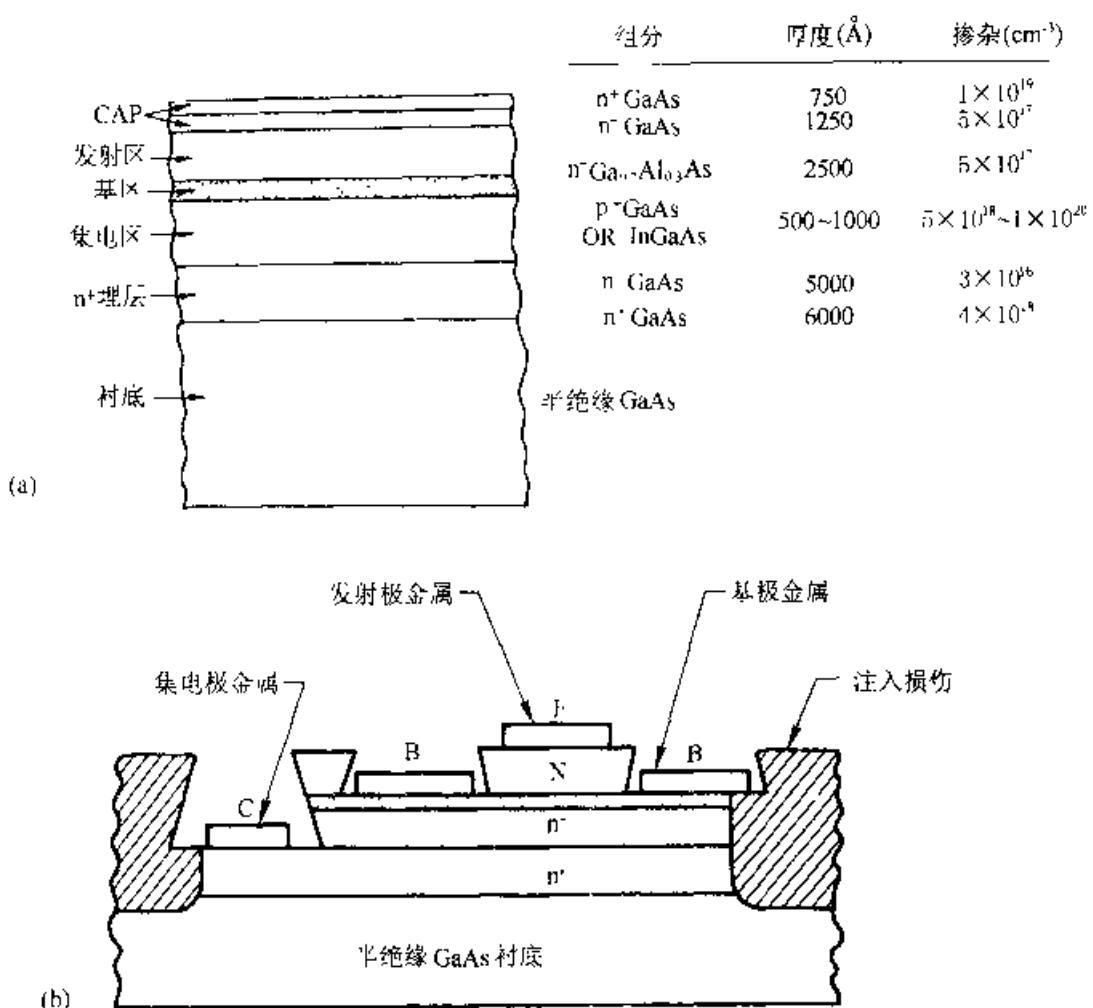


图 1.28 GaAlAs/GaAs HBT 典型的层结构(a)和器件截面图(b)

艺，则可使器件正反向工作时表现出对称的器件特性。

3. 尽管大多数工作集中于 n-p-n 器件，但也制备出了 p-n-p 晶体管。尽管两者在层结构的配置上有某种不同，但理论上仍预期 p-n-p 管和 n-p-n 管的  $f_T$  和  $f_{max}$  近乎相同。为了尽量提高 p-n-p 器件的  $f_T$ ，应尽量减薄基区厚度，以避免由于空穴迁移率较低造成器件渡越时间过大的问题。但由于 GaAs 中电子迁移率非常高，所以由此引起的基区电阻增加却并非很大。

4. 已制备出集电极朝上的器件。这种器件的发射极紧靠衬底，而集电极在最上端。它比常规的发射极朝上的器件的 RF 特性可能要好，因为这种器件可以有效削减非本征集电结电容，使其转换成非本征发射结电容，而非本征发射结电容在微波电路中带来的问题要小得多。针对 I<sup>2</sup>L 电路向上工作模式对晶体管的优化问题，已做了不少研究工作。在这种方法中，基区通常由离子注入形成，而不是外延方法进行掺杂。

5. 在许多器件结构中，用  $\text{Ga}_{0.51}\text{In}_{0.49}\text{P}$  替代  $\text{AlGaAs}$ 。 $\text{Ga}_{0.51}\text{In}_{0.49}\text{P}$  与 GaAs 有

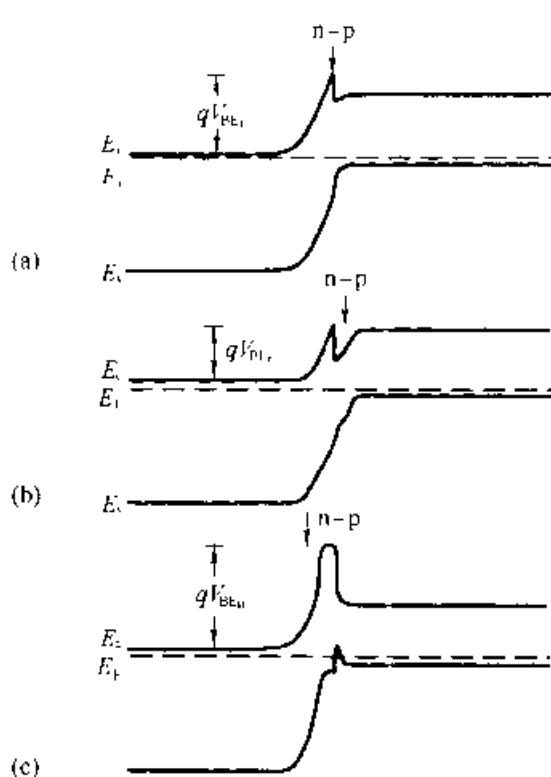


图 1.29 相对于异质结而言, p-n 具有不同位置(掺杂分布)的 GaAlAs/GaAs HBT 的能带图

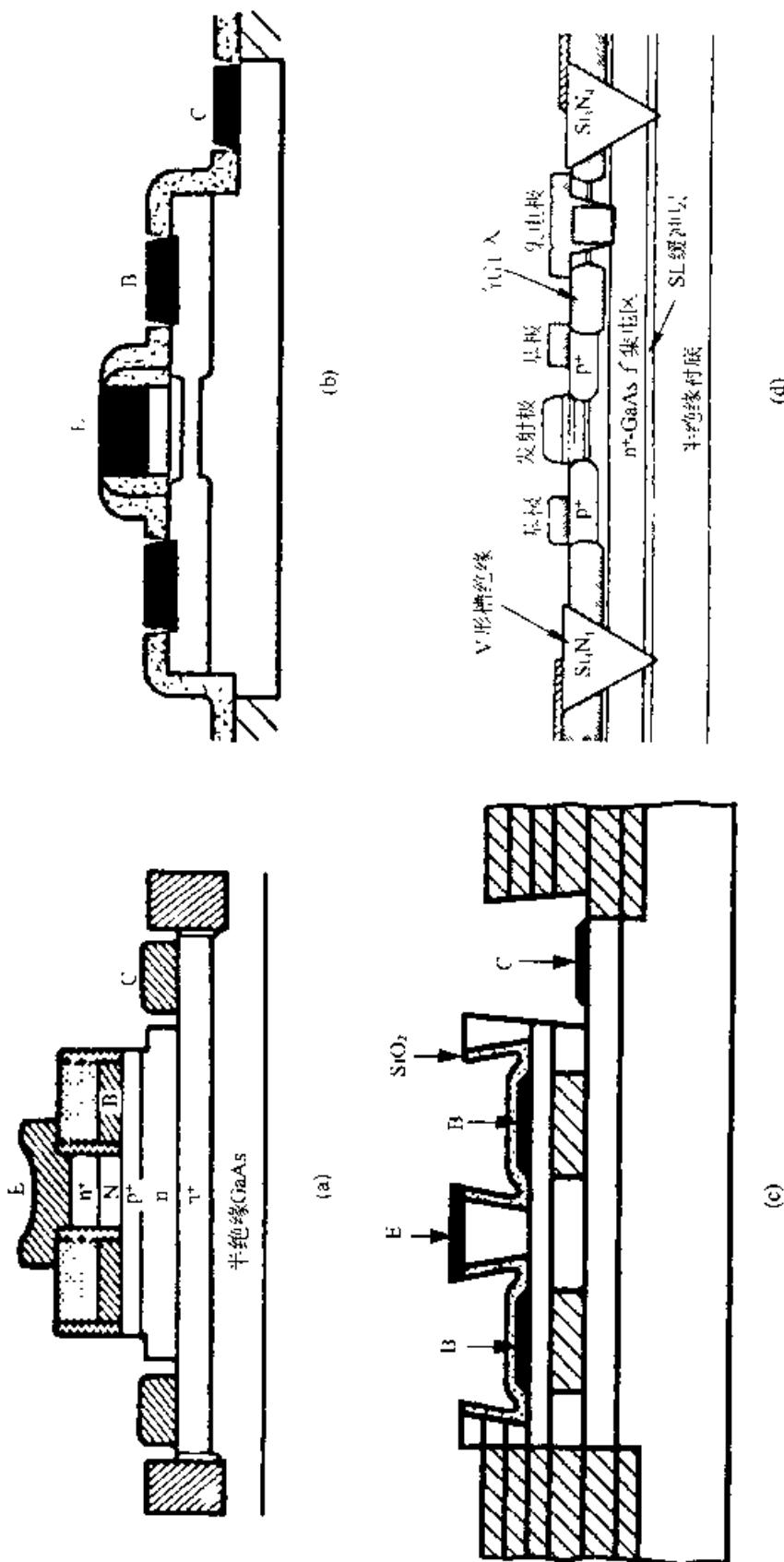
相同的晶格常数, 其带隙为 1.89eV, 比 GaAs 带隙大许多。用这种材料替代 AlGaAs 的潜在好处还有, 导带偏移较低 (0.2eV), 这种结构的实现可能依赖于制备技术, 它没有 Al 带来的陷阱, 而且可以采用很好的选择腐蚀来区分 GaAs 和 GaInP。

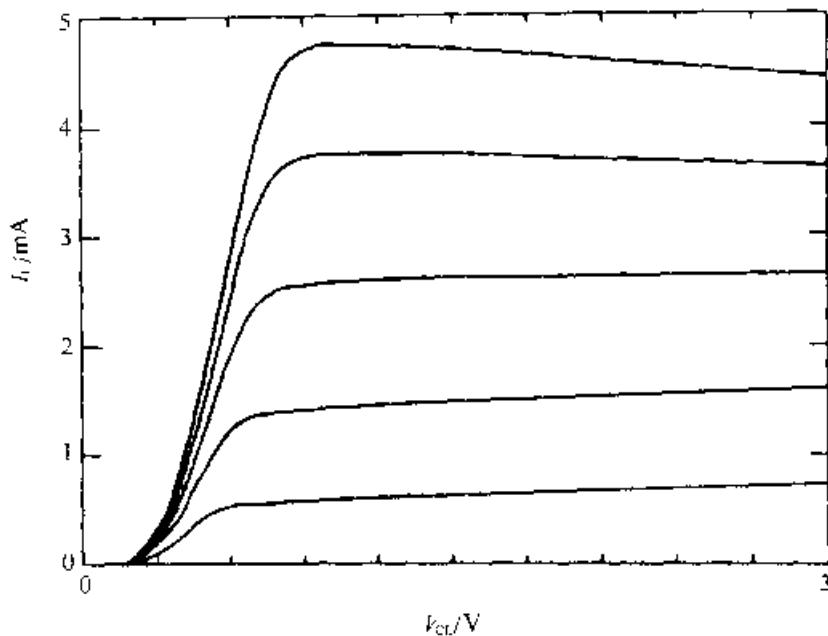
**制备技术** 外延层通常用 MBE 或 MOCVD 制备, 然后可采用台面结, 或采用离子注入损伤将器件以外的外延区变成半绝缘体的方法来制备器件。如图 1.28 所示, 可以通过刻蚀通孔到相应的接触薄层的方法, 或者通过注入或扩散使要接触层之上的接触材料的导电类型转型的方法, 实现基区与集电区的通孔接触。例如, 基区接触通过注硼或扩锌来实现。从表面到基区薄层的刻蚀工艺可使用成分选择刻蚀方法, 因为该方法在腐蚀液到达指定的薄层时, 腐蚀率就会变得很慢。在刻蚀与埋层集电区接触的深孔时, 台阶状的金属覆盖层就成为问题。为了解决这一问题, 需要对基片表面进行平坦化, 或采用定向选择腐蚀使被刻蚀的侧墙形成一个特殊的晶向, 该晶向与表面之间有一个较好的倾角(一般为 55°)。

工艺发展的主要方向是制备自对准结构, 这种结构中, 发射区边缘、发射区接触和基区接触是用同一套光刻模版加工的。人们提出了用于 GaAlAs/GaAs HBT 的各种自对准结构<sup>[22~25]</sup>。图 1.30 示出了几种器件的剖面结构。制备方法的核心是, 在发射区接触的边缘采用侧墙隔层, 以及当有 InAs 盖层时使用难熔发射区接触。在双剥离工艺中, 在基区接触金属的上部淀积一介质层, 然后利用剥离方法同时形成图形。另外还开发了一种减小非本征集电结电容的制备技术, 这种技术中, 在基区接触下面的 n<sup>-</sup>型集电区注入氧或氢, 使材料成为本征的, 并且加宽了基区和集电区之间的准中性区有效隔离, 从而使得单位面积电容减小。因为基区掺杂浓度高, 通过基区注入后并不会显著改变基区的电导率。

**器件特性** 图 1.31 示出了典型单异质结 AlGaAs/GaAs 双极晶体管的 I-V 特性。直流特性在输出电导、失调电压和电流增益变化等方面均有独特的性能。

**输出电导** 曲线显示了高的正输出电阻, 或负的微分输出电阻。Early 电压  $V_A$  很高, 约 100~500V, 这是由于基区的掺杂浓度很高(见 1.2.1 节)。负阻仅在测量过程很慢时才能测量出来, 它源于温度升高时电流增益的下降。



图 1.31 典型 GaAlAs/GaAs HBT 的  $I_c$ - $V_{CE}$  关系 ( $I_B$ : 5  $\mu$ A/step)

**失调电压** 图 1.31 显示失调电压  $V_{cesat}$  很大，只有在集电极和发射极之间加上失调电压  $V_{cesat}$  后，才会有正的  $I_c$  流动。这对应于发射结导通电压大于集电结导通电压的情形。对于单异质突变结 HBT，导通电压之差可归因于发射结处的导带势垒。对于具有渐变发射结的 HBT，在类似的偏压下（正如 1.2.1 节所述，对应于基区输运限制的电流），两个结流过的电子电流相等。于是，由两个结之间空穴电流之差引起了失调电压。采用宽带隙集电区可实质性地减小失调电压。

**电流增益** 电流增益随着集电极电流变化，在  $I_c$  很低时，它可以降至小于 1。在大多数 AlGaAs/GaAs HBT 中，准中性发射区内空穴复合完全被发射区带隙台阶所抑制。基极电流的增加，部分原因是由于通过 AlGaAs 和 GaAs 中的深能级，在发射结空间电荷区中的复合。将耗尽区移进宽带隙 AlGaAs 区中可一定程度上抑制深能级的复合，因为 Shockley-Read-Hall 复合直接依赖于本征载流子浓度（宽带隙材料的本征载流子浓度较低）。对基极电流的另一个重要贡献来自与发射区周边相关的复合，这种贡献在小尺寸器件中占主导地位。GaAs 的表面复合速度非常高，达  $10^6 \text{ cm/s}$  的量级。结果是，注入到基区并扩散到发射区边缘附近的基区表面的电子，其复合概率很高。在这种情况下，电流增益随着发射区的周长面积比的增大而减小。这对于发射区宽度为  $1\text{ }\mu\text{m}$  的器件是一个重要的限制。通过下述措施，该效应可以得到抑制：

1. 采用薄基区，并通过组分渐变的方法引入自建场，可以减少注入电子扩散到表面的数量。
2. 可以采用以 GaAlAs 覆盖基区表面的器件结构，这使得基区和表面之间存在一个阻挡电子的势垒。通过在基区接触区扩散或注入的方法使得发射区由 n 型

转换成 p 型，或者利用薄 n 型 AlGaAs 层覆盖发射区边缘处，均可实现这样的结构，此时发射区从表面耗尽处夹断形成了一有效的绝缘钝化层。

### 3. 通过淀积 $\text{Na}_2\text{S} \cdot 9\text{H}_2\text{O}$ 等化学处理方法来降低 GaAs 的表面复合速度。

**RF 特性** 图 1.32 给出了微波 HBT 的增益随工作频率变化的测量值。外推得到的  $f_T$  约为 50GHz， $f_{max}$  为 175GHz。测量的  $f_T$  值对应于从发射极到集电极的延迟时间  $\tau_{ee}$ ，其值低至  $1 \sim 2\text{ps}$ 。与发射极和集电极相关的时间延迟随集电极电流密度  $J_c$  增大而减小，当  $J_c \geq 5 \times 10^4 \text{ A/cm}^2$  时，达到  $0.4\text{ps}$  左右的量级。通常，因基区扩展效应， $J_c$  被限制在  $0.5 \sim 2 \times 10^5 \text{ A/cm}^2$ 。发射区中贮存的空穴在发射结为突变结的异质结器件中，对  $\tau_e$  并无影响，在渐变结构中，影响也很小。对于薄基区，基区渡越时间受电子的热离子发射速度或渗透速度（在 GaAs 中为  $2 \times 10^7 \text{ cm/s}$ ）以及扩散时间的影响，对于厚为  $600\text{\AA}$  的重掺杂基区，基区渡越时间约为  $0.6\text{ps}$ 。集电结空间电荷层渡越时间依赖于集电极-基极电压  $V_{CB}$ 。如同在硅器件中一样，随  $V_{CB}$  增加，空间电荷层变宽，这使得延迟时间增加。另外在 GaAs 中，还存在一些严重影响电子速度的效应。饱和速度  $v_s$  一般约为  $10^7 \text{ cm/s}$  的量级。然而，当电子从低场区进入高场区时，它们首先会被加速到一个比  $v_s$  高出许多的速度，然后则会由于散射到导带的卫星能谷而减慢下来。图 1.33 示出在 GaAlAs/GaAs HBT 的集电结附近，通过蒙特卡罗方法得到的电子速度与位置的函数关系计算值<sup>[26, 27]</sup>。获得的速度可达  $8 \times 10^7 \text{ cm/s}$ ，该速度仅能持续约  $500\text{\AA}$  的距离。具体的速度-位置特性依赖于外加偏压  $V_{CB}$ 。为了估计显著的速度过冲持续的距离，可以计算电子从静电势垒中获得  $0.36\text{eV}$  能量所需走过的长度。具有这个能量的电子

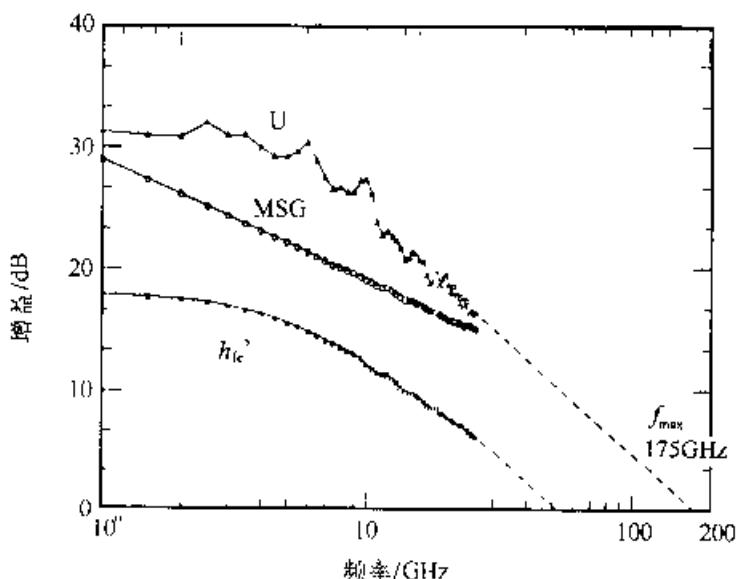


图 1.32 从 GaAlAs/GaAs HBT 中测量的增益随频率的变化。 $h_{fe}$  为电流增益，MSG 为最大稳定功率增益，U 为单向增益或 Mason 增益不变量（引自 Chang 之文献[25]）

能够散射到卫星能谷 L 能谷，并发射一个光学声子。在新发明的结构中，与常规器件相比，过冲距离增加了许多<sup>[28, 29]</sup>。这一点可以通过降低集电结耗尽区边缘电场来实现。具体讲，就是在集电结耗尽区进行适当的受主掺杂。图 1.34 示出具有这类结构（称为弹道收集晶体管 BCT）的能带图。BCT 的  $f_T$  已达到 170GHz。

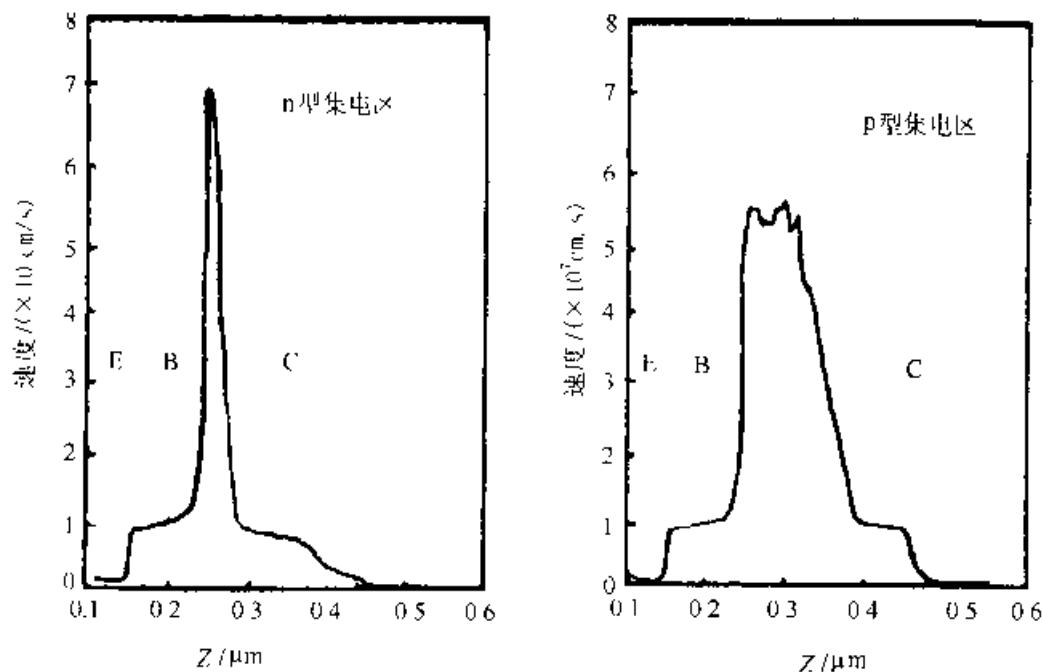


图 1.33 GaAlAs/GaAs HBT 集电结附近，电子速度随位置的关系（利用蒙特卡罗技术得到的计算值）。图中给出了集电区为 n 型掺杂和为 p 型掺杂两种情况下的值（引自 Katoh 和 Kurata 之文献[27]）

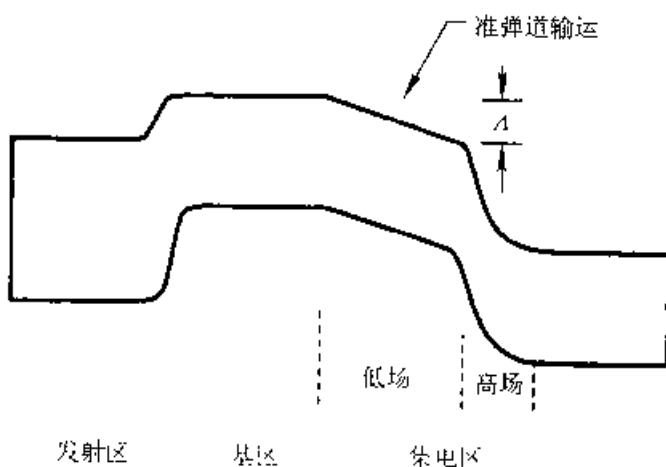


图 1.34 弹道收集晶体管（集电区弹道输运）的能带图。这种管子中显著的速度过冲的距离增加了（引自 Ishibashi 和 Yamauchi 之文献[28]）

**可靠性** 早期的 AlGaAs/GaAs HBT 的可靠性较差。一个关键问题是，器件工作在室温附近时，基区中硼或镓杂质的扩散问题。p 型杂质向发射区的扩散引

起了 p-n 结的移动和势垒的形成[参见图 1.29(c)]。实验表明，受主在如此低温度下的扩散现象源于有助于电子空穴复合的缺陷的移动。解决这一问题的方法是，利用合适的基区生长条件提供额外的 As，可以避免产生可移动的间隙硼原子团，或者利用碳作为基区的受主杂质(即使存在电子与空穴的复合，碳的扩散系数也非常低)。另一个问题与器件工作时发射区边缘处复合数目的增加有关。这个问题通过使用以前提过的发射区边缘钝化技术也已得到了解决。目前，在各种应用中，AlGaAs/GaAs HBT 的可靠性都是令人满意的<sup>[25]</sup>。有报道表明，室温下、外推得到的寿命可高达  $10^8$  小时。

**InGaAs/InP HBT** 与 InP 衬底晶格匹配的 III-V 族半导体材料包括带隙为 0.75eV 的  $In_{0.53}Ga_{0.47}As$  和带隙为 1.5eV 的  $In_{0.52}Al_{0.48}As$ 。采用  $In_{0.53}Ga_{0.47}As$ (简写为 InGaAs 作基区，用 InAlAs 或带隙为 1.34eV 的 InP 作宽带隙发射区而得到的 HBT 有许多诱人的特性<sup>[26~31]</sup>：

1. 外延层的生长技术非常完善。可用 MBE 生长 InGaAs 和 InAlAs，或用 MOMBE 或 MOCVD 生长 InGaAs 和 InP。

2. InGaAs 中的电子迁移率很高，就纯净材料而言，它比 GaAs 高 1.6 倍，比 Si 高 9 倍。在 InGaAs、InP 和 InAlAs 中，瞬时的速度过冲也比在 GaAs 中要大。与 GaAs 相比，这些材料中导带最小点  $\Gamma$  和卫星能谷间的距离要高许多。于是，InGaAs 的  $f_T$  值可以比 GaAs HBT 更高。

3. InGaAs 的带隙比 GaAs 或 Si 的带隙窄。因此，对于缓变异质结双极晶体管，HBT 的  $V_{BE}$  导通电压相应较小、在逻辑电路中电源电压和功耗较低，因而提高了功率延迟积。

4. InGaAs 表面比 GaAs 表面复合速度低很多(分别为  $10^5 \text{cm/s}$  和  $10^6 \text{cm/s}$ )。于是，由发射区周边复合引起的基极电流较小，器件尺寸缩小较容易。

5. 衬底可以为半绝缘材料，由掺铁的 InP 做成，在带隙中带附近形成深受主能级。

6. InP HBT 的衬底导热率比 GaAs 要高(分别为 0.7 和  $0.46 \text{W} \cdot \text{cm/K}$ )。

7. 可以直接与激光器、发光二极管及探测  $1.3\mu\text{m}$  和  $1.5\mu\text{m}$  辐射的 p-i-n 二极管等光探测器兼容，这一点对光纤光学的应用非常重要。

**器件的结构和制备** 图 1.35 示出典型 InGaAs HBT 的剖面和外延层结构示意图。前面提到，用于发射区(以及双异质结双极晶体管的集电区)的半导体材料可以选择 InAlAs 或 InP。这两种材料相对于 InGaAs 的能带对准情况示于图 1.36 中。与 InAlAs 突变结相比，InP 突变结有较大的价带跳跃。这两个系统都需将发射结做成渐变结，以期获得低导通电压。但在这两种情况中，如果全部或部分的导带跳跃被保留，则能将电子以高的正向动量注入基区，如果基区足够薄，这将会大大地减小基区渡越时间。由于质量较小和能量上限(即  $\Gamma$  点和卫星能谷间的

能量距离)较大,在 InGaAs 中获得的动量要比在 GaAs 中高许多。

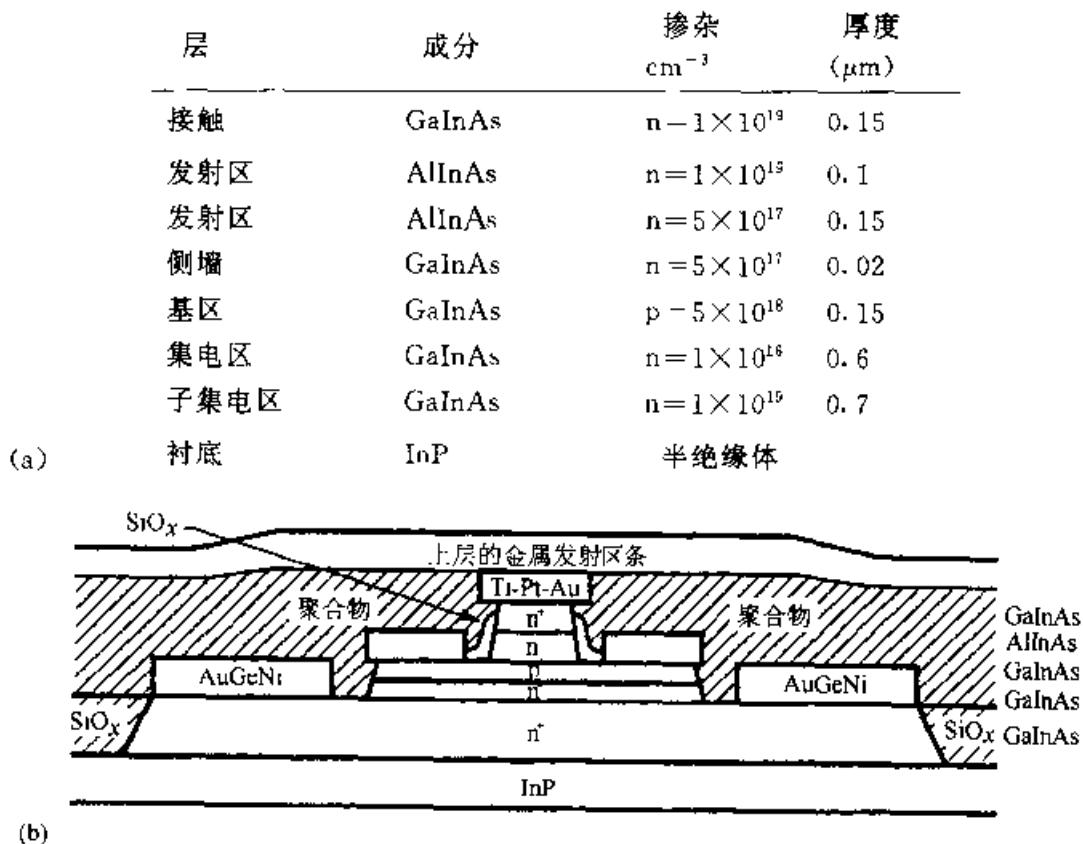


图 1.35 典型的 InGaAs HBT 的外延层结构(a)和器件截面图(b)(引自 Mishra 等之文献[34])

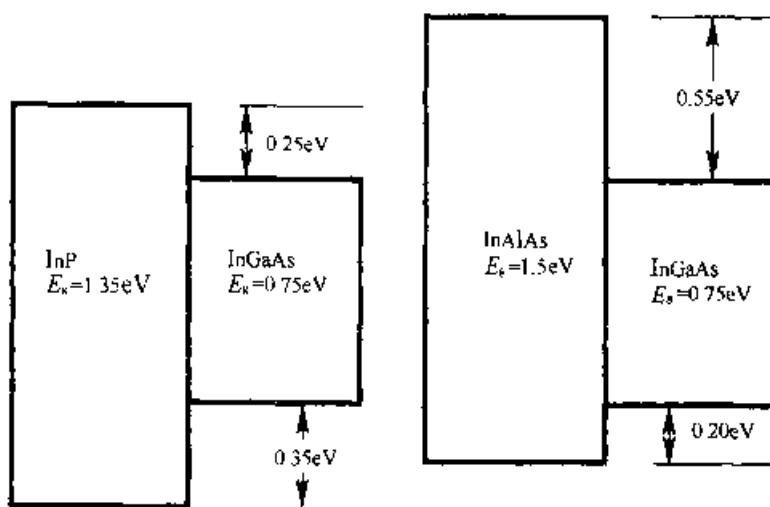


图 1.36 InP 和 InGaAs 之间, 以及 InAlAs 和 InGaAs 之间的能带对准

InAlAs 小的带隙使集电结击穿电压很小,同时也使集电结漏电流相对较高。为了解决这些问题,可以使用宽带隙材料 InAlAs 或 InP 作为集电区,关键的一点是要做到使集电结的成分渐变,或使用  $\delta$  掺杂或阻挡层来避免导带势垒的形成,因为势垒能减小电子的收集效率,并导致基区渡越时间变大。

已经制备出使用宽带隙材料 InP 和 InAlAs 的高性能器件。采用常规的 MBE

生长 InP 较为困难，因为控制固态磷及其高的蒸气压都很困难。采用 MOMB E 技术，可以方便地克服这些困难，MOMB E 如同 MOCVD 一样使用磷气态源。对于组分渐变的结构，使用四元合金，将 In, Ga, As 与 Al 或 P 结合起来。由于需要与衬底保持适当的晶格匹配，可用的组分受到限制，对组分控制的要求也较难实现。或许，作为一种选择，可使用“准四元合金”，即，短周期超晶格( $10\sim20\text{ \AA}$ )。在这种短周期超晶格中，组分在边界处发生突变，但发生突变的周期也在逐渐地发生变化。

InGaAs HBT 的制备方法与 GaAs HBT 的方法类似。只是隔离技术不同，前者并不直接使用注入损伤使外延层变为半绝缘材料，而是采用深台阶或沟槽隔离方法。使用侧墙介质实现基区与发射区隔离的自对准制备技术也已发展起来。

**器件特性** 图 1.37(a)示出了单异质结构 InGaAs HBT 的  $I-V$  特性。发射结和集电结导通电压的显著差异导致了失调电压很高，击穿电压相对较低，这是由于 InGaAs 带隙较窄造成的。但如图 1.37(b)所示，这两个不足之处可以通过采用宽带隙集电区和渐变结得以改善。因为表面复合速度很低，InGaAs HBT 的电流增益即使是在窄发射区结构中也可以很高。目前已经制备出了电流增益高于 100、具有  $0.3\mu\text{m}$  宽发射区的器件。

InGaAs HBT 的高频特性非常突出<sup>[32, 33]</sup>。实验已显示，其  $f_T$  可以高于 200GHz，这在所有双极晶体管中是最高的。相应的  $\tau_{ee}$  值为 0.8ps。在器件中影响  $\tau_{ee}$  的各因素都被最大限度地减小。由于异质结处没有空穴贮存，并且器件工作在高电流密度下( $2\times10^5\text{ A/cm}^2$ )，所以发射结充电时间减小。基区渡越时间因有很高前冲动量的电子的注入而减小。因为电子以很高的过冲速度通过集电区空间电荷区而且距离在过冲区范围之内，因此集电区空间电荷区的渡越时间很小。为了维持这个条件，应使用窄耗尽区，而且  $V_{CB}$  偏压范围应限制在 0.6V 之内，以对应于  $\Gamma$  点到 L 谷的能量差。超高速和尺寸可缩小等特点将使这些器件在未来的数字和微波电路中成为强有力的竞争者。

## 1.5 双极晶体管模型

### 1.5.1 物理模型

为了模拟双极晶体管的特性，可以用各种模拟工具对电子、空穴分布、电场、电流等进行物理计算。一维模型在许多情况下都很有效。但电流集边特性，边缘泄漏特性、发射极周边电容等，从本质上讲要用二维或三维模型来分析。对于硅基器件，通常用基于扩散-漂移输运机制的计算公式就足够了。但在计算一些与尺寸有关的特性，如估计电场陡变区域中的碰撞电离率以及流过极薄基区的扩散电流时，这些公式就不再精确。对于 II-V 族 HBT，基于扩散-漂移输运机制的模拟精

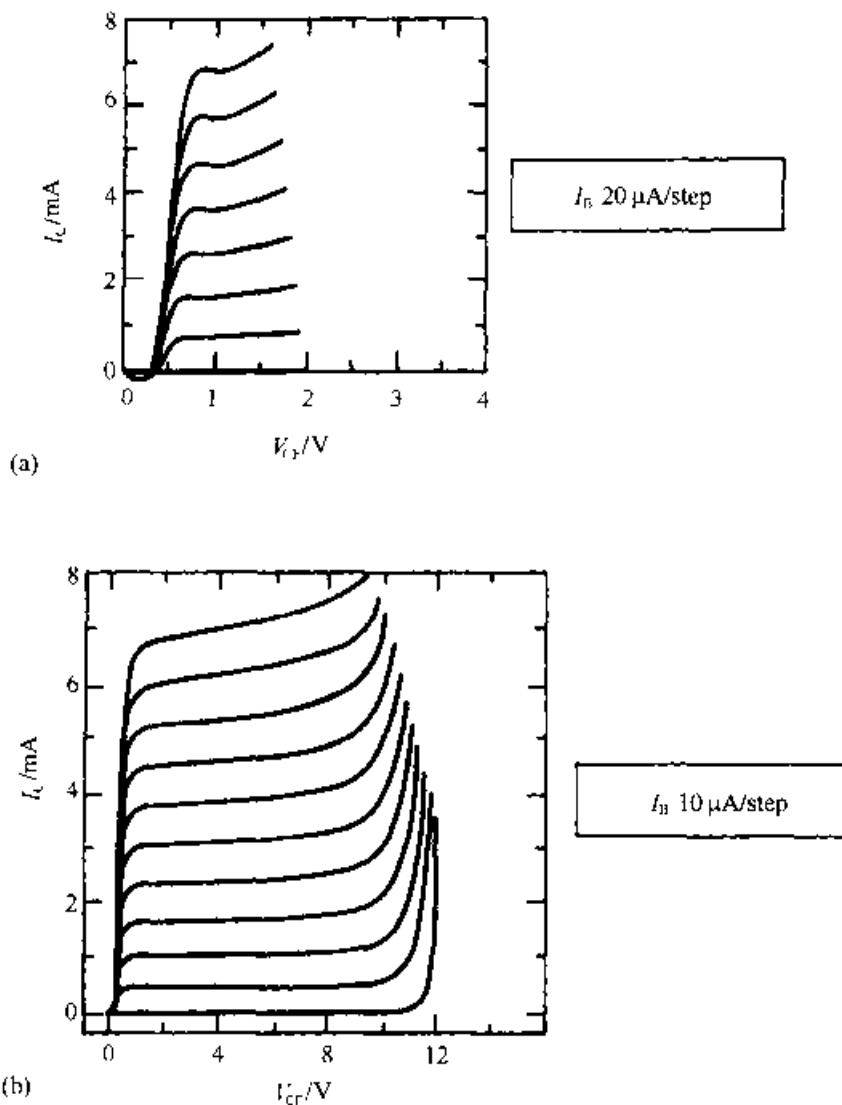


图 1.37 (a) 具有一个突变发射结和一个 InGaAs 集电区的典型的 InAlAs/InGaAs HBT 的  $I$ - $V$  特性；(b) 具有一个渐变发射结和一个 InAlAs 集电区的 InAlAs/InGaAs HBT 的  $I$ - $V$  特性

度会进一步受到影响，这是因为在具有非零  $\Delta E_c$  的材料间形成突变结处的能量梯度可能很大，速度过冲效应很可观，以及在一些情况下，隧穿输运可能会很显著。在这些情形下，蒙特卡罗模拟被认为是最精确的。然而，它需要耗费大量的计算机时。流体动力学或能量平衡模拟则是一种精确度稍差但不耗费大量机时的方法。

### 1.5.2 电路级的模型

多年来，人们在如 SPICE 之类的电路模拟器中，一直使用 Gummel-Poon 模型描述双极晶体管的行为<sup>[2]</sup>，图 1.38(a)示出了该模型的示意图。与大信号模型相关的小信号模型(或 AC 模型)的示意图示于图 1.38(b)中。该示意图对应于一个  $\pi$  模型，其中，输出电流源连接在集电极和发射极之间。对于 T 模型的可替代方

案示于图 1.39，这是一个经常在微波模拟器中使用的增量(或“AC”)模型。该模型中包括一个与频率有关的电流源  $\alpha(\omega)I$ ，因此特别适宜于进行频域分析和计算。通过适当选取参数值， $\pi$  模型和 T 模型之间可建立一一对应关系。

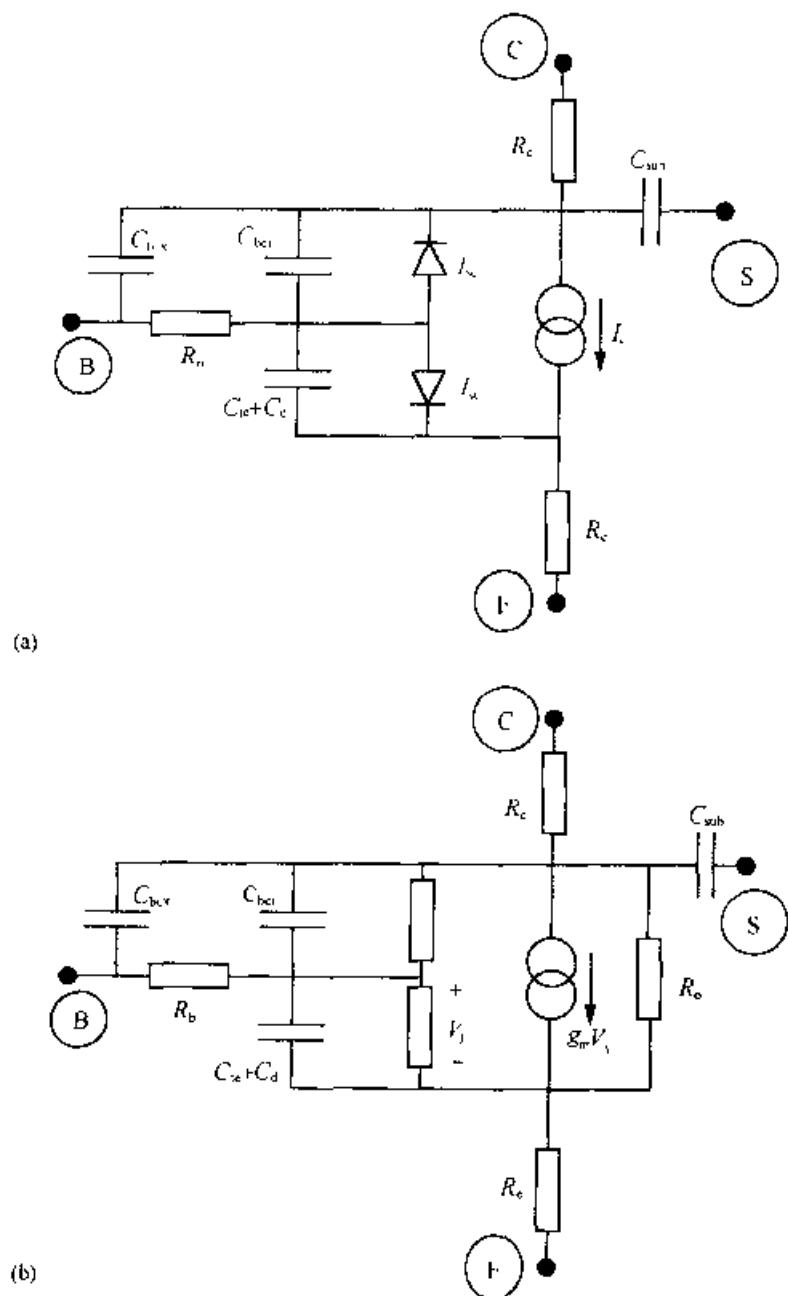


图 1.38 (a) 用于双极晶体管的电路描述的 Gummel-Poon 模型示意

图：(b) 从 Gummel-Poon 模型推导出的小信号等效电路

在 Gummel-Poon 模型中，集电极电流源对应于方程(1.8)给出的电流  $I_C$ 。 $I_C$  为：

$$I_C = (I_S / K_{qB}) [\exp(qV_{BE}/n_F kT) - \exp(qV_{BC}/n_F kT)] \quad (1.42)$$

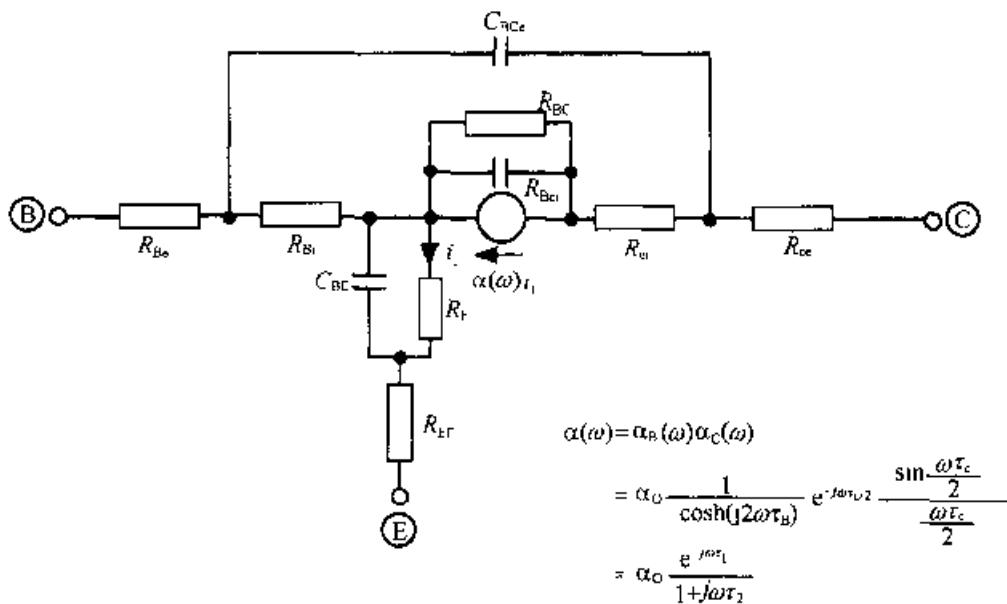


图 1.39 用于描述双极晶体管小信号特性的 T 模型

其中  $K_{qb}$  是一个考虑  $\int p(x)dx$  对偏压依赖关系的因子，它定义为给定偏压下基区的空穴电荷与零偏压下基区的空穴电荷之比。 $n_f$  和  $n_r$  是可调理想因子，可在需要时拟合实验值。在 SPICE 模型中，下列表达式通过基区电荷因子  $K_{qb}$  对  $V_{BE}$  和  $V_{BC}$  的依赖关系描述了基区宽度调制效应，通过  $K_{qb}$  对正向电流  $I_C$  的依赖关系描述了大的注入效应：

$$K_{qb} = \{1 + [1 + 4(I_s \exp(qV_{BE}/n_t kT) - 1)/I_K + 4(I_s \exp(qV_{BC}/n_t kT) - 1)/I_{KR}]^{1/2}\}/2 \times 1/[1 - (V_{Ae}/V_A) - (V_{BE}/V_B)] \quad (1.43)$$

其中， $V_A$ ， $V_B$  分别为正向和反向 Early 电压，而  $I_K$  和  $I_{KR}$  则分别为正向和反向的拐点电流，表示了大注入的开始。模型中的基区电流由两个源联合提供：

$$I_B = (I_C/\beta_F) + I_{SE} \exp(qV_{BE}/n_e kT) \quad (1.44)$$

其中， $\beta_F$  是与理想的基极电流相关的依赖于温度变化的参数， $I_{SE}$  项则描述了非理想的因素，如耗尽区复合等。两项之和足以描述大多数的实际情况，其中， $I_B$  通过具有不同温度依赖关系的多重指数与  $V_{RF}$  建立依赖关系。

为了描述瞬态和 AC 特性，Gummel-Poon 模型采用了电荷控制方法。输入电荷与发射结和集电结处的贮存电容有关。电荷  $Q_{bc}$  和  $Q_{be}$  包括了耗尽区的贡献，另外， $Q_{be}$  还包括贮存于基区的与基区渡越时间和集电区渡越时间相关的电荷：

$$Q_{be} = Q_{bc(\text{耗尽})} + T_F I_S [\exp(qV_{BE}/kT) - 1] \quad (1.45)$$

其中  $T_F$  在 1.2.2 节中定义过，它是对  $\tau_{ee}$  有贡献的大多数（但不是全部）量的一个综合。为了考虑如 Kitk 效应等偏压依赖关系， $T_F$  随电压和电流的变化关系如下：

$$T_F = T_{F0} [1 + X_{TF} \exp(V_{BC}/1.44V_{TF})] [1 + (I_{TF}/I_S) \exp(qV_{BE}/kT)] \quad (1.46)$$

其中， $X_{TF}$ ， $V_{TF}$  和  $I_{TF}$  是适当的拟合参数。小信号模型中元件参量值可从大信号模

型中通过电流和电荷对电压的微分推导出来。大信号电流源随其自身端电压的变化可看作一个电阻，而电流随不同端间的电压的变化可看作一个跨导。例如，在大信号模型中集电极电流源会导致由下式描述的输出电阻  $r_o$  和跨导  $g_m$ ：

$$\begin{aligned} 1/r_o &= dI_C/dV_{BE} \\ g_m &= dI_C/dV_{RF} \end{aligned} \quad (1.47)$$

相似地，电荷对其自身端电压的微分可看作电容，而电荷随不同端间电压的变化则可看作是一个跨容(transcapacitance)。在 Gummel-Poon 模型中，跨容是通过基区-发射区结处的电荷  $I_c T_F$  对  $V_{BC}$  的依赖关系而引入的。

在过去几十年中，人们一直使用 Gummel-Poon 模型。然而，为了提高描述现代器件的精度，人们正在发展一些不同的模型。Gummel-Poon 模型的不足之处在于：

1. 不能很好描述电流集边效应。电流集边现象对硅双极晶体管是重要的问题，而对大多数 HBT 而言，则可忽略，因为 HBT 的基区掺杂通常要大得多。为了部分地考虑这些效应，SPICE 模型提供一个表达式来描述基区电阻随正向电流的变化，如上面所述。
2. 不能很好描述电荷贮存效应和集电区在饱和时的电阻，特别是对于需要承受中等偏压、具有较厚和轻掺杂集电区的晶体管。当晶体管工作在  $V_{BC}$  较低的情况下，集电区没有耗尽，串联电阻显著增大。然而，如果  $V_{BC}$  正偏且足够大时，注入到集电极的空穴使电阻减小。描述饱和与“准饱和”时的集电区特性是许多模型的目标。
3. 用电荷控制模型描述晶体管的瞬态行为，只能是一种近似。特别是，瞬态电荷的分布与由电荷控制模型得到的稳态分布是不同的。至少非静态电荷分布会导致输出电流相对于输入偏压在时间上有所延迟。为了说明这一点，在图 1.38 所示的模型中，将时间延迟因子纳入到集电极电流源中，以用来校正已经包括在电荷控制模型中被称作延迟相位的延迟量。该延迟量通过在  $g_m$  源加入因子  $\exp(j\omega t_d)$  很容易纳入频域模拟器。这种方法普遍地用于微波线性和谐波平衡模拟器中。精确地考虑时域中的额外延迟相对比较困难，而且在瞬态模拟中会导致收敛困难。在时域分析中纳入延迟相位的办法是借助于跨电容器实现的，其中电荷的贮存正比于端间电压。
4. 为了精确描述晶体管的基区电阻和集电结电容，需要使用分布电阻-电容网络。为简化起见，Gummel-Poon 模型只考虑了单一的基极电阻，器件的大部分电容必须通过该电阻进行充电(尽管通过使用“ $X_{CJC}$ ”因子，可将一部分  $C_{bc}$  置于该电阻之外)。在更精确的描述中，基区被分成几部分，分别定义了不同的串联电阻和相关的电容。
5. 双极晶体管中的电流密度可能会很大，这样电流流过器件时会产生很可

观的热量。由于晶体管的各种特性(如  $I_c - V_{BE}$ )强烈地依赖于温度的变化, 自加热效应将对测量的特性产生影响。这对于 II-V 族器件尤为重要, 因这种器件基区的电导率高从而要求的发射区宽度也大。附加的复杂性是 II-V 材料的导热率比硅的低。为了计及自加热效应, 可以考虑附加一个与晶体管有关的热电路。给定热阻和热容, 则计及器件温度效应的晶体管电流就可以计算出来。

为了能更好地描述双极晶体管, 最近发展起来几个更细致的模型<sup>[34~36]</sup>。图 1.40 示出了 MEXTRAM 模型的拓扑结构<sup>[34]</sup>, 而图 1.41 则示出专为 HBT 开发的模型。这两个模型都具有基区电阻和电容的分布结构。图 1.41 还示出了描述自加热效应的附加热电路(该电路是附加在基本的晶体管结构上的一个 RC 网络)。

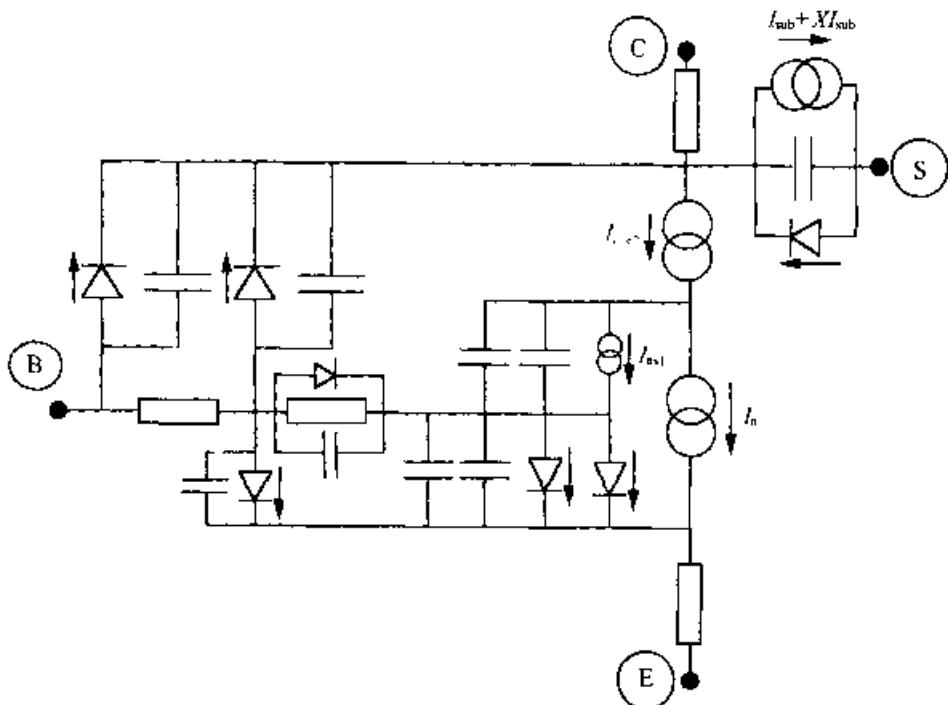


图 1.40 双极晶体管 MEXTRAM 模型示意图(引自 de Graaf 和 Klaasen 之文献[35])

## 1.6 总结与展望

在过去很长时间内, 双极晶体管一直应用于许多高速电路中, 可以预见, 在未来的一段时间内仍将会这样。保持双极晶体管优势的关键特性是高的  $f_T$  和  $g_m$ 。由于双极晶体管的这两个特性都可以得到很好的控制, 因而能用于精确的模拟电路中。

对于数字电路应用, 主要的目标是增加电路的密度。横向尺寸的缩小进展神速, 同时器件的寄生效应、互连电容、单个器件的功耗也都相应地减小。这种趋势随光刻技术的提高还将继续。同质结器件纵向尺寸的缩小受到一定的限制。考虑到基区穿通效应, 需要提高基区的掺杂浓度, 然而这样会减小电流增益, 而且会

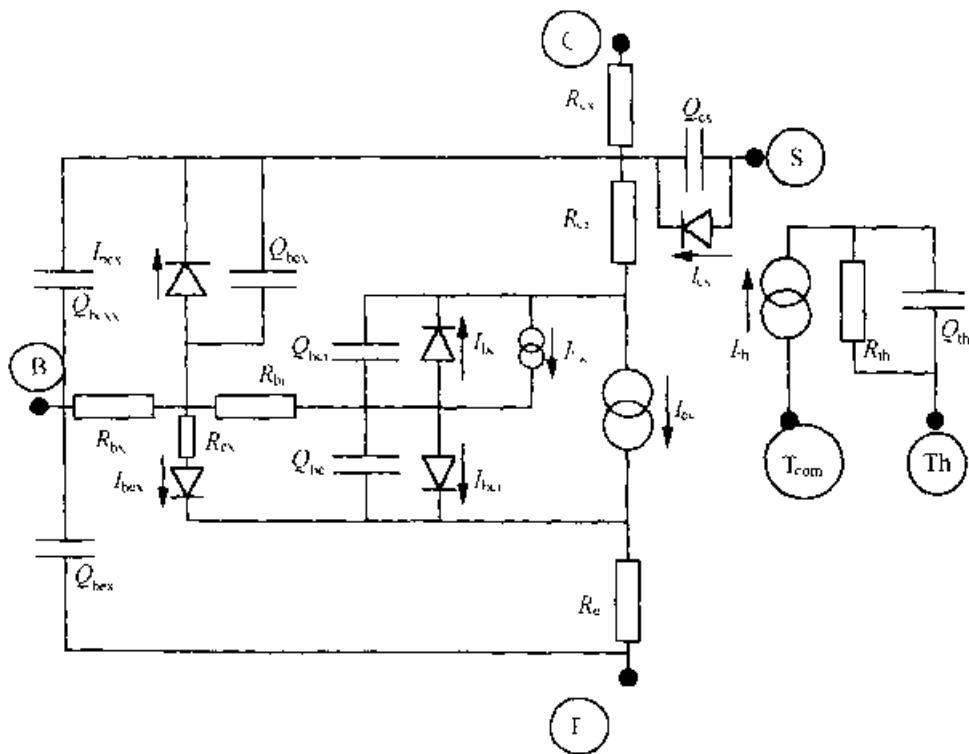


图 1.41 HBT 模型示意图

使发射区贮存电荷增加，从而限制了  $f_T$  的提高。HBT 通过尽量减小发射区贮存电荷及避免基区穿通，可以使工作速度进一步增加。 $f_T$  超过 200GHz 的 HBT 已经实现。

值得注意的是，在大规模高密度的数字电路中，减小基区电阻并不特别重要。一般讲，当发射极宽度  $W$  减小时，在逻辑摆幅保持不变的情况下，集电极电流也要减小。电路负载电阻因此按  $1/W$  增加， $R_b$  的容限值也会增加。同时，对于给定方块电阻(夹断电阻)的基区电阻随  $W$  下降。而基区的容限电阻率随  $W^2$  上升。

此外，双极晶体管尺寸不断缩小引起的问题包括器件的击穿、发射结隧穿电流、由电场增加引起的热电子效应等。只要在晶体管尺寸减小时，工作电压也相应减小，这些问题的影响可以得到缓解。双极技术的难题之一是，对于某一固定的材料系统， $V_{be}$  不能按比例缩减，这就使得电源电压的减小变得困难。此外，在目前双极逻辑应用中存在的一些固有问题，如相当可观的静态功耗与饱和电荷贮存等，随器件尺寸缩小仍然存在。

在模拟和微波电路的应用中，缩小器件尺寸的趋势并不很明朗。电路中功率的大小由自由空间或简易制作的传输线的阻抗加噪声考虑来决定。所以晶体管中的电流不能减小。当阻抗匹配时，尽可能减小  $R_b$  会在增益提高、噪音减小等方面带来很多好处。电流集边效应也是一个重要的问题。对于模拟电路，器件的匹配通常是十分重要的。这一点在器件横向尺寸较大时更容易做到。因此，具有低的基区

方块电阻和高增益的 HBT 的优点在较大发射区尺寸下更为明显。

除了基于现有技术直接发展的趋势之外，也探索了未来双极晶体管中存在的一些新内容，其中包括充分利用速度过冲效应、新材料，以及双极与其它种类器件的集成等。

### 1.6.1 速度过冲效应

在半导体，特别是Ⅲ-V 族半导体中，电子在进入高场区之后的一小段时间内，电子的速度可以很高，可远高于  $10^7 \text{ cm/s}$ 。这个效应对 HBT 中电子渡越集电结耗尽区特别重要，而且在 BCT 中得到加强。它通过减少电子渡越集电结耗尽区的时间来提高器件的  $f_T$ 。该效应还能在 HBT 中增加最大电流密度的值  $J_{c,\max}$  而不会导致基区扩展，同时在一定的  $f_T$  下，通过使电子在给定时间内走过的距离增加，而使集电结电容减小。因为 HBT 的尺寸可以做得很小且重复性好。因此被认为是能从速度过冲现象获得好处的器件。但主要的障碍在于，速度过冲得以存在的电压范围不是很大。为了充分利用这一好处，不得不对逻辑电路进行配置，使电压摆幅减小，相关的  $V_{CE}$  的值相对固定。对于功率器件，需要从低电压、高电流(源)方面寻求获取有效功率的途径。

### 1.6.2 新材料

对新材料系统的探索是提高器件性能的重要途径。经过合适的“剪裁”，材料可以用于特殊的用途。

就微波功率的产生和放大而言，希望有高的输出功率密度和在高阻抗状态下工作。在这种应用中，一个有用的品质因子是  $v_{sat} E_b^2$ ，其中  $E_b$  是击穿电场。双极晶体管最广泛使用的半导体材料在这个品质因子方面并无显著的差别。然而，另外的一些半导体，包括 SiC、GaN 和金刚石，在这方面却存在明显提高的可能性。

对于逻辑电路，新材料的选择却完全基于不同的考虑。其中有争议的问题是，超大规模电路[引线限制芯片(wire-limited chip)]的限制因素——功率延迟积对于晶体管参数极不敏感。其中关键参数是布局尺寸，它决定了互连线长度和启动电流的阈值电压。双极技术未来发展的课题之一是尽量减小  $V_{BE}$ 。对于 FET 技术，改变开关阈值电压(开启电压  $V_T$ )可通过改变沟道的掺杂浓度和厚度很容易做到。然而，FET 的  $V_T$  均匀性差、跨导低，其在低电压摆幅下工作较困难。而对于双极技术， $V_T$  仅由材料体系决定。因此， $V_T$  在整个基片上是相当均匀的，但是它不易通过改变阈值来使功耗降低。从方程(1.8)可知，在具有渐变结的 HBT 中， $V_T (= V_{BE})$  依赖于基区材料的带隙  $E_{gb}$ 。为了尽量减小动态功率延迟积，通过材料的选择以提供低的  $E_{gb}$  值是很重要的。例如，InGaAs 要比 Si 好(但 GaAs 在这点上则更差，因为它的带隙宽)。未来 InAs 基区会更好。这种趋势将会持续下去，直到在小

带隙材料中，与载流子的热产生相关的泄漏电流变得过大。集电结耗尽区的临界泄漏电流能够通过集电极宽带隙材料而减至最小。

### 1.6.3 双极晶体管与其它器件的集成

由于双极晶体管不能提供理想电路所需的所有特性，因此可以将它们和其它器件结合起来进行单片集成以做到优势互补。一个著名的例子就是 BiCMOS 技术。在这种技术中，n-p-n 双极晶体管与 n 沟和 p 沟 MOSFET 组合起来。BiCMOS 逻辑可以将 CMOS 和双极技术的最佳特性——低静态功耗和高驱动能力(从高跨导输出晶体管而来)结合起来实现。

在 II-V 族器件范围内，也可以实现与之类似的器件组合。将 HBT 和 FET 器件组合在一起的实践已有尝试，如在逻辑电路中实现高速和低功率的组合；在微波领域内，实现高功率和低噪声特性的组合，在模拟电路中将器件与高 DC 输入阻抗相结合等。

双极技术中的另一个主要课题是将 n-p-n 和 p-n-p 器件结合起来。本章没有专门讨论 p-n-p 管，因为传统上 p-n-p 的性能较 n-p-n 管的性能要差。然而，在同一芯片上，将 n-p-n 和 p-n-p 晶体管结合起来，则会得到最佳的互补作用。长久以来，这一点在模拟电路中已得到应用。其中，用 p-n-p 在高增益段构成有源负载(电流镜)，或用在输出驱动级(互补推挽放大器)。最常使用的 p-n-p 管是  $f_T$  有限的横向结构。近年来，已经开发出高  $f_T$  的纵向 p-n-p 管，并和快速 n-p-n 管结合在一起，使电路性能产生了显著的提高。长远的目标是，开发一种逻辑方法，使之能最大限度减小静态功耗，即类 CMOS 的双极电路。这种电路最直接的实现方法示于图 1.42 中，它要求晶体管工作在饱和区时有足够的电流增益，而且，在该条件下不贮存过剩电荷。这种器件还没有实现。另一种方法是，逻辑由开关二极管或只用 n-p-n 管子来实现，而输出驱动则通过互补电路来实现。从长远来看，有望开发出互补 HBT 逻辑方法，这种方法能消除静态功耗，工作时逻辑摆幅低，并通过适当的材料选取使电源电压最小化。把这种结构和具有低连线电容的互连技术结合起来，将会建立起来一种“理想”的逻辑方法。

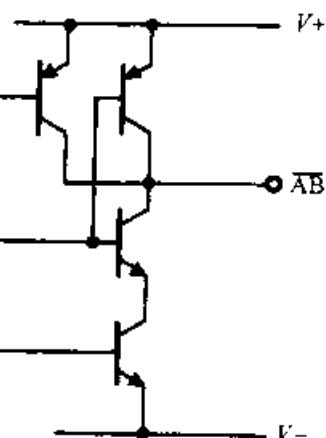


图 1.42 互补双极逻辑电路

### 习 题

1. 通过在准中性基区上进行积分，并运用方程(1.2)所表达的边界条件，试从方程(1.4)和(1.5)中推导出方程(1.6)。

2. 假设一双极晶体管通过适当的掺杂分布使基区中的电场  $\mathcal{E}$  为一常数。类似于基区无漂移电场的渡越时间方程  $\tau_b = w^2 / 2D$ ，试推导这种晶体管基区渡越时间的表达式。
3. 试证明：对于具有一个矩形发射区，并在一侧有条形基区接触的双极晶体管，本征基区电阻为  $R_b = R_s W / 12L$ ，其中， $W$  和  $L$  为发射区条的宽和长。试对一个具有直径  $D$  的圆形发射区，并由一个环形基区接触所围绕的双极晶体管，推导其本征基区电阻的表达式。
4. 讨论基区宽度  $W_b$  变化对晶体管 AC 和 DC 特性的影响，并推导使  $f_{max}$  最大化的基区宽度。
5. 讨论集电结耗尽区厚度  $w_c$  的变化对晶体管性能(AC 和 DC 特性)的影响。 $w_c$  为多少时  $f_{max}$  最大？
6. 讨论改变电压  $V_{CE}$  对晶体管  $f_T$  的影响。经常能够观察到，增加  $V_{CE}$  时，Si 双极晶体管的  $f_T$  增加，而且 III-V HBT 的  $f_T$  下降。试解释这个现象，并推导  $f_T$  与  $V_{CE}$  关系的近似表达式。
7. 讨论集电结面积( $A_{BC}$ )和发射极面积  $A_E$  之比很大对晶体管性能的影响。
8. 考虑一个 HBT，其基区的带隙(和组分)从发射结处的  $E_{g1}$ ，线性下降到集电结处的  $E_{g2}$ 。为简单起见，假设在发射区、基区以及集电区之间没有导带不连续性(如在 Si/SiGe 情况下)。试证明，晶体管的电流增益主要受到  $E_{g1}$  的影响，且晶体管 Early 电压主要受  $E_{g2}$  的影响。试推导出这些关系的定量表达式。
9. 计算图 1.20 所示掺杂分布的 GaAlAs/GaAs HBT 的“失调电压” $V_{reset}$ 。假设基区和发射区间导带不连续性是完全缓变的，这样电子电流只受基区输运限制。(提示：1. 考虑集电极的空穴电流；2. 纳入习题 7 的讨论结果。)
10. 给定双极晶体管简化的混合  $\pi$  AC 模型，如图 1.38(b)所示。试推导出一个等效的晶体管的 T 模型。找出  $R_n$ (混合  $\pi$  模型中基区和发射区间的电阻)和  $R_o$ (T 模型中基区和发射区间的电阻)之间的关系。

### 参 考 文 献

- [1] S. M. Sze, *physics of Semiconductor Devices*, 2nd ed., Wiley, New York, 1981.
- [2] H. K. Gummel and H. C. Poon, "An integral charge control model for bipolar transistors," Bell Syst. Tech. J. 49, 827 (1970).
- [3] J. E. Sutherland and J. R. Hauser, "A computer analysis of heterojunction and graded composition solar cells," IEEE Trans. Electron Dev. ED-24, 363 (1977).
- [4] H. Kroemer, "Two integral relations pertaining to the electron transport through a bipolar transistor with a nonuniform energy gap in the base region," Solid State Electron. 28, 1101 (1985).
- [5] D. S. Lee and J. G. Fossum, "Energy band distortion in highly doped silicon," IEEE Trans. Electron Dev. ED-30, 626 (1983).

- [6] S. Tiwari, Compound Semiconductor Device Physics, Academic Press, New York, 1992.
- [7] L. H. Caminitz and N. Moll, "An analysis of the cut off frequency behavior of microwave heterostructure bipolar transistors," in Heterojunction Transistors, S. Tiwari, ed., 1994.
- [8] T. Nakamura and H. Nishizawa, "Recent progress in bipolar transistors," IEEE Trans. Electron. Dev. ED-42, 390 (1995).
- [9] D. D. Tang, P. M. Solomon, T. H. Ning, R. D. Isaac, and R. E. Burger, "1.25  $\mu\text{m}$  deep-groove isolated self-aligned bipolar circuits," IEEE J. Solid State Circ. SC-17, 925 (1982).
- [10] T. Yamaguchi, S. Uppilli, G. Kawamoto, J. Lee, and S. Simpkins, "Process and device optimization of a 30 GHz ft submicrometer double-poly-Si bipolar technology," in Tech. Dig. 1993 Bipolar/BiCMOS Circuits and Technology Meeting, p. 136.
- [11] S. Konaka, Y. Amemura, K. Sakuma, and T. Sakai, "A 20 ps/G Si bipolar IC using advanced SST with collector ion implantation," in Ext. Abstr. 19th Conf. Solid-State Dev. Matls., Tokyo, 1987, p. 331.
- [12] T. Nakamura, T. Miyazaki, S. Takahashi, T. Kure, T. Okabe, and M. Nagata, "Self aligned transistor with sidewall base electrodes," IEEE Trans. Electron Dev. ED-29, 596 (1982).
- [13] H. Kroemer, "Theory of wide-gap emitter for transistors," Proc. IRE 45, 1535 (1957).
- [14] H. Kroemer, "Heterostructure bipolar transistors and integrated circuits," Proc. IEEE 70, 13 (1982).
- [15] A. Marty, G. E. Rey, and J. P. Bailbe, "Electrical behavior of an NPN GaAlAs/GaAs heterojunction transistor," Solid-State Electron. 22, 549 (1979).
- [16] S. S. Iyer, G. L. Patton, J. M. C. Stork, B. S. Meyerson, and D. L. Harame, "Heterojunction bipolar transistors using Si-Ge alloys," IEEE Trans. Electron Dev. ED-36, 2043 (1989).
- [17] H. Temkin, J. C. Bean, A. Antreasyan, and R. Leibenguth, " $\text{Ge}_x\text{Si}_{1-x}$ , strained-layer heterostructure bipolar transistors," Appl. Phys. Lett. 52, 1089 (1988).
- [18] J. F. Gibbons, C. A. King, J. L. Hoyt, D. B. Noble, C. M. Gronet, M. P. Scott, S. J. Rosner, G. Reid, S. Laderman, K. Nauka, J. Turner, and T. I. Kamins, "Si/SiGe heterojunction bipolar transistors fabricated by limited reaction processing," Tech. Dig. IEDM, 566 (1988).
- [19] D. L. Harame, J. H. Comfort, J. D. Cressler, E. F. Crabbe, J. Y.-C. Sun, B. S. Meyerson, and T. Tice, "Si/SiGe epitaxial base transistors: Part I-Materials, physics and circuits," IEEE Trans. Electron Dev. ED-42, 455 (1995).
- [20] A. Gruhle, I. Kibbel, U. Konig, U. Erben, and E. Kasper, "MBE-Grown Si/SiGe HBT's with High  $F_t$  and  $F_{max}$ ," IEEE Electron Dev. Lett. EDL-13, 206 (1992).
- [21] D. Ankri and L. F. Eastman, "GaAlAs/GaAs ballistic heterojunction bipolar transistor," Electron. Lett. 18, 750 (1982).
- [22] M. F. Chang, P. M. Asbeck, K. C. Wang, G. J. Sullivan, N. H. Sheng, J. A. Higgins, and D. L. Miller, "AlGaAs/GaAs heterojunction bipolar transistors fabricated using a self-aligned dual-lift-off process," IEEE Electron Dev. Lett. EDL-8, 7 (1987).
- [23] S. Tiwari, "GaAlAs/GaAs heterostructure bipolar transistors: experiment and theory," Tech. Dig. IEDM, 262 (1986).
- [24] H. H. Lin and S. C. Lee, "Super-Gain AlGaAs/GaAs heterojunction bipolar transistors using an emitter edge-thinning design," Appl. Phys. Lett. 47, 839 (1985).

- [25] M. F. Chang, ed., *Current Trends in Heterojunction Bipolar Transistors*, World Scientific, Singapore, 1996.
- [26] C. M. Mazzari, M. E. Klausmeier-Brown, and M. Lundstrom, "A proposed structure for collector transit-time reduction in AlGaAs/GaAs bipolar transistors," *IEEE Electron Dev. Lett. EDL-7*, 483 (1986).
- [27] R. Katoh and M. Kurata, "Self-consistent particle simulation for AlGaAs/GaAs HBTs under high bias conditions," *IEEE Trans. Electron Dev. ED-36*, 2122 (1989).
- [28] T. Ishibashi and Y. Yamauchi, "A possible near-ballistic collection in an AlGaAs/GaAs HBT with a modified collector structure," *IEEE Trans. Electron Dev. ED-35*, 401 (1988).
- [29] R. J. Malik, J. R. Hayes, F. Capasso, K. Alavi, and A. Y. Cho, "High-gain  $\text{Al}_{0.18}\text{In}_{0.52}\text{As}/\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$  transistors grown by molecular beam epitaxy," *IEEE Electron Dev. Lett. EDL-4*, 383 (1983).
- [30] R. N. Nottenburg, H. Temin, B. Panish, R. Bhat, and J. C. Bischoff, "InGaAs/InP double-heterostructure bipolar transistors with near-ideal beta versus Ic characteristics," *IEEE Electron Dev. Lett. EDL-7*, 643 (1986).
- [31] U. K. Mishra, J. F. Jensen, D. B. Rensch, A. S. Brown, M. W. Pierce, L. G. McGraw, T. V. Kargodorian, W. S. Hoefer, and R. E. Kastris, "48 GHz AlInAs/GaInAs heterojunction bipolar transistors," *Tech. Dig. IEDM*, 873 (1988).
- [32] Y. K. Chen, R. N. Nottenburg, M. B. Panish, R. A. Hamm, and D. A. Humphrey, "Subpicosecond InP/InGaAs heterostructure bipolar transistors," *IEEE Electron Dev. Lett. EDL-10*, 267 (1989).
- [33] J.-I. Song, K. B. Chough, C. J. Palmstrom, B. P. Van der Gaag, and W.-P. Hong, "Carbon-doped base InP/InGaAs HBTs with  $f_T=200\text{GHz}$ ," in *IEEE Device Research Conf.*, 1994.
- [34] G. M. Kull, L. W. Nagel, S. W. Lee, P. Lloyd, E. J. Piendergast, and H. Dirks, "A unified circuit model for bipolar transistors including quasi-saturation effects," *IEEE Trans. Electron Dev. ED-32*, 1103 (1985).
- [35] H. C. de Graaff and F. M. Klaassen, *Compact Transistor Modeling for Circuit Design*, Springer-Verlag, Berlin/New York, 1990.
- [36] M. Schroter and H.-M. Rein, "Investigation of very fast and high-current transients in digital bipolar ICs using both a new compact model and a device simulator," *IEEE J. Solid State Circ. SC-30*, 551 (1995).

## 2 化合物半导体场效应晶体管

Michael S. Shur

Department of Electrical, Computer, and Systems Engineering,

Rensselaer Polytechnic Institute, Troy, New York

Tor A. Fjeldly

Norwegian University of Science and Technology, Trondheim, Norway

### 2.1 引言

#### 2.1.1 FET 的工作原理

1930 年, Lilienfeld 和 Heil<sup>[1]</sup>首先提出了场效应晶体管(FET)的概念。直至 50 年代,在半导体材料工艺技术发展到一定水平之后,才由 Decay 和 Ross 做出了一个可以工作的器件<sup>[2]</sup>。此后至 60 年代初,场效应晶体管开始逐渐替代双极结型晶体管(BJT)。

目前, FET 技术在电子学领域占据着重要地位。FET 器件和由其构成的集成电路可以采取多种不同的设计方法,并且可以在多种不同性质的半导体材料上实现。现在大多数 FET 由硅材料制成,因为硅材料有许多优良的特性。然而本章要讨论的化合物半导体 FET 在高速、高频应用领域以及其它高温、低温、高能辐射等恶劣工作环境的应用领域中,占有很重要的地位。作为衡量化合物半导体 FET 技术成熟程度的一个指标, GaAs 数字电路的集成水平已能够在一个芯片上集成一百多万个场效应晶体管。

图 2.1(a) 给出了一个 GaAs 金属-半导体场效应晶体管(MESFET)的基本结构。MESFET 是最重要的化合物半导体 FET。通常, GaAs MESFET 包括衬底、衬底上的薄 n 型导电 GaAs 层以及三个电极。衬底通常为半绝缘或 p 型掺杂。三个电极中,源极和漏极为欧姆接触,栅极为肖特基接触。源漏之间的导电层构成 FET 沟道,沟道电阻由栅-源电压  $V_{gs}$  所调制<sup>1)</sup>。整流金属-半导体栅极接触在 MESFET 沟道中产生了一个耗尽区,该耗尽区的厚度依赖于  $V_{gs}$ ,如图 2.1(b) 所示。

1)  $V_{gs}$ 是非本征栅-源电压,它比后面将要讨论的本征栅-源电压  $V_{GS}$  要大。

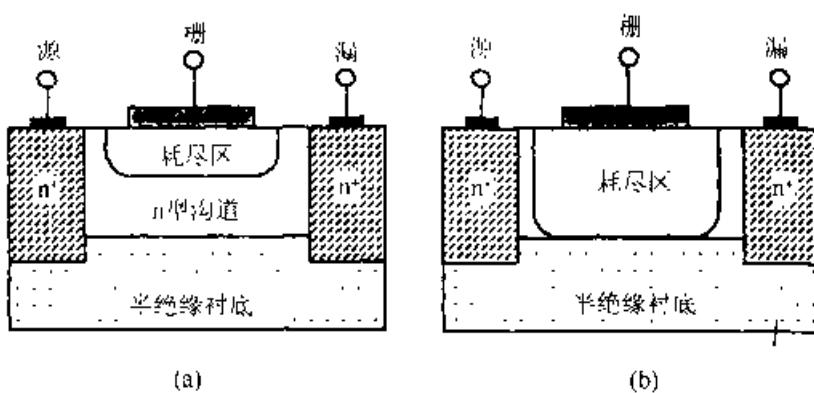


图 2.1 漏极偏压为零时 MESFET 结构示意图 (a) 大于阈值时; (b) 小于阈值时

当栅极负偏压达到一定值后, 沟道就完全耗尽(耗尽型器件), 源漏间的电流变得非常小, 此时的栅-源电压称为阈值电压  $V_T$ 。栅-源电压大于阈值电压时, 单位面积耗尽电荷的增量  $\Delta Q_d$  约正比于栅压的变化  $\Delta V_{gs}$ :

$$\Delta Q_d = C \Delta V_{gs} \quad (2.1)$$

其中,  $C = \epsilon_s / h$  是单位面积的沟道微分电容,  $\epsilon_s$  为半导体材料的介电常数,  $h$  为耗尽区的厚度。另外也有  $\Delta Q_d = -q \Delta n_s$ , 其中  $n_s$  为单位面积沟道中的导电电子浓度,  $q$  是单位电荷。

这种导电沟道电容电荷调制的基本原理, 对于所有的 FET 都是共同的。这一原理应用在不同的 FET 上时会略有变化, 诸如沟道电荷位于何处, 沟-栅绝缘如何实现, 栅绝缘层、沟道、衬底采用什么材料以及怎样的掺杂分布等。

### 2.1.2 FET 的类型

在金属-氧化物-半导体场效应晶体管(MOSFET)中, 大于阈值 (above threshold)时的沟道导电发生在硅和  $\text{SiO}_2$  栅绝缘层的界面。这种目前最重要的固态器件将在第三章中讨论。

异质结场效应晶体管(HFET)在许多方面都与 MOSFET 相似。在这种器件中, 沟道与栅通过一层宽带隙半导体层隔开, 如图 2.2(a)所示。沟道导电发生在异质结界面。

将 MESFET 和 HFET 的技术结合可以得到沟道掺杂的异质结场效应晶体管(DCHFET), 如图 2.2(b)所示。因为化合物半导体缺乏良好的自然氧化物(如  $\text{SiO}_2$  之于 Si), 故 MESFET 和 HFET 是化合物半导体 FET 的优化选择。

### 2.1.3 材料的基本特性

化合物半导体技术的实现比较困难, 因而比硅技术的发展要慢。然而, GaAs 和其它几种化合物半导体在某些方面比硅有优势, 于是在许多应用中弥补了它们

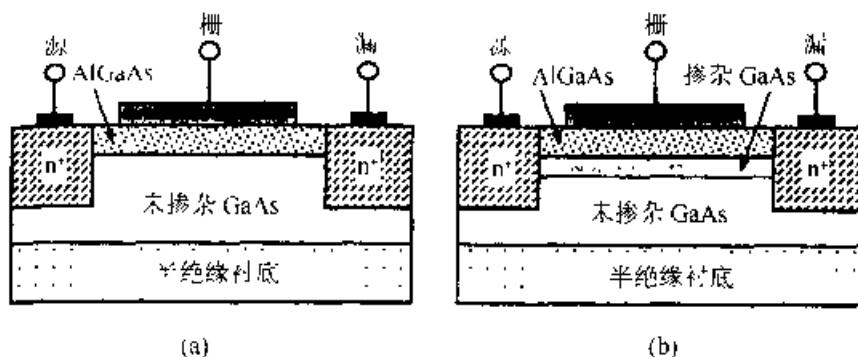


图 2.2 (a)HFEF 和(b)沟道掺杂 HFET 的结构示意图

的不足。这些优点是：GaAs 为直接带隙半导体，因而具有优越的光电特性；低场下电子的迁移率高，于是寄生电阻小、器件的速度快；电子的饱和速度大，使得短沟器件的速度和工作频率很高；使用半绝缘衬底的 GaAs 则很适合于微波和毫米波单片集成电路。GaAs 相对于 Si 的不足之处是：它的导热性差很多，材料及工艺的成本较高。图 2.3 是 Si、GaAs 以及两种宽带隙半导体 GaN 和 SiC 中电子的速度-电场关系曲线。化合物半导体材料特性的详细情况可参阅文献[4]。

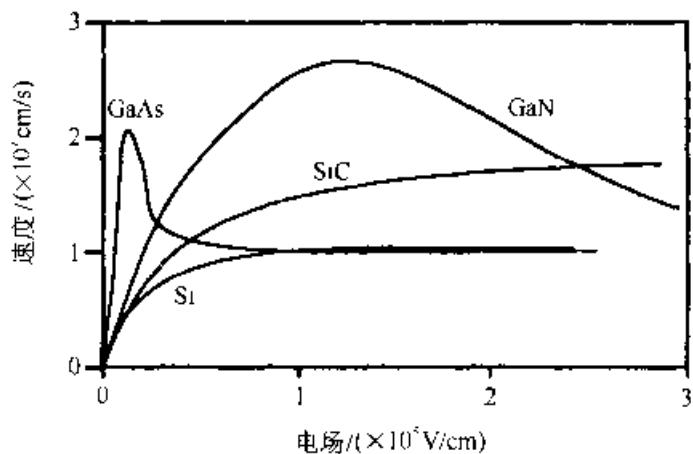


图 2.3 Si、GaAs 和宽带隙半导体 GaN 和 SiC 中电子速度与电场的依赖关系(引自 Shur 之文献[3])

## 2.2 肖特基势垒和欧姆接触

在 MESFET 中，金属栅与其下的半导体材料形成的金属-半导体结具有整流特性，这种金属-半导体接触称作肖特基势垒结。描述肖特基接触的基本方程列于表 2.1<sup>[4,5]</sup>，表中我们使用了通用的符号，并假设耗尽区中施主完全电离。图 2.4 给出了一些由计算得到的 GaAs 肖特基势垒的能带图。

表 2.1 描述肖特基接触的重要公式<sup>[1, 5]</sup>

耗尽区空间电荷密度	$\rho = qN_D$
耗尽区电场分布	$E = -\frac{qN_D(x_n - x)}{\epsilon_s}$
耗尽区电势分布	$V = -\frac{qN_D(x_n - x)^2}{2\epsilon_s} = -V_{th}\left(1 - \frac{x}{x_n}\right)^2$
耗尽层宽度	$x_n = \sqrt{\frac{2\epsilon_s(V_{th} - V)}{qN_D}}$
肖特基二极管的经验公式 (包括串联电阻)	$I = I_s \left[ \exp \left( \frac{V - IR_s}{\eta V_{th}} \right) - 1 \right]$
反向二极管电流密度 (饱和电流密度)	$J_{ss} = A^* T^2 \exp \left( -\frac{\phi_b}{V_{th}} \right)$ 其中 $A^* = \frac{am^* q k^2}{2\pi^2 \hbar^3} \approx 120a \frac{m^*}{m_0} \left( \frac{A}{cm^2 \cdot K^2} \right)$

势垒的高度  $q\phi_b$  是结的主要参数，它既控制着半导体耗尽区的宽度，又决定着通过界面的电子电流的大小。势垒高度定义为界面处半导体导带边与金属中费米能级间的能量之差（见图 2.4）。

肖特基势垒形成的物理机制可定性描述如下。当金属和 n 型半导体靠在一起时，两种材料之间电子就会通过交换达到一个热平衡，最终使整个结的费米能级处处相等。开始的时候，电子从金属中逃逸要比从半导体中逃逸所遇到的势垒要高。因而，在达到热平衡的过程中，有净电子流从半导体流向金属，使金属带负电，半导体带正电。半导体中的正电荷是由界面处电子耗尽后剩余的一薄层带正电的施主离子所形成的。这样的一个偶极层类似于一个 p<sup>+</sup>-n 结。不同的是，对于还给定的半导体材料，肖特基势垒通常小于 p<sup>+</sup>-n 结的内建势的值。

$q\phi_b$  的值依赖于金属的电子亲和能  $q\chi_m$  和半导体的电子亲和能  $q\chi_s$  之差，即  $q(\chi_m - \chi_s)$ ，同时还依赖于金属-半导体界面的特性。任何晶体材料的表面都不可避免地存在大量的表面态，肖特基结中金属-半导体界面处的情况也是这样。如果能够忽略界面态效应，便可得到  $\phi_b = \chi_m - \chi_s$ 。但实际情况并非如此。

当界面态密度非常高时，金属-半导体界面处的费米能级会钉扎在带隙中某一确定的能级处。费米能级钉扎的物理机制可用图 2.5 所示的模型来说明。

假设在某一能级，即所谓中性能级  $q\phi_0$  之上，界面态是类受主的，而在此能级之下则是类施主的。注意类施主的界面态被填充时是中性的，未被填充时是带正电的，而类受主界面态被填充时是带负电的，未被填充时是中性的。于是只有在界面处费米能级  $E_F$  处于中性能级  $q\phi_0$  的位置时，界面态中总电荷才为零。如果费米能级移动到  $q\phi_0$  以上，界面电荷则为负值， $-qN_{sd}(E_F - q\phi_0)$ ，其中  $N_{sd}$  是表面类受主态密度。如果  $E_F$  移动到  $q\phi_0$  以下，界面电荷则为正值， $qN_{sd}(q\phi_0 - E_F)$ ， $N_{sd}$  是表面类施主态密度。因为费米能级的位置要由满足总电荷量为中性的要求决定，

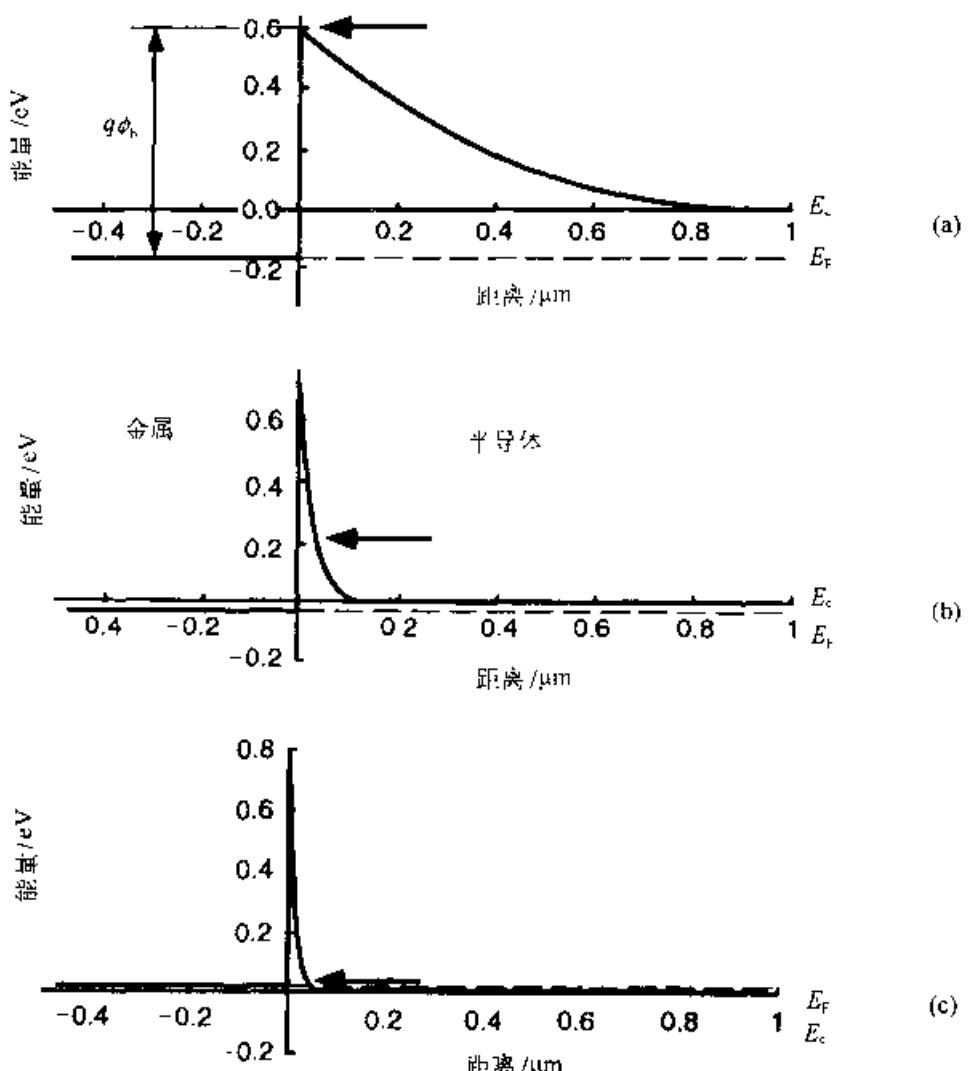


图 2.4 n 型 GaAs 肖特基势垒结的能带图。其中，n 型掺杂浓度分别为：

(a)  $N_L = 10^{13} / \text{cm}^3$ ; (b)  $N_L = 10^{17} / \text{cm}^3$ ; (c)  $N_L = 10^{18} / \text{cm}^3$ 。箭头给出了正向偏压下电子通过肖特基结时的转移方向

在界面态密度非常高的极限情况下，费米能级需要与中性能级相一致。这个结论与界面态密度为常数的假设无关。然而精确计算肖特基势垒高度需要知道界面态分布和界面层其它特性的详细情况<sup>[6]</sup>。由于这些情况通常不能预知，实际上肖特基势垒高度都是从实验测得的电流-电压特性和电容-电压特性中得到的。

如图 2.4(a)所示，在掺杂很低的情况下，电子主要靠翻越势垒顶部的方式来穿过势垒，这种情况称为热离子发射。在中等掺杂情况下[图 2.4(b)]，电子主要是以一定的能量在势垒足够薄的地方以隧穿的方式通过势垒，这种过程称作热离子场发射。在高掺杂的简并半导体中[图 2.4(c)]，耗尽层非常薄，靠近费米能级处的电子都可以隧穿势垒，这种过程被称作场发射。在掺杂非常高的极限情况下，金属-半导体间的接触电阻很低，其电流-电压特性实际上是线性的，于是金属-半导体接触成为欧姆接触。

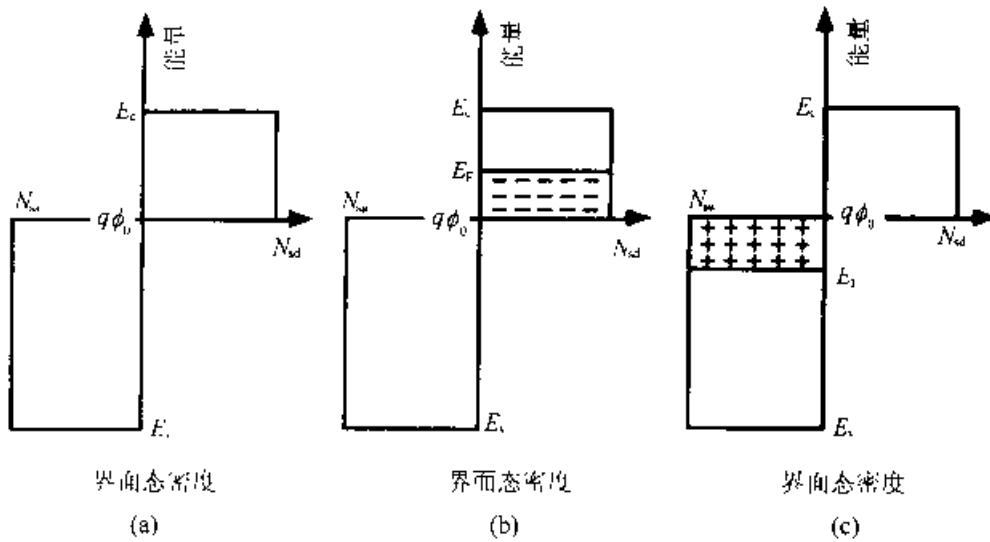


图 2.5 界面态的分布示意图。界面处费米能级位于不同的位置时，界面电荷的极性分别为：(a) 中性；(b) 负；(c) 正。

将翻越势垒和隧穿势垒的电子都考虑在内，可以计算出肖特基势垒的电流电压特性<sup>[1]</sup>。精确的计算需要知道大偏压范围下的电子分布函数，以及散射机制、掺杂分布等详细情况<sup>[2]</sup>。所以化合物半导体 FET 的分析常基于半经验模型。这些模型的出发点就是二极管方程：

$$I = I_s \exp \left[ \frac{q(V - IR_s)}{\eta kT} \right] \quad (2.2)$$

其中， $I_s$  是肖特基二极管饱和电流， $V$  是偏压， $R_s$  为串联电阻， $\eta$  为理想因子， $k$  是玻尔兹曼常数， $T$  为绝对温度。理想情况下  $\eta=1$ 。但实际上  $\eta$  常大于 1，而且可能与温度有关。饱和电流可写为（参见表 1）<sup>[1]</sup>：

$$I_s = A^* T^2 \exp \left[ -\frac{q\phi_b}{kT} \right] \quad (2.3)$$

其中  $A^*$  是 Richardson 常数，（对 n 型 GaAs， $A^* \approx 8.2 \text{A}/\text{cm}^2 \cdot \text{K}^2$ ，对 p 型 GaAs， $A^* \approx 74 \text{A}/\text{cm}^2 \cdot \text{K}^2$ ）， $q\phi_b$  为有效势垒高度（考虑到势垒降低效应，故此比图 2.4 所示势垒要小）。

在 GaAs FET 中，用作肖特基接触的金属有 Al（势垒高度 0.73~0.8eV），Pt-Al（典型的势垒高度 0.85eV），W-Al（势垒高度 0.66~0.71eV），Ti-Pt-Au，WSi，和 WN<sub>x</sub>。

前面讲过，金属与高掺杂半导体形成的接触为欧姆接触。GaAs 的这种接触可以有低达  $10^{-7} \Omega \cdot \text{cm}^2$  的接触电阻。降低电阻的关键在于提高半导体层的接触区域中的载流子浓度，如果能在金属和 GaAs 之间使用一窄带隙半导体层以进一步减小势垒高度则更有效。实现欧姆接触的简单而传统的方法是将金属与半导体合金化。对于 n 型 GaAs，典型的用于合金的金属有：AuGe-Ni、Ag-Sn 或 AgIn-Ge，

对于 p 型 GaAs，则有 AuZn、Ag In-Zn 或 Ag Zn。当场发射机制占主导时，接触电阻可估计如下<sup>[5, 6]</sup>：

在 WKB(Wentzel-Kramers-Brillouin)近似<sup>[7]</sup>下，接触电阻  $R_c$  反比于隧穿概率：

$$R_c^{-1} \propto T_c \approx \exp \left( -\frac{2}{\hbar} \int_0^W |p(x)| dx \right) \quad (2.4)$$

这里， $W = \sqrt{2\epsilon_s \phi_b / q N_D}$  是金属-半导体界面耗尽区的宽度， $x$  是垂直于界面方向上的坐标（在界面处  $x = 0$ ）， $\hbar$  为约化普朗克常数， $N_D$  为施主浓度。 $p = \sqrt{2m^* [E_c(x) - E_F]}$  在经典意义上是隧穿至  $x$  处所失去的动量。其中， $E_c(x)$  为耗尽区中的导带底， $E_F$  为费米能级。注意，对于简并半导体， $E_F = E_c(x \rightarrow \infty) + \Delta E_F$ ，其中，

$$\Delta E_F = \frac{\hbar^2}{2m} (3\pi^2 N_D)^{2/3}$$

而  $E_c(x \rightarrow \infty)$  为远离金属半导体界面处的导带底<sup>[8]</sup>。方程(2.4)表明，随着隧穿路径上动量损失的积分值的增加，隧穿概率按指数衰减。

由于势垒的峰值对于  $T_c$  的贡献最大，故方程(2.4)中的被积函数可简化为  $x$  的线性函数，进而得到接触电阻的近似值为：

$$R_c = \exp \left( \frac{q\phi_b}{E_{c0}} \right) \quad (2.5)$$

其中  $E_{c0} = \frac{q\hbar}{2} \sqrt{\frac{N_D}{\epsilon_s m^*}}$  是特征隧穿能量。

## 2.3 GaAs MESFET

### 2.3.1 MESFET 基础

GaAs MESFET 是场效应晶体管家族中的重要成员。在任何 FET 中，电流都是在具有欧姆接触的源和漏之间流动的。第三个接触，即栅极，被容性耦合到连接源漏的器件的沟道上。栅极偏压（即施加于栅与沟道之间的电压）决定着 FET 沟道内自由载流子（电子和空穴）的浓度，因而控制着源-漏电流。

图 2.6 示出了六种不同的 GaAs MESFET 设计示意图。MESFET 一般采用直接注入 GaAs 半绝缘衬底的方法[图 2.6(a)~(e)]，或采用凹栅[图 2.6(f)]的方法来制造。用这两种方法制作的器件都在微波和毫米波领域中得到应用。就这些应用而言，也可用分子束外延来生长半导体层，以便获得理想的掺杂和材料剖面。

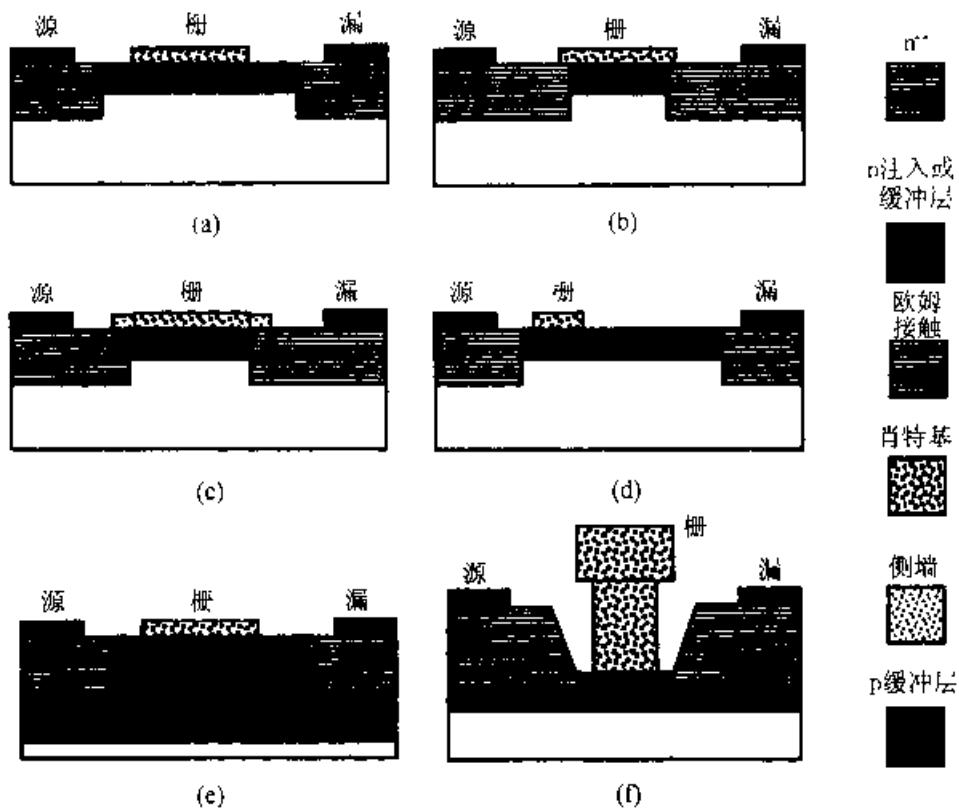


图 2.6 各种 GaAs MESFET 的设计示意图。(a) 基本的离子注入 MESFET; (b) 自对准离子注入 MESFET; (c) 有侧墙的自对准离子注入 MESFET; (d) 偏置栅的离子注入 MESFET; (e) 有 p 型缓冲层的 MESFET; (f) 具有 T 型栅的凹槽式 MESFET

图 2.6(a) 所示的设计使用了二次注入以便于形成低阻欧姆接触，一次用于沟道，另一次用于高掺杂区。自对准注入的使用[图 2.6(b)]减少了源、漏的串联电阻。在这种情况下，使用难熔肖特基金属栅作为注入掩模，可使注入后的退火不损伤栅(通常使用快速热退火 RTA)。这种设计的缺点是，由于注入会蔓延到栅下区域中，如图 2.6(b) 所示的金属栅和源、漏接触的交叠，从而会引起附加的肖特基栅极漏电流，并减小击穿电压。通过采用介质侧墙(一般是 SiN)可以克服这个缺点，如图 2.6(c) 所示。

以上的设计中，源漏相对于栅的位置是对称的。然而在功率器件中，源-漏和栅-漏间的电压很大。采用图 2.6(d) 所示的偏移栅可以减小栅-漏间的最大电场，因而增加了击穿电压。这一点也可采用附加的漏区注入来实现。

图 2.6(e) 示出一个带有 p 型埋层的 MESFET 结构。通过注入或采用宽带隙半导体缓冲层，在 MESFET 沟道和衬底间可形成附加势垒，能够改善 MESFET 的输出特性。图 2.6(f) 则是一个典型的短沟微波 GaAs MESFET，它采用 T 型栅以减小栅极的串联电阻。

为了理解 MESFET 的工作原理，首先考虑一个有源区为均匀掺杂的器件在源-漏电压为零时的沟道电导。最大沟道电导由下式给出：

$$g_s = \frac{(\text{电导率}) \times (\text{横截面积})}{\text{长度}} = \frac{qN_D \mu_n W a}{L} \quad (2.6)$$

其中,  $N_D$  为电离施主浓度(它等于电子浓度  $n$ ),  $\mu_n$  为低场迁移率,  $a$  是沟道厚度,  $W$  和  $L$  分别是沟道的宽度和长度。实际的沟道电导  $g_d$  比  $g_s$  小, 这是由于肖特基金属栅和半导体的界面处耗尽层的存在使栅下导电沟道厚度  $b$  减小:

$$b = a - h \quad (2.7)$$

这里, 耗尽层厚度

$$h = \sqrt{\frac{2\epsilon_s(V_b - V_{GS})}{qN_D}} \quad (2.8)$$

依赖于自建势  $V_b$  和外加栅压  $V_{GS}$ (见习题 2)。GaAs 静态介电常数  $\epsilon_s$  约为  $1.14 \times 10^{-10} \text{ F/m}$ 。图 2.7 为 MESFET 耗尽层的示意图。

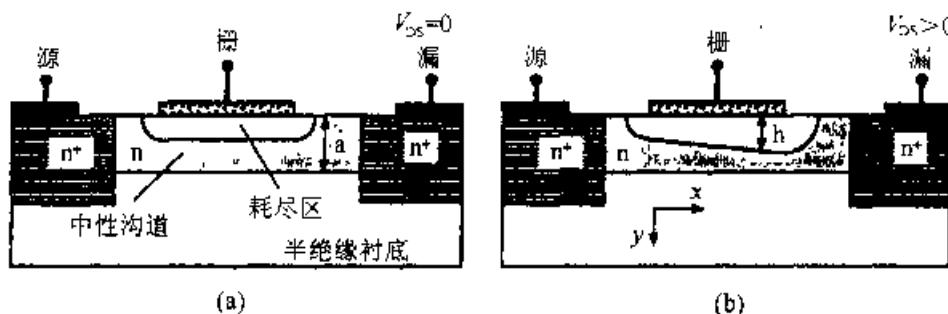


图 2.7 GaAs MESFET 中耗尽区形状的示意图。(a) 源-漏电压为零; (b) 源-漏电压不为零

根据以上分析可知, 理想情况下, 沟道电导在  $b=a$  时降为 0。相应的栅极偏压称为阈值电压。根据这个定义, 阈值电压(它或许是场效应晶体管中最重要的参数)变为

$$V_T = V_b - V_p \quad (2.9)$$

其中

$$V_p = \frac{qN_D a^2}{2\epsilon_s} \quad (2.10)$$

称为夹断电压。

以下进一步考虑, 除栅压之外, 再加上源-漏电压后的情况。图 2.7(b)是这种情况的示意图。在导电沟道中, 不同的点相对于栅极有不同的电位。如果漏极偏压较小的话, 耗尽区宽度随位置  $x$  的变化为

$$h(x) = \sqrt{\frac{2\epsilon_s[V_b - V_{GS} + V(x)]}{qN_D}} \quad (2.11)$$

其中,  $V(x)$  是沟道中某一点  $x$  相对于源极的电位。这个方法称为缓变沟道近似(GCA), 最早由肖克莱在他的关于 FET 理论的文献中使用<sup>[9]</sup>。从方程(2.11)和图 2.7(b)中可以看到, 耗尽区宽度从源到漏逐渐增大。很明显, 只要  $h(L) < a$ , 这个

近似就可以使用。当漏极偏压达到一定的值，使  $\varepsilon_x(L) = \varepsilon_s$  时，在栅极的近漏端，导电沟道将被夹断。为了维持一定的漏极电流，载流子速度和  $x=L$  处的纵向电场  $\varepsilon_x$  应变为无穷大。这当然是不可能的，因而需要重新考虑一下我们的分析。

事实上，方程(2.11)是通过解关于横向电场  $\varepsilon_y$  的一维泊松方程得到的，这一过程仅当  $\varepsilon_x \ll \varepsilon_y$  时（或者更精确地说，当  $d\varepsilon_x/dx \ll d\varepsilon_y/dy$  时）才严格有效。显而易见，当漏极附近接近夹断时（即当  $\varepsilon_x(L)$  接近  $\varepsilon_s$  时），这个条件无法满足。利用下面的事实可以避免这一问题，即，当纵向电场很大时，载流子的漂移速度趋于饱和。GaAs 中电子实际的  $v(\varepsilon_x)$  关系示于图 2.8。图中还给出了一个实用的简化分段线性模型，其中  $v_s$  和  $\varepsilon_{sat} = v_s/\mu_n$  是这个简化模型中的饱和速度和饱和电场。

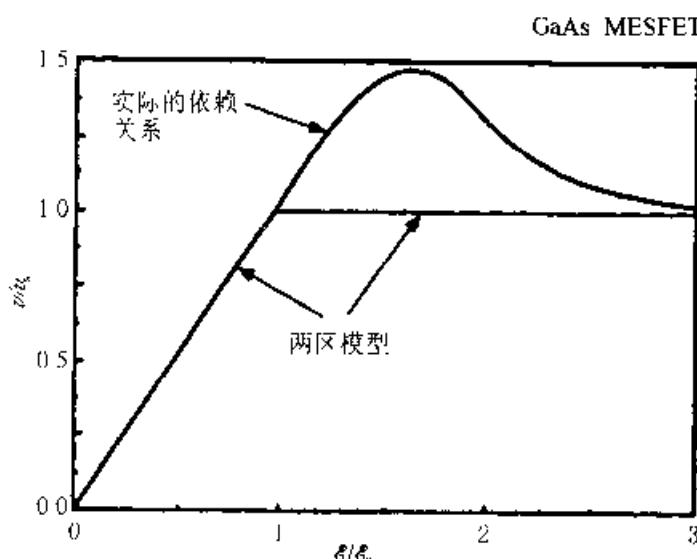


图 2.8 GaAs 材料电子速度与电场关系的分段线性简化模型，该模型叠加在实际的  $v-\varepsilon$  曲线上

在当代的 GaAs FET 中，正常工作时沟道纵向电场通常超过饱和电场。我们假设在漏偏压  $V_{DS} < V_{sat}$  时，GCA 在整个沟道上都是有效的。其中，饱和电压  $V_{sat}$  就是  $\varepsilon_x(L) = \varepsilon_s$  时的源漏电压。于是，饱和点以下的漏极电流  $I_d$  由下述微分方程给出。该方程是通过考虑  $x$  处  $dx$  长的一小段沟道上的电压降  $dV$  而得出的：

$$dV = I_d dR = I_d \frac{dx}{qN_D W_m [\alpha - h(x)]} \quad (2.12)$$

将方程(2.11)代入方程(2.12)，然后对  $x$  从 0 到  $L$  进行积分，我们得到场效应晶体管的基本方程（见习题 4）：

$$I_d = g_o \left[ V_{DS} - \frac{2}{3} \frac{[(V_{DS} + V_b) - V_{GS}]^{3/2} - (V_b - V_{GS})^{3/2}}{\sqrt{V_p}} \right] \quad (2.13)$$

采用这个方法，我们也能够得到沟道电场分布，再利用条件  $\varepsilon_x(L) = \varepsilon_s$ ，便可定出饱和电压  $V_{sat}$ （见习题 6）。可以证明，当  $\varepsilon_s L \equiv V_L \gg V_F$  时， $V_{sat} = V_{ds}$ ，恢复到肖克莱饱和电压。在另一个极端下，当  $V_L \ll V_F$ ，即在整个沟道中速度都接近饱和

时, 有  $V_{\text{sat}} = V_L$ 。对于中间状态, 可结合两种极限情况得到下述外推公式<sup>[13]</sup>:

$$V_{\text{sat}} = \left[ \frac{1}{V_L} + \frac{1}{V_{\text{off}}} \right]^{-1} \quad (2.14)$$

这里,  $V_{\text{off}} \equiv V_{\text{GS}} - V_T$ 。

当  $V_{\text{DS}} = V_{\text{sat}}$  时, 在沟道的近漏端, 电子速度达到饱和。当电压更高时, 导电沟道可分为两部分, 即沟道近源端的 GCA 区和近漏端的速度饱和区。在速度饱和区, GCA 无效,  $d\mathcal{E}_y/dy$  甚至小于  $d\mathcal{E}_z/dx$ 。在该区内, 沟道的耗尽区厚度  $h$  几乎为常数, 导电沟道的厚度  $b_c = a - h$ , 控制着漏极饱和电流  $I_{\text{sat}}$ :

$$I_{\text{sat}} = qN_D W b_c v_s \quad (2.15)$$

关于 FET 中速度饱和的物理解释可参阅文献 [11~13]。方程 (2.16) 利用 MESFET 的参数和偏压近似地给出了沟道饱和电流的表达式<sup>[10, 14]</sup>:

$$I_{\text{sat}} = \frac{\beta V_{\text{off}}^2}{1 + t_c V_{\text{off}}} \quad (2.16)$$

其中,  $t_c$  是跨导压缩因子, 而

$$\beta = \frac{2e\mathcal{E}_s v_s W}{\alpha(V_p + 3V_L)} \quad (2.17)$$

是跨导参数<sup>[14]</sup>。注意, 由于方程 (2.16) 中,  $t_c$  不为零, 所以在  $V_{\text{off}}$  很大时,  $I_{\text{sat}}$  与  $V_{\text{off}}$  的关系接近线性变化(跨导为常数), 这一点与实验符合得很好。

### 2.3.2 改进的 MESFET I-V 模型

为了进行电路模拟, 需要建立一个比较全面的模型来描述 MESFET 的电流电压 ( $I$ - $V$ ) 特性, 该模型建立在对沟道电荷统一描述<sup>[15]</sup>的基础上。它使用了普适模型的概念。这个概念已经成功地应用于 MOSFET、GaAs MESFET 和 HFET<sup>[16]</sup>(故称“普适”)。对于 GaAs MESFET, 为了使模型适用, 需要再加入一些机制, 如源、漏串联电阻对偏压的依赖关系、体电荷效应、平均低场迁移率对偏压的依赖关系、模型参数对温度的依赖关系、栅极漏电流等。下面将讨论该 MESFET 模型的基本特性, 至于其它细节, 可参阅文献 [15]。

当漏-源电压远低于饱和电压时, 漏极电流可写为

$$I_d \approx g_{\text{ch}} V_{\text{DS}} \approx g_{\text{ch}} V_{\text{ds}} \quad (2.18)$$

其中,  $g_{\text{ch}}$  和  $g_{\text{ch}}$  分别是线性区的本征和非本征沟道电导。 $V_{\text{DS}}$  和  $V_{\text{ds}}$  分别是本征和非本征的漏-源电压, 它们之间有如下关系:

$$V_{\text{ds}} = V_{\text{DS}} + I_d (R_s + R_d) \quad (2.19)$$

这里  $R_s$  和  $R_d$  分别是源-漏串联电阻(见图 2.9)。在亚微米器件中, 这些电阻将变得可与本征沟道电阻相比拟, 因而在化合物半导体 FET 的性能中起着重要的作用。

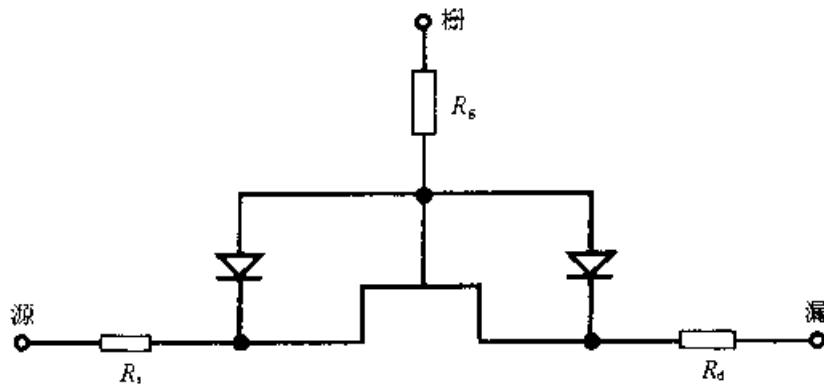


图 2.9 将 MESFET 表示为本征器件与源、漏、栅寄生电阻相串联的等效电路图。

理想情况下，即栅极漏电流（由二极管符号代表）小得可以不计的情况下，栅极电阻  $R_g$  两端电压降在低频下可忽略。在高频下，这个电阻很重要

非本征栅-源电压  $V_{gs}$  与本征栅-源电压  $V_{GS}$  有如下关系：

$$V_{gs} = V_{GS} + I_d R_s \quad (2.20)$$

另有  $V_{gd} = V_{gs} - V_{ds}$ 。注意，漏极偏压较小时， $V_{ds} \approx V_{DS}$ ， $V_{gs} \approx V_{GS}$ 。

线性区非本征沟道电导与它的本征沟道电导的关系如下：

$$g_{ch} = \frac{g_{ch}}{1 + g_{ch}(R_s + R_d)} \quad (2.21)$$

（见习题 7）。这里，线性区本征沟道电导由下式给出：

$$g_{ch} = \frac{q n_s W_{\mu n}}{L} \quad (2.22)$$

其中， $n_s$  是沟道电子的面密度。

利用方程(2.7)~(2.10)，我们得到，漏极偏压较小时（有  $V_{GT} \approx V_{gr}$ ），阈值之上的电子面密度  $n_{ss}$  为：

$$n_{ss} = N_D a \sqrt{1 - \frac{V_{gt}}{V_p}} \quad (2.23)$$

在阈值和阈值以下（即  $V_{gs} < V_T$ ），对载流子的统计显示，沟道电子的面密度与  $E_{Fn} - E_{c_{min}}$  有指数依赖关系，其中， $E_{Fn}$  是电子的准费米能级，而  $E_{c_{min}}$  是沟道中导带最低处的能量值，它位于有源区和衬底间的边界处。在源-漏偏压为零时， $E_{Fn}$  非常接近平衡时的费米能级  $E_F$ ，而且从源到漏皆为常数。另外， $E_{c_{min}}$  沿沟道处处皆为常数，但它的大小线性地依赖于外加栅压  $V_{gt} \equiv V_{gs} - V_T$ 。于是，阈值之下的电子面密度变为<sup>[1-6]</sup>

$$n_{sb} = n_0 \exp \left[ \frac{V_{gt}}{\eta V_{th}} \right] \quad (2.24)$$

其中， $\eta$  为阈值之下的理想因子， $V_{th} = kT/q$  为热电压，而

$$n_0 = \frac{\epsilon_s \eta V_{th}}{qa} \quad (2.25)$$

为阈值处的  $n$  值。

在统一的电荷控制模型中，阈值之下和阈值之上的电子面密度通过下式结合起来<sup>[16]</sup>：

$$n_s = \frac{n_{sa} n_{sb}}{n_{sa} + n_{sb}} \quad (2.26)$$

为了得到器件工作在阈值之下时的渐变行为，我们用下面的有效栅压摆幅来替换方程(2.23)中的  $V_{gt}$ <sup>[15]</sup>：

$$V_{gse} = \frac{V_{th}}{2} \left[ 1 - \frac{V_{gt}}{V_{th}} + \sqrt{\delta^2 + \left( \frac{V_{gt}}{V_{th}} - 1 \right)^2} \right] \quad (2.27)$$

$V_{gse}$  在阈值之下逐渐逼近热电压  $V_{th}$ ，在阈值之上则逼近  $V_{gt}$ ，参数  $\delta$  决定了过渡区的宽度。

结合方程(2.16)和(2.20)，我们得到阈值之上饱和区中漏极电流的表达式（见习题 8）：

$$I_{sat} = \frac{2\beta\zeta V_{gse}^2}{(1 + 2\beta V_{gse} R_s + \sqrt{1 + 4\beta V_{gse} R_s})(1 + t_c V_{gse})} \quad (2.28)$$

经验参数  $t_c$  和  $\zeta$  的引入使这个方程可用于不同掺杂分布的情况。例如，对于夹断电压  $V_p \leq 2V$  的均匀杂质分布的 MESFET，有  $t_c = 0$  及  $\zeta = 1$ <sup>[10]</sup>。一般地，这些参数需从实验或器件模拟中提取。

阈值之下，漏极电流在  $V_{ds} \approx 2V_{th}$  时饱和（例如参考文献[16]）。该饱和区电流由扩散电流决定，因而

$$I_{sat} = \frac{qn_0 W \mu \eta V_{th}}{L} \exp \left( \frac{V_{gt}}{\eta V_{th}} \right) \quad (2.29)$$

结合式(2.28)和(2.29)，可以得到一个对阈值之上( $I_{sat,a}$ )和阈值之下( $I_{sat,b}$ )均有效的饱和电流的统一表达式：

$$I_{sat} = \frac{I_{sat,a} I_{sat,b}}{I_{sat,a} + I_{sat,b}} \quad (2.30)$$

基于电流-电压特性上不同部分的贡献，在线性区和饱和区之间引入一个外推公式，便可以得到统一的描述：

$$I_d = \frac{g_{ch} V_{ds} (1 - \lambda V_{ds})}{[1 + (g_{ch} V_{ds} / I_{sat})^\gamma]^{1/\gamma}} \quad (2.31)$$

附加经验因子  $(1 - \lambda V_{ds})$  是为了解释饱和区中有限大小的输出电导值而引入的（将在后边给出  $\gamma$  的定义）。

在当代的 MESFET 技术中，例如，带 p 型埋层的 LDD（轻掺杂漏区）MES-

FET<sup>[15]</sup>, p型层的体电荷会影响电流-电压特性。为了在模型中表示出该效应，有人建议在方程(2.31)中采用下述依赖于栅压的 $\gamma$ 因子<sup>[15]</sup>：

$$\gamma = \gamma_0 + \alpha V_{gs} \quad (2.32)$$

其中， $\gamma_0$  和  $\alpha$  为常数。

在当代的短沟道 FET 中，漏极偏压会影响器件的阈值电压。这称为漏致势垒降低(DIBL)(见图 2.10)，该效应可以用下面的经验关系相当精确地描述<sup>[16]</sup>：

$$V_T = V_{T0} - \sigma V_{ds} \quad (2.33)$$

其中， $V_{T0}$  是源-漏电压为零时的阈值电压， $\sigma$  为比例常数，称为 DIBL 系数(见文献[16])。

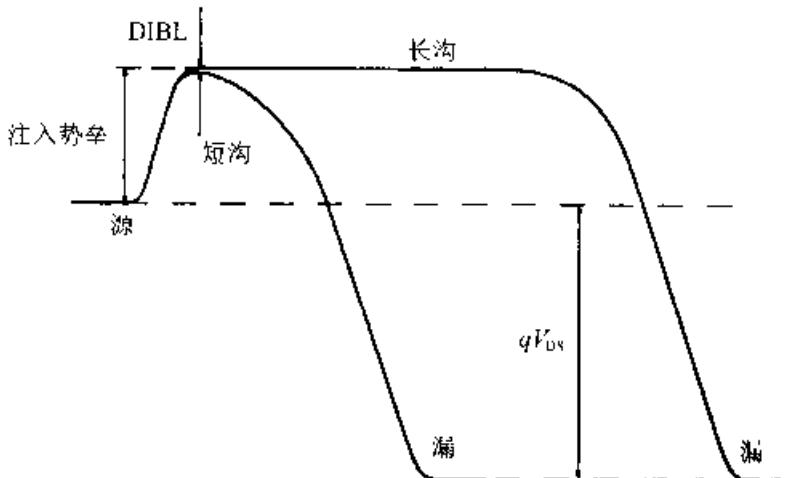


图 2.10 阈值之下，长沟和短沟 GaAs MESFET  
沿沟道的能带示意图

图 2.11 给出了 MESFET 漏极电流-电压特性的测量值和基于普适 MESFET 模型的模拟结果的比较。这个模型已经在电路模拟器 AIM-Spice 中使用<sup>[16]</sup>。采用直接提取的方法<sup>[16]</sup>，再辅以优化步骤，可对阈值之上和阈值之下的漏极电流的测量值给出近乎完美的拟合，如图 2.11(a)和图 2.11(b)所示<sup>[15]</sup>。

GaAs MESFET，特别是工作温度范围很宽的离子注入型器件，具有许多非理想的特性，这些特性随技术不同而异。这些非理想效应有：输出电导对频率的依赖，背栅和侧栅偏置、扭曲效应(与衬底中的碰撞电离及空穴俘获有关)以及光敏效应。(前两个效应已纳入 MESFET AIM-Spice 模型中<sup>[15]</sup>)。所有这些效应对半绝缘的 GaAs 衬底的特性都很敏感。为了更深入地理解 GaAs MESFET 的物理特性，需对半绝缘的 GaAs 作进一步的研究。对这些效应的控制可以提高集成规模和可靠性，并增大设计的自由度。

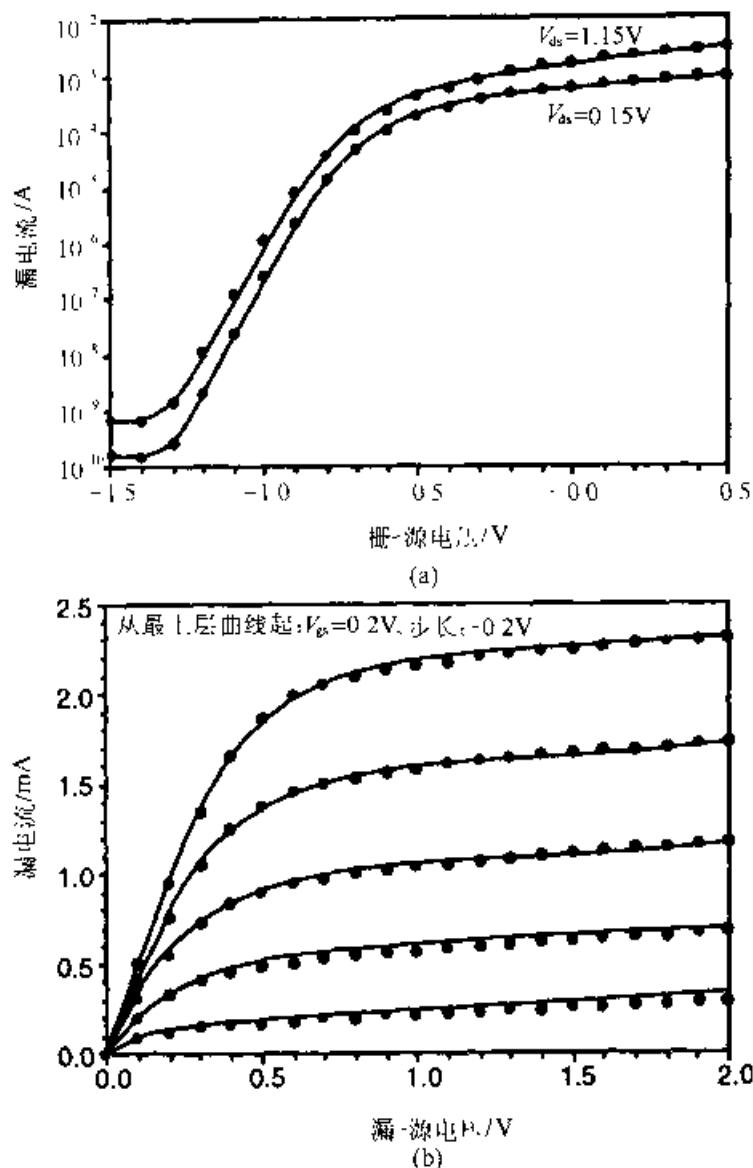


图 2.11 室温下 GaAs MESFET 漏极电流 特性曲线的测量值(点线)和用 AIM-Spice 实现的模拟结果(实线)。(a)阈值之下的特性; (b)阈值之上的特性(引自 Ytterdal 等人之文献[15])。

### 2.3.3 MESFET 的 C-V 模型

为了对 FET 电路中的动态过程进行模拟, 必须要弄清楚器件中贮存电荷的变化。在 MESFET 中, 栅极和栅极下面的耗尽层中贮存有电荷。在电子学中, 这些本征电荷的变化通常用器件的本征电容来表示。另外, 在器件端口之间及器件与其周围环境之间存在着各种各样的寄生电容。这里, 只考虑与 MESFET 本征电荷相关联的电容。

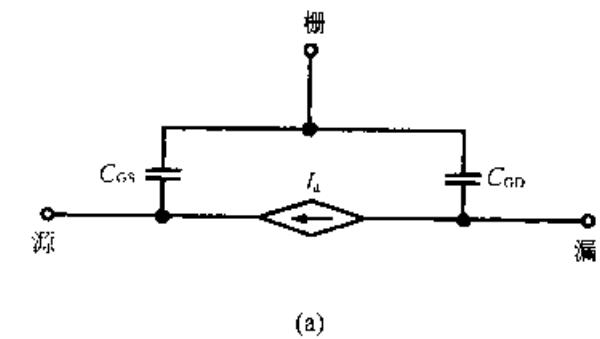
如图 2.7(b)所示, 当源-漏间有偏压时, MESFET 栅区的耗尽层电荷沿沟道的分布是非均匀的。因此, 栅和半导体之间的耦合电容也存在一定分布, 这就使

沟道类似于 RC 传输线。但实际上,由于 FET 的栅较短,带宽有限,通常用集总电容模型可以很好地描述本征器件的分布电容,即,用电容来连接本征器件的各个端口。

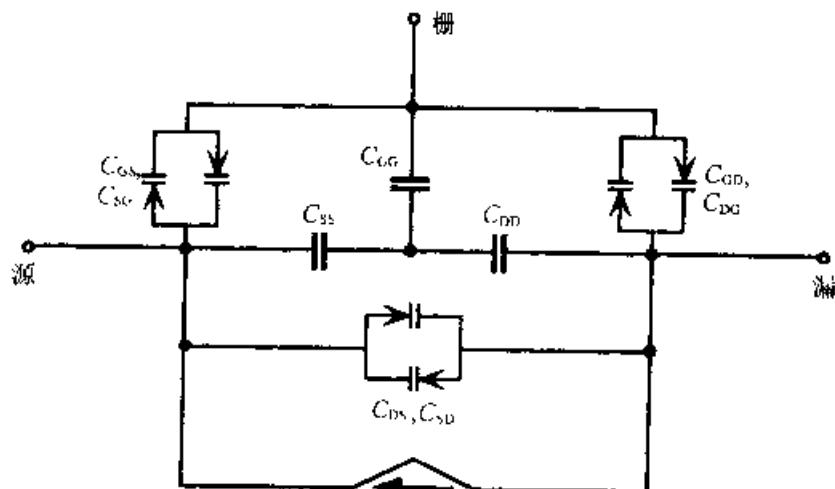
最简单的方法是,将本征栅-源电容  $C_{GS}$  和栅-漏电容  $C_{GD}$  视为两个分离的肖特基势垒二极管,它们分别连接着栅源和栅漏,每个都各占栅区的一半[见图 2.12(a)]。在沟道的这两部分中,如果假设每一部分的沟道电势都为常数,分别等于源和漏的电势,利用 2.3.1 节中的相关表达式可以得到<sup>[10]</sup>:

$$C_{GS} = \frac{C_{GS}}{\sqrt{1 - (V_{GS}/V_{bi})}} \quad (2.34)$$

$$C_{GD} = \frac{C_{GD}}{\sqrt{1 - (V_{GD}/V_{bi})}} \quad (2.35)$$



(a)



(b)

图 2.12 MESFET 的大信号等效电路图。(a)基于双二极管模型和 Meyer 模型;  
(b)基于电荷模型(引自 Nawaz 与 Fjeldly 之文献[23, 25])

其中

$$C_{\text{g}0} = \frac{WL}{2} \sqrt{\frac{qN_D\epsilon_s}{2V_{\text{bi}}}} \quad (2.36)$$

这些表达式仅适用于在阈值之上。另外，它们没有包括由于栅下耗尽区边缘向源漏方向扩展所产生的电荷(见图 2.7)。在阈值之下，与耗尽区扩展相关联的电容，以及其它寄生电容将成为主要因素。

通过修改 MOSFET Meyer 电容模型，可以得到 MESFET 的另一种 C-V 模型<sup>[16]</sup>。Meyer 的分析<sup>[18]</sup>基于长沟道 MOSFET 简单的电荷控制模型，它给出了栅极总电荷  $Q_G$  与偏压的函数关系。阈值之上，对于 MESFET，在  $V_{\text{DS}} \leq V_{\text{sat}}$  时，修正后的 Meyer 电容可写为<sup>[16, 18]</sup>

$$G_{\text{GS}} = \left. \frac{\partial Q_G}{\partial V_{\text{GS}}} \right|_{V_{\text{GD}}} = \frac{2}{3} C_g \left[ 1 - \left( \frac{V_{\text{sat}} - V_{\text{DS}}}{2V_{\text{sat}} - V_{\text{DS}}} \right)^2 \right] \quad (2.37)$$

$$G_{\text{GD}} = \left. \frac{\partial Q_G}{\partial V_{\text{GD}}} \right|_{V_{\text{GS}}} = \frac{2}{3} C_g \left[ 1 - \left( \frac{V_{\text{sat}}}{2V_{\text{sat}} - V_{\text{DS}}} \right)^2 \right] \quad (2.38)$$

其中，长沟极限下饱和电压  $V_{\text{sat}}$  等于  $V_{\text{GT}}$ ，而

$$C_g = \frac{\epsilon_s WL/a}{\sqrt{1 - (V_{\text{GT}}/V_p)}} \quad (2.39)$$

是  $V_{\text{DS}} = 0$  时 MESFET 的栅-沟总电容。在饱和情况下，电容变为  $C_{\text{GS}} = 2C_g/3$ ， $C_{\text{GD}} = 0$ 。图 2.13 给出了归一化的 Meyer 电容  $C_{\text{GS}}/C_g$  和  $C_{\text{GD}}/C_g$  对归一化的偏压  $V_{\text{DS}}/V_{\text{sat}}$  和  $V_{\text{GT}}/V_{\text{DS}}$  的依赖关系。

要建立本征 MESFET 电容的精确模型，需对耗尽电荷的空间分布随外加偏压的变化进行仔细的分析。对于 MOSFET，考虑到各端口间适当的电荷分配之后，上述分析能得到一组电荷守恒且各端之间非互易的电容<sup>[19, 20]</sup>。非互易性是指  $C_{ij} \neq C_{ji}$ ，其中， $i, j$  指源、漏和栅(如果有关联的话，也包括衬底)。事实上，Meyer 电容集是不完备的，它会产生电荷守恒上的问题<sup>[19, 21]</sup>。然而，由此导致的误差通常很小。但在对某些特定电路(如 RAM 单元、开关电容电路、电荷泵等)进行瞬态分析时，Meyer 模型可能给出错误结果<sup>[21]</sup>。在 MESFET 中也发现过类似情况<sup>[22]</sup>。

要得到本征 MESFET 电容的更加精确的模型，需对沟道电荷分布随外加偏压的变化进行精确的分析。另外，电荷守恒的问题可通过沟道电荷在源、漏端的分配自动得以解决。

按 Ward 和 Dutton 的方案，MESFET 的耗尽电荷可分为源电荷  $Q_S$  和漏电荷  $Q_D$ <sup>[23]</sup>，其中

$$Q_S = qWN_D \int_0^L \left( 1 - \frac{x}{L} \right) h(x) dx \quad (2.40)$$

$$Q_D = qWN_D \int_0^L \frac{x}{L} h(x) dx \quad (2.41)$$

相应的栅电荷为  $Q_G = -(Q_S + Q_D)$ 。这样分配电荷的结果，就使电荷守恒自动得到保证。耗尽区在源、漏侧的扩展分别产生附加电荷  $Q_{S\alpha}$  和  $Q_{D\alpha}$ 。在阈值之上的线性区域中，耗尽区的扩展可以用四分之一圆来描述，其半径由栅的近源、近漏端的耗尽深度来决定[见方程(2.11)]。在饱和区和在阈值之下的区域，电荷的模型稍复杂一些(见文献[10])。

根据这样的电荷分配，可以为 MESFET 定义一组所谓的跨电容<sup>[23]</sup>：

$$C_{ij} = \chi_{ij} \frac{\partial Q_i}{\partial V_j} \text{ 其中, } \chi_{ij} = \begin{cases} 1, & i \neq j \\ 1, & i = j \end{cases} \quad (2.42)$$

角标  $i$  和  $j$  分别可取栅、源、漏(G, S, D)。这些电容等同于 MOSFET 中基于电荷的非互易电容<sup>[19, 20]</sup>。 $C_{ii}$  称作自电容。

在三端 FET 器件，如 MESFET 中，共有九个跨电容，这九个电容可组成下述  $3 \times 3$  矩阵(即所谓的不确定导纳矩阵)<sup>[23]</sup>：

$$C = \begin{bmatrix} C_{gg} & C_{gs} & C_{gd} \\ C_{sg} & C_{ss} & C_{sd} \\ C_{dg} & C_{ds} & C_{dd} \end{bmatrix} \quad (2.43)$$

由于受电荷守恒的限制，矩阵中每行和每列的矩阵元之和都为零，也即遵守基尔霍夫电流定律，而且矩阵与参考点的选择无关<sup>[24]</sup>。这意味着一些跨导可能为负值，而且九个矩阵元中只有四个是独立的。在图 2.12(b)中，我们给出了 MESFET 的大信号等效电路，它包括了全部的九个跨电容<sup>[23]</sup>。关于 MESFET 电容的完整的讨论可参阅文献[25]。

### 2.3.4 SPICE 中的 MESFET 模型

以上讨论的一些模型已经在电路模拟器 SPICE 的各种版本中实现。例如，方程(2.16)给出的 Statz 模型<sup>[14]</sup>即为 PSPICE 中的模型 Level2，而这个模型的推广，即 TriQuint 模型，在 PSPICE 中即为 Level3。在 AIM Spice<sup>[16]</sup>中，Statz 模型作为 Level 1，而 Ytterdal 等提出的更高级的 MESFET

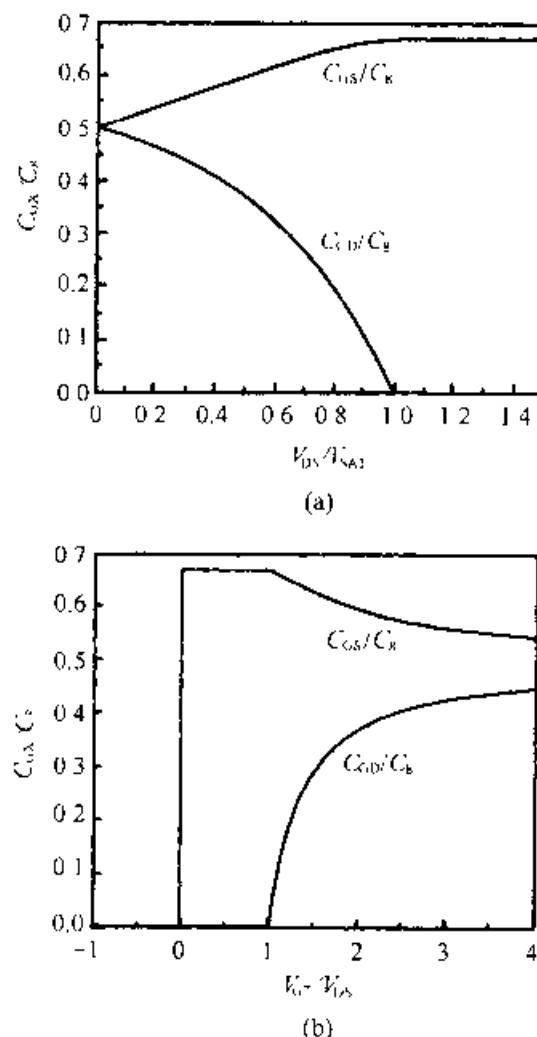


图 2.13 由方程(2.37)和(2.38)得到的阈值之上归一化 Meyer 电容与归一化的源漏偏压(a)和归一化的栅-源偏压(b)的关系

模型作为 Level 2，这其中包括了漏电流的表达式、主要参数对温度和频率的依赖特性以及侧栅偏置。表 2.2 给出了 AIM-Spice 中 Level 2 MESFET 模型参数的一个例子（具体细节见文献[16]），利用这些值对栅上不加 FET 负载的 11 级 MESFET 环振电路的模拟结果显示于图 2.14。

表 2.2 AIM-Spice MESFET Level 2 模型参数举例 (SPICE 符号标记)

参数名称	符号	值
栅长	L	0.7μm
栅宽	W	20μm
发射系数	N	1.44
漏极电阻	RD	20Ω
源极电阻	RS	20Ω
饱和速度	VS	$1.9 \times 10^5 \text{ m/s}$
低场迁移率	MU	$0.25 \text{ m}^2/\text{V} \cdot \text{s}$
沟道厚度	D	$10^{-7} \text{ m}$
阈值电压	VTO	0.15V
膝形系数	M	2
输出电导系数	LAMBDA	0.15/V
DIBL 系数 1	SIGMA0	0.02
DIBL 系数 2	VSIGMAT	0.5V
DIBL 系数 3	VSIGMA	0.1V

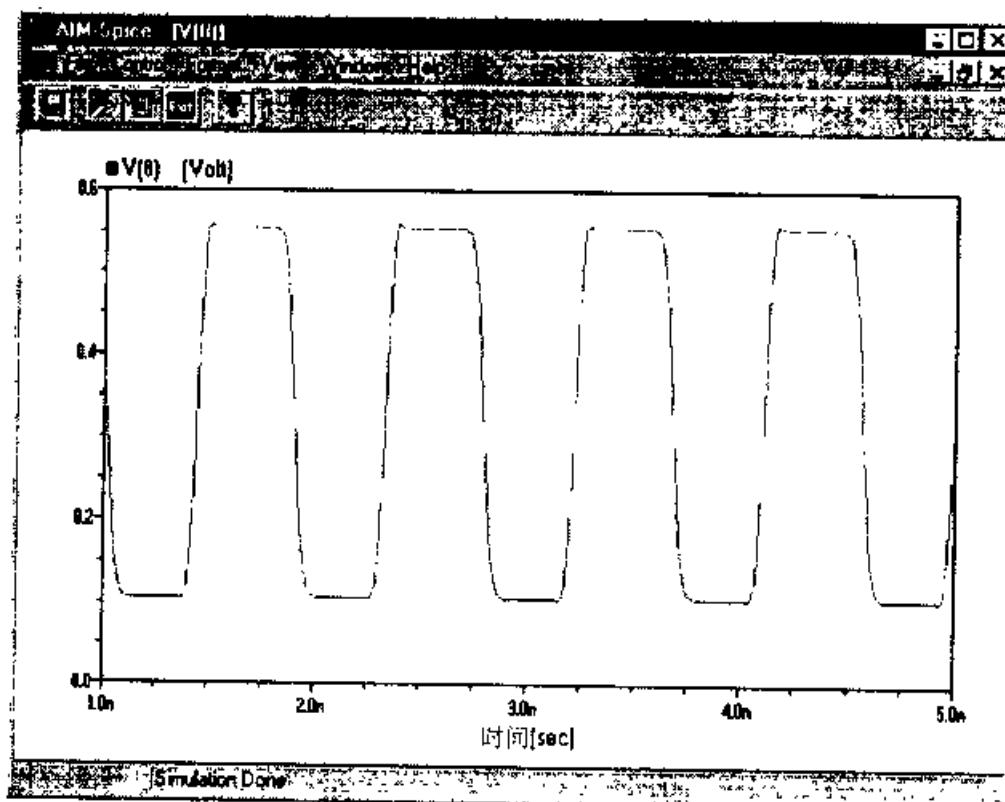


图 2.14 用 AIM Spice 中的 Level 2 MESFET 模型模拟的 11 级 MESFET 环振的输出波形

## 2.4 异质结场效应晶体管(HFET)

### 2.4.1 HFET 基础

在 GaAs MESFET 中，沟道掺杂很高，电离杂质的散射使电子迁移率从室温下约  $9000 \text{ cm}^2/\text{V} \cdot \text{s}$  的理论极限值减少到  $2000 \sim 3000 \text{ cm}^2/\text{V} \cdot \text{s}$ 。20世纪70年代后期，贝尔实验室提出的调制掺杂的方案，可将沟道中的杂质与电子分离以增强沟道电子的迁移率，在低温情况下作用更是显著<sup>[26]</sup>。1980年，Mimura 等人制出了第一个高电子迁移率晶体管(HEMT)，结果表明，低温下长沟器件的电流和跨导得到显著的增强。长沟器件中，电子迁移率起主要作用。从那时起出现了许多异质结晶体管，它们都基于同样的原理。我们将这类晶体管器件统称为异质结场效应晶体管(HFET)。

在 HFET 中，用一层宽带隙半导体材料将栅与沟道隔开。阈值之上，在宽带隙半导体层和窄带隙半导体沟道之间的异质结界面处形成二维电子气(2DEG)。在二维电子气中，由于电子被限制在异质结界面附近非常窄的区域内，垂直于异质结界面的电子运动是量子化的，这便影响了电子的输运特性。

源漏电流是由二维电子气输运的。在大多数 HFET 中，宽带隙半导体层中的掺杂控制着器件的阈值电压，通常 HFET 中的各层由分子束外延生长，源漏接触通过离子注入实现。

HFET 器件可以是自对准的，如图 2.15 所示的各种类型的器件，也可以是非自对准的。非自对准器件栅的位置与图 2.6(a)所示的 MESFET 的栅的位置相类似。图 2.15(a)示出的是一个常规的自对准 HFET。该器件的阈值电压由器件顶部 AlGaAs 层中的掺杂所控制。然而，AlGaAs 中的深能级杂质(DX 中心)会引起一系列问题，诸如器件电流电压特性对时间的依赖性等<sup>[10]</sup>。这些问题在图 2.15(b)所示的具有  $\delta$  掺杂的结构中稍有改善<sup>[28]</sup>。在这种结构中，所有的掺杂都集中在同一平面内，因而该平面内的施主浓度很高，可以有效控制阈值电压。

互补异质结绝缘栅场效应晶体管(HIGFET)的结构示于图 2.15(c)。这种器件将 n 沟器件和 p 沟器件置于同一基片上。这种与 Si CMOS 类似的技术使器件功耗降低、速度提高。其它的 HFET 结构包括，具有掺杂或非掺杂沟道的量子阱器件[图 2.15(d)]、倒置 HFET[图 2.15(e)]、π HFET[图 2.15(f)]，及偶极 HFET[图 2.15(g)]。

在图 2.15(d)所示的量子阱 HFET 中，位于两层 AlGaAs 之间的一薄层 GaAs 层构成量子阱。这种器件的优点是，沟道中 2DEG 的局域化效果好、电流输运能力强；输出电阻大、漏电流小。在图 2.15(e)所示的倒置 HFET 中，2DEG 位于栅极附近，这样增加了有效栅电容，从而增大了器件的跨导。另外，GaAs 置于顶层也使得高质量的欧姆接触和肖特基接触的制备更容易。

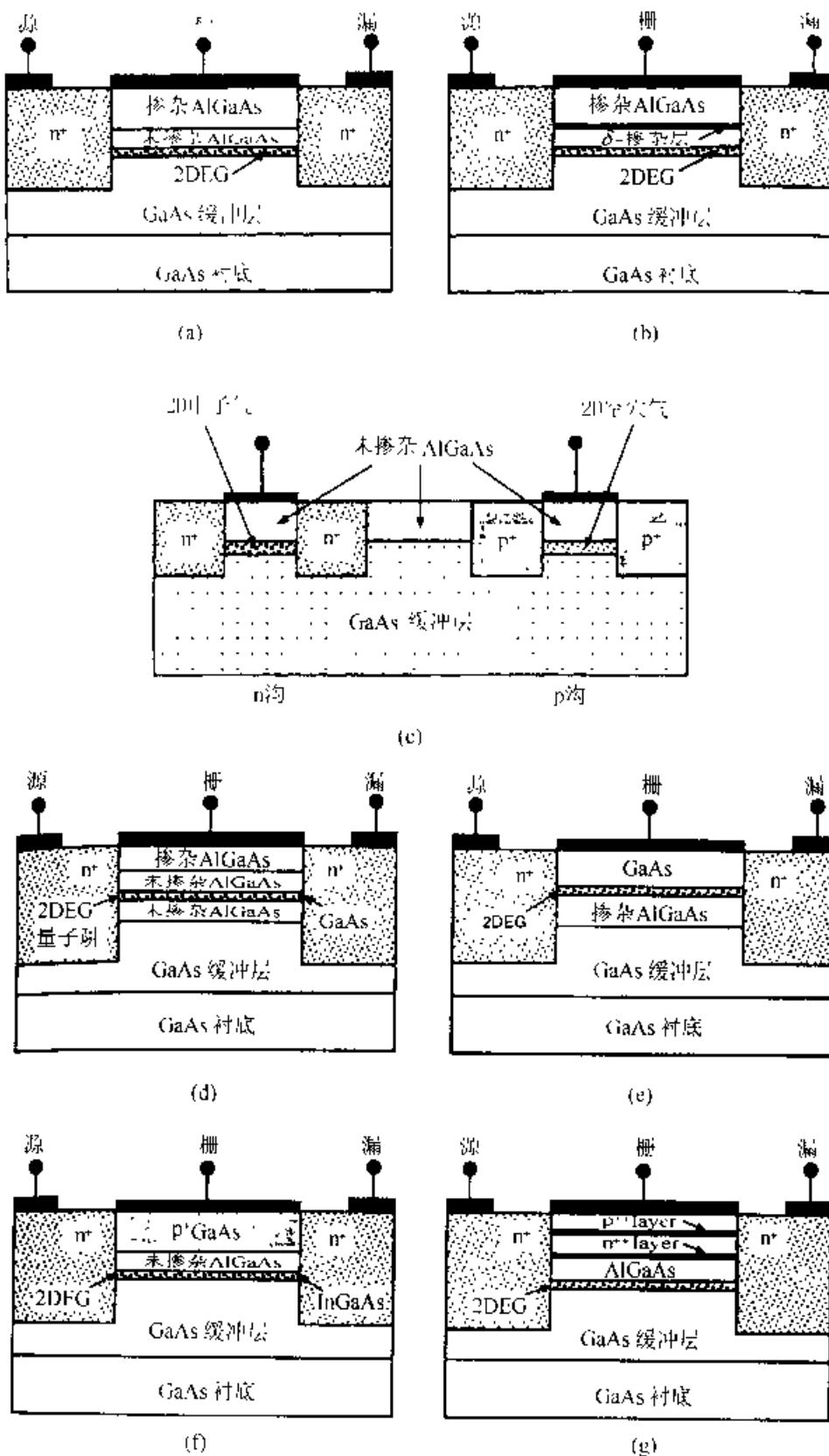


图 2.15 HFET 结构示意图。(a) 常规 HEMT; (b)  $\delta$  摻杂 HFET; (c) 互补的 n 沟和 p 沟 HFET; (d) 量子阱 HFET; (e) 倒置 HFET; (f)  $\pi$ -HFET; (g) 偶极 HFET。注意，在量子阱 HFET 中，2DEG 被局限在两层 AlGaAs 所形成的势阱中。在倒置 HFET 中，感应的 2DEG 出现在栅极下面 GaAs/AlGaAs 异质结界面处的 GaAs 层中。

HFET 结构可用多种异质材料系统来制造, 例如用 AlGaAs/GaAs、Al-GaAs/GaInAs/GaAs、AlInAs/GaInAs/InP, 甚至用 SiGe/Si。图 2.16<sup>[29]</sup>表明, 一些异质结构的晶格是匹配的, 如 AlGaAs/GaAs, 而另一些则是不匹配的, 形成所谓的赝晶结构, 如 AlGaAs/GaInAs/GaAs 和 SiGe/Si。后者的窄带隙有源层通常做得很薄, 以便包容晶格失配, 不致引起失配位错。

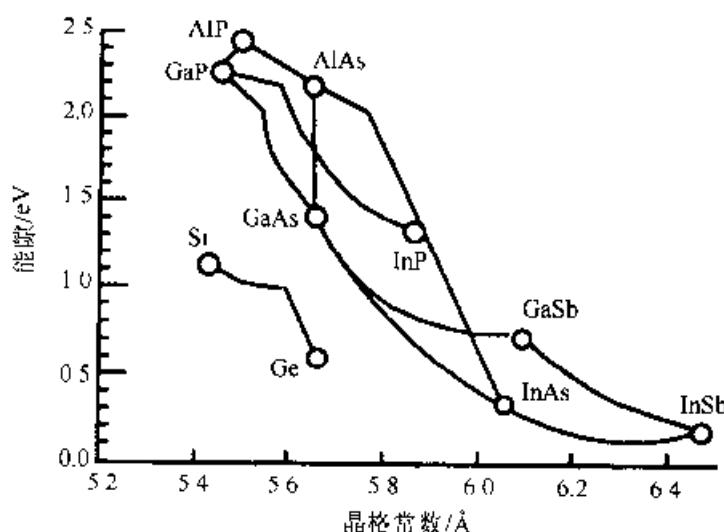


图 2.16 半导体化合物及固溶物的带隙和晶格常数(引自 Shur 之文献[29])

理想情况下, 对于导带不连续性很大的 HFET, 阈值之上当源-漏偏压较小时, HFET 沟道的电荷正比于栅压摆幅  $V_{GT} = V_{GS} - V_T$ :

$$n_{sb} = \frac{\epsilon_i V_{G\tau}}{q(d_i + \Delta d)} \quad (2.44)$$

其中,  $\epsilon_i$  和  $d_i$  分别是宽带隙半导体的介电常数及厚度。 $\Delta d$  可视为 2DEG 的有效厚度。通常情况下, AlGaAs/GaAs HFET 中,  $\Delta d \approx 40 \sim 80 \text{ \AA}$ 。阈值之下,  $n_{sb}$  对栅压的依赖关系与 GaAs MESFET 有相同的表达式:

$$n_{sb} = n_0 \exp \left[ \frac{V_{G\tau}}{\eta V_{th}} \right] \quad (2.45)$$

其中, 阈值处 HFET 的电子面密度由下式给出:

$$n_0 = \frac{\epsilon_i \eta V_{th}}{2q(d_i + \Delta d)} \quad (2.46)$$

用来描述 HFET 理想化的统一的电荷控制模型基于下述方程, 该方程给出了阈值之上和阈值之下的统一描述:

$$n_s = 2n_0 \ln \left[ 1 + \frac{1}{2} \exp \left[ \frac{V_{G\tau}}{\eta V_{th}} \right] \right] \quad (2.47)$$

阈值之上, 当  $V_{GT} \gg V_{th}$ , 该表达式变为方程(2.44)。阈值之下, 当  $-V_{GT} \gg V_{th}$  时, 则变为方程(2.45)。

### 2.4.2 HFET *I-V* 模型

与 MOSFET 中的情况相似, 上述电荷控制模型的表达式描述的是异质结界面处导带具有较大不连续性的理想结构。然而 HFET 中的这种不连续性一般要远小于 MOSFET, 这就增加了电子出现在宽带隙半导体中的概率。另外, 随着栅压的增加, HFET 中有更多的感应电荷留在宽带隙材料中, 这便限制了异质结界面沟道中感应的电子面密度的大小。对于 AlGaAs/GaAs HFET, 2DEG 载流子密度的最大值一般低于  $2 \times 10^{12} \text{ cm}^{-2}$ , 计及该效应, HFET 实际的 2DEG 密度  $n'_s$  可近似写为<sup>[16, 30]</sup>:

$$n'_s = \frac{n_s}{[1 + (n_s/n_{\max})^{\gamma-1}]^{\gamma}} \quad (2.48)$$

其中,  $n_{\max}$  是 2DEG 密度的最大值,  $\gamma$  是描述  $n'_s$  趋向于饱和的特征参数。

一旦得到了 HFET 沟道中表面载流子密度的统一表达式, 便可以采用与 GaAs MESFET 相似的过程建立 HFET 漏极电流的模型。在 FET 线性区和饱和区中, 描述非本征 *I-V* 特性的方程(2.31)仍然适用。然而, 漏极饱和电流的表达式(见方程 2.28)则有所不同(见习题 11):

$$I'_{\text{sat}} = \frac{g'_{\text{ch}} V_{\text{gate}}}{1 + g'_{\text{ch}} R_s + \sqrt{1 + 2g'_{\text{ch}} R_s + (V_{\text{gate}}/V_L)^2}} \quad (2.49)$$

其中  $g'_{\text{ch}}$  就是方程(2.22)中的本征线性沟道电导, 只不过用(2.48)式中的  $n'_s$  替代了那里的  $n_s$ , 以计及载流子饱和效应。 $V_{\text{gate}}$  是有效非本征栅压摆幅, 它与方程(2.27)中的相仿, 只不过用  $2V_{\text{th}}$  替代了那里的  $V_{\text{th}}$ , 以保证方程(2.49)给出正确的亚阈极限。相应的非本征饱和电压由下式给出<sup>[16]</sup>:

$$V_{\text{sat}} = V_{\text{gate}} - I'_{\text{sat}} \left[ R_s + \frac{1}{\beta V_L} \right] \quad (2.50)$$

为了反应电子进入宽带隙材料后引起的效应, 图 2.17<sup>[31]</sup>比较了 GaAs MESFET, AlGaAs/GaAs HFET 和 AlGaN/GaN HFET 在饱和区器件跨导  $g_m = \partial I_{\text{sat}} / \partial V_{\text{gate}}$  对栅压的依赖关系。该图清晰地表明, 当栅压很高时, 2DEG 密度达到饱和, AlGaAs/GaAs HFET 的跨导下降。在 AlGaN/GaN 等宽带隙半导体中, 导带不连续性较大, 该效应会大幅度减小。GaAs MESFET 跨导的下降与栅极肖特基接触正偏时栅极泄漏电流的增加有关。

本节所讨论的 HFET 解析 *I-V* 模型能精确地给出 HFET 的 *I-V* 特性, 如图 2.18 所示<sup>[30, 32]</sup>。采用该模型后, AIM-Spice<sup>[33]</sup> 电路模拟器能很好地模拟 HFET 集成电路。

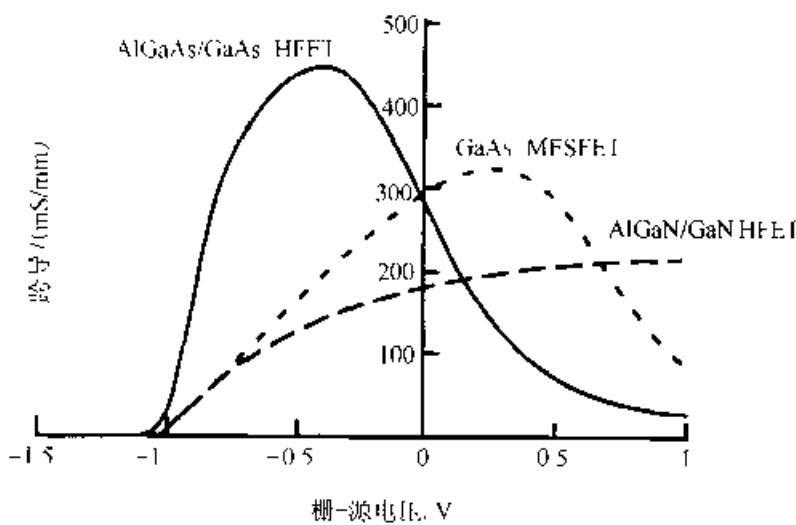


图 2.17 栅长  $0.5\mu\text{m}$  的 GaAs MESFET, 栅长  $0.5\mu\text{m}$  的 AlGaAs/GaAs HFET 和栅长  $0.25\mu\text{m}$  的 AlGaN/GaN HFET 三种器件, 在饱和区跨导与栅压关系的计算曲线。MESFET 和 AlGaAs/GaAs HFET 源区单位宽度的串联电阻为  $0.3\Omega \cdot \text{mm}$ , AlGaN/GaN HFET 源区单位宽度的串联电阻为  $2\Omega \cdot \text{mm}$ (引用 Shur 等人之文献[31])

### 2.4.3 HFET C-V 模型

采用 MOSFET 和 MESFET 中所使用方法可以建立 HFET 的电容模型(见 2.3.3 节)。由于 HFET 和 MOSFET 的结构十分相似, 阈值之上, 利用方程(2.37)和(2.38)中的电容  $C_{gs}$  和  $C_{gd}$  的表达式, 只要将 Meyer 模型<sup>[18]</sup>作适当的改动, 就可用于长沟道 HFET。从描述沟道可动电荷的表达式(2.47)和(2.48)中, 我们可以得到漏极偏压为零时的 HFET 沟-栅电容  $C'_g$  的统一表达式, 以替代方程(2.37)和(2.38)中的  $C_g$ :

$$C'_g = WLq \frac{dn'_s}{dV_{GS}} = \frac{C_g}{[1 + (n_s/n_{max})^{\gamma-1+\eta/\gamma}]} \quad (2.51)$$

其中

$$C_g = WLq \frac{dn_s}{dV_{GS}} = \frac{C_i}{1 - 2\exp[-\frac{V_{G1}}{\eta V_{th}}]} \quad (2.52)$$

$C_i = WL\varepsilon / (d_i + \Delta d)$  是阈值之上的栅-沟电容。

当  $n_s$  大于或等于  $n_{max}$  时,  $C'_g$  将比它的理想值  $C_g$  显著降低。然而, 这个降低会被宽带隙材料中的电子电荷对总电容的贡献所补偿<sup>[30]</sup>。

采用  $C'_g$  的统一表达式后, Meyer 电容表达式(2.37)和(2.38)在阈值之上和阈值之下都是有效的。另外, 我们可以用有效非本征源-漏电压替代这些方程中的  $V_{DS}$ :<sup>[19]</sup>

$$V_{DS} = V_{DS} \left[ 1 + \left( \frac{V_{DS}}{V_{sat}} \right)^{1-\gamma} \right]^{1/\gamma} \quad (2.53)$$

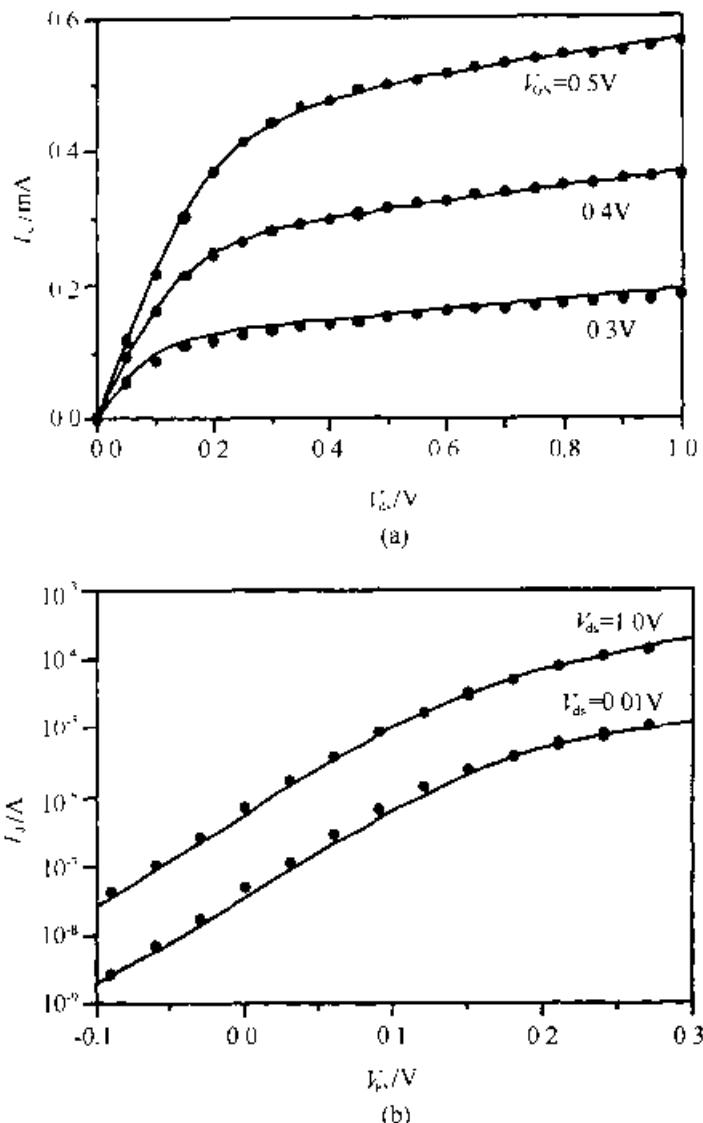


图 2.18 实验(点)和计算(实线)所得到的 HFET 的  $I-V$  特性。(a) 阈值之上, (b) 阈值之下(引自 Fieldly 与 Shur 之文献[30, 32])

使得当  $V_{DS} < V_{set}$  时  $V_{DS}$  接近  $V_{DS}$ , 当  $V_{DS} > V_{set}$  时,  $V_{DS}$  接近  $V_{sat}$ 。这样, 最终的电容表达式在所有的工作区都是有效的, 并且不同区之间的过渡也很平滑。参数  $m_c$  决定了线性区和饱和区之间过渡区的宽度。

从 2.3.3 节可知, Meyer 模型是电荷不守恒的长沟道模型。不过, 采用 MESFET 中所用的方法可以建立改进的 HFET 电容模型。这需要对沟道电荷的分布作仔细的分析, 并按下式将它们分配到源电荷  $Q_s$  和漏电荷  $Q_d$  中[见方程(2.40)和(2.41)]:

$$Q_s = qW \int_0^L \left( 1 - \frac{x}{L} \right) n'_s(x) dx \quad (2.54)$$

$$Q_d = qW \int_0^L \frac{x}{L} n'_d(x) dx \quad (2.55)$$

相应的栅电荷  $Q_c = -(Q_s + Q_D)$ 。在这些表达式中，用  $n'$  代替  $n_s$ ，就可以计入电子驻留在宽带隙材料中所引起的效应。至于 MESFET，采用方程(2.42)中跨电容的定义，我们得到方程(2.43)所示的九个电容矩阵元和图 2.12(b)所示的大信号等效电路。

#### 2.4.4 SPICE 中的 HFET 模型

通常情况下，SPICE 电路模拟器中没有独立的 HFET 器件模型，代之以 MOSFET 模型来模拟 HFET 器件和电路。这种方法在一些情况下是比较精确的。当然，与栅极漏电流、载流子转移到宽带隙材料相关的重要效应并没有包括在 MOSFET 模型中。从前面的讨论可知，载流子在层间的转移会导致导电沟道中载流子密度的饱和及电流的减小就是其中的一例。如图 2.19 所示，通过比较用 SPICE 中 LEVEL3 MOSFET 模型和用普适 HFET 模型得到的转移特征  $I_d-V_{gs}$  关系，可以看到这个影响，其中，这两个模型都在 AIM-Spice 中实现。模拟结果清楚地表明了 HFET 沟道中载流子密度饱和的重要性，以及正偏栅压较大时 MOSFET 模型的缺陷。除了这里提及的效应之外，通常还有一个问题，即在同样的栅压下会有显著的栅极泄漏电流（参见 2.5 节）。

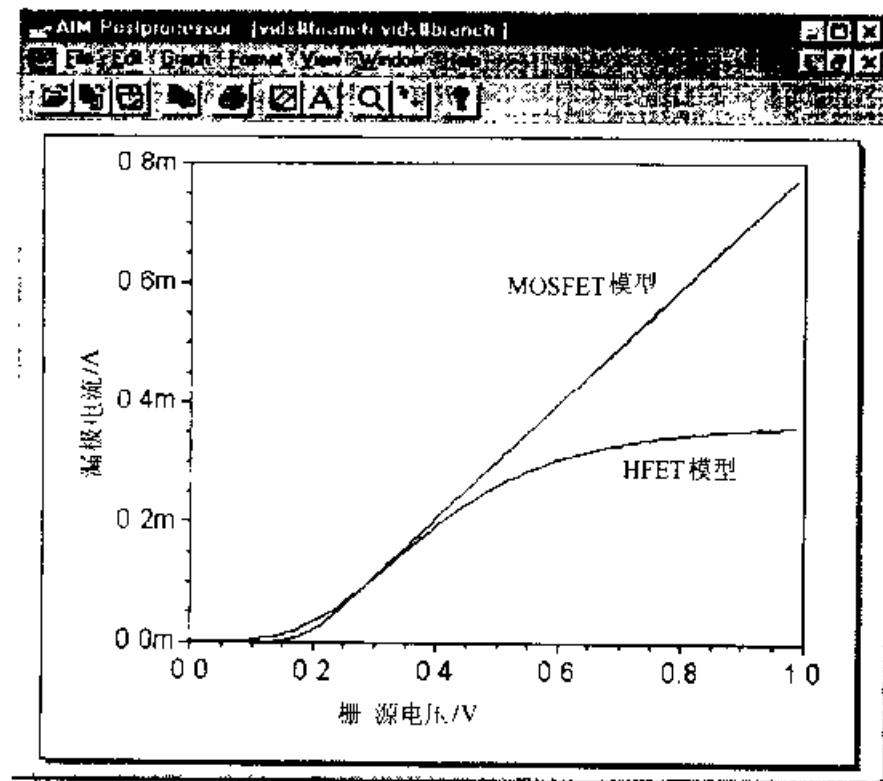


图 2.19 用 AIM Spice 中的 Level 3 MOSFET 模型  
和普适 HFET 模型所模拟的 HFET 的转移特性曲线

## 2.5 栅极漏电流

理想情况下, FET 的栅与沟道的耦合是容性的。但实际上, MESFET 和 HFET 的栅-半导体界面处的肖特基势垒并不能使栅和沟道完全绝缘。严格地讲, 应该通过分析栅接触的分布式网络来描述由此产生的栅极漏电流。但作为简单近似, MESFET 的栅电流可用图 2.9 所示的双二极管模型来描述, 其中假设每一个二极管代表一半的栅区。对于一个 HFET, 需要两对二极管来描述与源、漏相关的异质结和肖特基势垒。

这里, 用图 2.9 所示的双二极管模型来描述 MESFET。如果假设其中一个二极管施以栅-源电压, 另一个施以栅-漏电压, 那么利用方程(2.2)给出的标准的二极管表达式(忽略串联电阻)可得到如下的栅电流:

$$I_g = J_{ss} \frac{LW}{2} \left[ \exp\left(\frac{V_{GS}}{\eta_{gs} V_{th}}\right) + \exp\left(\frac{V_{GD}}{\eta_{gd} V_{th}}\right) - 2 \right] \quad (2.56)$$

其中,  $J_{ss}$  是反向饱和电流密度,  $\eta_{gs}$  和  $\eta_{gd}$  分别是栅-源和栅-漏理想因子。注意, 每个二极管的横截面积均为  $WL/2$ 。

如果在沟道的源侧和漏侧引入有效电子温度, 将会使描述更加精确<sup>[33, 34]</sup>。源侧的电子温度  $T_s$  近似取为晶格温度, 而漏侧的电子温度  $T_d$  假设随源-漏电压的增加而增加, 以反映电子在这部分沟道中所受到的加热效应。于是, 栅极漏电流可写为<sup>[15]</sup>

$$I_g = J_{gs} \frac{LW}{2} \left[ \exp\left(\frac{V_{GS}}{\eta_{gs} V_{ths}}\right) - 1 \right] + \frac{LW}{2} \left[ J_{gd} \exp\left(\frac{V_{GD}}{\eta_{gd} V_{thd}}\right) - J_{gs} \right] \quad (2.57)$$

其中,  $J_{gs}$  和  $J_{gd}$  分别为栅-源、栅-漏二极管的反向饱和电流密度。 $V_{ths} = kT_s/q$ 、 $V_{thd} = kT_d/q$ 。注意, 方程(2.57)的第二项用来描述栅-漏之间的泄漏电流, 其中  $J_{gs}$  给出了电子从金属到半导体的输运。采用  $J_{gs}$  的原因是假定金属中电子的有效温度与外界温度一致。净效应就表现为漏极附近由栅与沟道之间的电子温差所引起的热电子电流的贡献<sup>[15]</sup>。

在正偏情况下, 根据热离子发射机制计算的反向饱和电流密度为

$$J_{gsl} = A^* T_s^2 \exp\left(-\frac{q\phi_{bs}}{kT_s}\right) \quad (2.58)$$

$$J_{gdl} = A^* T_d^2 \exp\left(-\frac{q\phi_{bd}}{kT_d}\right) \quad (2.59)$$

其中,  $A^*$  为等效 Richardson 常数,  $q\phi_{bs}$  和  $q\phi_{bd}$  分别为沟道源、漏侧的有效肖特基势垒高度。下标 f 和 r [式(2.60)及(2.61)]用来区别正偏和反偏。

在大多数 GaAs MESFET 中, 栅极的反向饱和电流依赖于反向偏压。Dunn<sup>[35]</sup>提出用下述方程来描述这种依赖关系:

$$J_{gs} = g_{gs} V_{gs} \exp\left(-\frac{V_{gs}\delta_g}{V_{th}}\right) \quad (2.60)$$

$$J_{gd} = g_{gd} V_{gd} \exp\left(-\frac{V_{gd}\delta_g}{V_{th}}\right) \quad (2.61)$$

其中,  $g_{gs}$  和  $g_{gd}$  为二极管反向电导,  $\delta_g$  称为反偏电导参数。然而, 与实验数据对比的结果表明,  $V_{gs}=0$  时  $J_{gs}$  表达式和  $V_{gd}=0$  时  $J_{gd}$  表达式的转换会产生误差, 高温下情况更是严重。而且, 由于偏压为零时栅电流的一阶微商不连续, 这种方法不适用于电路模拟器。Ytterdal 等人<sup>[1]</sup>提出用下式将方程(2.57~2.61)合并起来:

$$I_g = \frac{LW}{2} \left\{ J_{gs} \left[ \exp\left(\frac{V_{gs}}{\eta_{gs} V_{th}}\right) - 1 \right] + g_{gs} V_{gs} \exp\left(-\frac{V_{gs}\delta_g}{\eta_{gs} V_{th}}\right) \right. \\ \left. + \left[ J_{gd} \exp\left(\frac{V_{gd}}{\eta_{gd} V_{th}}\right) - J_{gs} \right] - g_{gd} V_{gd} \exp\left(-\frac{V_{gd}\delta_g}{\eta_{gd} V_{th}}\right) \right\} \quad (2.62)$$

这是一个统一的表达式, 它对于  $V_{gs}$  和  $V_{gd}$  取正取负都适用。

图 2.20 给出了不同外界温度下, MESFET 栅电流的测量值和模拟值的比较, 所用器件与图 2.11 所用器件相同。

## 2.6 新型化合物半导体 FET

GaAs MESFET 和 AlGaAs/GaAs HFET 代表了化合物半导体技术的主流。不过, 也相继开发了另外一些化合物半导体场效应晶体管, 并很可能在未来找到应用。本节简短地评论一下这些 FET。

### 2.6.1 异维器件

任何一种半导体器件都要利用不同区域之间形成的某种界面, 例如, 欧姆接触、p-n 结、肖特基势垒结、异质界面、半导体-绝缘体以及金属-绝缘体界面。一般地说, 这些界面是区分不同区域的平面。最近, 出现了新一代的半导体器件。这些器件利用的是不同维数的半导体区域之间的界面, 因而被称为异维器件(heterodimensional devices)<sup>[26]</sup>。这种界面的例子之一是三维(3D)金属和二维电子气(2DEG)之间的肖特基势垒。其它可能的例子有二维电子气和 2D 肖特基金属之间的界面, 一维电子气和 2D 或 3D 肖特基金属之间的界面。

各种异维肖特基接触有一些共同特性, 比如, 电容较小, 这是因为其有效截面较小而耗尽区较宽; 载流子迁移率高, 这与 2DEG 特性相关; 电场较小; 击穿电压较高。耗尽区较宽是由于 2DEG 平面垂直于肖特基电极取向所致。

图 2.21(a)给出了一个异维肖特基二极管的外形图和剖面图<sup>[36, 47]</sup>。其中, 2DEG 在窄带隙衬底(如 GaAs)和宽带隙势垒层(如 AlGaAs)的界面处形成, 而在界面附近有一薄层 n 型掺杂区。施主杂质提供的电子会填充界面处势阱中较低的

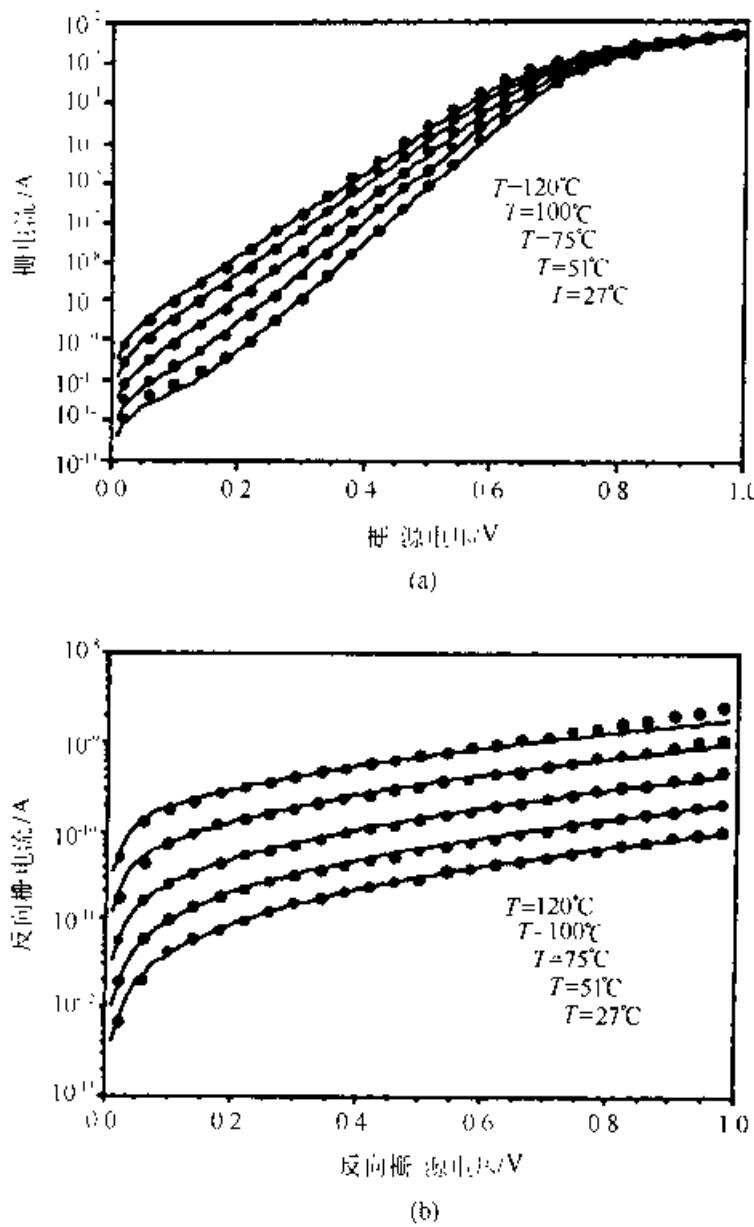


图 2.20 不同温度下 MESFET 棚电流的实验值(实点)和模型计算值(实线)。  
其中, 棚压分别为正(a)和负(b)(引自 Ytterdal 等人之文献[15])

能级。与常规的肖特基二极管不同, 此处的肖特基接触是垂直取向的, 垂直于 2DEG。但是, 肖特基接触的功能仍然是将靠近金属的半导体层中的电子耗尽, 这和通常情况相同。于是在 2DEG 中, 有一层垂直于肖特基接触的未被补偿的施主, 如图 2.21(a)所示。很明显, 肖特基接触和耗尽电荷之间的电场将比常规 3D 耗尽区的电场扩展得更多, 而且更弱。异维肖特基二极管反向偏压下的 C-V 特性示于图 2.21(b)。

新型异维肖特基接触独特的性质使其具有广泛的应用前景, 如用在毫米波电子器件和高速、超低功耗集成电路中, 主要器件包括新型异维变容器和混频器二极管以及各种晶体管。

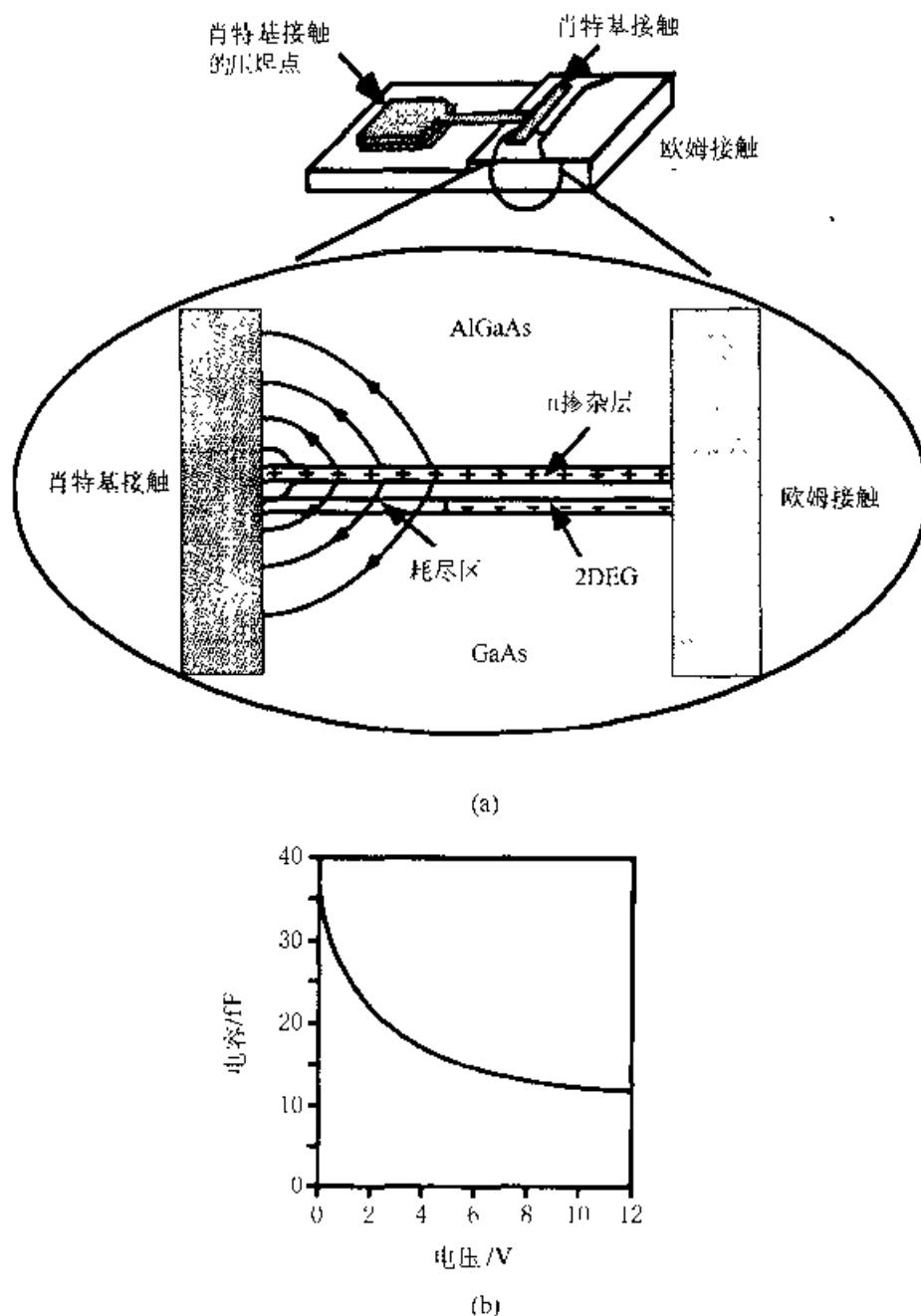


图 2.21 异维肖特基二极管的结构示意图(a)  
以及 C-V 特性的测量曲线(b)(引自 Pearman 等人之文献[37]!)

异维晶体管非常小，典型的栅大小为  $0.5 \times 0.5 \mu\text{m}^2$ 。尺寸小、栅-沟电容低以及寄生电容低使器件的性能近乎理想化。与典型的 n 沟 MOSFET 相比，异维晶体管沟道中的电子数目很少(见图 2.22<sup>[6]</sup>)。

新型二维金属半导体场效应晶体管(2D MESFET)使用侧栅。如图 2.23(a)所示，将栅极金属镀在垂直于 2DEG 平面刻蚀的沟槽内，形成了侧栅。这种器件与 HFET 相似，只不过它的栅极垂直于导电层，并分置于相对的两侧。这样，与图 2.21(a)所示情形相似，两个栅作为肖特基接触，它们可从相对的两侧调制 2DEG

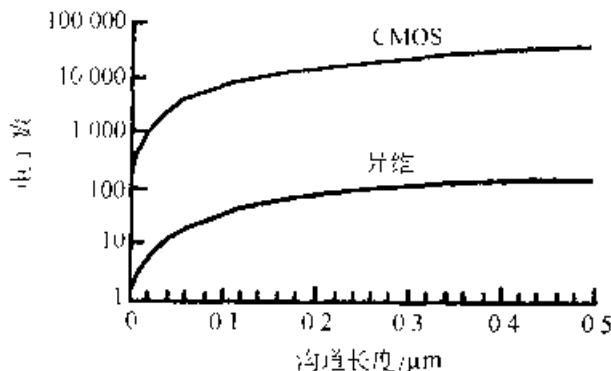


图 2.22  $V_g=0V$  时电子数目  $N$  与沟道长度的关系。对于 CMOS,  $N=C_sWLV_g/q$ , 对于异结晶体管,  $N=C_sLV_g$ 。其中,  $C_s=\epsilon_r/a$  为单位面积的栅电容,  $C_s$  为单位长度的栅电容,  $W$ 、 $L$  和  $a$  分别为沟宽、沟长和栅极电介质的厚度,  $\epsilon_r$  为二氧化硅的介电常数。

在本计算中, 假设  $a=L/20$ ,  $W=10L$ ,  $C_s=10^{-10}F/m$

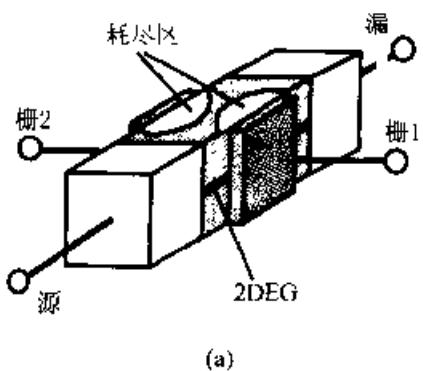
沟道的宽度。2DEG 导电层可在诸如赝品生长的 AlGaAs/InGaAs 异质结构里形成。制作栅时, 先刻蚀形成一个穿过导电层平面的沟槽, 再用光刻胶作掩模在槽壁上电镀 Pt/Au。金属的厚度很容易通过调节电镀参数来控制。也可以使用常规 HFET 工艺技术。工艺的细节在文献[38]中有描述。

图 2.23(b)给出了一种类似的器件, 即共轴 MESFET<sup>[39]</sup>。在这种器件中, 通过三面, 即顶部的肖特基栅及两侧的肖特基栅来控制电子气。这些栅都是相连的。这种共轴设计能非常精确地将沟道中的电子气由 2D 降到 1D, 甚至只有几个电子。

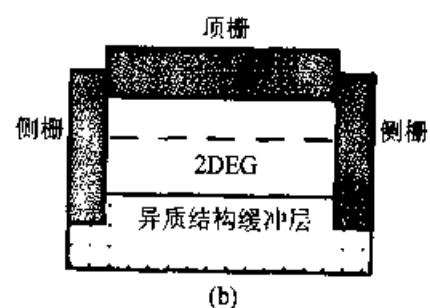
由于边缘寄生电容会减弱栅极的控制力, 导致阈值电压增加, 跨导减小, 以及器件参数的离散, 常规 FET 的宽度不能做得很小。这些现象通常称为窄沟效应。

由于 2D MESFET 以及共轴 MESFET 实际上消除了窄沟效应, 它们在低功耗、高速度集成电路的应用中大有前途。因为减小了寄生电容  $C_p$ , 它们也能够高速工作。在常规 FET 中, 栅极电容  $C_g$  的减小可通过减小器件面积或增加栅-沟隔离来实现。由于边缘寄生电容大致与栅的周长成反比例, 而  $C_p$  大约与栅面积成反比例, 器件尺寸的变化实质上使  $C_p/C_g$  增加。

当功率延迟之积受到  $C_p\Delta V^2$  的限制时(其中  $\Delta V$  是电压摆幅),  $C_g$  的进一步减小便会使速度急剧



(a)



(b)

图 2.23 2D MESFET (a) 和共轴 MESFET (b) 的示意图。(a) 中的 2DEG 在垂直于侧栅及源、漏的(水平)平面内(引自 Peatman 等人之文献[39])

下降而功耗却并未减小。因此可以得出结论，同时降低寄生电容和栅极电容对于获得低功耗是必须的。在共轴 MESFET 中，有望得到非常陡的夹断和非常小的泄漏电流。

由于 2D MESFET 能够减小寄生电容，因此，在一定的功率下，不仅有望改善功率-延迟积，还可以提高工作速度。

图 2.24 定性地比较了常规 HFET、2D MESFET 和共轴 MESFET 中电力线的分布。由图可见，2D MESFET 中大多数的、共轴 MESFET 中甚至更多的电力线都终止在栅极。因此，2D MESFET 和共轴 MESFET 的寄生电容比常规 FET 的要小。这表明，异维器件大大减小了有害的窄沟效应，可以使器件做得更窄、功耗更低，其原因在于它们可使栅电容减小、寄生电容的相对重要性并没有等量地增加。当然，互连的驱动问题并没有解决。除了很少的长互连线需用特殊驱动器来驱动之外，低功耗电路的互连一定要短。如果长距离互连的数目不多，那么总功耗中，驱动器功耗所占的份额就很小，至少不会引起问题。

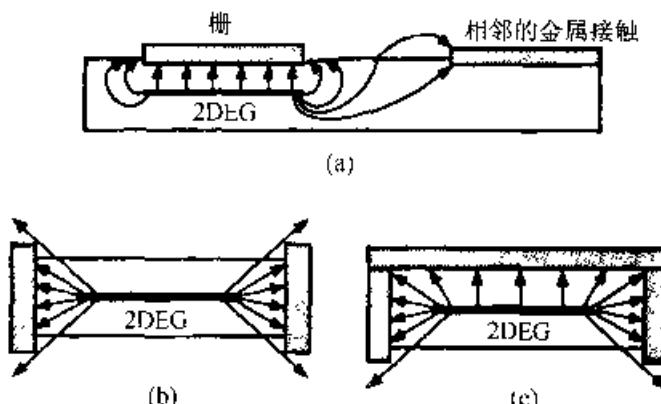


图 2.24 常规 HFET(a)、2D MESFET(b)和共轴 MESFET(c)中，  
电力线从 2DEG 到栅及其边缘的分布(引自 Shur 等人之文献[41])

Peatman 等人<sup>[40, 41]</sup>制作出了一个  $1\mu\text{m} \times 1\mu\text{m}$  的 AlGaAs/InGaAs 2D MESFET，其漏极电流的峰值为  $210 \text{ mA/mm}$ ，跨导为  $210 \text{ mS/mm}$ ，亚阈值斜率为  $75 \text{ mV/decade}$ ，这个值对应的理想因子为 1.3。该性能与目前水平的宽  $10\mu\text{m}$  的 HFET 的性能相当。这种器件的截止频率估计约为  $21 \text{ GHz}$ ，与最好的长  $1\mu\text{m}$  的 HFET 的特征频率相当。

由于消除了窄沟效应并减小了寄生电容，这种新技术可使器件栅极的宽度降到亚微米以下，这样，在不牺牲速度的情况下，可使功耗大大降低。对于一个沟宽  $0.5\mu\text{m}$  的增强型器件，阈值电压为 0，而拐点电压大约为  $0.2 \text{ V}$ 。这种器件需在源漏电压小于  $1 \text{ V}$  下工作。根据 2D MESFET 的电荷控制模型估计的功率-延迟之积为  $0.1 \text{ fJ}$ ，它比现有技术所能获得的值低一个数量级。Peatman 等人<sup>[40, 41]</sup>还发现，这些器件中，阈值电压随温度的漂移很小，并几乎不存在 DIBL 和其它短沟效应。图 2.55 给出一个典型的 2D MESFET 的  $I-V$  特性，其饱和区的输出电阻非

常高。

以上所述的 2D MESFET 是用 AlGaAs/GaInAs/GaAs 膜晶异质结构制作的，这些异质结构采用分子束外延生长。最后也报道了离子注入型 GaAs 2D MESFET，其性能比用 MBE 制作的器件的性能只略微逊色一些<sup>[42]</sup>。新的逻辑器件也制作了出来<sup>[43, 44]</sup>，其中使用了多栅极 2D MESFET 以及共振隧穿二极管负载。这些结果清楚地表明了这种技术在高速低功耗应用方面的潜力，如图 2.26 所示<sup>[45]</sup>。

同样的原理也用在了共振隧穿晶体管之中[见图 2.27(a)]<sup>[45, 46]</sup>。这种器件基于共振隧穿结构，

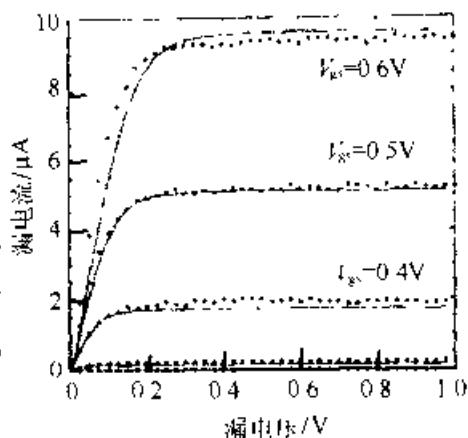


图 2.25 0.5 μm 2D MESFET 电流-电压特性的测量及模拟结果

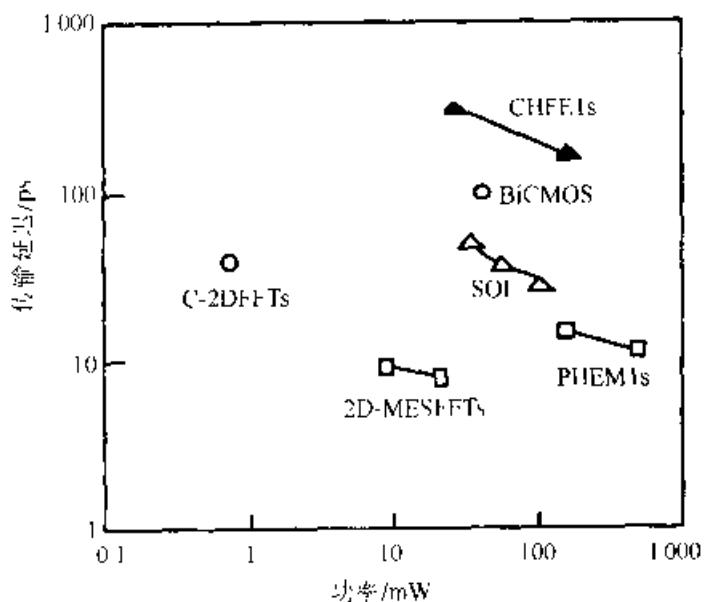


图 2.26 各种低功率技术的功率-延迟  
(引自 Peatman 等人之文献[45])

该结构在图中以两条粗实线表示，它能控制源、漏之间的电流。两侧的肖特基栅可以调制器件的有效截面，因而可调制电流的大小[见图 2.27(b)]。

室温下，这种肖特基栅共振隧穿晶体管(SG-RTT)的跨导很高。它可用在超低功耗电子电路中，作为负载和开关器件等。

## 2.6.2 宽带隙半导体 FET

2.3 节中讲过，FET 中阈值之下的漏极电流由源、漏之间的势垒所控制，它随着势垒高度的增加呈指数下降。最大势垒高度一般约为半导体能隙的一半。这意味着，由宽带隙半导体制成的 FET 导通-关断电流比大，静态功耗低，而且即

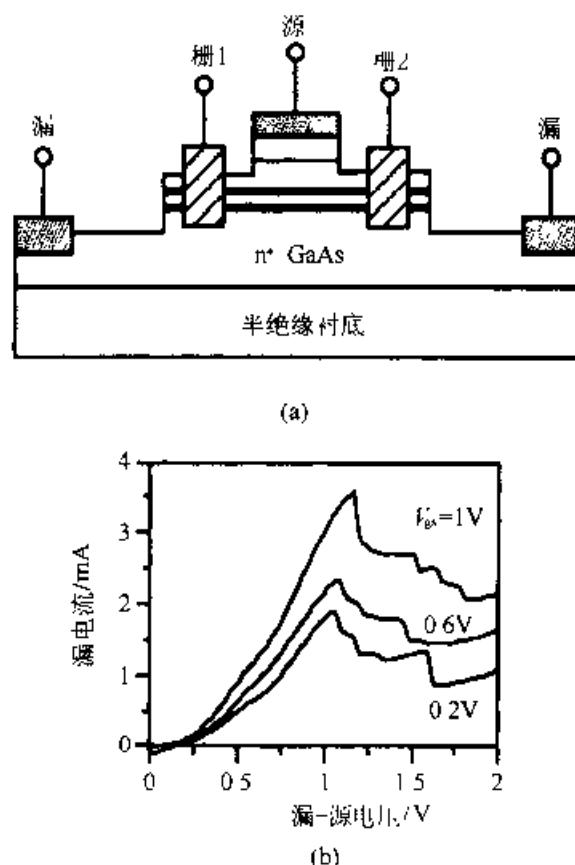


图 2.27 肖特基栅共振隧穿晶体管(SG-RTT)的结构示意图(a), 及其在 300K 下的 I-V 特性曲线(b)(引自 Robertson 等人之文献[43])

使在高温下泄漏电流仍对器件性能影响不大。这些特性使这种器件适于许多应用, 如非挥发性固态存储器(替代机械硬驱)、高温电子线路等。宽带隙半导体材料在光学器件方面的应用也令人感兴趣, 用它们制成功发光器或探测器可工作在蓝光甚至紫外光频域。

所有这些优点使得近年来人们对宽带隙半导体器件的兴趣大增。宽带隙半导体材料的研究主要集中于四个材料系统: 金刚石、ZnSe 及其相关的 II - VI 化合物、SiC 及其不同的变种、GaN 及其相关材料。金刚石用于 FET 的可能性不大, 至少在不远的未来是这样(但它卓越的导热性能可用在散热器中)。II - VI 族化合物半导体的研究主要是为了用于绿光或蓝光半导体激光器。而用于包括 FET 在内的电子器件中的诱人的材料主要是那些 SiC 基和 GaN 基的材料。

早在 1907 年, Round<sup>[46]</sup>就报道了 SiC 的半导体特性。由于 GaN 的机械特性非常好, 材料学家和器件学家在 20 年代末和 30 年代初期对 GaN 发生了兴趣。70 年代, Pankove<sup>[47]</sup>做出了 GaN 发光二极管。最近, 这种材料卓越的电子和光电子特性引起了世界范围内许多研究小组的注意。GaN 是一种宽直接禁带半导体, 它适用于可见光以及紫外光发光器件和探测器件中。GaN 具有优良的电子输运特性, 能与 AlGaN 形成高质量的异质结构, 化学稳定性好, 这些性质使 GaN 基材料体

系在 FET 上大有作为，尤其适合于工作在很高温度下的器件。实际上，过去几年中，GaN 和 AlGaN/GaN FET 的研究已经取得了很大的进展，对 GaAs 基材料体系形成了挑战。

AlGaN/GaN HFET 器件的结构示于图 2.28<sup>[48]</sup>。器件的外延层用低压 MOCVD 淀积在蓝宝石衬底基片上。外延层由  $0.5\mu\text{m}$  厚的高绝缘性 GaN 层、10nm 厚的导电沟道和 10nm 厚的  $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$  层组成。这些层中自掺杂浓度估计为  $5 \times 10^{17}\text{cm}^{-3}$  左右，这使得栅极偏压为零时沟道被耗尽。

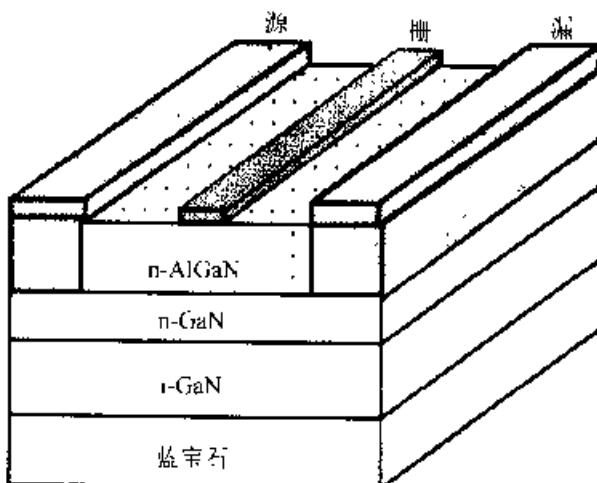


图 2.28 AlGaN/GaN HFET 的器件结构  
(引自 Khan 等人之文献[48])

在相互隔离的台面上可制作栅长、栅宽、源漏间隔可变的 HFET 结构。这些台面是用光刻胶作掩模在  $\text{CCl}_4$  等离子体中通过反应离子刻蚀形成的。用 Ti/Al 形成源、漏欧姆接触，用 Ti 来形成栅极肖特基势垒。这些器件的工作温度可高达  $300^\circ\text{C}$  (见图 2.29<sup>[49]</sup>)。

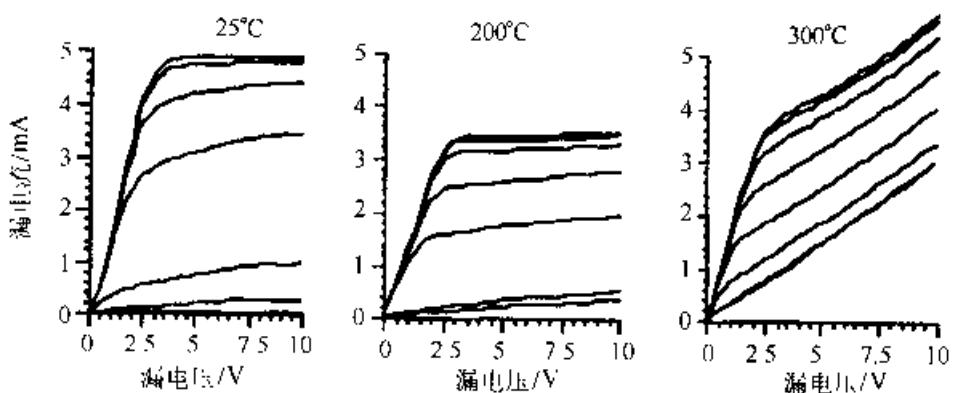


图 2.29 不同温度下 AlGaN/GaN HFET 的  $I$ - $V$  特性曲线。最上面曲线对应  $V_g = 1\text{V}$ ；步长：0.5V(引自 Khan 等人之文献[49])

最近的实验数据显示，GaN/AlGaN HFET 在微波波段工作时最大振荡频率和特征频率相当高 ( $f_{\text{max}} > 97\text{GHz}$ ,  $f_c > 36\text{GHz}$ )<sup>[48, 50]</sup>。然而，实验得到的性能仍然

远落后于理论的预言。通过减小源极串联电阻和优化器件设计，器件性能仍可大幅提升。分析显示，在亚微米 AlGaN/GaN HFET 中，跨导可大于  $1000\text{mS/mm}$ ，当温度升高时，其退化相对也很小<sup>[31]</sup>。

## 2.7 总结与展望

传统化合物半导体场效应晶体管已接近栅长小于  $0.1\mu\text{m}$  这样的尺寸极限了，其特征频率已超过  $300\text{GHz}$ ，开关速度达到皮秒(ps)量级，单片可集成一百万个晶体管，应用范围遍及商用电路、通讯和国防。从技术上讲，这些都是成功之例，但市场份额却未如人意。不过，不断的探索和研究有可能会产生许多新的基于化合物半导体 FET 的有用技术。

基于 GaAs 的微波和毫米波技术正朝着减少成本、提高产率、与常规 Si 基电路进行集成的方向发展。例如，图 2.30 给出了一个由 TriQuint 半导体公司提出的未来三芯片无线手机的示意图<sup>[32]</sup>。该公司指出，将 Si 和 GaAs 技术结合起来会使成本更低、电池更省。

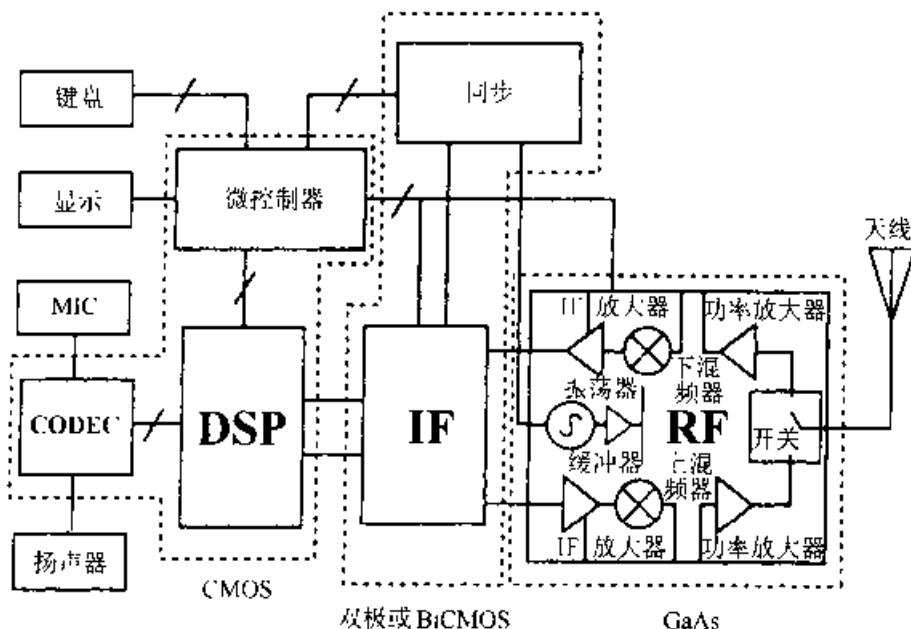
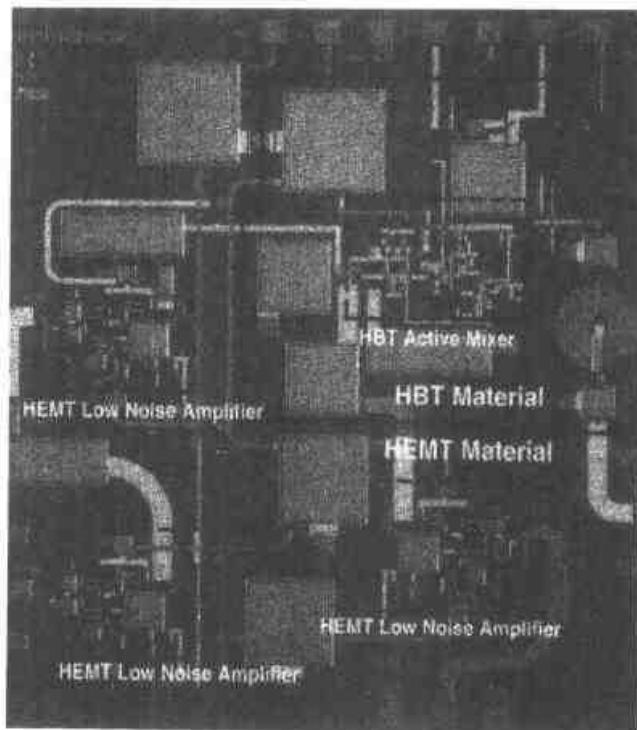


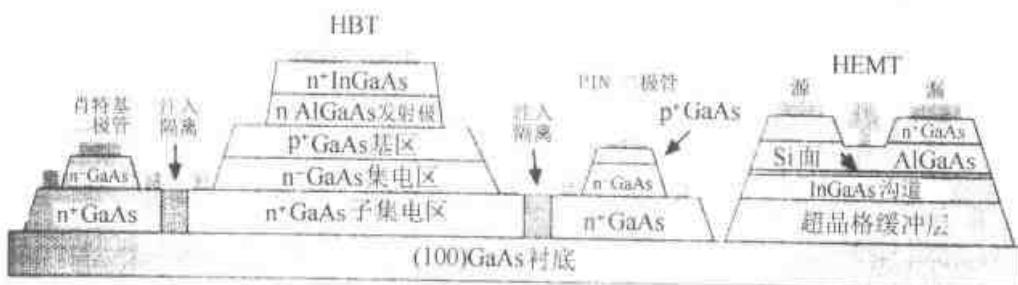
图 2.30 “三芯片电话”的示意图<sup>[32]</sup>。MIC：麦克风；CODEC：编码器/解码器；DSP：数字信号处理器；IF：中间频率单元(intermediate frequency module)；RF：射频单元(GaAs)

另一种新的 GaAs 技术将 HFET 和 HBT(异质结双极晶体管)进行了集成。图 3.31 是由 TRW 公司提出的一个低噪声接收器芯片的外观、组成和掺杂的情况<sup>[5]</sup>。

一个明确的趋势是，基于 GaAs 的有竞争力的数字技术将重新出现。这种技术既依赖于 n 沟 GaAs MESFET(Vitesse 公司制造的芯片中使用过)，又依赖于



(a)



(b)

图 2.31 TRW 公司的 HEMT/HBT 集成电路<sup>[52]</sup>

(a)低噪声接收器芯片; (b)各层组分和掺杂的示意图

类似 Si CMOS 的互补 GaAs 技术。GaAs 数字集成电路大部分用在 A/D 转换器和高速通讯之中。预计在 2000 年之前, GaAs 数字技术会朝着使用 150mm 晶片的方向发展。尽管按 Si 技术的标准来看, 这个目标很低, 但它却可以使 GaAs 基数字 IC 的产量迅速增长。

$\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$  可以生长在 InP 衬底上, 因为两者的晶格是匹配的。由于  $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$  的电子有效质量约为 GaAs 电子有效质量的一半, 这种材料的输运特性比 GaAs 的要好。使用了与 InP 晶格匹配的 GaInAs 制成的 InP 基器件有一些优点, 比如, 电子的迁移率和饱和速度较高, 这与该材料的电子有效质量较小有关; AlInAs/GaInAs 异质界面处导带不连续性较大(约为 0.5eV, 而在 AlGaAs/

GaAs 异质界面处约为 0.3eV)，相应地，2DEG 的最大密度和 HFET 的最大电流也增加；另外，InP 的热导率比 GaAs 的要大(尽管比 Si 的要小很多)。

频率大于 100GHz 时，使用了 InP 基的  $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$  HFET 比生长在 GaAs 衬底上的 HFET 要好。前者的最大工作频率已接近 600GHz！此外，很重要的一点是，这种技术与 InP 基光电子器件兼容。目前，InP 基 HFET 技术受到的限制是，InP 衬底非常昂贵，而且 InP 片很脆，处理时比较困难。

在化合物半导体技术的低端，能与 GaAs 基 FET 竞争的当属 SiGe 技术<sup>[53]</sup>。SiGe 技术使用 Si 和 SiGe 之间的异质结构，它的许多潜力都是与 SiGe HBT 分不开的。SiGe HBT 在 RF 系统中的应用可与 GaAs MESFET 竞争。SiGe HFET 和互补 SiGe HFET 也已制造出来了。这种技术的长处就是与常规的 Si 工艺兼容，而它的难处在于 Si 和 Ge 的晶格失配较大(约 4%)。目前，SiGeC 材料系统方面的研究进展使人们有望得到近乎完全匹配、无应力的 Si/SiGeC 异质结<sup>[54]</sup>。

最近，宽带隙半导体技术方面有所突破，其中包括 GaN 基 HFET 的进展在内，这种技术已成为新兴的研究热点之一。预计 SiC 和 GaN FET 可以在大功率、高温应用领域里占主导地位。

总之，未来化合物 FET 技术发展的重点似乎不在于缩小器件尺寸，而在于开发和集成不同的材料系统，发明新的器件原理，将 FET、双极和光电子技术进行集成，以及降低成本和提高加工能力。

## 习 题

- 计算并画出截面为  $1 \times 10(\mu\text{m}^2)$  的 GaAs 肖特基二极管在室温下的  $I V$  特性。Richardson 常数为  $A^* = 8.2 \text{A}/\text{cm}^2 \cdot \text{K}^2$ ，理想因子为  $\eta = 1.1$ 。试比较这种二极管的肖特基势垒高度分别取最小和最大值(0.6eV 和 0.9eV)时的不同结果。
- 设  $y$  方向垂直于金属-半导体界面，利用该方向电场  $\mathcal{E}$  的一维泊松方程的解

$$\frac{d\mathcal{E}}{dy} = \frac{\rho(y)}{\epsilon_s}$$

- 计算并画出耗尽层宽度  $d_0$  对金属-半导体肖特基结电压  $V$  的依赖关系，掺杂分布如图 P1 所示。其中，耗尽区电离施主的电荷密度  $\rho(y) = qN_D$ ，介质介电常数  $\epsilon_s = 1.14 \times 10^{-12} \text{F}/\text{cm}$ ，内建电压  $V_b = 0.6 \text{V}$ 。
- 计算具有这种掺杂分布的 MESFET 的阈值电压，设有源层总厚度为  $0.25 \mu\text{m}$ 。
- 对于图 P2 所示掺杂分布，试估计内建电压值，并计算室温下 GaAs MESFET 在源-漏电压为零时，单位面积的沟道电导率随栅-源电压  $V_{GS}$  的变化关系。设有源层厚度  $a = 0.25 \mu\text{m}$ ， $\mu_n = 3000 \text{cm}^2/\text{V} \cdot \text{s}$ ， $\epsilon_s = 1.14 \times 10^{-12} \text{F}/\text{cm}$ ，肖特基势垒高度  $q\phi_b = 0.8 \text{eV}$ ，有效态密度  $N_c = 4.7 \times 10^{17} \text{cm}^{-3}$ 。假设半导体是非简并的。

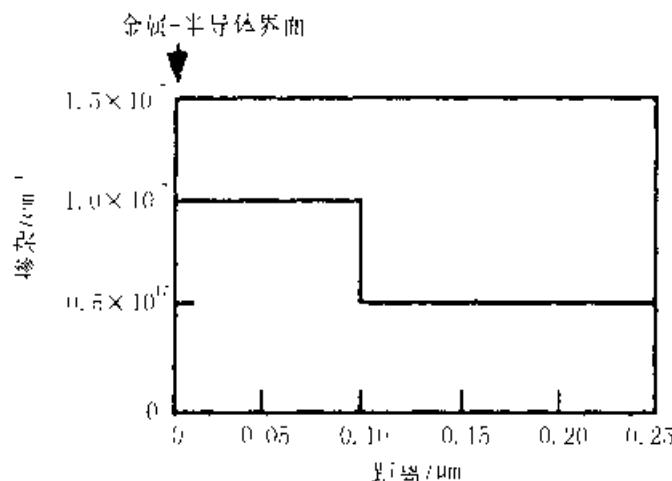


图 P1

4. 试推导场效应晶体管的基本方程，即方程 (2.13)。
5. 利用类似于推导 FET 基本方程的过程，估计 GaAs MESFET 沟道的最大单侧电场  $E_{x,\max}$ 。假设下列参数： $V_b = 0.6\text{V}$ ,  $V_g = -2\text{V}$ ,  $\mu_n = 0.3\text{m}^2/\text{V}\cdot\text{s}$ ,  $a = 0.1\mu\text{m}$ ,  $W = 20\mu\text{m}$ ,  $L = 1\mu\text{m}$ ,  $v_s = 10^5\text{m/s}$ ,  $V_{ds} = 0.5\epsilon_0 L$ ,  $V_{gs} = 0\text{V}$ 。计算  $dE_x/dx$ ，与  $dE_y/dy$  进行比较，并讨论 GCA 的有效性。
6. 对于习题 5 中使用的器件，试找出漏极电压  $V_{sd}$  的表达式，使得在该漏极电压下漏极接触处有  $E_x(L) = E_{\infty}$ 。对于  $V_{gs} = 0\text{V}$ ，求出  $V_{sd}$  的值。
7. 考虑一个 FET，其源漏串联电阻如图 P3 所示。试推导将本征和非本征跨导联系起来的方程。

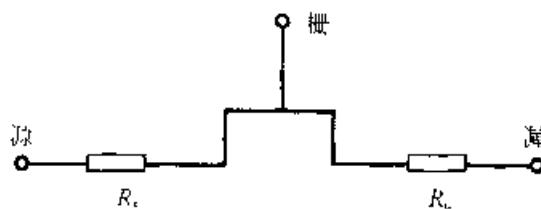


图 P3

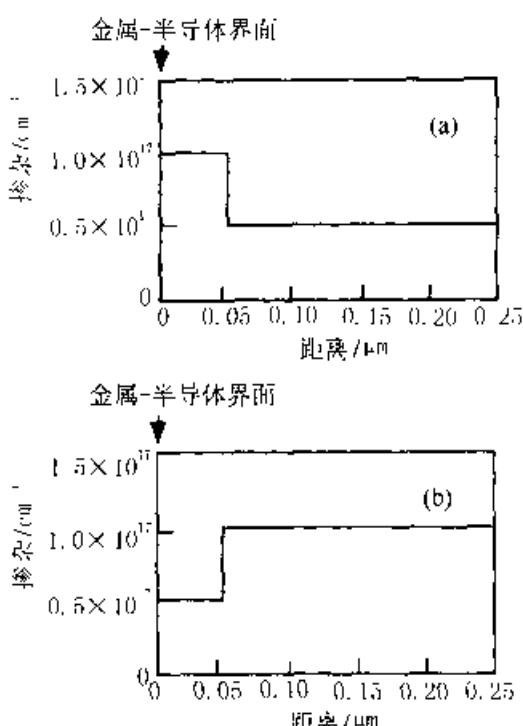


图 P2

8. 利用阈值之上饱和电流随本征栅-源电压变化的表达式

$$I_{\text{sat}} = \beta(V_{GS} - V_T)^2$$

以及将本征与非本征栅-源电压联系起来的方程 (2.20)，计及源区串联电阻，推导出 GaAs MESFET 饱和电流方程。将这个结果与  $t_c = 0$  及  $\zeta = 1$  时的方程 (2.28) 作比较。

9. 设计一个 GaAs MESFET, 使其最大跨导至少为  $200 \text{ mS/mm}$ , 棚-源偏压为零时的漏极饱和电流为  $200 \text{ mA} \cdot \text{mm}$ 。
10. 计算并画出 GaAs MESFET 沟道电容对棚压的依赖关系, 其中掺杂分布示于图 P3。假设这两种掺杂分布对应的内建电压都为  $0.7 \text{ V}$ 。试评述这些掺杂分布下器件跨导线性度的期望值。
11. 利用方程(2.44)给出的 2DEG 载流子密度和图 2.8 给出的分段线性速度-场关系, 找出 HFET 阈值之上饱和电流的本征表达式。从该表达式中, 推导出下列非本征表达式, 其中考虑了源区的串联电阻效应(见方程[19, 20]):

$$I_{sd} = \frac{g_{sd} V_v}{1 + g_{sd} R_s + \sqrt{1 + 2g_{sd} R_s + (V_g/V_L)^2}}$$

并将它与方程(2.49)比较。(提示: 计算沟道中的电场分布, 并利用条件  $v(L) = v_s$ ,  $v_s$  为电子饱和速度)。

12. 设计一个 AlGaAs/GaAs HFET, 使其最大跨导至少为  $400 \text{ mS/mm}$ , 棚-源电压为零时的漏极饱和电流为  $600 \text{ mA} \cdot \text{mm}$ 。假设宽带隙半导体材料为均匀掺杂, 这样阈值电压由下式给出:

$$V_t \approx \phi_b - \frac{qN_D d_i^2}{2\epsilon} - \frac{\Delta E_c}{q}$$

其中  $q\phi_b = 0.8 \text{ eV}$ , 为栅与 AlGaAs 之间的势垒高度, AlGaAs 的  $\epsilon = 1.06 \times 10^{-11} \text{ F/m}$ , 异质结处的导带不连续性为  $\Delta E_c = 0.15 \text{ eV}$ 。

13. 利用下列参数估计 AlGaN/GaN HFET 的最大跨导(单位取  $\text{mS/mm}$ )。势垒层击穿电场为  $7000 \text{ kV/cm}$ , 沟道中最大载流子密度为  $3 \times 10^{17} / \text{m}^2$ , 最小沟道长度为  $0.07 \mu\text{m}$ , 饱和速度为  $2 \times 10^5 \text{ m/s}$ , 低场下的迁移率为  $0.15 \text{ m}^2/\text{V} \cdot \text{s}$ , 介质的介电常数为  $9 \times 10^{-1} \text{ F/m}$ 。
  14. 评述一下 GaAs MESFET 和 AlGaAs/GaAs HFET 电容-电压特性的可能的不同之处。
  15. 试解释窄带隙半导体(用作器件沟道)和宽带隙半导体(用作势垒层)之间的导带不连续性是如何影响 HFET 沟道中 2DEG 最大密度的。画出不同棚-沟电压下沿垂直于异质结界面方向的器件的能带图来说明你的结果。
  16. 限制 HFET 最大跨导的最重要的因素是什么?
    - (a) 有限的导带不连续性。
    - (b) 棚极泄漏电流。
    - (c) 势垒层击穿。
- 该问题的答案取决于什么?

## 参考文献

- [1] S. M. Sze, Physics of Semiconductor Devices, 2nd ed., Wiley, New York, 1981.
- [2] G. C. Dacey and I. M. Ross, "Unipolar field-effect transistor," Proc. IRE 41, 970(1953).
- [3] M. S. Shur, "Wide band gap semiconductors. Good results and great expectations," in Proc. NATO Advanced Research Workshop, Ile de Bendor, France, July 1995, S. Luryi, ed., Kluwer Academic Publishers.
- [4] M. E. Levinshtein, S. Rumyantsev, and M. Shur, eds., Handbook of Semiconductor Material Parameters, Vol. 1, World Scientific, Singapore, 1996.
- [5] M. S. Shur, Introduction to Electronic Devices, Wiley, New York, 1996.
- [6] E. H. Rhoderick and R. H. Williams, Metal-Semiconductor Contacts, 2nd ed., Oxford University Press (Clarendon), London/New York, 1988.
- [7] U. Bhapkar and R. J. Mattauch, "Numerical simulation of the current-voltage characteristics of heteroepitaxial Schottky barrier diodes," IEEE Trans. Electron Dev. ED-40(6), 1038(1993).
- [8] C. Y. Chang, Y. K. Fang, and S. M. Sze, "Specific contact resistance of metal-semiconductors barriers," Solid State Electron. 14, 541(1971).
- [9] W. Shockley, "A unipolar field effect transistor," Proc. IRE 40, 1365(1952).
- [10] M. S. Shur, GaAs Devices and Circuits, Plenum, New York, 1987.
- [11] A. B. Grebene and S. K. Ghandi, Solid State Electron. 13, 573(1969).
- [12] R. A. Pucel, H. A. Haus, and H. Statz, "Signal and noise properties of gallium arsenide microwave field-effect transistors," in Advances in Electronics and Electron Physics, Vol. 38, Academic Press, New York, p. 195, 1975.
- [13] R. E. Williams and D. W. Shaw, "Graded channel FET's improved linearity and noise figure," IEEE Trans. Electron Dev. ED-25, 600(1978).
- [14] H. Statz, P. Newman, I. W. Smith, R. A. Pucel, and H. A. Haus, IEEE Trans. Electron Dev. ED-31, 160(1987).
- [15] T. Ytterdal, B.-J. Moon, T. A. Fjeldly, and M. S. Shur, "Enhanced GaAs MESFET model for a wide range of temperatures," IEEE Trans. Electron Dev. ED-42(10), 1724(1995).
- [16] K. Lee, M. S. Shur, T. A. Fjeldly, and T. Ytterdal, Semiconductor Device Modeling for VLSI, Prentice-Hall, Englewood Cliffs, N. J., 1993.
- [17] M. Noda, K. Hosogi, T. Oku, K. Nishitani, and M. Otsubo, "A high-speed and highly uniform submicrometer gate BPLDD GaAs MESFET for GaAs LSI's," IEEE Trans. Electron Dev. ED-39(4), 757(1992).
- [18] J. E Meyer, "MOS models and circuit simulation," RCA Rev. 32, 42(1971).
- [19] D. E. Ward, Charge Based Modeling of Capacitance in MOS Transistors, Ph. D. thesis, Stanford University, 1981.
- [20] D. E. Ward and R. W. Dutton, "A charge-oriented model for MOS transistors," IEEE J. Solid-State Circ. SC-13, 703(1978).
- [21] O. G. Johannessen, T. A. Fjeldly, and T. Ytterdal, "Unified capacitance modeling of MOSFETs," Phys. Scripta T54, 128(1994).
- [22] D. Divekar, "Comments on 'GaAs FET device and circuit simulation in SPICE'," IEEE Trans. Elec.

- tion Dev. ED-34(12), 2564(1978).
- [23] M. Nawaz and T. A. Fjeldly, "A charge conserving capacitance model for GaAs MESFETs for CAD applications," Phys. Scripta T69, 142(1997).
- [24] N. Arora, MOSFET Models for VLSI Circuit Simulation, Springer-Verlag, Berlin/New York, 1993.
- [25] M. Nawaz and T. A. Fjeldly, "A new charge conserving capacitance model for GaAs MESFETs," IEEE Trans. Electron Dev. (accepted for publication).
- [26] R. Dingle, H. L. Stormer, A. C. Gossard, and W. Wiegman, Appl. Phys. Lett. 37, 805(1978).
- [27] T. Mimura, S. Hiyanizu, T. Fujii, and K. Nambu, "A new field effect transistor with selectively doped GaAs/ $n$  Al<sub>x</sub>Ga<sub>1-x</sub>As heterostructures," Jpn. J. Appl. Phys. 19, L225(1980).
- [28] N. C. Cirillo, A. Fraasch, H. Lee, L. F. Eastman, M. S. Shur, and S. Bauer, "Novel multilayer modulation doped(Al, Ga)As/GaAs structures for self aligned gate FETs," Electron. Lett. 20(21), 854(1984).
- [29] M. S. Shur, "Introduction," in Compound Semiconductor Technology. The Age of Maturity, M. S. Shur, Ed., World Scientific, Singapore, 1996.
- [30] T. A. Fjeldly and M. Shur, "Unified CAD models for HFETs and MESFETs," (invited paper), Workshop Proceedings of 21st European Microwave Conference, Microwave Exhibitions and Publishers, Stuttgart, 1991, 198.
- [31] M. S. Shur, A. Khan, B. Gelmont, R. J. Trew, and M. W. Shin, "GaN/AlGaN field effect transistors for high temperature applications," Inst. Phys. Conf. Series, No 141, Ch. 4, 419(1995). (Invited paper presented at Int. Symp. Compound Semicond., San Diego, CA, Aug. 18–22 1994).
- [32] T. A. Fjeldly and M. Shur, "Simulation and modeling of compound semiconductor devices," in Compound Semiconductor Technology. The Age of Maturity, M. S. Shur, Ed., World Scientific, Singapore, 1996.
- [33] M. Berroth, M. Shur, and W. Haydl, "Experimental studies of hot electron effects in GaAs MESFETs," in Extended Abstracts of the 20th Intern. Conf. on Solid State Devices and Materials(SSDM 88), Tokyo, Aug. 1988, p. 255.
- [34] K. Y. Lee, B. Lund, T. Ytteidal, P. Robertson, E. Martinez, J. Robertson, and M. Shur, "Enhanced CAD model for gate leakage current in heterostructure field effect transistors," IEEE Trans. Electron Dev. 43(6), 845(1996).
- [35] C. Dunn, Microwave Semiconductor Devices and Their Circuit Applications, H. A. Watson, Ed., McGraw-Hill, New York, 1969.
- [36] M. S. Shur, W. C. B. Peatman, M. Hurt, R. Tsai, T. Ytteidal, and H. Park, "Heterodimensional technology for ultra low power electronics," in Proc. NATO Advanced Research Workshop, Ile de Benodier, France, July 1995, S. Luryi, Ed., Kluwer Academic Publishers.
- [37] W. C. B. Peatman, T. W. Crowe, and M. S. Shur, "A novel Schottky/2-DEG diode for millimeter and submillimeter wave multiplier applications," IEEE Electron Dev. Lett. 13(1), 11(1992).
- [38] W. C. B. Peatman, H. Park, and M. Shur, "Two-dimensional metal semiconductor field effect transistors for ultra low power circuit applications," IEEE Electron Dev. Lett. 15(7), 243(1994).
- [39] W. C. B. Peatman, H. Park, B. Gelmont, M. S. Shur, P. Maki, E. R. Brown, and M. J. Rooks, "Novel metal/2-DEG junction transistors," in Proc. 1993 IEEE Cornell Conf., Cornell, Univ. Press, Ithaca, N. Y., 1993, p. 314.

- [40] W. C. B. Peatman, R. Tsai, T. Ytterdal, M. Hurt, H. Park, J. Gonzales, and M. S. Shur, "Sub-half-micron width 2-D MESFET," IEEE Electron Dev. Lett. 17(2), 40(1996).
- [41] M. Shur, W. C. B. Peatman, H. Park, W. Grimm, and M. Hurt, "Novel heterodimensional diodes and transistors," Solid State Electron. 38(9), 172, (1995).
- [42] M. Hurt, M. S. Shur, W. C. B. Peatman, and P. B. Rabkin, "Quasi-threedimensional modeling of a novel 2-D MESFET," IEEE Trans. Electron Dev. ED-43(2), 358(1996).
- [43] J. Robertson, T. Ytterdal, W. C. B. Peatman, R. Tsai, E. Brown, and M. S. Shur, "2-D MESFET-RTD logic elements for compact, ultra low power electronics," in Proc. of Int. Semicond. Device Res. Symp., Charlottesville, VA, Dec. (1995), p. 365.
- [44] J. Robertson, T. Ytterdal, W. C. B. Peatman, R. Tsai, E. Brown, and M. S. Shur, "RTD 2 D MESFET RTD logic elements for compact, ultra low power electronics," IEEE Trans. Electron Dev. 44(7), (1997).
- [45] W. C. B. Peatman, M. Hurt, H. Park, R. Tsai, and M. S. Shur, "Narrow channel 2-D MESFET for low power electronics," IEEE Trans. Electron Dev. ED 42(9), 1569(1995).
- [46] H. J. Round, Electr. Wld 19, 308(1907).
- [47] J. I. Pankove, J. Lumin. 7, 114(1973).
- [48] M. A. Khan, Q. Chen, M. S. Shur, B. T. Dermott, J. A. Higgins, J. Burn, W. Schaff, and L. F. Eastman, "Short channel GaN/AlGaN doped channel heterostructure field effect transistors with 36.1 GHz cutoff frequency," Electron. Lett. 32(4), 357(1996).
- [49] M. A. Khan, M. S. Shur, J. N. Kuznia, J. Burn, and W. Schaff, "Temperature activated conductance in GaN/AlGaN heterostructure field effect transistors operating at temperatures up to 300 C," Appl. Phys. Lett. 66, 1083(1995).
- [50] M. A. Khan, Q. Chen, M. S. Shur, J. N. Kuznia, J. Burn, B. T. Dermott, J. A. Higgins, J. Burn, W. Schaff, and L. F. Eastman, "High temperature performance of doped channel AlGaN/GaN heterostructure field effect transistors," in Proceedings of High Temperature Conference, Sandia, Albuquerque, NM, June(1996).
- [51] "TriQuint enters RF power amp market, forecasts a three chip phone," Compound Semicond. 2(13), Jan. /Feb. (1996).
- [52] "Device feature, W new integrated HEMT/HBT circuits," Compound Semicond. 1(4), Sept. /Oct. (1995).
- [53] R. People, "Physics and applications of GeSi/Si heterostructures," IEEE J. Quant. Electron. 22, 1696 (1986).
- [54] H. G. Grimmeiss and J. Olajos, "Physics and applications of GeSi/Si heterostructures," Phys. Scripta. T69, 52(1997).

# 3 MOSFET 及其相关器件

S. J. Hillenius

Bell Laboratories, Lucent Technologies, Murray Hill, New Jersey

## 3.1 引言

本章主要讨论 MOS 器件结构方面的最新进展和这些器件的主要应用。为了便于下文的叙述，首先简单地描述 MOS 器件的工作原理。本章的讨论假定读者熟悉《半导体器件物理》<sup>[1]</sup> 的有关知识。

通常，MOS 晶体管由源、漏、栅和衬底组成，在电学上构成四端器件。晶体管的源区和漏区也可称为扩散区，一般采用自对准的方法形成。图 3.1 示出了 MOS 晶体管的基本结构。栅与扩散区的交叠形成了晶体管。MOS 晶体管的基本工作原理是利用栅极电荷来调制沟道区电荷的运动，该沟道区位于栅极下面的源区和漏区之间的区域。

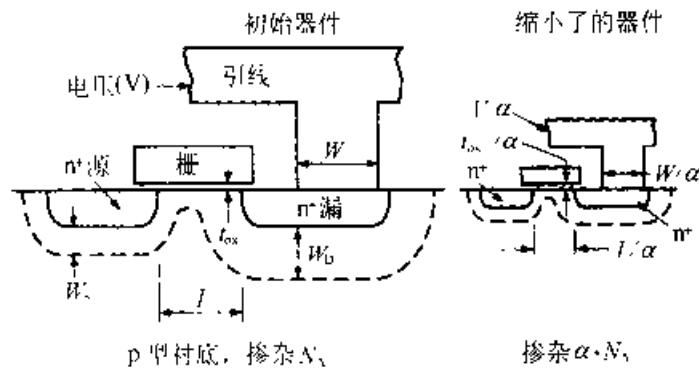


图 3.1 nMOS 晶体管的原理图，其中示出了缩小前后尺寸的对比

为了讨论 CMOS 基本结构的新进展，首先需要分析 MOSFET 的各个部分。必须弄清 MOS 晶体管尺寸缩小和电压降低后对器件特性及晶体管特性分析方法的影响。通常，MOS 器件的特性可用公式(3.1)~(3.4)描述。此处没有给出这些公式的推导(文献[1]给出了这些公式的详细推导过程)，但给出了推导这些公式时所采用的一些基本假设，其目的在于从这些基本假设入手，解释这些公式随着器件结构的变化而进行的修正。

线性区漏极电流( $V_D$  较小时)为

$$I_D = (Z/L)\mu C_{ox} \left[ (V_G - V_T)V_D + \left[ \frac{1}{2} + \frac{\sqrt{\epsilon_s q N_n / \phi_B}}{4C_{ox}} \right] V_D^2 \right] \quad (3.1)$$

阈值电压为

$$V_T = 2\phi_B + \left[ \frac{\sqrt{2\epsilon_s q N_n / 2\phi_B}}{C_{ox}} \right] \quad (3.2)$$

饱和区漏极电流为

$$I_D = (Z/L)\mu C_{ox}(V_G - V_T)V_D \quad (V_D \text{ 大时}) \quad (3.3)$$

跨导为

$$g_m = (dI_D/dV_G) = (Z/L)\mu C_{ox}V_D \quad (3.4)$$

其中,  $Z$  为晶体管的沟道宽度,  $L$  为沟道长度,  $\mu$  是电子迁移率,  $\phi_B$  是满足平带条件时的表面电势,  $C_{ox}$  是栅电容。

在电荷分布满足缓变沟道近似的条件下, 假设栅氧化层中没有固定电荷, 求解泊松方程便可得到这些公式。这些公式广泛地用于描述器件和电路的性能。随着器件尺寸的缩小及电路密度、功能、可靠性和功耗的优化, 这些公式的局限性日趋明显。本章将给出最近几年对这些基本公式的一些修正。许多过去在器件尺寸比较大时被忽略的效应, 目前在器件设计中已变得越来越重要, 因此必须对上述的基本假设和公式加以修正。

从 MOS 器件的发展过程看, 现代电子学中使用的 MOS 器件实际上是基于互补金属氧化物半导体(CMOS)工艺的。在 CMOS 技术中, 可以在同一硅衬底上同时制作 n 型(nMOS)和 p 型(pMOS)器件。这种技术由于同时具有低功耗和高集成度的特点, 已经成为微电子技术的主流。为此, 本章将重点介绍 CMOS 工艺中基本器件的进展。

## 3.2 MOSFET 的按比例缩小

MOS 技术的巨大成功在很大程度上得益于横向按比例缩小技术的进步, 这种进步大大提高了器件的性能和集成密度。MOS 器件中按比例缩小的含义是使器件的横向尺寸按比例地缩小一个系数  $\alpha$ 。经过多年的研究和探讨, 目前主要有以下两种按比例缩小规则: 一是“恒定电场的按比例缩小”(恒场律), 即缩小后加在栅氧化层上的电场保持不变。另一规则是在器件缩小过程中保持电源电压不变的恒压律, 由于维持了电源电压的恒定, 这种方法较为通用。表 3.1 和图 3.1 分别示出了恒场律和恒压律按比例缩小规则的比较, 图中示出了器件的按比例缩小系数  $\alpha$  与  $t_{ox}$ 、结深、接触区尺寸、栅长和沟道区掺杂之间的关系。

表 3.1 按比例缩小规则的对比

参数	恒定电场等比缩小规则	恒压的等比缩小规则
横向尺寸	$1/\alpha$	$1/\alpha$
电场	1	$\alpha^2$
电压	$1/\alpha$	$\alpha^2$
衬底掺杂浓度	$\alpha$	$\alpha^2$

近 20 年来，恒压按比例缩小规则的使用比较成功。但随着工艺技术的发展，器件性能和集成密度进一步提高，目前已逐渐逼近其基本的物理极限。这时若要进一步提高集成电路的性能，则需要考虑更多的因素，而不仅仅是简单地缩小器件尺寸。即需要同时在降低电源电压、提高器件性能和提高器件可靠性等三个方面进行优化，而同时在这三个方面达到最佳化是非常困难的，因此通常需要在这三个方面之间进行折衷选择。图 3.2 示出了带负载的环形振荡器在尺寸缩小的过程中，级间延迟与电源电压的关系。这可以很好地说明该环形振荡器在尺寸缩小以后的性能与电源电压的关系。该环振中 nMOS 和 pMOS 管的沟道宽度 ( $W_n$  和  $W_p$ ) 均为  $15\mu\text{m}$ ，其扇入和扇出数均为 3，即环形振荡器的每一级输出均驱动三级负载。由图可见，高性能 CMOS 器件的按比例缩小规则要求栅氧化层厚度近似线性地随沟道长度  $L$  的缩小而减小，电源电压降低的倍数则近似为沟长  $L$  缩小倍数的平方根。在上述测试电路中，器件的宽度和连线电容(负载)始终保持不变。

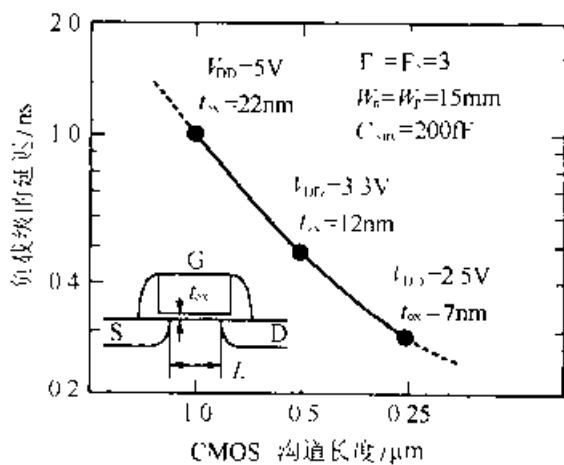


图 3.2 负载级延迟电路的性能，图中示出了缩小对性能的影响(根据 Davari 等的文献[3]，©1995 IEEE)

根据器件模拟的结果，可以对恒压按比例缩小规则进行改进，其出发点是下列通用的设计准则：

$$L_{min} = A(x_i t_{ox} W_{SD})^{\frac{1}{3}} \quad (3.5)$$

其中， $W_{SD}$  是源和漏端的总耗尽层宽度，它是沟道掺杂浓度  $N$  的函数， $x_i$  是结深， $t_{ox}$  是栅氧化层厚度， $L_{min}$  为器件所允许的最小沟道长度 ( $L_c$ )。公式 (3.5) 给出的通

用设计准则存在着当  $x_j$  或  $t_{ox}$  缩小至零时,  $L_e$  将趋于 0 的问题。其原因主要是在推导公式(3.5)的过程中假设亚阈值电流是一恒定值, 而这种假设又与实际情况不符。改进的设计准则由下式给出:

$$L_e = B f_1(\delta V_T / \delta V_D)^T f_2(t_{ox})^C f_3(W_{SD})^D f_4(x_j) + E \quad (3.6)$$

其中函数  $f_1 \sim f_4$  是拟合函数, 可根据 100 个以上器件的不同  $L_e$ ,  $t_{ox}$ ,  $N$  和  $x_j$  模拟结果确定。常数  $C$ ,  $D$ ,  $E$  考虑了  $t_{ox}$ ,  $W_{SD}$ ,  $x_j$  趋于 0 时  $L_e$  并非趋于 0 的现象。拟合一系列器件模拟结果并提取参数的过程如图 3.3 所示, 其中每个参数都是独立的, 即当其余参数取为常数时, 该参数是独立变化的。设计准则的表达式若按公式(3.7)取值, 则其中的各个参数都可以吻合得很好。

$$\begin{aligned} L_e &= (2.2\mu\text{m}^{-1})(\delta V_T / \delta V_D)^{-0.37}(t_{ox} + 0.012\mu\text{m}) \\ &\cdot (W_{SD} + 0.15\mu\text{m})(x_j - 2.9\mu\text{m}) \end{aligned} \quad (3.7)$$

另外, 有关按比例缩小的关系也需要做进一步分析<sup>[6]</sup>, 其中有效沟道长度  $L_{eff}$ 、器件速度 ( $g_m / WC_{ox}$ ) 和漏致势垒降低 ( $\delta V_T / \delta V_{DS}$ ) 之间的关系是研究的重点。参数  $L_e$ ,  $t_{ox}$ ,  $V_T$  和  $V_{DS}$  固定不变, 其它参数作变量, 以便在优化  $g_m / WC_{ox}$ ,  $\delta V_T / \delta V_{DS}$  和  $L_{eff}$  的过程中进行折衷。根据测量数据和模拟结果, 可以将上述缩小过程中参数间的关系经验性地拟合为指数规律。结果表明, 在进行折衷的过程中, 源、漏结的参数, 尤其是结深、 $R_{SD}$  和结的突变性是至关重要的因素, 而且在公式(3.7)中, 如果用  $(\delta V_T / \delta V_D)^{-0.37}$  替代  $(\delta V_T / \delta V_D)^{-0.44}$ , 得到的结果会更好一些。

尽管这种经验方法不是很理想, 而且难以符合基于基本物理规律的表 3.1 所示的按比例缩小规则, 但这种经验方法却更准确、更实用一些。这是由于当器件横向尺寸的变化使器件的纵、横向以及其它各方向上的参数错综复杂地相互作用时, 器件的三维特性越加突出; 同时由于基本物理极限的限制, 对亚 0.1 μm 器件的进一步缩小变得非常困难, 这主要包括超薄栅氧化层的制作; 源、漏超浅结的形成以及小尺寸器件必须在很低的电源电压下工作所带来的问题等。

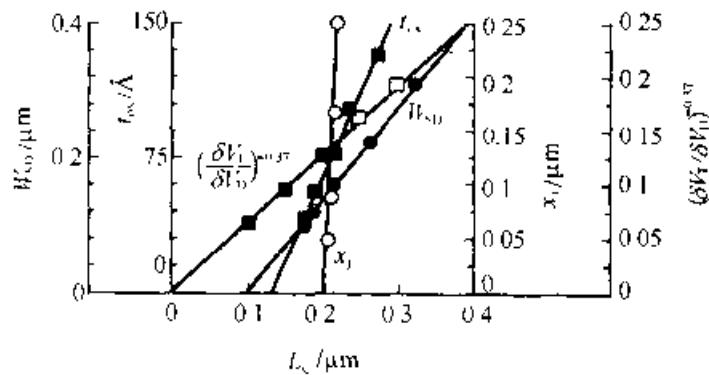


图 3.3 公式(3.6)中用于决定函数  $f_1(\delta V_T / \delta V_D)$ ,  $f_2(t_{ox})$ ,  $f_3(W_{SD})$  和  $f_4(x_j)$  及常数  $C$ ,  $D$ ,  $E$  的图。(根据 Ng 等的文献[5]。©1993 IEEE)

前述的传统按比例缩小规则给出了一种可同时使器件性能得到优化并且还适

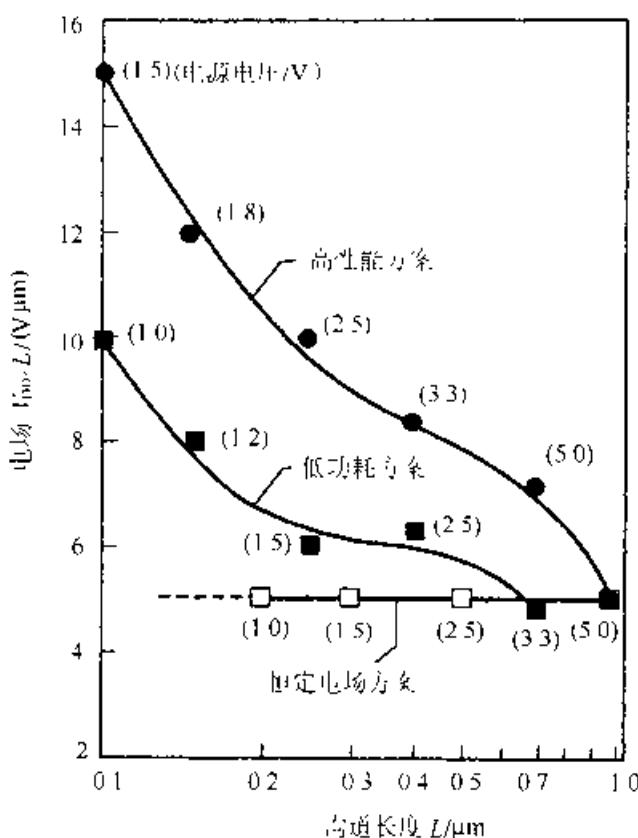


图 3.4 利用三种不同的缩小方法，沟长缩小至  $0.1\mu\text{m}$  的 nMOS 晶体管中的沟道电场。（根据 Davari 等的文献[3]。©1995 IEEE）

合于低功耗应用场合的器件缩小规则。图 3.4 示出了对性能和功耗分别进行优化之后，电场与沟道长度间的关系，同时还给出了采用恒定电场缩小规则时的情形。由图可见，如果仅仅对速度等性能进行优化，使之达到最大，得到的器件的功耗较大，且存在器件的可靠性问题；如果仅仅对功耗进行优化，使之达到最小，但器件的性能却下降了大约 1.5 倍；图中的第三条曲线对应于恒定电场规则。

截至目前为止，器件和 ULSI CMOS 工艺发展的实际情况是器件的各个部分都在缩小。因此，本章余下的大部分篇幅将介绍 MOS 晶体管中各个部分以及影响器件尺寸和材料选择的物理限制。

### 3.3 CMOS/BiCMOS

探讨 MOS 器件的发展趋势是研究 CMOS 结构改进的基础。本节将具体讨论 MOS 器件中各个部分的改进措施。在某些特定场合，需要将双极器件和 CMOS 器件结合起来使用，这种结合技术即为 BiCMOS。尽管这种技术在高速功率驱动应用中很重要，但由于其中 MOS 器件的基本器件原理和 CMOS 器件中的相同，而且本书的第一章已讲述了双极器件，所以本节主要介绍 CMOS 器件和 BiCMOS 结构中的 MOS 部分。

### 3.3.1 源区和漏区结构

目前，影响CMOS器件按比例缩小的重要因素之一是源、漏区引入的电阻。源、漏区的寄生电阻可以分为以下几部分(参见图3.5)：接触电阻( $R_{co}$ )、薄层电阻( $R_{sh}$ )、复合扩展电阻( $R_{sp}$ )和积累电阻( $R_{ac}$ )。接触电阻 $R_{co}$ 为：

$$R_{co} = \rho_{sh} S \cdot W \quad (3.8)$$

其中

$$\rho_{sh} = \rho / x \quad (3.9)$$

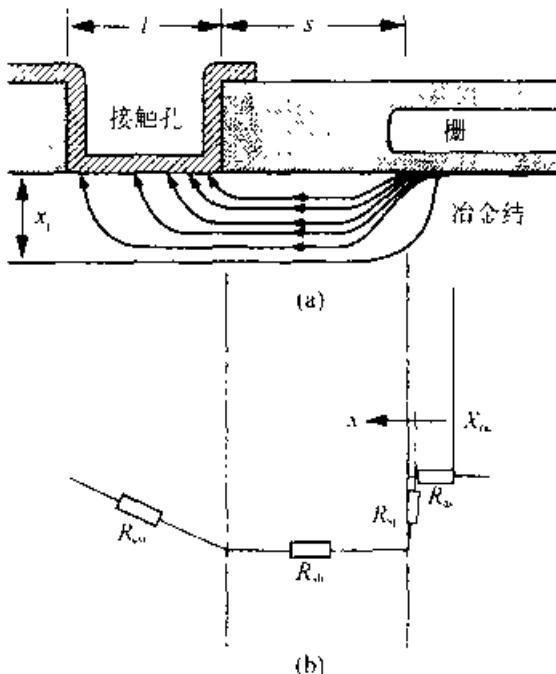


图 3.5 MOS 晶体管的接触，示出了串联电阻的组成部分

$\rho_{sh}$ 是源、漏区的薄层电阻( $\Omega/\square$ )， $W$ 是器件的沟道宽度， $S$ 是沟道边缘至接触孔边缘的间距， $\rho$ 是重掺杂源、漏区的体电阻率， $x_1$ 是结深。在器件的主要工作区域内， $R_{co}$ 和 $R_{sh}$ 可以认为是与栅压和漏区无关的常数，而 $R_{sp}$ 和 $R_{ac}$ 则与栅压和漏压有关，并且研究表明， $R_{sp}$ 和 $R_{ac}$ 必须同时考虑。这些电阻与电压的关系取决于漏掺杂区的几何形状，器件按比例缩小后，这些电阻却不可能按比例缩小。随着器件尺寸的缩小，串联电阻主要来源于接触电阻、积累层电阻和扩展电阻等，其中接触电阻为：

$$R_{co} = [\sqrt{\rho_{sh} \rho_i / r_j}] / w \quad (3.10)$$

式中 $w$ 是接触孔的宽度。并且积累层电阻和扩展电阻是缩小后器件的主要部分。 $R_{ac} + R_{sp}$ 的值为：

$$R_{ac} + R_{sp} \approx (4\rho / \pi W) [\Delta (\delta_{reh} / \rho) + \ln(r_j / 2r_{eh})] \quad (3.11)$$

其中 $\Delta$ 是栅下结区空间分布所引入的附加电阻， $r_{eh}$ 是表面沟道深度， $W$ 为沟道宽

度。从串联电阻各个部分对器件特性影响的大小分析来看， $R_{sc}+R_{sp}$ 是器件串联电阻的主要部分，而且结的突变性是其重要的影响因素。

在设计漏区时，另一个需要考虑的问题是降低栅感应引起的漏端泄漏电流(GIDL)，该效应是由于栅与漏区交叠部分的强电场区引起的。图3.6(a)示出了该区的情况，在漏端强电场区出现了非平衡的深耗尽区，图中示出了该区域中可能产生的电子-空穴对。图3.6(b)示出了产生这种电流的几种可能的机制，其中包括热发射和隧穿、陷阱辅助隧穿、带间隧穿等，带间隧穿与器件的电压和当代器件结构的关系最为密切，为降低隧穿效应，需要采用突变结以减小交叠区的深耗尽。

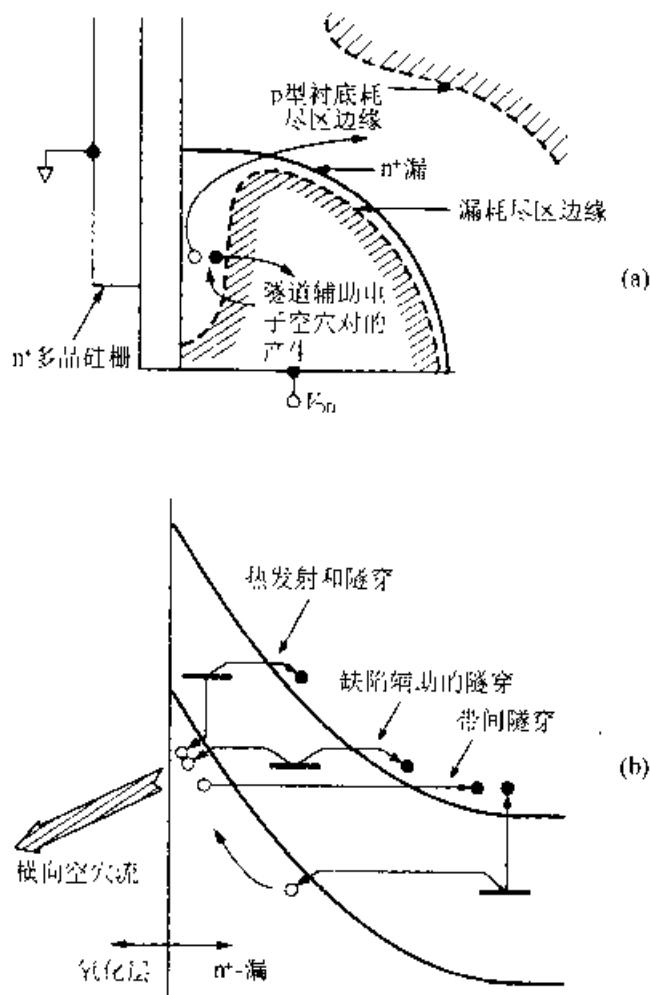


图 3.6 栅感应漏端泄漏的机理。能带图中示出了各种能够由栅感应泄漏产生空穴的机理(根据 Brews 之参考文献[9])

把源、漏区的硅层抬高是避免采用浅结的另一个新办法，这样既具有浅结的优点，又能在一个相对较厚的区域内形成接触。在形成栅以后，通过在MOS器件的源、漏区选择生长硅便可得到这种结构。该结构可以在充分发挥浅结优点的前提下，降低器件的接触电阻和薄层电阻。

### 3.3.2 沟道结构

优化设计 MOS 器件沟道中杂质分布的目的是使短沟效应的影响最小、驱动电流最大，并能保证器件的可靠关断。通过设计沟道中的杂质分布可以在保持器件性能不变的情况下最大限度地使器件沟道长度缩小。在前述的设计规则中曾假设沟道中的杂质浓度始终是均匀分布的，然而沟道掺杂采用非均匀分布却大有益处，其中最重要的好处是能够在短沟效应和器件性能方面优化器件的特性。对于数字 CMOS 电路，器件在性能上的两个重要特点是：当器件导通时，提供尽可能大的驱动电流；当器件关断时，泄漏电流应尽可能地小，也就是说应该使器件导通电流  $I_{on}$  与关断电流  $I_{off}$  之比最大，而沟道杂质分布则可以同时影响开关态电流。

在沟道内采用突变杂质分布是降低短沟效应的有效方法之一，并且该方法还具有能够保持较低沟道掺杂浓度的优点。通常，在沟道接近表面的区域掺杂浓度较低，从而使迁移率的退化较小；而在沟道深处掺杂浓度则较高以降低短沟效应；同时在源漏区下面的掺杂也应该较低，以减小源漏结电容。图 3.7 示出了一个满足上述要求的脉冲型掺杂浓度分布<sup>[10]</sup>，这种器件在表面附近为一轻掺杂区，在较深处是一个重掺杂区。轻掺杂区可以使表面处的电场与沟道区中为降低短沟道效应而采用重掺杂时的电场相比足够低，这样可使迁移率不发生明显退化。脉冲型掺杂不仅使短沟道效应减小，而且还不会导致 Si 层中耗尽区扩展的深度增加，避免了在源、漏区产生额外的寄生结电容。在本章的后半部分还将讨论这种结构与绝缘层上硅(SOI)器件进行对比的情况。

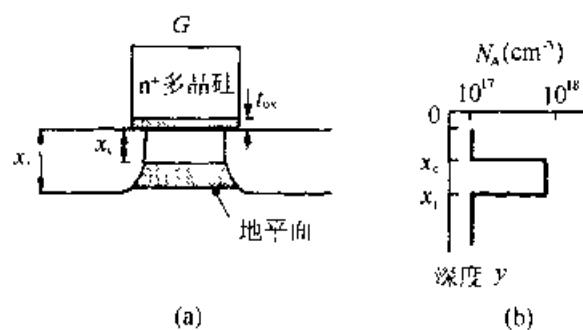


图 3.7 (a) 脉冲型掺杂结构的剖面图；(b) 沟道区的掺杂浓度

(根据 Yan 等的参考文献 [10]，©1992 IEEE)

众所周知，随着沟道长度的减小，由于沟道区中的电荷共享作用，栅压所能控制的沟道电荷变少，这称之为短沟道效应，该效应用使阈值电压随沟道长度的减小而降低。另外，还存在一种与之相反的效应，即随着沟道长度的缩短，阈值电压增大，这主要是由于沟道区中杂质的再分布引起的，这种再分布使沟道表面处的掺杂浓度增加，从而导致阈值电压增大。源-漏区杂质注入和由于点缺陷而引入的杂质增强扩散是造成这种再分布的主要原因。图 3.8 示出了杂质的再分布，由于晶体管中沟道的掺杂浓度与沟道长度有关，器件的特性便与沟道长度密切相关。

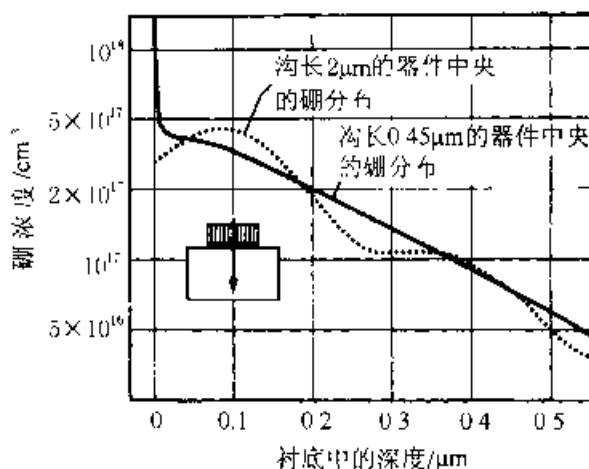


图 3.8 同样的器件和工艺下，对于不同的沟道长度，沟道中硼的浓度分布，图中示出了由源-漏区增强扩散引起的硼再分布(根据 Rafferty 等的参考文献[11]。©1994 IEEE)

这种关系很难用解析的方法加以描述。如沟长为  $0.45\mu\text{m}$  的晶体管表面处的硼掺杂浓度约为  $10^{18}\text{cm}^{-3}$ ，而沟长  $2\mu\text{m}$  器件的硼掺杂浓度则约为  $3\times 10^{17}\text{cm}^{-3}$ ，而且其杂质分布情况也有差异。正是硼的这种再分布，导致阈值电压随沟道长度的缩小而增大。

对高性能器件来说，反型层迁移率是另一个重要的参数。迁移率一般由等效迁移率  $\mu_{\text{eff}}$  和高场区的等效纵向电场  $E_{\text{eff}}$  之间的普适关系来描述。对于特征尺寸非常小的器件，体内散射对迁移率的影响很小，沟道内表面散射和库仑散射效应对迁移率的影响更为严重。对于低压工作的高性能器件，保证表面载流子浓度较低以获得较高的迁移率对器件的性能至关重要。最近的研究表明<sup>[12]</sup>，库仑散射源自两种互不相关的因素，即界面陷阱和衬底掺杂。考虑了库仑散射和界面散射后，应对上述迁移率的普适关系曲线加以修正，图 3.9(a)示出了迁移率  $\mu_{\text{eff}}$  和表面载流子密度  $N_s$  的关系。该迁移率是通过改变陷阱态密度的实验测得的，即通过向栅氧化层中注入电荷改变陷阱密度，并观察其迁移率的变化。在利用  $3\times 10^{-5}\text{A/cm}^2$  的电流源向栅氧化层注入电荷的过程中，多次测量迁移率的结果显示，随着应力时间的增长(从 20 秒到 6 000 秒)，界面陷阱态增加。研究表明，界面陷阱态对迁移率有以下影响：

$$\mu_{\text{eff}}(D_n) \propto \sqrt{N_s/D_n} \quad (3.12)$$

其中  $D_n$  是界面陷阱态密度， $N_s$  是表面载流子密度。

通过测量不同衬底掺杂浓度下的迁移率可以得到衬底掺杂浓度对迁移率的影响：

$$\mu_{\text{eff}, \text{sub}} \propto N_s/N_A \quad (3.13)$$

由图 3.9(b)中沟道掺杂对迁移率的影响可见,  $\mu_{c, sub}$  与  $N_s$  成正比, 而  $\mu_{c, n}$  与  $\sqrt{N_s}$  成正比。可见  $\mu_{c, sub}$  对  $N_s$  的依赖关系较弱, 并可通过电子在 MOS 反型层中的分布进行解释。

由于电子的分布主要集中于表面, 当  $N_s$  较高时, 电子受界面电荷的散射更加频繁, 这就降低了由屏蔽效应引起的迁移率增加。

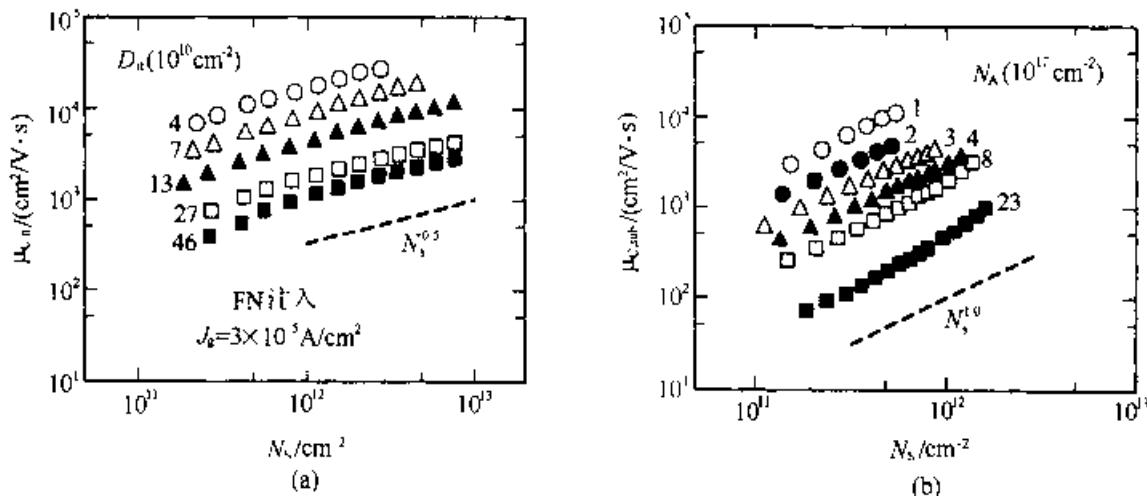


图 3.9 迁移率与沟道电荷的关系。(a)界面电荷值不同; (b)沟道掺杂浓度不同。图中示出了表面散射和杂质散射的影响(根据 Koga 等的参考文献[12])。

©1994 IEEE)

图 3.10 给出了迁移率与界面陷阱态和衬底掺杂浓度的关系, 在这两种情况下, 迁移率均与总散射中心的数目成反比。

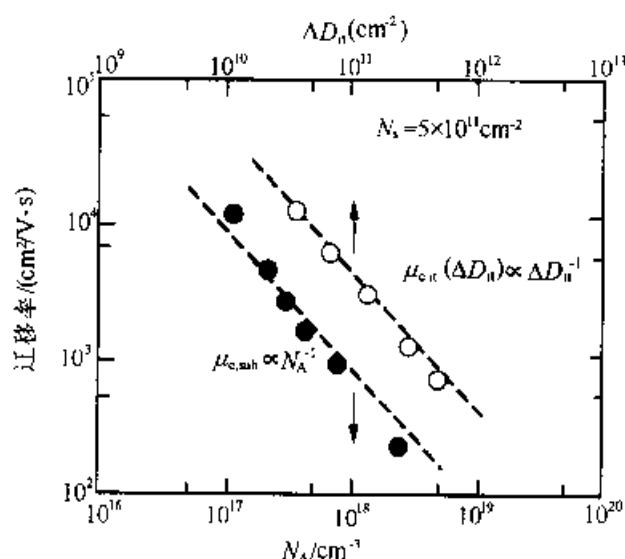


图 3.10  $\mu_{c, sub}$  和  $D_s$  与  $N_A$  的依赖关系, 在任一情况下, 迁移率都反比于库仑散射中心的总量(根据 Koga 等的参考文献[12]). ©1994 IEEE)

### 3.3.3 槽结构

在过去的许多年中, CMOS 器件的槽结构并没有发生很大的变化。在现代 MOS 器件中, 最常用的槽材料是多晶硅/金属硅化物的复合结构。因此, MOS 器件的功函数主要由硅槽决定, 低电阻的金属硅化物主要用于器件之间的互连。由于过去主要关心尺寸效应, 研究的重点是槽电场, 并据此对器件进行建模。然而实际上, 我们不应该仅仅将槽看作是金属, 只是取其功函数为简并的 n 型或 p 型硅的数值, 而且沟道区也不再应该被视为经典的半导体。应从量子效应引起电荷分布改变的角度去分析槽的电学性质。

这种量子效应对器件特性的显著影响之一是阈值电压。该效应使得通过假设在硅和  $\text{SiO}_2$  界面处存在电荷薄层的方法来计算阈值电压不再准确合理。由于槽耗尽效应和沟道中的量子效应使电荷薄层不再完全处于界面, 因此需要对阈值电压的计算加以修正。实际的槽电容可等效地为三部分: 氧化层电容  $C_{\text{ox}}$ , 衬底电容  $C_s$  和槽电极电容  $C_p$ , 这三个电容是串联的:

$$C_{\text{gate}} = \left[ \left( \frac{1}{C_{\text{ox}}} \right) + \left( \frac{1}{C_s} \right) + \left( \frac{1}{C_p} \right) \right]^{-1} \quad (3.14)$$

$$C_{\text{ox}} = \epsilon_{\text{ox}} / t_{\text{ox}} \quad (3.15)$$

当  $C_s$  和  $C_p$  较大时, 上述关系描述的槽电容和氧化层电容几乎相等。然而, 当槽氧化层厚度小于 10nm 时, 其余两项则变得非常重要。

槽电极既可被看作为理想导体, 也可被当作重掺杂的单晶硅, 硅中的自由载流子浓度可用麦克斯韦-玻尔兹曼(MB)统计或费米-狄拉克(FD)统计描述。图 3.11(a)示出了 MOS 槽电容的模拟结果, 其中包括了不同的统计方法和量子化效

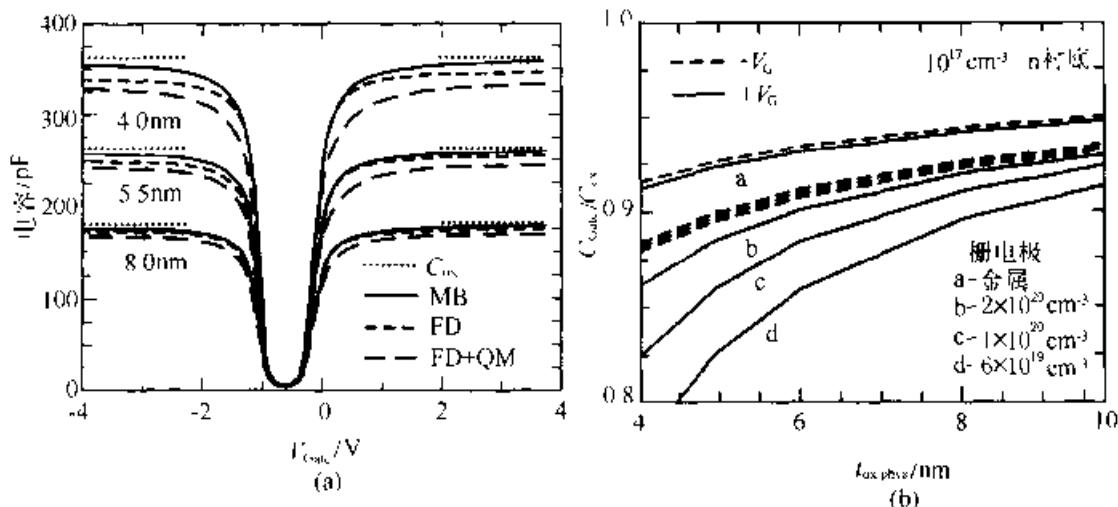


图 3.11 (a)槽氧化层电容的模拟结果, 包括麦克斯韦-玻尔兹曼(MB)、费米-狄拉克(FD)统计及沟道中的量子效应; (b)槽氧化层厚度不同时, 槽电容的衰减(根据 Krisch 等的参考文献[11], ©1995 IEEE)

应等,当硅表面强电场对电子产生约束的距离和电子的德布罗意波长可比拟时,则需要考虑量子力学效应。这是使栅电容偏离标准模型的主要原因。考虑了这些效应以后计算得到的 C-V 曲线如图 3.11(a)所示。由图可见,随着栅氧化层的减薄,这些效应的影响将逐渐增加。图 3.11(b)给出了这些效应与栅氧化层厚度的关系,图中曲线是计算得到的  $C_{\text{gate}}$  和  $C_{\text{ox}}$  之比。

### 3.3.4 栅的介电性能

限制栅氧化层进一步减薄的因素有很多。本节将主要介绍一些与超薄栅氧化层有关的器件。图 3.12 示出了 2.5nm 栅氧化层( $C_{\text{ox}}$ )的透射电子显微镜(TEM)照片,这是现代器件中薄栅氧化层的典型尺寸。该 TEM 照片中还示出了单晶硅区域中单个硅原子的大小,用硅晶格尺寸作为标准可以非常精确地测量出栅氧化层的厚度<sup>[15]</sup>。

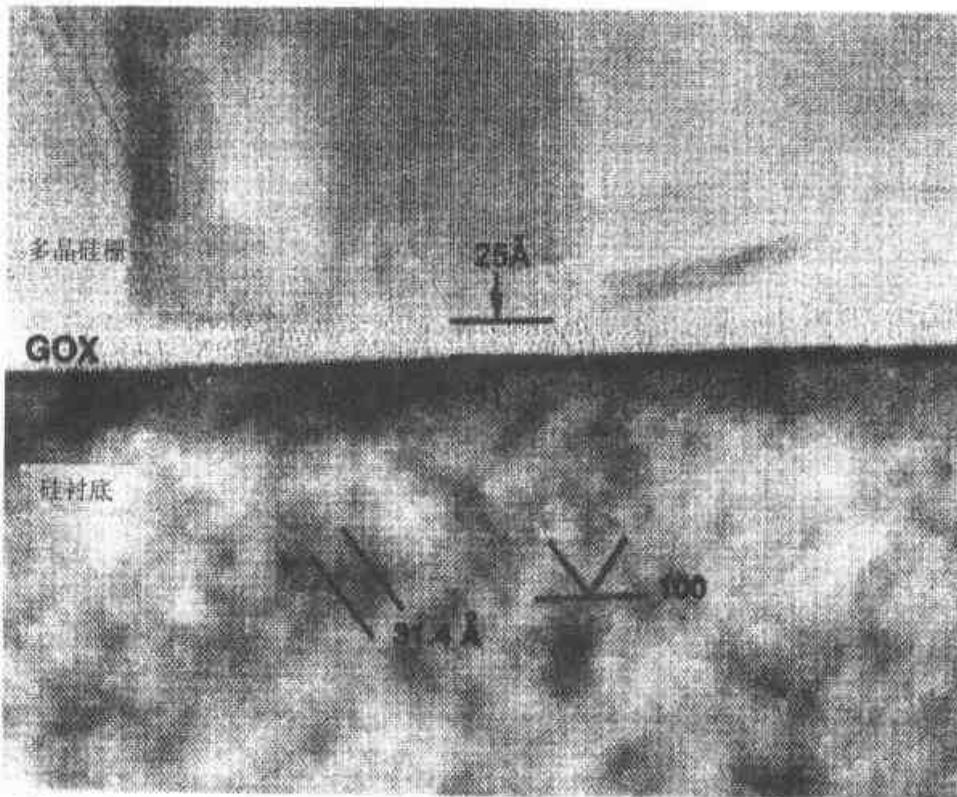


图 3.12 2.5nm(25 Å)栅氧化层的 TEM 照片。利用硅衬底的晶格间距可以准确地确定氧化层的厚度(根据 Liu 等的参考文献[15]。© 1996 IEEE)

当 MOSFET 按比例缩小时,超薄栅氧化层是一个很严重的物理限制,由于栅氧化层厚度降低,隧穿电流急剧上升,使器件的功耗增加。并且由于栅电流流过氧化层会带来损伤,因此将导致器件的可靠性问题。于是,为了提高器件性能,并不希望栅氧化层太薄。而且在足够高的电场(7~8MV/cm)下,电子从栅到沟道的隧穿将引起很大的泄漏电流,这一效应会导致 Fowler-Nordheim(FN)电流或直接隧穿。本节将回顾该电流对器件工作特性和栅氧化层尺寸限制的影响。栅电流对器件可靠性的影响将在以后讨论。

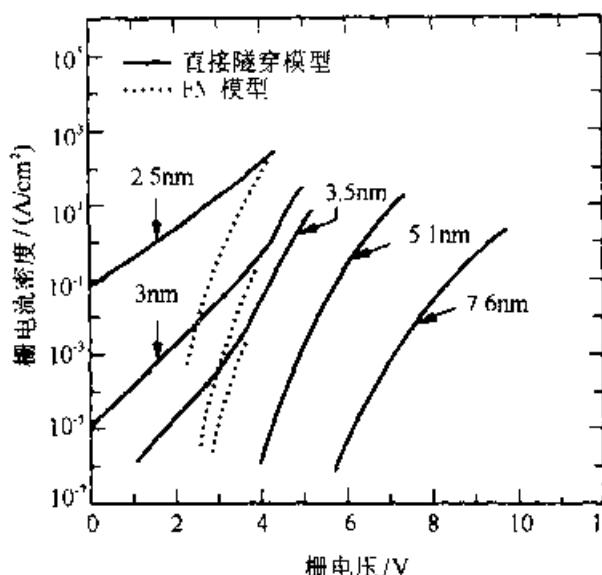


图 3.13 不同氧化层厚度下，组成栅电流的各部分随栅压的变化，图中示出了直接隧穿开始起作用的情况

即可导致器件的失效。

FN 电流由下式给出：

$$J = A \epsilon_{ox}^{3/2} \exp(-B/\epsilon_{ox}) \quad (3.16)$$

其中  $A$  和  $B$  是常数（对于热生长的二氧化硅， $A = 1.25 \times 10^{-6} \text{ A/V}^2$ ,  $B = 233.5 \text{ MV/cm}$ ）， $J$  是电流密度，单位为  $\text{A/cm}^2$ ,  $\epsilon_{ox}$  是二氧化硅层中的电场，单位为  $\text{V/cm}$ 。当栅氧化层厚度减薄到直接隧穿电流比较显著时，通过栅氧化层的隧穿将成为一个需要考虑的重要因素。图 3.13 示出了栅氧化层厚度不同时的栅隧穿电流大小。由图可见，当栅氧化层厚度约为 3.5 nm，电源电压仅为 3 V 时，直接隧穿电流便已经比较显著。对于该问题，一个很有意思的研究课题是流过栅氧化层的电流究竟为多大时，

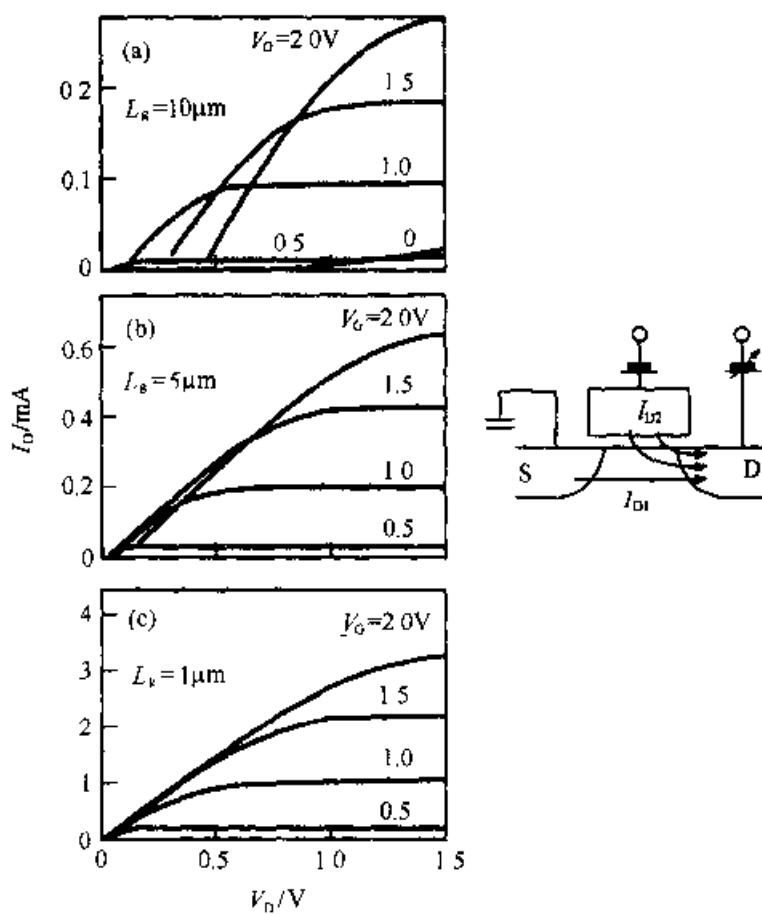


图 3.14 沟道长度分别为 (a)  $L_g = 10 \mu\text{m}$ , (b)  $L_g = 5 \mu\text{m}$ , (c)  $L_g = 1.0 \mu\text{m}$ , 时栅电流动对器件的影响。栅氧化层的厚度为 1.5 nm。图中右边示出了漏端电流的两个分量 (根据 Momosa 等的参考文献 [17] © 1996 IEEE)

对栅氧化层厚度为 1.5nm 的晶体管特性进行测试的结果表明，尽管栅电流是长沟器件需要考虑的重要参数，但其在短沟器件中却显示出较好的器件特性，获得了前所未有的  $I_{\text{m}}$  电流，图 3.14 分别示出了长沟和短沟器件的  $I-V$  特性。对于器件漏电流的贡献主要来自于源和栅两个方面。栅电流正比于沟道长度，但会对器件特性产生不利影响。而来自于源端的电流却是随着沟长的减小而增加。对于沟道非常短的器件，栅电流并不是漏电流中的重要成分，因此短沟器件的特性较好。据报道<sup>[17]</sup>，这类 n 沟晶体管在  $L_c = 0.1\mu\text{m}$  时，室温下的跨导已经前所未有地超过了 1 000mS/mm(参见图 3.15)。

## 3.4 可靠性

### 3.4.1 热载流子

**n-MOS 器件** 在 MOS 晶体管中，由于栅氧化层的充电，热载流子效应成为器件退化的重要原因之一。在 n-MOS 和 p-MOS 中都可出现这种效应，但在 n-

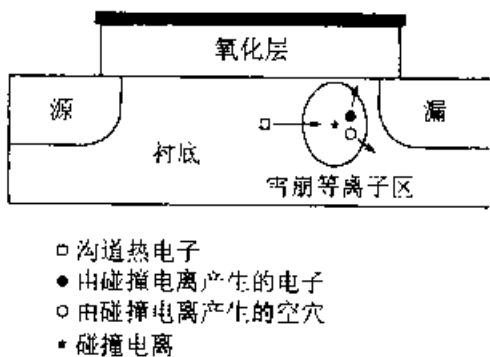


图 3.16 在 MOSFET 的漏端由碰撞电离引起的热电子产生

MOS 中更为严重。热载流子退化的基本原理如图 3.16 所示，在漏端的强场区，沟道电子获得能量，并加速向栅氧化层中运动，导致电荷注入到栅氧化层并在二氧化硅层中产生固定电荷。该固定电荷使器件的阈值电压上升，驱动能力下降。固定电荷的影响通常由器件特性随时间( $t$ )的变化进行检测。

假设栅电压为漏电压的一半，寿命可由下式外插得到：

$$dV_T = At^n \quad (3.17)$$

其中， $n$  的值为 0.5~0.7， $dV_T$  是由于器件老化引起的阈值电压变化， $A$  是与器件加工工艺过程有关的常量<sup>[18]</sup>。

对于将来的器件，通过降低  $V_{DD}$ ，热载流子效应在一定程度上有所下降。实际上，电压的降低与具体的应用条件有关，但在选择电源电压时，可靠性是一个非常重要的因素。曾有人认为，当电源电压降到 1V 或更低时，可以不必考虑热载流子效应。而最近的研究表明，碰撞电离也可以发生在电压远小于 1V 时。这意味着

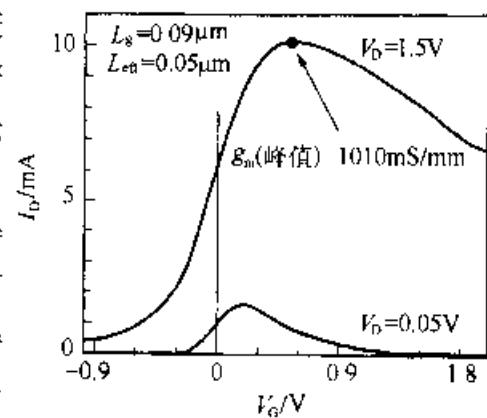


图 3.15 氧化层厚 1.5nm，沟长  $L_g = 0.09\mu\text{m}$  时晶体管的跨导峰(根据 Mommosa 等的参考文献[17]。©1996 IEEE)

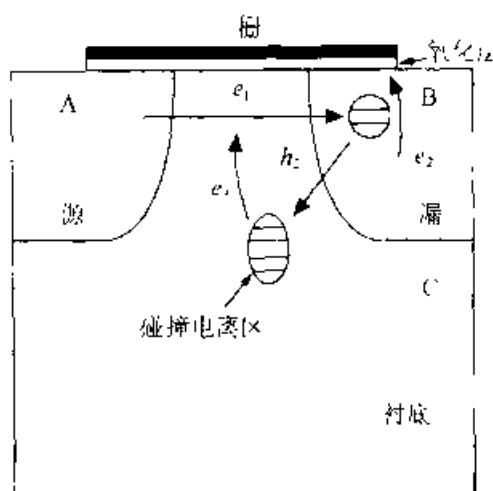


图 3.17 热电子退化机理示意图。由沟道电子  $e_1$  在漏端高场区产生次级空穴  $h_2$ ，随后由碰撞电离导致次级电子  $e_2$ （根据 Bude 的参考文献[20]，© 1995 IEEE）

在该电压条件下，热载流子退化仍起作用，此时的电荷损伤机理主要是由于反馈而引起能量的增强，即碰撞电离经漏-体结的反馈<sup>[20]</sup>。

碰撞电离反馈效应的原理示于图 3.17 中，注入漏端的沟道电子( $e_1$ )在漏端获得足够的能量后发生碰撞电离，在B区形成低能量的电子-空穴对。在B区形成的次级电子( $e_2$ )流出漏极，而空穴( $h_2$ )则被加速至C区，在C区它们能够获得更多的能量，会再次发生碰撞电离形成更多的电子-空穴对。在C区的电子又可随着势能的下降而获得更多的能量。该效应虽然无法直接进行观察，但却可以采用电子能量的统计分布函数模拟碰撞电离的过程。

若载流子的能量大于 Si-SiO<sub>2</sub> 势垒高度，即约 3.2eV，则这些载流子只能形成栅电流。模拟结果表明，在电子分布中将出现带尾，如图 3.18 所示，在能量大于 3.2eV 区，电子分布仍是很可观的。

**p-MOS 器件** p-MOS 器件的退化机理与 n-MOS 器件不同，它主要由沟道反型层中的电子注入到栅氧化层形成。被陷落的电子使沟道表面发生变化，相当于 p<sup>+</sup>区向沟道中延伸。图 3.19 示出了这一机理，并标明了等效漏扩展的区域。漏区扩展使有效沟道长度减小，于是工作在高电压下的器件随着时间的推移跨导将增加。这通常被称为热电子引起的穿通(HELP)<sup>[21]</sup>。它是使 p-MOS 器件退化的主要原因。使 p-MOS 器件退化的第二个原因是空穴产生的界面陷阱引起的跨导下降。当晶体管缩小至深亚微米时，第三种效应，即空穴注入到栅氧化层，产生正的氧化层电荷变得越来越重要。对于采用氮化二氧化硅栅介质的深亚微米 p-MOS 器件，这种效应更为重要，它使得跨导降低<sup>[22]</sup>。上述效应的影响可由下式描述，其中负电荷和界面陷阱对器件退化的影响为：

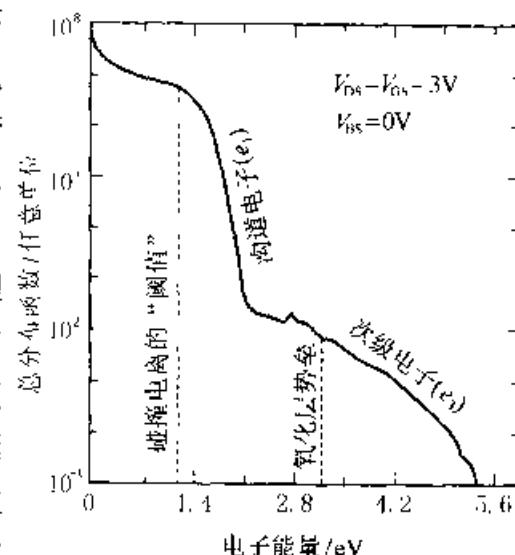


图 3.18 蒙特卡罗模拟的热载流子分布函数(DF)。在这种情况下，碰撞电离引起的次级电子对应着较高的能量（根据 Bude 的参考文献[20]，© 1995 IEEE）

$$\Delta g_m/g_m = 0.1 \times 5t_{ox}/8L_{eff} \left[ \lg \left( 1 + 10^{\sqrt{3L_{eff}/5t_{ox}}} \times t/\tau_{gm,+} \right) \right]^2 \quad (3.18)$$

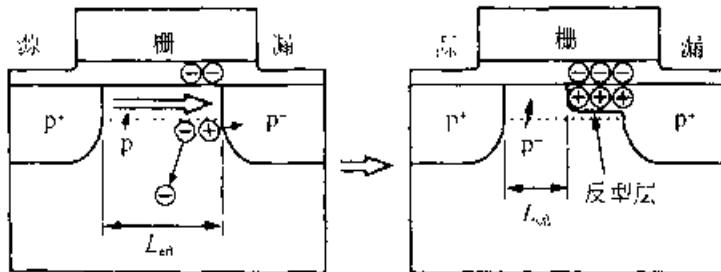


图 3.19 由热电子感应引起的夹断效应的示意图(根据 Woltjer 等的参考文献[22]。© 1995 IEEE)

而正电荷复合和界面态产生对退化的影响为:

$$\begin{aligned} \Delta g_m/g_m &= 0.1 \times 5t_{ox}/8L_{eff} \left[ \lg \left( 1 + 10^{\sqrt{3L_{eff}/5t_{ox}}} \times t/\tau_{gm,-} \right) \right]^2 \\ &\quad - 0.1(t/\tau_{gm,-})^{0.45} \end{aligned} \quad (3.19)$$

其中,  $\tau_{gm,+}$ ,  $\tau_{gm,-}$  和  $\tau_{gm,-}$  分别是表面态、负电荷产生、正电荷产生效应在  $\Delta g_m/g$  达到 10% 时所需的时间。这三种效应都会引起 p-MOS 器件的退化, 并可能影响小尺寸器件的噪声。图 3.20 示出了在三种不同的老化条件下,  $\tau_{gm,+}$ ,  $\tau_{gm,-}$  和  $\tau_{gm,-}$  与  $1/V_{DD}$  的关系。 $\tau_{gm,+}$  与  $V_G = V_{DD}/2$  时产生的界面陷阱有关,  $\tau_{gm,-}$  与  $V_G = V_T$  时产生的负电荷有关,  $\tau_{gm,-}$  与  $V_G = V_D$  时产生的正电荷有关。

尽管影响 p-MOS 器件退化的机理已逐渐被认识, 但人们对 p-MOS 器件的退化仍不如对 n-MOS 器件那样重视。

### 3.4.2 介质失效

薄栅二氧化硅介质层的失效是由于空穴或电子陷落在薄氧化层中, 导致氧化层击穿和绝缘层中产生电流通路造成的。随着工艺技术的进步, 在 DRAM、EPROM 和小尺寸 MOS 器件中, 薄栅氧化层中的电场强度不断增大, 由于栅氧化层电场的增强使得人们对介电击穿和超薄介质层可靠性的认识有待进一步深入。在 MOS 器件中, 电荷陷落是最主要的失效机理, 也是限制器件中最大电场的最主要因素。通常采用开始击穿时的累积电荷量  $Q_{bd}$  来衡量氧化层的质量。有关介质失效机理研究的最新结果表明, 薄氧化层的充电机理与以往不同,  $Q_{bd}$  不再是一个实用的参数。与时间相关的击穿数据(如图 3.21)表明, 在典型的电源电压条件下, 超薄栅介质层的厚度可以低于 3nm。图 3.22 示

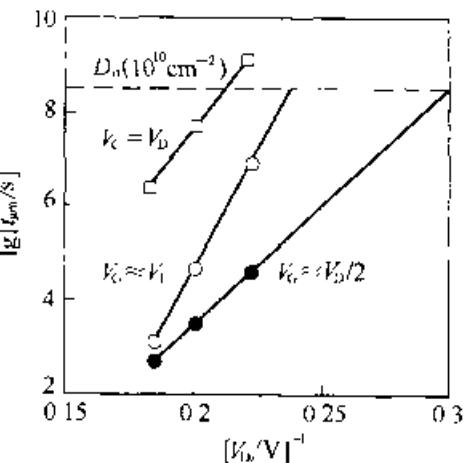


图 3.20 不同退化机理下, 对跨导变化 10% 与  $1/V_D$  的关系曲线插值所得到的 p-MOSFET 的寿命(根据 Woltjer 等的参考文献[22]。© 1995 IEEE)

出了由于隧穿电流和 TDDB(与时间相关的介质击穿)效应引入的对最小栅氧化层厚度的限制。如果对于前述的栅电流能够接受,那么由 TDDB 引入的限制可使栅氧化层厚度小于 2.5nm。然而非常可惜的是,目前对于超薄栅氧化层失效机理仍没有深入的认识。

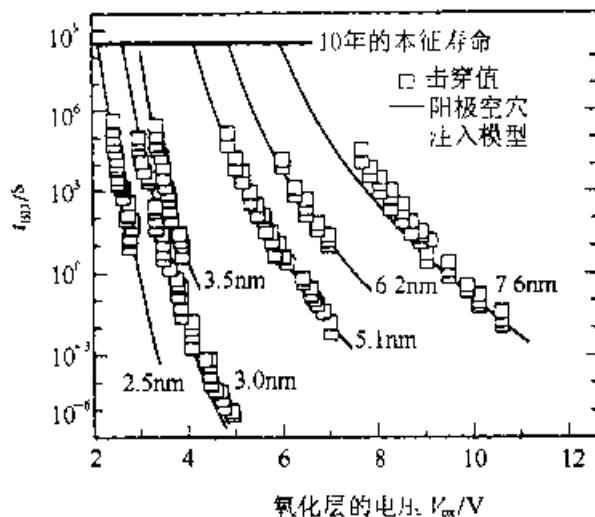


图 3.21 对于薄栅氧化层, 测得的随时间的击穿(time-to-breakdown)与氧化层电压的关系(根据 Schuegraf 和 Hu 的参考文献[23])

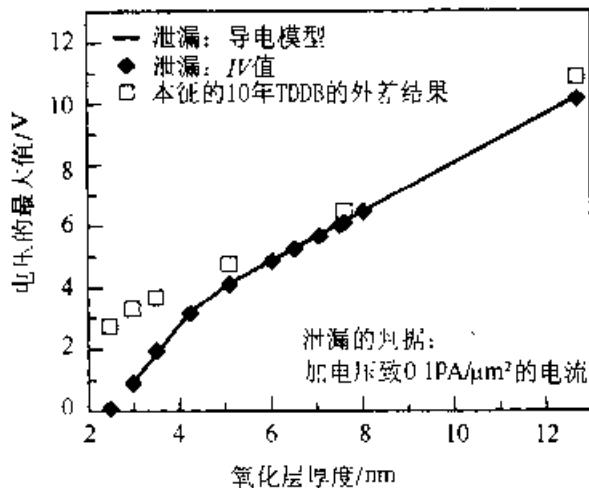


图 3.22 由泄漏电流和 TDDB 两种不同失效机理决定的最大可允许的氧化层厚度(根据 Schuegraf 和 Hu 的参考文献[23])

### 3.5 SOI 和三维结构

由于缩小了的 MOS 器件的发展受到前面所述因素的限制, 很难仅仅通过缩小尺寸进一步发展。这时, 需要通过改变晶体管的基本工作模式和器件结构来提高器件的性能。近几年来, 一个很重要的发展方向便是采用绝缘衬底上硅(SOI)器

件来提高性能<sup>[24]</sup>。利用 SOI 结构的好处是不仅可以大幅度降低寄生电容，并且它特别适合于发展低压/低功耗应用，另外 SOI 器件还具有极佳的抗辐射能力，多年来已经被广泛利用。

### 3.5.1 部分耗尽的 SOI MOSFET

利用 SOI 材料发展起来的最常见的器件为部分耗尽 SOI 器件，该名称源于器件的结构。这种器件的沟道区足够厚，沟道耗尽区的宽度小于整个沟道硅层的厚度。这种结构示于图 3.23 中，其优点是器件的设计和工作原理与体硅 CMOS 器件非常接近，其中的一些主要差别将在下面讨论。

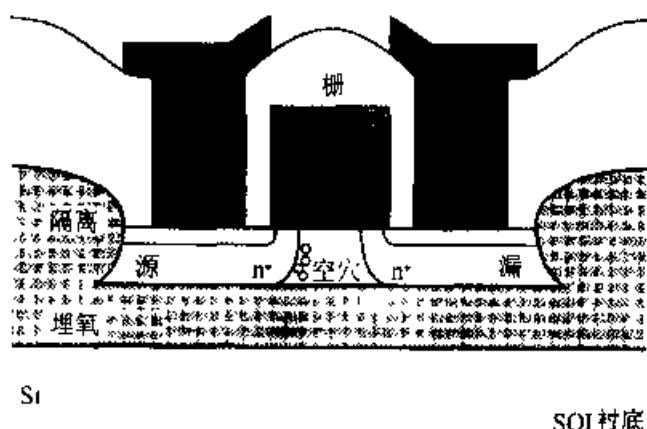


图 3.23 SOI 结构剖面图。图中示出了器件的结构和在  
沟道区空穴聚集引起的浮置衬底效应

SOI 器件沟道区可能会由于过量空穴积累而出现衬底浮置效应，该效应可使 MOS 器件的表面沟道区和埋氧化层 Si-SiO<sub>2</sub> 界面区同时导通。在器件开启并且沟道区充电后，这一效应将引起晶体管的 *I-V* 特性曲线扭曲，因此有时又称之为扭曲效应。该效应还将导致漏击穿电压的降低。解决这一问题的方法之一是在沟道区中形成接触，使电荷能够从沟道中流走以消除背偏置。另外，还可以采用降低多数载流子寿命的办法降低积累的电荷量，然而降低载流子寿命也将导致源-漏间泄漏电流的增加。

另一个更直接地消除衬底浮置效应的方法是在晶体管衬底区形成一个与源端直接相连的接触，从而阻止电荷的积累。该方法虽然能消除浮置衬底效应，但却使器件结构复杂化。在实际应用中发现，当电源电压降低到一定程度时可以消除衬底浮置效应。

最近，另一种降低衬底浮置效应的技术是控制 Si 层的禁带宽度，使之在源端带隙变窄，从而使空穴流入源区的能力增强<sup>[24]</sup>。通常在硅层中注入锗，形成 Si<sub>x</sub>Ge<sub>y</sub> 区域，可使带隙减小  $\Delta E$ ，空穴电流增加  $\exp(\Delta E/k_b T)$  倍，如图 3.24 所示。图 3.25 给出了该结构对亚阈摆幅  $S$  的影响，由图可见，采用锗注入时， $S$  约

为  $70\text{mV/dec}$ ；而没有锗注入时，得到的亚阈摆幅要远低于  $70\text{mV/dec}$ ，在漏电压为  $2.5\text{V}$  时， $S$  值甚至低至  $40\text{mV/dec}$ 。该测量结果不是由漏电流公式中的  $kT/q$  项引起的，实际上反映的是由于衬底浮置效应引起的晶体管的  $V_T$  的变化。由于衬底充电， $V_T$  随着栅压的增加而降低，使  $\log I_D / V_{th}$  摆幅出现了显著的下降。

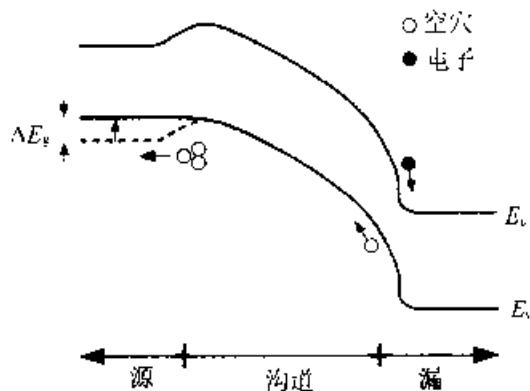


图 3.24 在晶体管的源端 Ge 注入后的能带图。图中示出了 Ge 注入对降低空穴产生的作用(根据 Terauchi 等的参考文献[24]。© 1995 IEEE)

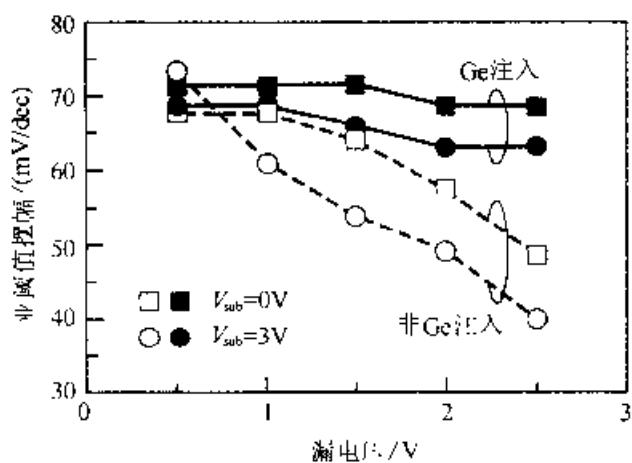


图 3.25 Ge 注入前后亚阈摆幅与漏电压的关系  
(根据 Terauchi 等的参考文献[24]。© 1995 IEEE)

### 3.5.2 全耗尽 SOI MOSFET

全耗尽 SOI MOSFET 器件制作在极薄 SOI 表面的 Si 层上，该 Si 层的厚度必须小于沟道区耗尽层的厚度，以保证晶体管中的沟道区全部被耗尽。由于沟道区被全耗尽，因此降低了沟道区的电场，进而降低了热载流子效应和短沟道效应并引起晶体管驱动能力的增强。除了上述优势之外，由于在这种情况下源-漏结周围是氧化层而非 Si 层，而氧化层的介电常数低于 Si，因此全耗尽 SOI MOSFET 的源-漏寄生电容也减小。已有定量的分析表明，全耗尽 SOI MOSFET 的性能相当于常规器件以按比例缩小因子  $\lambda$  缩小后的性能<sup>[10]</sup>，其中  $\lambda$  的值为：

$$\lambda = (\sqrt{\epsilon_{\text{Si}}/\epsilon_{\text{ox}}} t_{\text{Si}} t_{\text{ox}}) \quad (3.20)$$

图 3.26 给出了不同器件结构等效的按比例缩小因子。

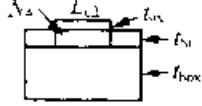
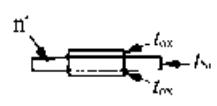
结构	常规结构	环栅结构	地平面结构
原理图			
缩小比例	$\lambda = \sqrt{\frac{\epsilon_{\text{Si}}}{\epsilon_{\text{ox}}}} t_{\text{Si}} t_{\text{ox}}$	$\lambda = \sqrt{\frac{\epsilon_{\text{Si}}}{2\epsilon_{\text{ox}}}} t_{\text{Si}} t_{\text{ox}}$	$\lambda = \sqrt{\frac{\epsilon_{\text{Si}}}{2\epsilon_{\text{ox}}}} \frac{t_{\text{Si}} t_{\text{ox}}}{1 + \frac{\epsilon_{\text{Si}} t_{\text{ox}}}{\epsilon_{\text{ox}} t_{\text{Si}}}}$

图 3.26 通常的 SOI MOSFET、环栅结构和地平面结构的缩小方法

(根据 Yan 等的参考文献[10]、© 1992 IEEE)

另一种能进一步提高性能的 SOI 器件是栅完全围住沟道的结构。这种结构<sup>[25]</sup>使沟道中的有效电场增加了一倍，于是等效的按比例缩小因子变为：

$$\lambda = [\sqrt{\epsilon_{\text{Si}}/2\epsilon_{\text{ox}}} t_{\text{Si}} t_{\text{ox}}] \quad (3.21)$$

该缩小因子可理解为漏端最高电场和沟道中最低电场间的特征长度。与其它结构的 SOI 器件相比，这种结构的短沟道效应等要好一些。在此基础上还可以进一步制备更复杂的结构，即在衬底上制备一层多晶硅形成背栅，然后利用背栅在沟道区施加偏压，通过改变背沟道上的偏压来调节前沟道的阈值电压  $V_t$ <sup>[26]</sup>。

另一种具有全耗尽 SOI 器件优点的改进结构是在沟道区下面形成重掺杂区的结构，这种结构在下平面形成了薄的有源区，从而降低了特征电场变化的范围，这种结构的等效按比例缩小因子为：

$$\lambda = [\sqrt{\epsilon_{\text{Si}}/2\epsilon_{\text{ox}}} (t_{\text{Si}} t_{\text{ox}}) / [1 + (\epsilon_{\text{Si}} t_{\text{ox}} / \epsilon_{\text{ox}} t_{\text{Si}})]] \quad (3.22)$$

在该结构中，下平面决定了沟道区的厚度，但它并没有延伸至漏结，于是没有额外增加器件的电容。这种结构便是 3.3.1 节中介绍的脉冲型沟道掺杂器件。该结构的另一大优点是无须形成埋氧化层结构，从而不必增加制作工艺的复杂性。

## 3.6 存储结构

### 3.6.1 DRAM

DRAM 结构与其它器件的最大差别是电容。单管 DRAM 结构要求其电容能够存储足够的电荷，以保证 DRAM 单元在刷新周期内可维持其存储状态。DRAM 器件发展中取得的最大成果是它的电容设计。该设计可以保证单元存储电荷的保持时间能够满足(或超过)DRAM 电路的要求。DRAM 电容的改进主要有以下两

方面：即增大表面积和提高电容介质的介电常数。DRAM 电容可由下式给出：

$$C = \epsilon_r A / t_{ox} \quad (3.23)$$

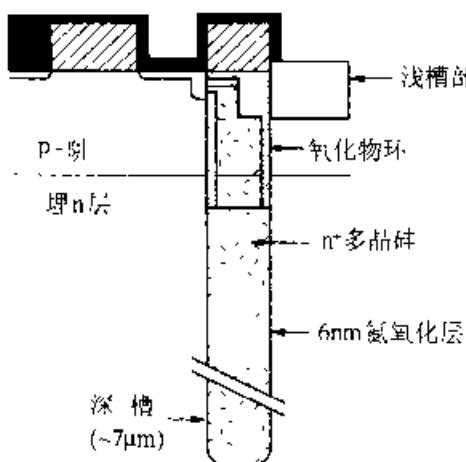


图 3.27 采用深槽存储电容的 DRAM 单元的剖面图(根据 Bronner 等的参考文献 [27]。©1995 IEEE)

其中  $\epsilon_r$  是介质的介电常数， $A$  是电容的面积， $t_{ox}$  是介质层的厚度。可见，通过调节参数  $\epsilon_r$  和  $A$  可以调节  $t_{ox}$  的最小取值。

在增大面积方面，其进展之一是通过形成槽状电容增大表面积。采用该技术已经可以制备进入 Si 中深达  $7\mu m$  的沟槽电容，这样可以使晶体管在一比较平的表面形成，而沟槽电容则深入到器件有效区域的下面。图 3.27 给出了沟槽电容型 DRAM 单元的剖面图。采用增大表面积和通过提高薄氧化层的可靠性来减薄介质层，从而可以使 DRAM 能够在更小的区域内存储更多的电荷。图中所示的单元采用了厚度为  $6nm$  的氮氧化层作为介质层。

DRAM 技术的另一个重大进展是朝相反的方向发展。即将电容伸展到 Si 层之上以增大表面积。通过形成如图 3.28 所示的大的穹状或冠状平板电容，以获得大的表面积。这种结构采用了高介电常数的材料如  $Ta_2O_5$ 、 $(Ba, Sr)TiO_3$  或  $SrTiO_3$  等，作为电容的中间介质层。对于  $(Ba, Sr)TiO_3$ ，据报道其介电常数可高于  $200$ <sup>[28]</sup>。图 3.28 示出了采用  $Ta_2O_5$  的冠状电容结构的剖面图，并说明了高介电常数材料在 DRAM 中的应用。图 3.29 对比了采用不同介质材料、不同几何结构的 DARM 电容。图中对比了三种不同结构的电容：平面型、台状和冠状。冠状结构如图 3.28 所示，台状和冠状相似，只是上表面是平的。平面型电容实际上就是简单的平板电容结构，它和 MOS 器件的栅电容类似。

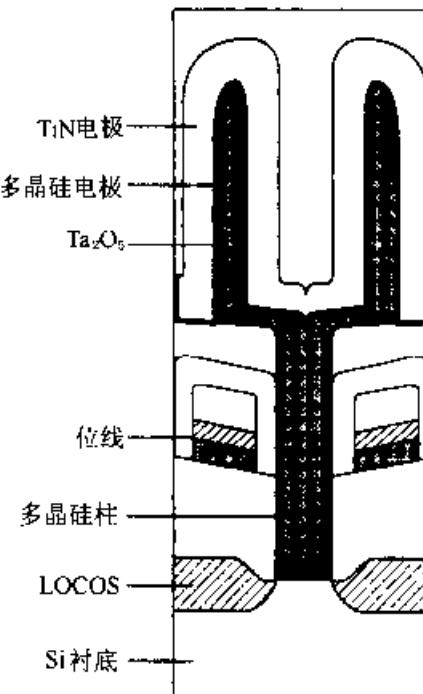


图 3.28 利用高介电常数的材料构成的冠状电容结构的 DRAM 单元的剖面图(根据 Ohji 等的参考文献[28])。  
©1995 IEEE)

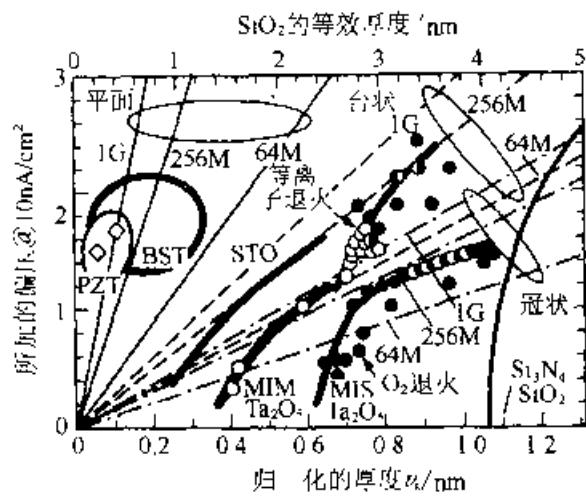


图 3.29 采用高介电常数材料后的二代 DRAM 的所需加的电压与归一化厚度的关系(根据 Ohji 等的参考文献[28]。©1995 IEEE)

### 3.6.2 SRAM

在物理和器件等方面，近年来除了按比例缩小器件的尺度和继续缩小 SRAM 单元的尺寸之外，SRAM 技术并没有很大的改进。在结构上的最重大变化是广泛使用了薄膜晶体管(TFT)，使 p 沟负载管可以放在 n 沟晶体管之上形成了三维叠层单元。图 3.30 示出了 SRAM 单元由六管的全 CMOS 单元到电阻负载的四管单元直至 TFT 结构的演变过程。pMOS TFT 器件的特性是这种单元结构的关键，目前这种结构已成为高性能 SRAM 的通用结构，并在 TFT 结构上取得了一些重大进展。其中最重要的是采用漏端轻掺杂方法来改善关态电流特性和提高器件的电流驱动能力<sup>[29]</sup>。这种方法降低了由漏区强场引起的带间隧穿而带来的泄漏电流。图 3.31 示出了这种结构，并将 TFT 的关态电流和体硅 pMOS 器件作了对比。

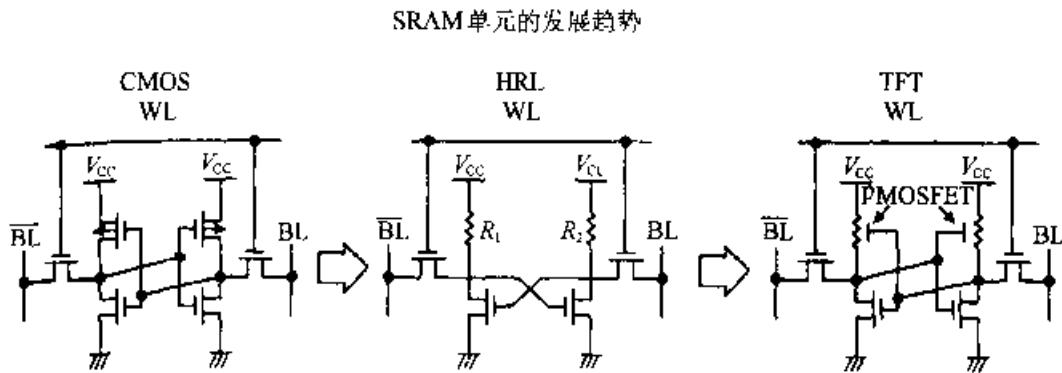


图 3.30 三种不同 SRAM 单元的电路原理图。(a)CMOS 六管单元；  
(b)高阻负载(HRL)四管单元；(c)TFT 六管结构

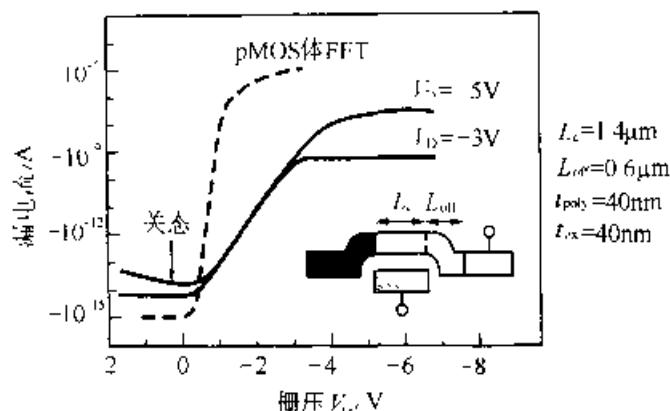


图 3.31 p-MOS 负载器件的漏电流。图中示出了改善 TFT 管的关态电流的漏扩展结构的作用

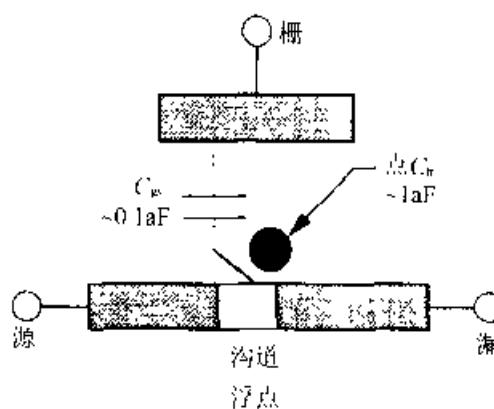


图 3.32 存储点和 TFT 管的结构示意图  
(根据 Yano 等的参考文献[30])

© 1995 IEEE

点制作在同一结构中，图 3.32 示出了这种结构和硅“岛”相对于 TFT 沟道的位置。其中栅位于硅“岛”的上方。其基本工作原理是使单电子进入由硅“岛”粒子形成的势阱中。电子对硅“岛”充电后引起的 TFT 阈值电压变化并达到一个能够存储信息的稳定状态。图 3.33 示出了硅“岛”被写入数据以后阈值电压的变化。图中显示了从擦除至写入的循环，并用箭头指示了在硅“岛”中陷落单个电子的漏端电流。图 3.34 示出了单元被写入前、后器件的能带图。

从存储信息的角度看，用单个电子的形式来存储信息是一个全新的方法。目前已提出一些形成这种单电子存储单元的方法，但这些方法都需要在介质层上形成硅“岛”以存储单个电子。为了确保存储的电子能够被检测出来，绝大部分的存储结构需要在低温下工作。最近已经制成了可在室温下工作的结构<sup>[30]</sup>。单电子存储器是利用一个电子存储一位信息的结构，通常利用一个晶体管作为电荷的传感单元。为了得到最大的灵敏度，单电子传感单元和存储

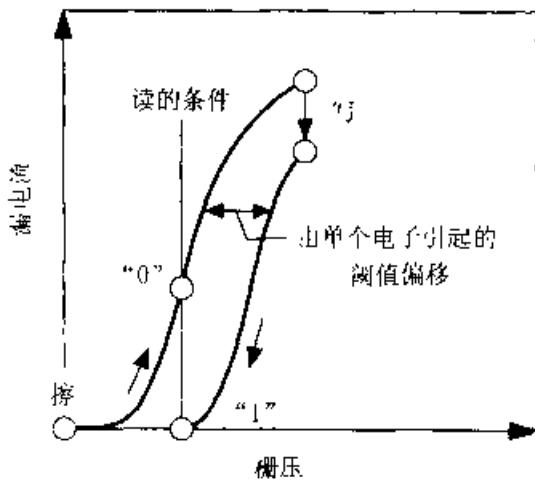


图 3.33 单电子存储单元的工作原理。图中示出了由存储电子引起的阈值偏移(根据 Yano 等的参考文献[30])。© 1995 IEEE

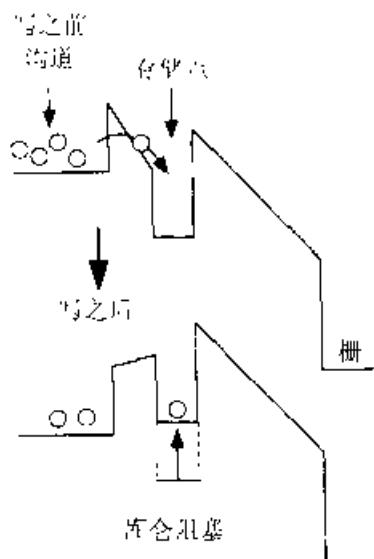


图 3.34 电子陷入存储点后的能带图。库仑阻塞效应是指势阱中的电子使势垒降低，阻止其它电子的传输(根据 Yang 等的参考文献<sup>[30]</sup>。© 1995 IEEE)

### 3.6.3 非挥发存储器

非挥发存储器与 DRAM 和 SRAM 不同，它存储的信息在外加电压撤除后仍能长期保存。根据编程的方法，非挥发存储器分成以下几类。PROM(可编程只读存储器)是采用由掩模版决定的逻辑状态或可熔性连接实现编程的，它是为某一特定用途一次性使用的存储器。非挥发存储器的基本晶体管单元是浮棚晶体管。常见的基本结构如图 3.35 所示，图中标出了浮棚和控制栅。在 EEPROM(电可编程只读存储器)中，编程是由热电子注入或隧穿至浮棚实现的，如图 3.35 所示。EEPROM 是电可擦除的 PROM，它的每个单元可单独被选中和擦除。这需要在每个存储单元旁边增加第二个晶体管。闪存 EPORM(或闪存 EEPROM)也是一种电可擦除的 EEPROM，但该类存储器件存储的所有数据只能整体上一起擦除。它虽然仍采用了单管单元，但丧失了擦除过程中的位选择性。对 EEPROM，通常是采用在栅上施加足够高的电压以引起 Fowler-Nordheim(FN)隧穿的方式穿过浮棚写入信息的。

EEPROM 的最新进展是器件编程方式的改进。沟道热电子注入技术(CHEI)利用沟道中的热电子对栅充电(见图 3.35)，漏端的雪崩热载流子(DAHC)注入利用高场区产生的电子对栅充电，这两种技术都需要较高的电压和功耗。而衬底-电流感应热电子(SCIE)技术<sup>[31]</sup> 在编程过程中要求的电压则较低，这种技术利用了沟道中碰撞电离产生的衬底电流替代 DAHC 技术所需的漏端强场。这和器件缩小以后必须降低电源电压的趋势一致。另外，降低写入过程中的电压可使 EEPROM 更易于和 CMOS 逻辑匹配并可以嵌入到同一集成电路中，该技术和沟道激发二次

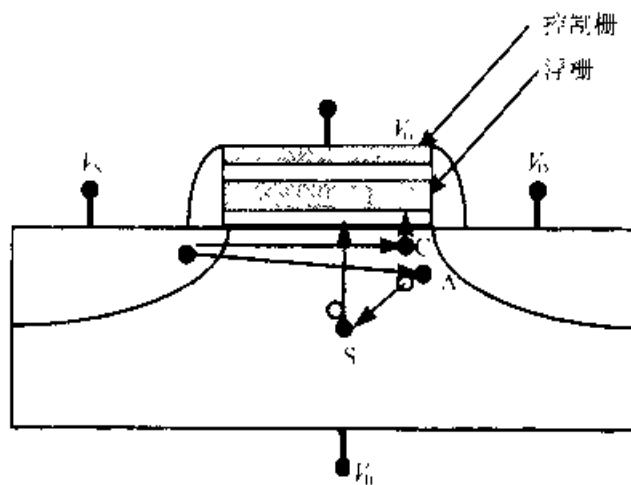


图 3.35 EEPROM 单元的剖面图。图中示出了热电子注入机理。电子（实心的黑圆圈）从源端流入漏端，并通过 CHEI(C)、DAHC(A) 和 SCIHE(S) 注入电荷（根据 Hu 等的参考文献[31]，©1995 IEEE）

电子注入(CISEI)<sup>[32]</sup>都是采用低电压对浮栅编程的方法，无须为产生 FN 隧穿电流而施加高电压。这些技术都能够使沟道中的电子获得足够的能量越过氧化层势垒。

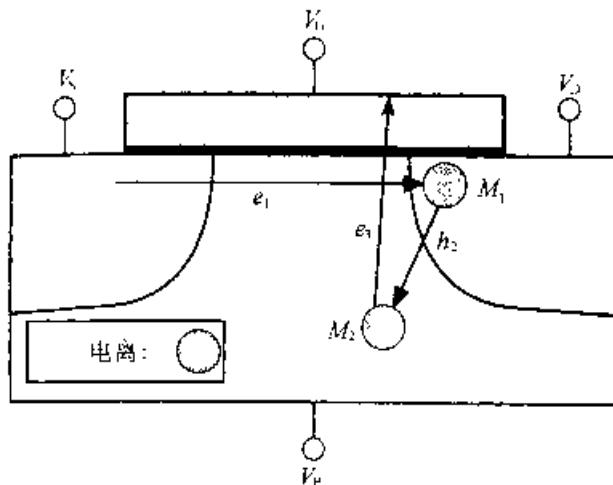


图 3.36 n-MOSFET 中 CISEI 过程的示意图。其中沟道电子  $e_1$  通过碰撞电离和电流倍增产生空穴  $h_1$ 。电流倍增的空穴以倍增因子  $M_1$  产生电子  $e_3$ ，并以几率  $T$  进入栅（根据 Bude 等的参考文献[32]，©1995 IEEE）

CISEI 是目前能够实现的编程电压最低的方法，其编程电压可以低至 2.5V。图 3.36 中示出的工作机理示意图与图 3.17 中的热电子退化电流相同。栅充电电流可用下式表示：

$$I_G = I_{DS} M_1 M_2 T \quad (3.24)$$

其中，栅电流由倍增因子  $M_1$ 、产生空穴后在衬底离化的倍增因子  $M_2$  和到达栅电极的几率  $T$  决定。利用图 3.37 的结构，在晶体管漏区周围形成 p 型环状晕圈结

构, 可在漏区形成较高的电场以增加因子  $M_2$ , 结果随着衬底偏压的变化而使器件的栅电流增加(见图 3.38)。

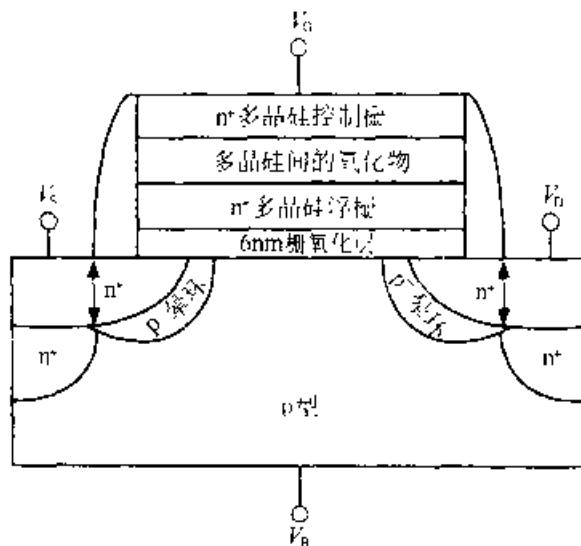


图 3.37 CISEI 存储单元的剖面图。图中所示的 p halo(p 型晕环结构)用于增加沟道感应衬底电子的产生(根据 Bude 等的参考文献[32], ©1995 IEEE)

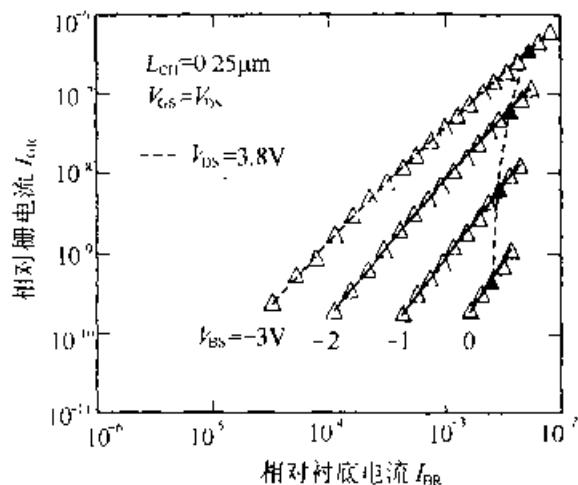


图 3.38 不同背偏置电压下, CISEI 存储单元的栅电流与衬底电流的关系。这种背偏压对栅电流的影响表明了栅电流源于 CISEI(根据 Bude 等的参考文献[32], ©1995 IEEE)

### 3.7 低压/低功耗器件

降低电源电压和功耗是当代 CMOS 技术发展的动力之一。器件尺寸缩小和前面讨论的结构大都是为了降低功耗。由于晶体管驱动电容负载的功耗正比于  $V_{DD}^2$ , 因此降低电源电压将大大降低功耗。简单的按比例缩小规则带来了功耗的降低, 但器件缩小以后出现的一些基本限制也在阻碍功耗的进一步降低, 所以要继续降低功耗需要进行一些特殊的考虑。

### 3.7.1 低阈值电压器件

优化器件的低压工作特性首先需要考虑关态电流增大的影响。关态电流增大将导致器件的待机电流增加，但却可以在提高器件性能方面得到补偿。当这些器件用于电路中时，需要采用晶体管背偏置的方法有选择地关断电路的某些部分。

在保持一定关态电流和驱动电流的情况下，降低阈值电压已成为新型器件结构研究的焦点。方法之一是通过改变晶体管偏置使阈值电压可变或可调节。该技术可以通过设计具有极低阈值电压的器件得以简单地实现，它所受到的最大限制是电路的动态功耗。定义随电路类型不同而变化的活性比例系数  $\alpha$ 。阈值电压可以一直降低到使关态电流成为总功耗电流中的重要组成部分时为止<sup>[33]</sup>。这样，器件的阈值电压可以设计得很低，而且在器件性能优化时也不会引起动态功耗电流的明显增加。在待机状态，可以利用背偏置电路抬高阈值电压，使电路的待机电流大幅度降低。通常，对于大多数电路而言，其活性比例系数  $\alpha$  可能很小。图 3.39 示出了采用这种技术对电路模拟得到的一系列结果。通过降低阈值电压可使关态电流保持在可接受的范围内，同时对这些器件进行了低电源电压下的高性能设计。由于引入了控制背栅压-阈值电压的待机电路，器件的待机功耗可以很低。

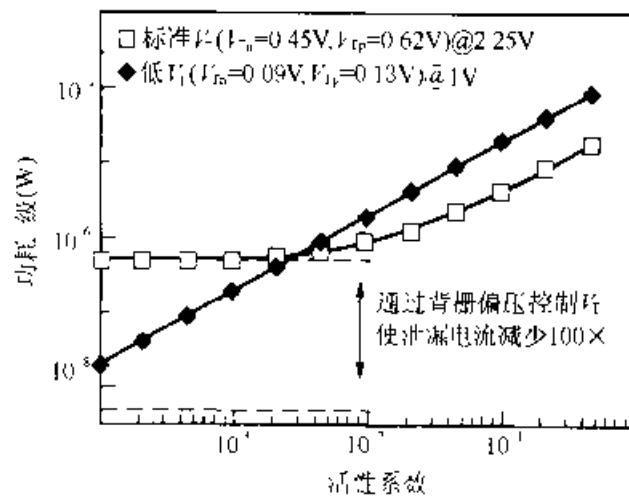


图 3.39 电路的每级功耗与活性系数间的关系，其中示出了背栅偏置对功耗的影响(根据 Chen 等的参考文献 33。©1995 IEEE)

另一种在保持器件性能不变的前提下得到低关态电流的方法是利用可变阈值电压器件<sup>[34]</sup>。这类器件将栅和衬底连接到同一电位，在 MOS 器件中形成了一个横向双极晶体管。这可被看作是当器件处于开态时，寄生的反向偏置晶体管使 MOS 器件的  $V_{ds}$  降低。只有当器件制作在 SOI 衬底上时，这种低功耗器件的优点才能完全体现出来，这是由于在 SOI 结构中，器件的沟道区可以引出，并且横向双极晶体管是相互隔离开的<sup>[35]</sup>。

### 3.7.2 低电压器件的噪声效应

随着电源电压的减小和器件阈值电压的降低，设计电路时使用的信号幅度也越来越小，结果在应用中对信号的涨落变得更加敏感。由于各种涨落或噪声的存在使得在设计器件时对噪声来源的认识成为非常重要的一个方面。对于噪声源和器件设计中降低噪声方法的研究目前已经取得了一些进展。MOS 器件中的  $1/f$  噪声主要受界面效应的影响。MOSFET 的噪声是由沟道中电流的涨落引起的，而电流涨落则由自由载流子数量的涨落或载流子迁移率的涨落产生。从多子电流的角度看，nMOS 器件的噪声主要源于电子数目的涨落，而 pMOS 器件的噪声则主要源于沟道中空穴迁移率的变化<sup>[36]</sup>。通常用谱密度  $S_G$  来描述噪声：

$$S_G/G^2 = \alpha/Nf \quad (3.25)$$

其中， $G$  是电导， $\alpha$  是  $1/f$  噪声系数，其值在  $10^{-3} \sim 10^{-4}$  之间， $N$  是总的自由载流子数， $f$  是频率。这里的载流子数是指在各向同性且具有良好接触的样品中，或在有接触区的样品且所减少的载流子数由器件中非均匀电场决定的情况下。这样，nMOS 器件的噪声源于沟道中电子的分布和氧化层界面附近陷阱的再分布。pMOS 器件的噪声则有更多的悬而未决的问题，但较普遍的看法是，影响 pMOS 器件噪声的原因是由表面散射引起的迁移率涨落。表面沟道 pMOS 器件的噪声系数要大于沟道区远离表面的埋沟器件，这一实验事实也支持了上述观点。

## 3.8 总结与展望

近十年来，超大规模集成电路及其应用取得了十分重大的进展。在这期间，由于越来越多新技术的采用，已经将各种不同功能的电路集成到了同一个芯片上，这种将“整个系统集成在一个芯片上”，即系统芯片结构的功能越来越强。未来这类系统芯片将不断地将各种不同的结构集成在一起，同时也将越来越依赖于这些结构的特性，这主要包括存储器结构、互连和单个晶体管的设计等。

最近我们发现，对于目前或未来器件的研究和设计，将越来越多地依赖于更加完善的模拟。利用统计技术和三维模拟工具的模拟和计算需要对特征尺寸极小的器件建立三维模型。这在前面讨论的按比例缩小经验规则和利用分布函数解释栅电流产生等方面的作用时是十分明显的。直观地看，虽然有些结果不太令人满意，但这种趋势将随着器件复杂性的增加而继续。

我们也已看到，随着器件特征尺寸逐渐逼近其极限，器件的尺寸已经开始冲击一些“基本的障碍”。例如，在 1.5nm 厚栅氧化层的器件被证实可用之前，一致认为栅氧化层的极限厚度是在 3nm 左右。

未来具有诱人前景的另一个发展方向是最近在有机场效应晶体管领域取得的进展<sup>[37, 38]</sup>。这些器件采用的是碳基类结构而非硅基类结构。它们基本上是利用有

机聚合物替代硅作为有源层的薄膜晶体管。这些材料的优势是可以利用淀积等方法非常容易地形成薄膜。它们和柔性塑料材料相似，其制备工艺远小于硅工艺所要求的温度，其中一种材料为  $\alpha$ -6T(thiophene oligomer  $\alpha$ -hexathieylene)。利用这种材料制成的器件结构如图 3.40 所示，该器件的开-关态电流比为  $10^6$ 。这种器件工作在增强模式下，其电导与  $\alpha$ -6T 的厚度无关，这表明它是一种表面器件。由图 3.40 所示的剖面图可见，聚合物淀积在硅衬底上  $\text{SiO}_2$  介质层的上面，硅衬底作为场效应晶体管的栅。晶体管的工作原理示于图 3.41，其中的能带结构对应于栅压为 0V 和负偏压的情形。

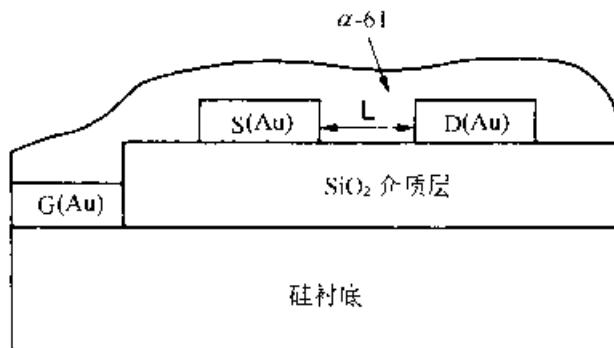


图 3.40 以  $\alpha$ -6T 为有源层的有机 TFT 的示意图(根据 Torsi 等的参考文献[38])

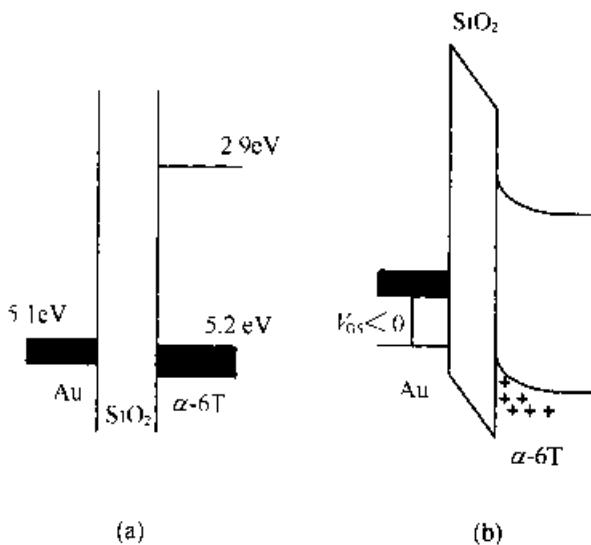


图 3.41 异质结晶体管在(a)关态、(b)开态的能带示意图  
(根据 Torsi 等的参考文献[38])

有机场效应晶体管的进一步改善是形成互补型器件(n 沟和 p 沟)，以便构成 CMOS 电路。目前已经成功地采用  $\alpha$ -6T 和 C<sub>60</sub>实现了这种器件<sup>[37]</sup>。将这两种材料形成异质结，其作为单个器件使用时的电特性既可以是 n 沟增强型又可以是 p 沟增强型。图 3.42 示出了这种器件，除了增加一 C<sub>60</sub> 层外，其结构与  $\alpha$ -6T 器件基本一样，但其能带结构却大不相同。异质结使得在两种极性的栅压下都能形成积累层。图 3.43 为这种器件的能带图，由图可见，在两种极性的栅压下均有电流流动。

图 3.44 为漏电流随栅压的变化曲线 ( $V_{DS} = 10V$ )。图中曲线表明，该器件既可以是 n 沟又可以是 p 沟器件。它与硅器件相比电压较高且电流较低，但这种结构的诱人之处在于它证实了应用新材料的可行性。

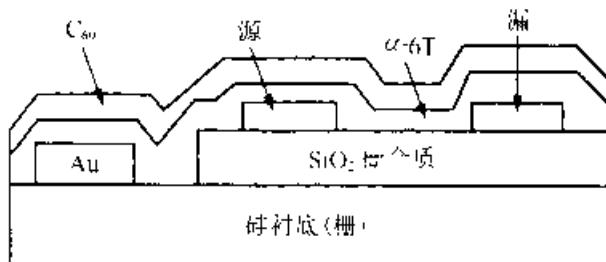


图 3.42 以  $\alpha$ -6T 和  $C_60$  为有源层的异质结有机 TFT 的示意图  
(根据 Dodalapur 等的参考文献[37])

p 沟增强型                            n 沟增强型

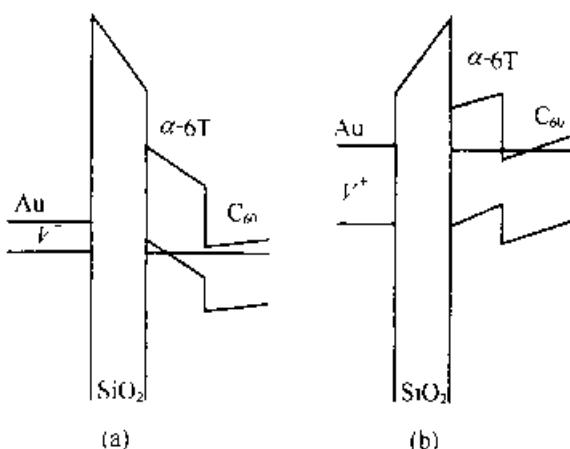


图 3.43 异质结晶体管在 n 沟(a)和 p 沟(b)工作模式下的能带示意图  
(根据 Dodalapur 等的参考文献[37])

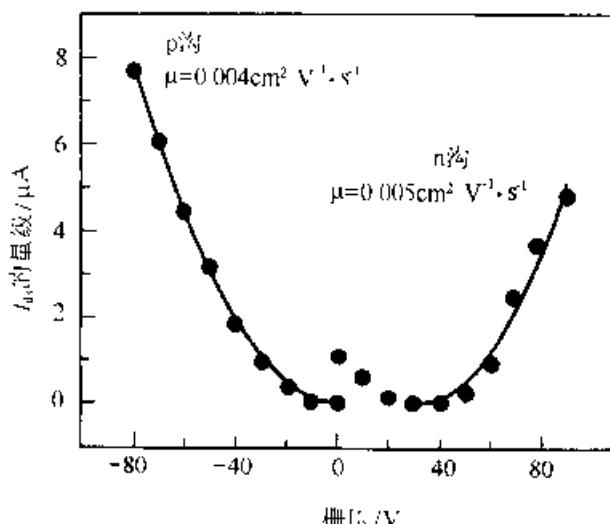


图 3.44 漏电流与工作电压的关系 ( $V_{DS} = 10V$ )。图中实线为数据，点为用所提取的场效应迁移率进行抛物线拟合后的结果(根据 Dodalapur 等的参考文献[37])

未来 CMOS 逻辑的另一个发展方向是采用单个晶体管结构以形成更加复杂的电路功能。这种趋势的实例之一是电荷注入晶体管(CHINT)<sup>[39]</sup>, 如图 3.45 所示。CHINT 器件的基本原理是发射区层上的载流子被源漏间的电场激发, 这些载流子能够获得足够的能量越过势垒, 运动到集电区。利用 Si/SiGe 异质结构制成的器件能够形成多输入的 CHINT, 通过三输入端的组合, 可以得到更复杂的逻辑结果。图 3.46 示出了多端 CHINT 器件的例子, 逻辑表中示出了各种输出电压组合的逻辑功能。由该例子可见, 单个器件所完成的特定逻辑功能若用正常的 CMOS 设计则需要多个晶体管才能实现。当晶体管的尺寸接近其极限, 而为了实现更复杂的功能又需要更多的晶体管时, 这一发展方向将变得更加重要。

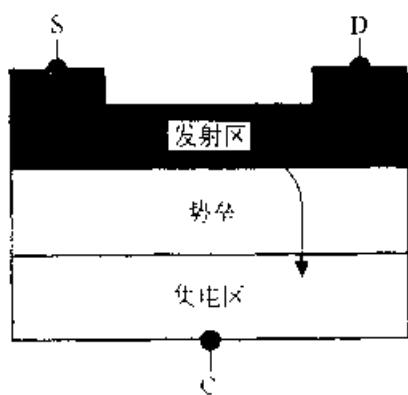


图 3.45 电荷注入晶体管 (CHINT) 的原理。发射区中的载流子被加在源漏间的电场加热, 获得足够的能量越过势垒后转移到集电极(根据 Mastrapasque 等的参考文献[39]、©1996 IEEE)

逻辑 输入	$V_3$	0	1
	$V_2$	1 0 0 1	1 0 0 1
$V_1$	0 0 1 1	0 0 1 1	
	$I_C$	1 0 1 1	1 1 1 0
功 能		或	与

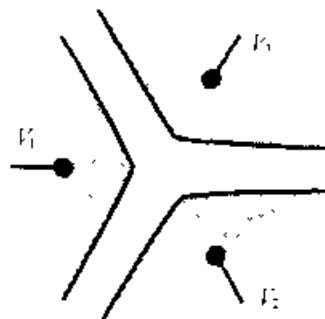


图 3.46 三端输入 CHINT 结构的真值表  
(根据 Mastrapasqua 等的参考文献[39], ©1996 IEEE)

## 习 题

- 分别计算采用等电压缩小(恒压律)和等电场缩小(恒场律)后 n-MOS 器件的  $I_D$ 。器件参数的初始值为:  $L=1\mu\text{m}$ ,  $I_D=500\mu\text{A}/\mu\text{m}$ ,  $V_D=5\text{V}$ , 栅氧化层厚度为  $10\text{nm}$ 。
- 计算当栅注入电流引起的界面陷阱密度增加到  $10^{11}/\text{cm}^2$  后晶体管迁移率的变化。
- 若要使迁移率的变化与问题 2 中界面陷阱效应引起的变化相同, 衬底掺杂浓度需要有多大的变化。
- 对于沟道厚度为  $100\text{nm}$  的脉冲型掺杂器件, 计算对于习题 1 中器件的等效按比例缩小因子  $\lambda$ 。

5. 对于沟道 Si 层厚度为 100nm 的 SOI 和环栅器件，计算习题 4 中的等效按比例缩小因子  $\lambda$ 。
6. 当栅氧化层厚为 4nm 时，由量子力学效应引起的栅电容约为  $C_{ox}$  的 10%，计算饱和时栅电流的变化。
7. 设  $V_{DD}=4V$ ，计算氧化层厚度为 5nm， $L=0.5\mu m$  的方形器件的栅电流。
8. 面积为  $1\mu m^2$ ，氧化层厚度为 10nm 的平面型 DRAM 电容的值为多少？计算同样的表面积和氧化层厚度，而槽深为  $7\mu m$  时的电容值。

### 参 考 文 献

- [1] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed., Wiley, New York, 1981.
- [2] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion implanted MOSFETs with very small physical dimensions," *IEEE J. Solid-State Circ.* SC 9(5), 256(1974).
- [3] B. Davari, R. Dennard, and G. Shahidi, "CMOS scaling for high performance and low power-next ten years," *Proc. IEEE* 83(4), 505, (1995).
- [4] J. Brews, W. Fichtner, E. Nicollian, and S. Sze, "Generalized guide for MOSFET miniaturization," *IEEE Electron Dev. Lett.* EDL-1, 2 (1980).
- [5] K. Ng, S. Eshraghi, and T. Stanik, "An improved generalized guide for MOSFET Scaling," *IEEE Trans. Electron Dev.* ED-40(10), 1893 (1993).
- [6] H. Hu, J. Jacobs, L. Su, and D. Antoniadis, "A study of deep submicron MOSFET scaling based on experiment and simulation," *IEEE Trans. Electron Dev.* ED-43(4), 669 (1996).
- [7] C. Hu, "MOSFET scaling in the next decade and beyond," *Semicond. Int.* June, 105 (1994).
- [8] K. Ng and W. T. Lynch, "Analysis of the gate-voltage dependence of series resistance of MOSFETs," *IEEE Trans. Electron Dev.* ED-33, 965 (1986).
- [9] J. Brews, "Submicron MOSFET," in *High-Speed Semiconductor Devices*, S. M. Sze, Ed., Wiley, New York, 156 (1990).
- [10] R. H. Yan, A. Ourmazd, and K. F. Lee, "Scaling the Si MOSFET: from bulk to SOI TO bulk," *IEEE Trans. Electron Dev.* ED-39(7), 965 (1992).
- [11] C. Rafferty, H. Vuong, S. Eshraghi, M. Giles, M. Pinto, and S. Hillenius, "Explanation of reverse short channel effect by defect gradients," in *IEDM Tech. Dig.*, 809 (1994).
- [12] J. Koga, S. Takagi, and A. Toriumi, "A comprehensive study of MOSFET electron mobility in both weak and strong inversion regimes," in *IEDM Tech. Dig.*, 475 (1994).
- [13] B. Ricco, R. Versari, and D. Esseni, "Characterization of polysilicon-gate depletion in MOS structures," *IEEE Electron Dev. Lett.* EDL 17(3), 103 (1996).
- [14] K. Krisch, J. Bude, and L. Manchanda, "Gate capacitance attenuation in MOS devices with thin gate dielectrics," *IEEE Electron Dev. Lett.* EDL-17(11), 521 (1996).
- [15] C. Liu, Y. Ma, K. Cheung, L. Fritzinger, J. Becerro, H. Luftman, H. Vaidya, J. Colonell, A. Kamgar, J. Minor, R. Murray, W. Lin, C. Pat, and S. Hillenius, "25A gate oxide without boron penetration for 0.25μm and 0.3μm PMOS-FETS," in *VLSI Sym. Dig. Tech. Papers*, 18(1996).
- [16] H. Momosa, M. Ono, T. Yoshitomi, T. Ohguro, S. Nakamura, M. Saito, and H. Iwai, "Tunneling

- gate oxide approach to ultra-high current drive in small geometry MOSFETS," in IEDM Tech. Dig., 593 (1994).
- [17] H. Momosa, M. Ono, T. Yoshitomi, T. Ohguro, S. Nakamura, M. Saito, and H. Iwai, "1.5nm direct tunneling gate oxide Si MOSFETS," IEEE Trans. Electron Dev. ED-43(8), 1233(1996).
- [18] B. Doyle, M. Bouicerie, J. Marchetaux, and A. Boudou, "Interface state creation and charge trapping in the medium to high gate voltage range ( $V_d/2 > V_g > v_{th}$ ) during hot-carrier stressing of n-MOS transistors," IEEE Trans. Electron Dev. ED-37(3), 714(1990).
- [19] L. Manchanda, R. Storz, R. Yan, K. Lee, and E. Westerweick, "Clear observation of sub-band gap impact ionization at room temperature and below in 0.1 $\mu$ m Si MOSFETS," in IEDM Tech. Dig., 994 (1992).
- [20] J. Bude, "Gate current by impact ionization feedback in sub micron MOSFET technologies," in VLSI Sym. Dig. Tech. Papers, 101 (1995).
- [21] M. Koyanagi, A. Lewis, R. Martin, T. Huang, and J. Chen, "Hot electron-induced punchthrough (HEIP) effect in submicrometer PMOSFET's," IEEE Trans. Electron Dev. ED-34(4), 839(1987).
- [22] R. Woltjer, G. Paulzen, H. Pomp, H. Lifka, and P. Woerlee, "Three hot-carrier degradation mechanisms in deep submicron PMOSFETS," IEEE Trans. Electron Dev. ED-42(1), 109 (1995).
- [23] K. Schuegraf and C. Hu, "Reliability of thin SiO<sub>2</sub>," Semicond. Sci. Technol. 9, 969 (1994).
- [24] M. Terauchi, A. Yoshimi, Murakoshi, and Y. Ushiku, "Suppression of the floating-body effects in SOI MOSFETs by bandgap engineering," in VLSI Sym. Dig. Tech. Papers, 35 (1995).
- [25] J. Colinge, Gao, A. Ramano-Rodriguez, H. Maes, and C. Claes, "Silicon-on insulator gate-all around devices," in IEDM Tech. Dig., 595 (1990).
- [26] I. Yang, C. Vieri, A. Chnadrakasan, and D. Antoniadis, "Back gated CMOS on SOIAS for dynamic threshold voltage control," in IEDM Tech. Dig., 877 (1995).
- [27] G. Bronner, H. Aochi, M. Gall, J. Gambino, S. Gernhardt, E. Hammer, H. Ho, J. Iba, H. Ishiuchi, M. Jaso, R. Kleinhenz, T. Mii, M. Narita, L. Nesbit, W. Neumueller, A. Nitayama, T. Ohiwa, S. Parke, J. Ryan, T. Sato, H. Takato, and S. Yoshikawa, "A fully planarized 0.25 $\mu$ m CMOS Technology for 256 Mbit DRAM and beyond," in VLSI Sym. Dig. Tech. Papers, 15 (1995).
- [28] Y. Ohji, Y. Matsui, T. Itoga, M. Hirayama, Y. Sugawara, K. Torii, H. Miki, M. Nakata, I. Asano, S. Iijima, and Y. Kawamoto, "TaO<sub>x</sub> capacitors, dielectric material for giga-bit DRAMS," in IEDM Tech. Dig., 111 (1995).
- [29] T. McNelly, J. Hayden, A. Perera, J. Pfister, C. Subramanian, M. Blackwell, B. James, S. Ajuria, W. Feil, Y. Ku, T. Liu, J. Lin, F. Nkansah, C. Philbin, C. Sun, M. Thompson, and M. Woo, "High performance 0.25 $\mu$ m SRAM technology with tungsten interpoly plug," in IEDM Tech. Dig., 927 (1995).
- [30] K. Yano, T. Ishii, T. Hashimoto, T. Kobayashi, F. Murai, and K. Seki, "Room temperature single electron memory," IEEE Trans. Electron Dev. ED-41(9), 1628 (1994).
- [31] C. Hu, D. Kencke, S. Banerjee, R. Richart, B. Bandyopadhyay, B. Moore, E. Ibok, and S. Garg, "Substrate-current induced hot electron (SCIHE) injection:a new convergence scheme for flash memory," in IEDM Tech. Dig., 283 (1995).
- [32] J. Bude, A. Frommer, M. Pinto, and G. Weber, "EEPROM/flash sub 3.0V drain-source bias hot carrier writing," in IEDM Tech. Dig., 990 (1995).

- 
- [33] Z. Chen, J. Burr, J. Shott, and J. Plummer, "Optimization of quarter micron MOSFETs for low voltage low power applications," in IEDM Tech. Dig., 63 (1995).
  - [34] S. Verdonek, V. Vanderbielk, S. Wong, and J. Woo, "High-gain lateral bipolar action in a MOSFET structure," IEEE Trans. Electron Dev. ED-38(11), 2487 (1991).
  - [35] F. Assaderaghi, D. Smitsky, S. Parke, J. Bokor, P. Ko, and C. Hu, "A dynamic threshold voltage MOSFET (DTMOS) for ultra-low voltage operation," in IEDM Tech. Dig., 809 (1994).
  - [36] L. Vandamme, X. Li, and D. Rigaud, "1/f noise in MOS devices, mobility or number fluctuations?" IEEE Trans. Electron Dev. ED-41(11), 1937 (1994).
  - [37] A. Dodabalapur, H. E. Katz, L. Torsi, and R. C. Haddon, "Organic field-effect transistors," Science 269, 1560 (1995).
  - [38] L. Torsi, A. Dodabalapur, and H. E. Katz "An Analytic model for short channel organic thin-film transistors" J. Appl. Phys. 78(2), 1088 (1995).
  - [39] M. Mastrapasqua, C. King, P. Smith, and M. Pinto, "Functional devices based on real space transfer in Si/SiGe structure", IEEE Trans. Electron Dev. ED-43(10), 1671 (1996).

# 4 功率器件

B. Jayant Baliga

Power Semiconductor Research Center, North Carolina State University,  
Raleigh

## 4.1 引言

在功率电子学范畴中，功率半导体器件作为关键的部件，其性能特征对系统性能的改善起着主要作用。在 20 世纪 50 年代，随着双极功率晶体管和晶闸管的引入，功率电子学领域发生了从以电子管为基础向以半导体器件为基础的转变。此后二十多年中，器件在功率处理能力和开关速度方面的改善对功率电子系统尺寸的缩小和价格的降低起到了决定性的作用。然而，由于这些电流控制型双极器件需要有大的输入功率，因此其控制电路因需要用分立元件而变得复杂，这阻碍了功率电子系统尺寸和价格的进一步降低。

随着 MOS 技术特别是 CMOS 集成电路的发明，采用新型功率器件(即功率 MOSFET)在 70 年代成为可能<sup>[1]</sup>。由于 MOSFET 是一种电压控制型器件，能用很小的稳态电流输入实现器件的开关，控制电路可同时实现集成。因此，基于 MOSFET 的功率电子学系统的复杂度大大提高，尺寸也大为减小。此外，以单极模式工作的 MOSFET 的开关速度比双极晶体管快许多，因为在 MOSFET 中与储存电荷相关的延迟较在双极器件中可大大减小。MOSFET 的高开关速度，使得由其构成的功率电子学系统(如供计算机使用的开关电源)性能有很大改善。最初人们曾期望功率 MOSFET 会在所有的应用领域取代双极晶体管。但是，由于 MOSFET 在高于 300V 电压下工作时，开态电压降显著高于双极晶体管，将会产生高的功率损耗，因此，目前功率 MOSFET 仅在系统工作电压低于 200V 的情形下成功取代了双极晶体管。进入 80 年代以后，人们发明了一类称为 MOS-双极混合结构的功率器件。这类器件能够在高压应用领域，如电机控制方面提供合适的开关性能。1982 年首次报道的绝缘栅双极晶体管(IGBT)器件目前已在所有的高压应用领域取代了双极晶体管<sup>[2]</sup>。在 IGBT 器件结构中，利用 MOS 栅来实现高的输入阻抗，同时利用双极结构的电流导通模式实现低的开态压降。IGBT 好的电流饱和能力和极优异的安全工作区域使得该器件非常适用于在袖珍型功率系统中使用。虽然目前人们正在研制具有 4.5kV 额定电压、可用于大功率动力牵引领域

(如电车和电动机车)的 IGBT 器件, 用以替代栅控开关(gate turn-off, GTO)式晶闸管, 但 MOS 栅控晶闸管由于能够提供较低的开态电压降, 仍是一类可选用的器件。

最近一段时期, 碳化硅基功率器件的研究工作已引起了人们很大的兴趣。基础研究的结果显示, 用 SiC 代替 Si 后, 漂移区域的开态电阻将下降 200 倍。理论分析表明, 利用 SiC 制备的单极功率整流管和功率开关的击穿电压可达 5kV, 比双极 Si 器件拥有更优异的开态特性。此外, 这类器件的开关性能以及在高温环境下的工作性能也很强。具有 1 000V 击穿电压的高性能肖特基功率整流管已研制成功。该器件采用了一种边缘端结构, 可产生接近于理想情形的击穿电压<sup>[4]</sup>。SiC 功率开关器件有望在 21 世纪替代 Si 基器件。

本章将讨论近十年来新研制的一些功率器件的物理和电学特性。在功率开关的工作频率得到迅速提高的同时, 在功率整流管研究方面也已取得进展, 我们将在下一节讨论这方面的情况。在此后的几节中讨论的是功率 MOSFET 和 IGBT, 并在最后两节中讨论 MOS 栅控晶闸管和 SiC 功率器件方面的内容。有关功率器件更详细的讨论, 其中包括十分重要的边缘端设计可参阅 Baliga 所著《功率半导体器件》一书<sup>[5]</sup>。

## 4.2 功率整流管

本节将讨论功率整流管方面的最新进展。在低工作电压(<100V)区, 肖特基势垒整流管由于具有低的开态压降和高的开关速度已经成为功率电子学应用领域中的首选器件, 其应用范围还扩展到了开关电源方面。最近, 发明了两种新结构的肖特基整流管——结-势垒-控制型肖特基(JBS)整流管和沟槽-MOS-势垒控制型肖特基(TMBS)整流管。这两种结构可以显著改善器件的性能, 对较高的工作电压(>200V)应用来说, 多选用 p-i-n 型整流管。然而, 由于它开关的反向恢复性能较差, 已提出几种替代改进型结构, 以期减少开态时的贮存电荷量, 本节将简要介绍这方面的发展。

### 4.2.1 肖特基势垒整流管

金属-半导体(或称为肖特基)接触的物理原理在许多教科书中已有讨论<sup>[1, 6]</sup>, 本书第二章对此也有概述。图 4.1 示出了肖特基功率整流管的结构, 它由轻掺杂的漂移区和肖特基接触串联而成, 其中 n 型漂移区用于承受所需的反向阻断电压。假设理想击穿发生在器件边缘, 则 n 型漂移区的掺杂浓度( $N_D$ )与击穿电压( $V_B$ )的关系由下式给出<sup>[7]</sup>:

$$N_D = 2 \times 10^8 V_B^{1/4.5} (\text{cm}^{-3}) \quad (4.1)$$

其中,  $N_D$  的单位是  $\text{cm}^{-3}$ 、 $V_B$  的单位是 V。漂移区(即击穿时的耗尽区)的厚度  $W_D$  由下式给定:

$$W_D = 2.67 \times 10^{-13} N_D^{1/3} (\text{cm}) \quad (4.2)$$

利用以上关系, 漂移区单位面积的串联电阻(称为开态电阻)由材料电阻率和  $W_D$  的乘积给出, 即:

$$R_{\text{on, sp}} = \frac{W_D}{q\mu_n N_D} = 5.93 \times 10^{-3} V_B^{2/3} (\Omega \cdot \text{cm}^2) \quad (4.3)$$

对反向击穿电压为 50V、电阻率为  $1 \times 10^{-4} \Omega \cdot \text{cm}^2$  的肖特基功率整流管, 假设其电流密度为  $100 \text{A/cm}^2$ , 则在漂移区上仅产生 10mV 的电压降。如果图 4.1 所示的其它串联电阻(如接触电阻和衬底电阻)可忽略, 则在肖特基功率二极管上的电压降就由金属-半导体接触势垒的高度来确定。开态电压降由热电子发射理论决定(对可忽略的串联电阻)<sup>[6]</sup>:

$$V_F = \phi_B + \frac{kT}{q} \ln \left( \frac{J_F}{A^* T^2} \right) \quad (4.4)$$

其中,  $\phi_B$  是肖特基势垒高度,  $k$  是玻尔兹曼常数,  $T$  是绝对温度,  $J_F$  是开态电流密度,  $A^*$  是里查逊常数。当肖特基势垒高度为 0.8V, 电流密度为  $100 \text{A/cm}^2$  时, 开态电压降为 0.5V。然而, 当击穿电压增加时, 从方程 4.3 可知, 漂移区的串联电阻迅速增加, 将导致较高的开态电压降( $V_F + J_F R_{\text{on, sp}}$ ), 这可从图 4.2 示出的击穿电压高于 200V 的整流管的结果看出。虽然降低肖特基势垒高度可以减小其开态电压, 但也将导致反向漏电流的严重增加。

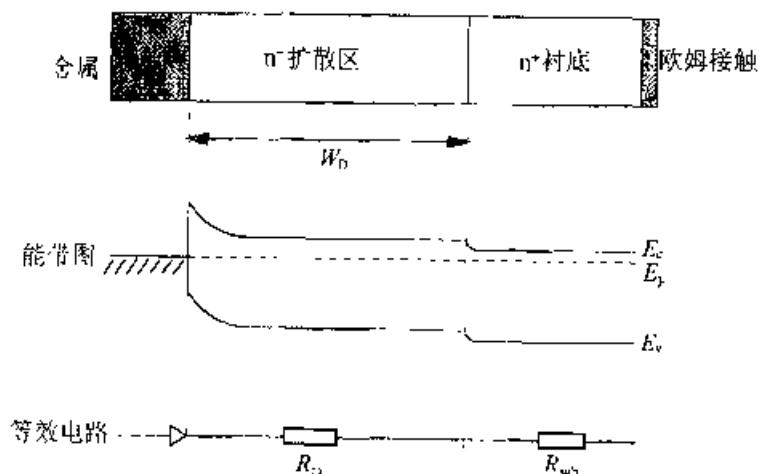


图 4.1 功率肖特基势垒整流管结构

在小的反向偏置电压下, 肖特基二极管的漏电流由肖特基接触的饱和电流决定。然而, 当功率器件承受高的电压时, 必须要考虑肖特基势垒降低的因素。利用镜向力分析方法<sup>[5, 6]</sup>处理肖特基势垒降低效应获得的反向漏电流密度为:

$$J_R(V_R) = - A^* T^2 e^{-(\phi_B - \Delta \phi_B)/kT} \quad (4.5)$$

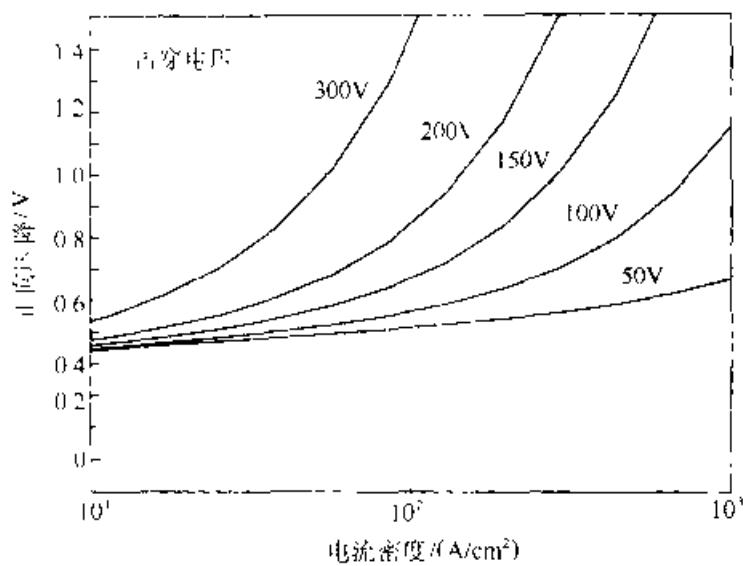


图 4.2 反向偏压在 50~300V 的硅肖特基整流管的开态特性

式中

$$\Delta \phi_B = \sqrt{\frac{q\epsilon_m}{4\pi\epsilon_0}} \quad (4.6)$$

其中最大电场( $\epsilon_m$ )与所加的反向偏压有关，即：

$$\epsilon_m = \sqrt{\frac{2qN_D}{\epsilon_0}(V_R + V_b)} \quad (4.7)$$

图 4.3 中分别示出了考虑与不考虑肖特基势垒降低效应计算出的肖特基势垒整流管的泄漏电流结果。图中显示，在高的反向偏压下，由于肖特基势垒降低，反向漏电流有显著增加，事实上，肖特基整流管的实际漏电流比考虑了肖特基势垒降低效应的理论预言结果还要大。

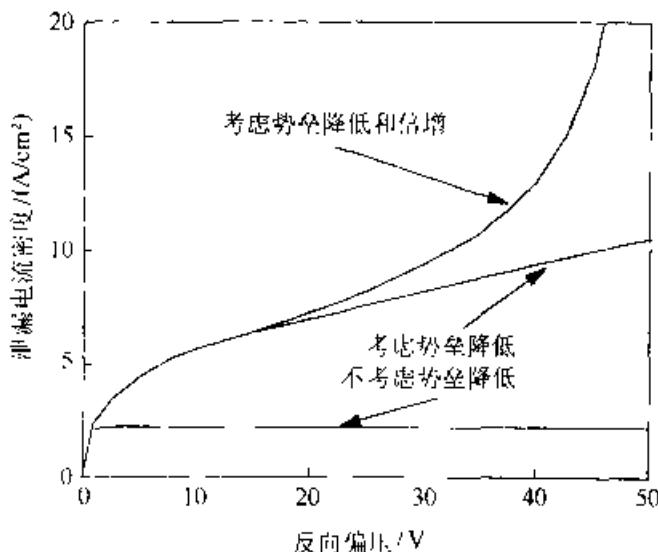


图 4.3 硅肖特基整流管的反向阻断特性

为了解释高反向偏压下大的反向泄漏电流，必须要考虑当所加的反向偏压接

近击穿电压时，大电场引起的载流子早期雪崩倍增效应<sup>1)</sup>。当肖特基势垒高度降低时，虽然正向电压降低，但反向漏电流也有所增加。肖特基功率整流管需要在正向压降和反向漏电流间进行折衷考虑以实现性能的优化。在器件设计中非常有用的折衷曲线给出了正向压降和反向漏电流之间的关系，即

$$J_R = J_F e^{-(qV_F/kT)} \quad (4.8)$$

在不同环境温度下计算得到的肖特基整流管的折衷(tradeoff)曲线示于图 4.4。需要指出的是，折衷曲线并不依赖于制备器件所采用的半导体材料(材料仅引起里查逊常数  $A'$  有一小的变化)。

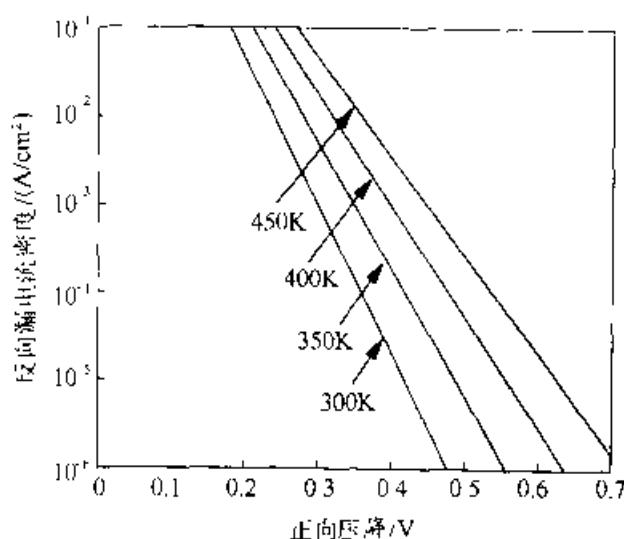


图 4.4 具有低击穿电压的肖特基整流管在开态压降和反向漏电流之间的折衷曲线

整流管的功率损耗由肖特基势垒高度的极限因子确定，正向导通时的功率损耗取决于其正向导通电流、正向压降和有荷占空因数。反向阻断时的功率损耗取决于反向漏电流、反向偏压和有荷占空因数。在选择肖特基势垒高度时，利用下式来计算总的功率损耗随温度变化的函数是非常重要的：

$$P_D = J_F V_F \frac{t_{on}}{T} + J_R V_R \frac{T - t_{on}}{T} \quad (4.9)$$

式中的  $t_{on}$  是二极管处于开态时的时间周期， $T$  是总的周期， $J_F$  和  $J_R$  分别为正向(开态)电流密度和反向漏电流密度。在方程(4.9)中，忽略了开关损耗。图 4.5 示出了在四个肖特基势垒高度下，计算得到的功率损耗随温度变化的函数关系。计算所用的正向电流密度为  $100\text{A}/\text{cm}^2$ ，反向阻断电压为  $20\text{V}$ ，有荷占空因数为  $0.5$ 。图中显示，当肖特基势垒高度降低时，总的功率损耗降低，同时还会伴随着最大工作温度的下降(如图中箭头所示)。实际上，最大的工作温度由散热电阻确定，它比箭头所指的温度要稍稍高一些。

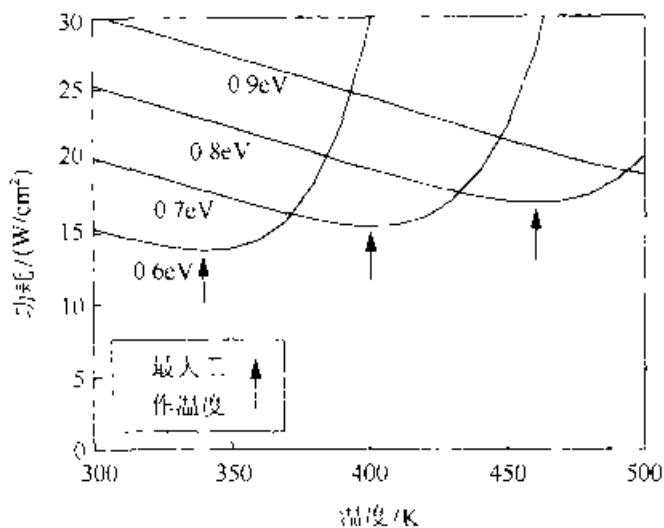


图 4.5 硅肖特基整流管功耗随温度的变化

#### 4.2.2 结-势垒-控制型肖特基整流管

结-势垒-控制型(JBS)肖特基整流管是一种将 p-n 结调制集成到漂移区的肖特基整流管结构<sup>[8-10]</sup>。图 4.6 示出该结构的横截面图。结调制极设计时要求它的耗尽层在零偏压下没有穿通。基于这一设计要求，该器件在肖特基势垒下包含了导电沟道，该导电沟道在器件正偏工作时能流过电流。当一个正偏压加到 n<sup>+</sup>衬底上时，p-n 结和肖特基势垒变为反偏，p-n 结形成的耗尽层向沟道中扩展。在 JBS 整流管中，结调制极的设计是希望在反偏电压超过几伏时，肖特基下的耗尽层发生交叠，引起耗尽层的穿通。耗尽层穿通后将在沟道中形成势垒。一旦势垒层形成，如果所加电压继续增加，则增加的压降都将降在势垒层上，并使耗尽层向 n<sup>-</sup>衬底区域扩展。因此，势垒层屏蔽了外加电压对肖特基势垒的影响，防止了肖特基的势垒降低现象的发生，从而可以消除传统肖特基整流管中存在的由于反向电压增加引起的漏电流迅速增加现象的发生。因此，一旦穿通条件建立，随反向偏压的增加，漏电流将在雪崩击穿点的出现前基本保持不变。

只要考虑由于沟道结构对电流限制所引起的漂移区串联电阻增加这一因素，则可以使用与分析肖特基整流管相同的方法分析 JBS 整流管的正向导通特性。考虑一个具有条形结构的 p-n 结调制极的情形，其横截面的尺寸结构如图 4.6 所示。在这一结构中，p-n 结调制极是用平面扩散工艺通过一环状扩散窗口形成的，环状扩散窗口的宽度为 s，中心掩模部分的宽度为 m。假定该结的侧面扩散是垂直深度 x<sub>1</sub> 的 85%。流过肖特基势垒的电流 J<sub>FS</sub> 为：

$$J_{FS} = \frac{m + s}{2d} J_{F1} \quad (4.10)$$

式中，J<sub>F1</sub> 是单元的电流密度，由 JBS 的总电流除以单元面积获得。其中利用了表

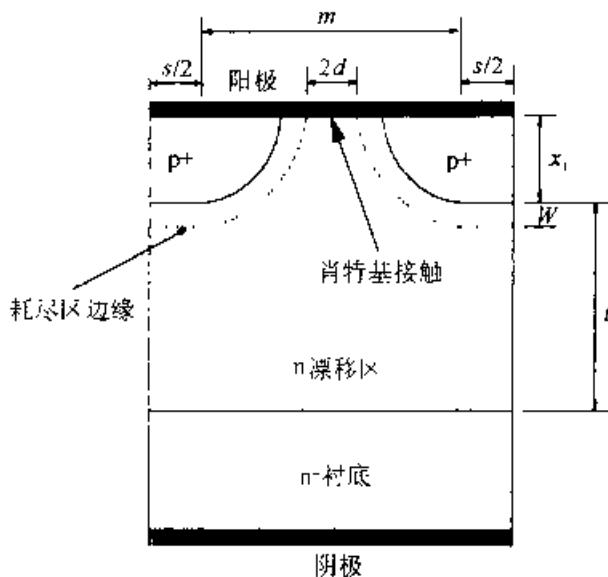


图 4.6 JBS 整流管结构的剖面图

达式

$$V_{FB} = \phi_B + \frac{kT}{q} \ln \left( \frac{m+s}{2d} \frac{J_{FC}}{A^* T^2} \right) \quad (4.11)$$

除了要包括肖特基势垒的压降外，还要包括漂移区的压降。假设电流从顶部截面宽度为  $2d$  的区域向底部宽度为  $m+s$  的区域扩展，则漂移区电阻为<sup>[9]</sup>：

$$R_D = \rho \frac{(x_1 + t)(m+s)}{m+s - 2d} \ln \left( \frac{m+s}{2d} \right) \quad (4.12)$$

其中， $\rho$  为电阻率， $t$  为获得所希望的击穿电压的扩散区厚度。将肖特基势垒的电压降和漂移区的电压降相加，则可得到 JBS 整流管的正向电压降：

$$V_{FB} = \phi_B + \frac{kT}{q} \ln \left( \frac{m+s}{2d} \frac{J_{FC}}{A^* T^2} \right) + \rho \frac{(x_1 + t)(m+s)}{(m+s - 2d)} \ln \left( \frac{m+s}{2d} \right) J_{FC} \quad (4.13)$$

对于肖特基整流管，JBS 整流管的反向漏电流由包括势垒降低效应的热离子发射确定：

$$J_L = \left[ \frac{2d}{m+s} \right] A^* T^2 \exp \left[ - \left( \frac{q \phi_B}{kT} \right) \right] \exp \left( \frac{q \mathcal{E}}{kT} \sqrt{\frac{q \mathcal{E}}{4\pi \epsilon_s}} \right) \quad (4.14)$$

式中， $\mathcal{E}$  是金属-半导体界面处的电场。JBS 整流管的重要特征是，一旦沟道势垒形成则肖特基势垒的电场将近似保持为常量（与反向偏压无关），其值与沟道夹断时的电压相关：

$$\mathcal{E} = \sqrt{\frac{2qN_D}{\epsilon_s} (V_P + V_{bi})} \quad (4.15)$$

其中， $V_P$  是沟道夹断电压，由下式给出<sup>[9]</sup>：

$$V_P = \frac{qN_D}{8\epsilon_s} (m - 1.7x_1)^2 - V_{bi} \quad (4.16)$$

为了进一步抑制势垒高度降低效应，已经对一种含有 p-n 结的器件结构进行了研

究。该 p-n 结在一个顶部表面刻蚀获得的深沟槽侧墙上形成<sup>[11]</sup>。深沟槽的垂直侧墙在沟道和 p 型区之间形成的主势垒(如在 JFET 中所示<sup>[12]</sup>)，使漏电流降低。

尽可能缩小结扩散窗口的宽度 s，可获得低的开态压降，因为这将减小位于结下无电流流过的“死(dead)区”。所以，利用亚微米光刻形成 p+ 扩散区的扩散窗口图形，可望获得性能更好的 JBS 整流管。对于能承受 30V 反向电压的 JBS 整流管，与 2μm 的扩散窗口的实验结果相比，采用了 0.5μm 扩散窗口<sup>[13]</sup>的 JBS 整流管，可获得更好的开态压降与反向漏电流的折衷曲线。

利用 0.5μm 设计规则制备的 JBS 整流管已经显示出优于深沟槽结构器件的特征，如在同样的 0.3V 的开态电压情形下，漏电流要低 45 倍。以这样的漏电流减小为基础，JBS 整流管最大工作温度可从传统的肖特基整流管的 100°C 提高到 175°C，同时总的功率损耗( $P_D$ )减小 2 倍。

#### 4.2.3 沟槽-MOS-势垒控制型肖特基(TMBS)整流管

沟槽-MOS-势垒控制型肖特基整流管是一种包含深沟槽区的肖特基型整流管，在深沟槽的侧墙和底部表面生长有氧化层，其结构剖面如图 4.7 所示。肖特基金属层淀积在沟槽表面的侧部和顶部。通过选择深沟槽两个侧墙间台面区的掺杂浓度和宽度( $m$ )，在金属-半导体结下形成电场再分布，这种再分布起源于台面区的电荷与顶部表面的肖特基和侧墙金属中的电荷相互耦合的结果。耗尽层是从顶部表面(类似于传统肖特基整流管)和沟槽的侧墙开始扩展的。利用二维数值模拟得知，如果台面区的电荷(掺杂浓度和厚度的乘积)约为  $5 \times 10^{12}/\text{cm}^2$ ，则电场不会在金属下的表面处形成峰值，其具体形式如图 4.8 所示。作为比较，图中还同时示出了所熟知的传统肖特基整流管中观察到的三角形电场分布。要形成一个 30V 的反向阻断电压，传统肖特基整流管的掺杂浓度值为  $3 \times 10^{16}/\text{cm}^3$ 。与之相对应，在 TMBS 整流管台面区的掺杂浓度则大得多( $1 \times 10^{22}/\text{cm}^3$ )。对于这一掺杂浓度，计算得到的平行平面结的击穿电压仅为 9.5V。然而，由于电场分布的变化(在深沟槽底部附近形成一个高电场区)，TMBS 整流管结构可经受 27V 的电压。在 TMBS 整流管中高的掺杂浓度可减小开态电流的串联电阻，使得器件可在低开态压降下工作。

另一个重要的结果是，与传统的肖特基整流管相比，在 TMBS 整流管中，肖特基接触下面的电场要小得多，对于深度超过 1μm 的沟槽，电场可减小二倍。这

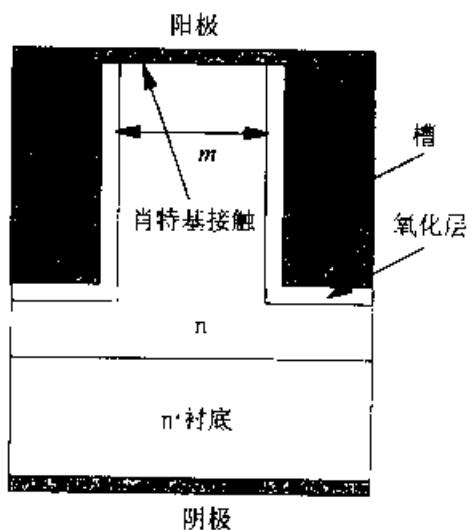


图 4.7 TMBS 整流管结构的剖面图

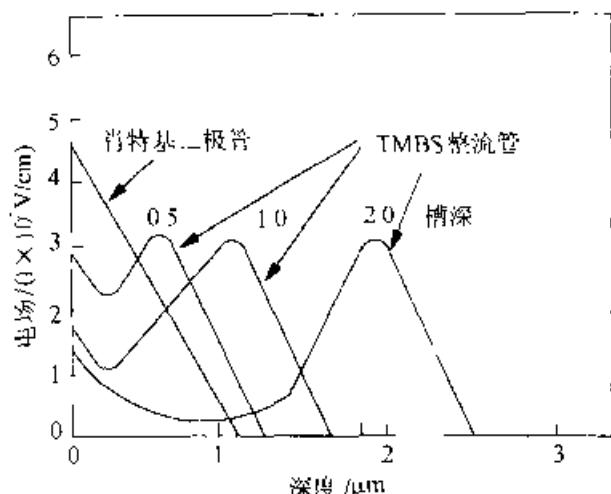


图 4.8 TMBS 整流管结构中的电场分布

将大大减弱肖特基势垒降低的现象，因为金属-半导体界面漏电流的增加与电场呈指数依赖关系。通过对图 4.8 示出的电场分布积分，可计算出 TMBS 整流管承受的电压。在获得 30V 击穿电压的同时，为获得 TMBS 结构中低的串联电阻，优化的沟槽深度为 2 $\mu m$ 。

与传统的肖特基整流管和 JBS 整流管相比，在 TMBS 整流管中，得到很大优化的电场分布实际意味着开态电压降和反向漏电流的折衷曲线得到很大的改善。图 4.9 示出了用亚微米技术制备的 TMBS 和 JBS 整流管的性能比较。

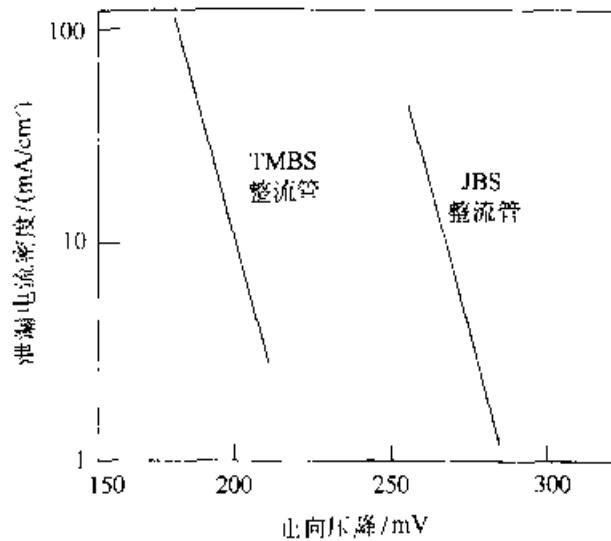


图 4.9 TMBS 和 JBS 整流管的开态压降与漏电流之间的折衷曲线比较

在相同的工作条件(开态电流密度  $60A/cm^2$ ，反向偏压 10V)下，TMBS 整流管的漏电流较 JBS 整流管要低三个数量级。功率损耗越低，在开关电源等应用中所需的散热装置就越小。

#### 4.2.4 p-i-n 整流管

p-i-n 整流管被广泛应用于高压功率电路中。与肖特基整流管不同，p-i-n 整流管的 n 型漂移区（称为本征区或 i 区）在正向导通时流过的是少数载流子。由于在电流流过期间，允许这些二极管在正向导通时拥有高的载流子浓度，所以，i 区的电阻非常小。然而，当 p-i-n 整流管由正向导通向反向阻断模式转变时，高浓度的少数载流子会引起一些问题，这是因为在转变时，这些存储在 i 区的电荷必须被移走，以使器件能够维持高的反向压降。

考虑如图 4.10 所示的带有 n 型漂移区的 p-i-n 整流管结构剖面图。若要维持大的反向阻断电压，漂移区必须要采用低的掺杂浓度 ( $N_B$ ) 和大的漂移区厚度 ( $2d$ )。

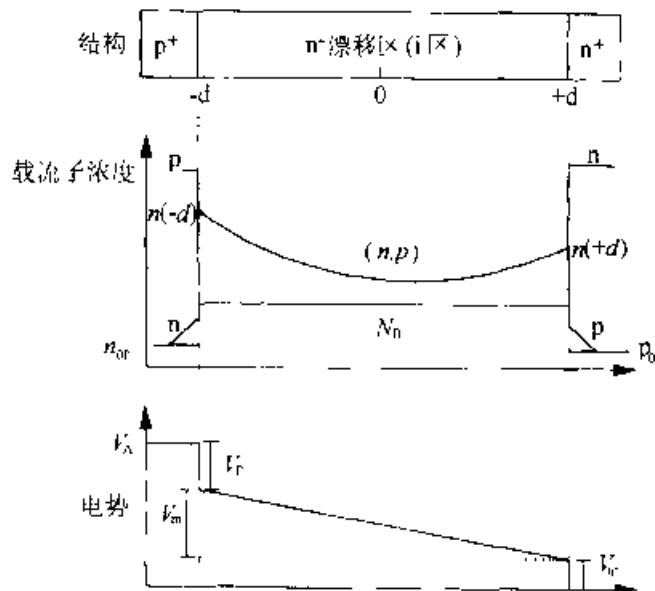


图 4.10 p-i-n 整流管在开态时的载流子分布和电势分布

在开态情形，随着电流密度的增加，注入的载流子浓度也增加，最终会超过 n 型漂移区中相对低的本底掺杂，称之为大注入条件。当注入的空穴浓度比本底掺杂浓度大许多时，在 n 型漂移区的电荷中性条件要求空穴和电子浓度相等：

$$n(x) = p(x) \quad (4.17)$$

这些注入的载流子浓度会远远大于本底掺杂浓度而导致 i 区电阻显著降低。这一现象称为电导调制效应，这是一个十分重要的效应。该效应可使 p-i-n 整流管在低的开态压降下实现高电流密度的运输。

在稳态条件下，p-i-n 整流管的电流可用 n 基区和阳/阴极区的空穴与电子的复合来说明。首先，考虑阳/阴极区复合可忽略的情形，即在阳、阴两极区有相同的注入效率，则 n 型漂移区的复合电流密度为：

$$J = \int_{-d}^d qRdx \quad (4.18)$$

式中  $R$  是复合率, 由下式给出:

$$R = \frac{n(x)}{\tau_{HL}} \quad (4.19)$$

假定寿命( $\tau_{HL}$ )的上限与载流子密度无关, 那么

$$J = \frac{2qn_s d}{\tau_{HL}} \quad (4.20)$$

其中,  $n_s$  是平均载流子浓度,  $d$  是 n 型漂移区的半宽度。从该方程我们可看到在漂移区自由载流子的浓度与电流密度成正比。由于载流子浓度的增加将导致漂移区电导率成正比的增加, 因此, 在漂移区的电压下降与电流密度无关。这对于 p-i-n 结构在高工作电流密度下仍能够保持低的开态压降是非常重要的。

如若求解漂移区实际的自由载流子分布, 我们必须利用连续方程:

$$\frac{dn}{dx} = 0 = -\frac{n}{\tau_{HL}} - D_a \frac{d^2n}{dx^2} \quad (4.21)$$

其中  $D_a$  是双极扩散系数。定义双极扩散长度为

$$L_a = \sqrt{D_a \tau_{HL}} \quad (4.22)$$

则式(4.21)可写为

$$\frac{d^2n}{dx^2} + \frac{n}{L_a^2} = 0 \quad (4.23)$$

求解该方程的边界条件由二极管在  $p^+$  和  $n^-$  端电流的输运确定。在  $n^+$  边界处, 电流输运主要是电子起作用, 空穴电流趋于 0。于是

$$J = J_n(-d) = 2qD_a \left[ \frac{dn}{dx} \right]_{x=-d} \quad (4.24)$$

在二极管的另一端,  $p^-$  边界处, 类似的分析可得

$$J = J_p(d) = -2qD_p \left[ \frac{dn}{dx} \right]_{x=d} \quad (4.25)$$

基于以上的边条件, 方程(4.23)的解为<sup>[5]</sup>

$$n = p = \frac{\tau_{HL} J}{2qL_a} \left[ \frac{\cosh(x/L_a)}{\sinh(d/L_a)} - \frac{\sinh(x/L_a)}{2\cosh(d/L_a)} \right] \quad (4.26)$$

这种悬链式的载流子分布示于图 4.10, 其中空穴和电子的浓度在  $p^+ - n$  ( $-d$ ) 结和  $n - n^-$  ( $+d$ ) 结处最高, 最小值则由于电子和空穴迁移率的不同而向阴极边偏移。远离结处的载流子浓度的减小量与双极扩散长度有关。在中等浓度下, 该扩散长度取决于寿命的上限。

若要确定整流管上的电压降, 首先需要求出电场分布。 $i$  区的电压降( $V_m$ )可通过电场分布的积分得到。可用下式近似计算中间区域的电压降<sup>[5]</sup>:

$$V_m = \frac{3kT}{q} \left( \frac{d}{L_a} \right)^2 \quad d \leq L_a \quad (4.27)$$

和

$$V_m = \frac{3\pi kT}{q} e^{\alpha I_s} \quad d \geq L_a \quad (4.28)$$

需要特别指出的是，在中间区域的电压降与电流密度无关，因为自由载流子浓度随电流密度成正比增加，因此在电极两端的电压降由下式给出：

$$V_{p^-} + V_{n^-} = \frac{kT}{q} \ln \left| \frac{n(+d)n(-d)}{n_i^2} \right| \quad (4.29)$$

联立方程(4.29)和(4.26)，在大注入条件和不考虑  $n^+$  区和  $p^+$  区复合的情形下，一个正偏二极管的电流密度由下式给定：

$$J = \frac{2qD_an_i}{d} F \left( \frac{d}{L_a} \right) e^{qV_m/(2kT)} \quad (4.30)$$

其中

$$F \left( \frac{d}{L_a} \right) = \frac{(d/L_a) \tanh(d/L_a)}{\sqrt{1 - 0.25 \tanh^2(d/L_a)}} e^{-qV_m/(2kT)} \quad (4.31)$$

由方程(4.30)可知，当函数  $F$  较大时(这对应于  $d/L_a$  值趋于 1 的情形)，正向压降较低。

在高频下，限制 p-i-n 整流管性能的主要因素是从开态向关态转换过程中的功率损耗。从开态向关态转换的过程称为反向恢复。如图 4.11 所示，反向恢复时，在 p-i-n 整流管中产生一个大的反向瞬态电流。由于在反向恢复期间的第二阶段，即经过反向电流的峰值后，整流管上的电压仍很大，因此整流管的功率损耗很大。此外，反向峰值电流将加到控制功率电路中电流的晶体管的平均电流之上。这不仅使得该晶体管中的功率损耗增加，而且还在电路内部产生一个高的电流应力，该应力可引起二次击穿失效。考虑线性开关电流波形(示于图 4.11 中)，它从起始电流密度  $J_F$  到电流关断期间，具有恒定的  $di/dt$ 。将反向恢复过程中移走的电荷与在中间区域初始储存的电荷相联系，可得反向恢复时间  $t_{rr}$ 。因为在反向恢复过程中，移走的电荷等于反向恢复电流波形下的面积，而初始储存的电荷等于中间区域的平均载流子浓度  $n^*$  和它的厚度( $2d$ )的乘积，则有：

$$\frac{1}{2} J_{PR} t_{rr} = Q_s = q n^* 2d = J_F \tau_{HL} \quad (4.32)$$

利用该方程得

$$t_{rr} = 2 \tau_{HL} \frac{J_F}{J_{PR}} \quad (4.33)$$

从这一表达式可知，通过减小寿命的上限可获得小的反向恢复时间。而通过在 i 区引入复合中心，则可减小寿命的上限。在许多的可能途径中，对利用金和铂的扩

散以及通过高能电子辐照等引入复合中心的方法已进行过仔细的研究<sup>[15~17]</sup>。

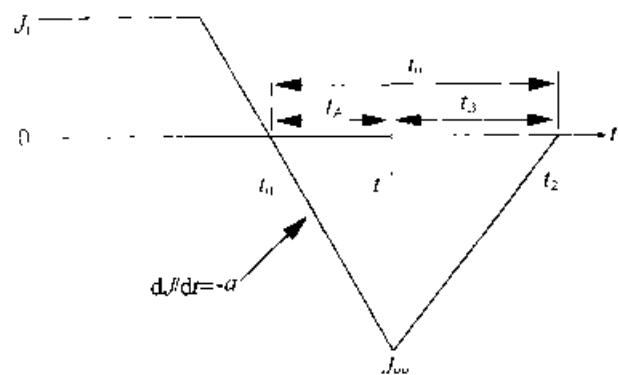


图 4.11 p-i-n 整流管的反向恢复波形

#### 4.2.5 p-i-n/肖特基混合型(MPS)整流管

高压 p-i-n 整流管在反向恢复期间的瞬态电流是功率电子电路中一个显著的功率损耗源。利用控制载流子寿命的方法可减小反向恢复电流。然而，这同时也将引起开态压降的升高。因此，需要在开态损耗和开关损耗之间进行折衷考虑。p-i-n/肖特基混合型(MPS)整流管是一个可选择的改进途径。MPS 整流管在不增加开态压降的情况下，能减小高压功率整流管的开关损耗<sup>[18]</sup>。图 4.12 示出的器件结构类似于 JBS 整流管的结构，但其实际的工作原理却不同，因为在 JBS 整流管中，p-n 结是专用于防止反向阻断期间肖特基势垒降低以减小漏电流的，而在 MPS 整流管中，它则是被用来获得高的击穿电压的。

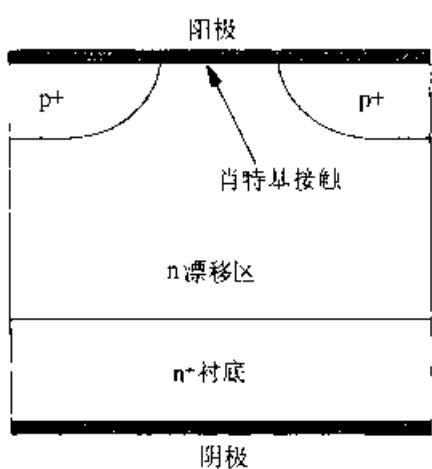


图 4.12 MPS 整流管结构的剖面图

在 MPS 整流管中，与 JBS 整流管不同的是位于肖特基区中的 p-n 结在开态时处于正向偏置，因而在漂移区有非常大的电阻，因此可通过设计使该大电阻在反向阻断期间承受高电压。对 p-n 结的正向偏置形成了向 n 漂移区的空穴注入，这与 p-i-n 整流管类似，由此引起了漂移区的电导率调制，使漂移区电阻大大减小，从而可允许大电流流过肖特基区。因为减小肖特基区的串联电阻所需的注入量不如在 p-i-n 整流管中见到的那么大，所以，在 MPS 整流管中的存储电荷要比 p-i-n 整流管小得多。

已用二维数值模拟对 MPS 整流管的开态特征进行了分析，并与 p-i-n 整流管和肖特基整流管的特性作了比较：其中假设这些器件均按照承受 900V 高压的参数设计漂移区，比较的结果示于图 4.13 中。虽然在肖特基整流管中电流是以相当低的正向偏置电压流过势垒的，但由于电流受到了未调制的漂移区的高串联电阻

的限制，肖特基整流管在高的正向电压下开态电流密度很低。与之相反，在 p-i-n 整流管中，在低于 0.5V 的正向偏压下，电流很小，但在较大的正向偏压下，p-n 结开始向漂移区注入空穴，由此减小了串联电阻，使得在约 1V 的低开态电压下有高的开态电流密度。在典型的开态条件下，注入的载流子浓度为  $1 \times 10^{17}/\text{cm}^3$ ，这将导致漂移区高的存储电荷积累。

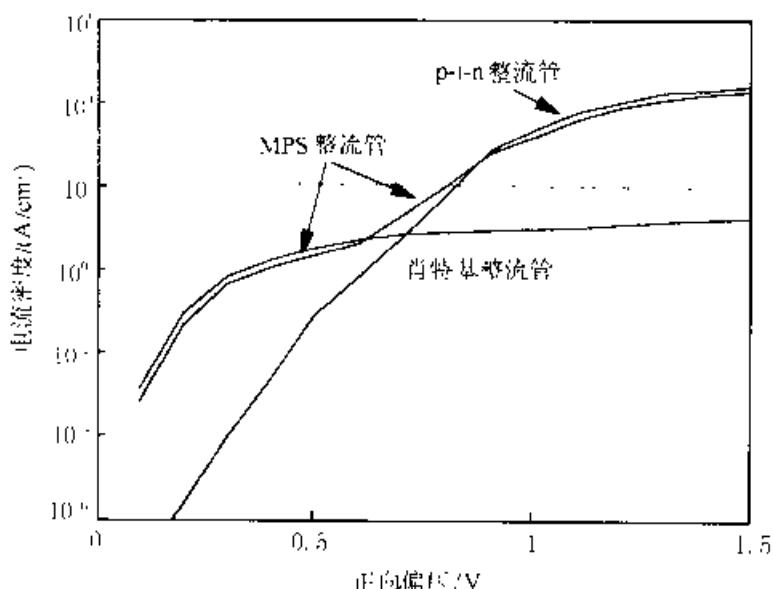


图 4.13 MPS、p-i-n 和肖特基整流管的开态特性

在 MPS 整流管情形下，低偏压下的电流特征类似于肖特基整流管。在低于 0.5V 的开态偏压下，电流主要流经肖特基区。由于肖特基区的面积约是整个器件面积的一半，所以在 MPS 整流管中开态电流密度约为在低的正向偏压下肖特基整流管的一半。然而，当正向偏压增加到约 0.6V 时，MPS 整流管中的 p-n 结开始向漂移区注入空穴，引起漂移区电导率的调制，导致了低的肖特基区串联电阻。因此，MPS 整流管在 0.6~0.9V 的正向偏压下，开态电流密度的变化比 p-i-n 整流管还要大。对典型的  $100\text{A}/\text{cm}^2$  的开态电流密度，如图 4.13 中点线所示，MPS 整流管的开态压降比 p-i-n 整流管的更低，所以，开态损耗也比 p-i-n 整流管更低。虽然注意到 MPS 整流管开态电压降是所有高击穿电压整流管中最低这一点是有意义的，但实际上 MPS 整流管和 p-i-n 整流管间的差异小于 0.1V。

图 4.13 显示，当正向偏压增加超过 0.9V 时，MPS 和 p-i-n 整流管的特性曲线出现交叉。这一现象的发生是由于在高电流密度[即典型的浪涌(surge)条件下，在 MPS 整流管结构中，电流主要流经 p-n 结。由于 MPS 整流管中 p-n 结的面积约是 p-i-n 整流管中 p-n 结面积的一半，因此，MPS 整流管中的电流也是 p-i-n 整流管的一半。MPS 整流管与 p-i-n 整流管的开态压降相差得相当小意味着 MPS 整流管对浪涌电流的处理能力与 p-i-n 整流管基本相同。

利用肖特基区的边条件求解连续方程得到的 MPS 整流管中存储电荷比 p-i-n

整流管要小。由于这个区域起到无限复合率界面的作用，少子的浓度在该区趋于零。因此，在 MPS 整流管的肖特基区， $x = -d$  处的边界条件为

$$p(-d) = 0 \quad (4.34)$$

将大注入时电中性条件的假设应用到  $x = +d$  的边界处，则有

$$\left| \frac{dp}{dx} \right|_{x=+d} = \left| \frac{dn}{dx} \right|_{x=+d} = \frac{J_F}{2qD_n} \quad (4.35)$$

式中， $J_F$  是开态电流密度， $d$  是  $n^-$  漂移区宽度的一半。由此求得载流子分布为<sup>5</sup>

$$p(x) = \frac{J_F L_n}{2qD_n} \frac{\sinh[(x+d)/L_n]}{\cosh(2d/L_n)} \quad (4.36)$$

这一载流子分布与 p-i-n 整流管的载流子分布的比较结果示于图 4.14 中。图中示出的是 MPS 整流管中沿着肖特基区和 p-n 结区的载流子分布。而方程 (4.36) 描述了穿过肖特基区的分布。从图中可见，在 p-n 结界面载流子浓度也比 p-i-n 整流管要小。根据这些载流子分布，我们可以得出结论，在 MPS 整流管中存储的电荷要比 p-i-n 整流管小。估算 MPS 整流管中电荷的存储量可通过对方程 (4.36) 积分给出的载流子分布得到：

$$Q_s = q \int_{-d}^{+d} p(x) dx = \frac{J_F L_n^2}{2D_n} \left[ 1 - \frac{1}{\cosh(2d/L_n)} \right] \quad (4.37)$$

由这个方程给出的 MPS 整流管在肖特基区存储电荷近似为 p-i-n 整流管在同样的开态电流密度下工作时存储电荷的四分之一。已经观察到的 MPS 整流管的反向恢复特性显著优于 p-i-n 整流管正是由于存储电荷减少的结果。

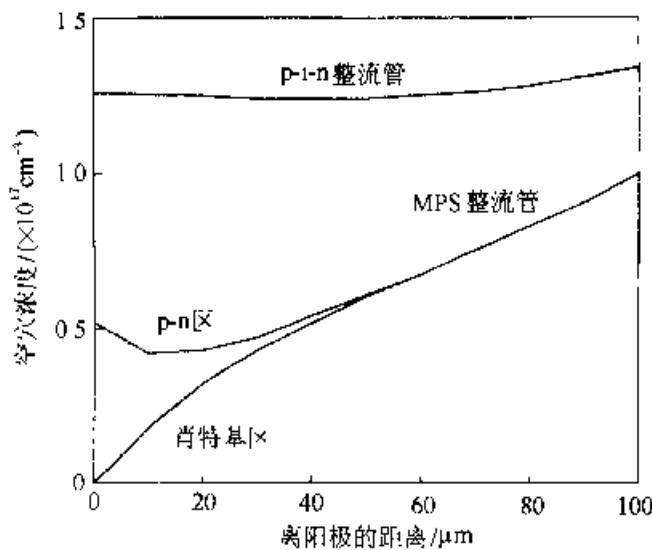


图 4.14 MPS 整流管在开态时的载流子分布

#### 4.2.6 静态屏蔽二极管

静态屏蔽二极管(SSD)由一个 p-i-n 整流管结构包含两个具有不同注入效率

的 p 型区组成<sup>[20]</sup>，第一个 p 型区是高掺杂的，像在传统的 p-i-n 整流管中一样，产生高的注入效率。第二个 p 型区是一个浅的轻掺杂区，它有低的注入效率。这些区域集成后的结构剖面图示于图 4.15 中。SSD 结构的特性可在 p-i-n 整流管(当第二个 p 型区进行较深和较重掺杂时)和 MPS 整流管(当第二个 p 型区进行浅和轻的掺杂时)之间进行调制。

人们已经用数值模拟对第二个 p 型区表面掺杂浓度变化对器件性能的影响进行了研究<sup>[20]</sup>。如图 4.16 所示。当第二个 p 型区表面掺杂浓度减小到  $1 \times 10^{17}/\text{cm}^3$  时，存储电荷将减小 35%，同时开态压降从 1.2V 增加到 1.43V，产生这种结果的原因是，在第二个 p 型区，由于注入效率降低使得注入的载流子密度减少。类似于 MPS 整流管，在反向偏置条件下，SSD 的漏电流被第二个 p 型区下形成的势垒所抑制。这个结构在开态压降和存储电荷间有一个类似于 MPS 整流管的折衷曲线。然而，这需要附加离子注入及退火推进工艺步骤，以形成第二个 p 型区。

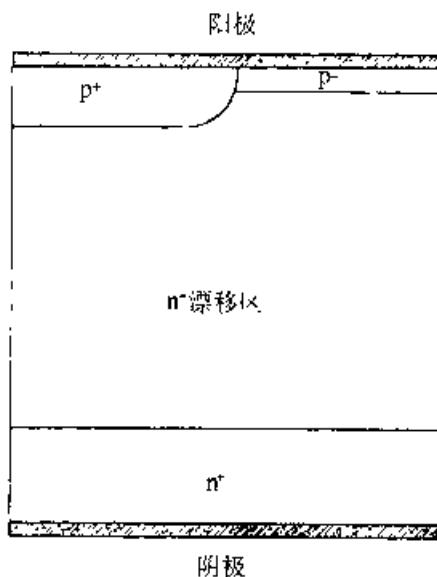


图 4.15 SSD 整流管结构剖面图

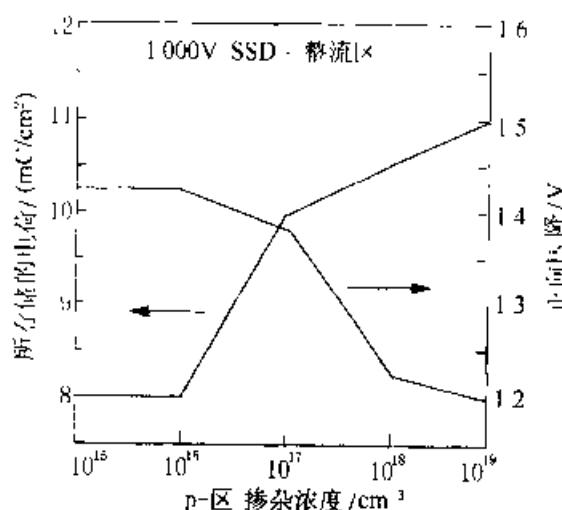


图 4.16 SSD 整流管中 p 区掺杂浓度对开态压降和存储电荷的影响

### 4.3 功率 MOSFET

在工业界已经探索研究的三类分立式垂直沟道型功率 MOSFET 结构中，VMOSFET 结构是首先实现商品化的器件，但由于该器件在制备过程中的稳定性问题和 V 型沟槽尖顶部存在的局域高电场等缺点，现已被 DMOSFET 所替代。图 4.17 示出了 DMOSFET 的剖面结构。该结构采用了平面扩散技术，以难熔材料如多晶硅的栅作掩模，用多晶硅栅的边缘定义 p 基区和 n<sup>+</sup>源区。DMOS 的名称就源于这种双扩散工艺。利用 p 基区和 n<sup>+</sup>源区的侧面扩散差异来形成表面沟道区域。已研究的第三类功率 MOSFET 结构是 UMOSFET，其结构示于图 4.18。这

种结构的名称是源于其 U 型沟槽结构。该 U 型沟槽结构利用反应离子刻蚀在栅区形成。与其它两种结构相比，U 型沟槽结构具有较高的沟道密度(沟道密度定义为有源区沟道宽度/cm<sup>2</sup>)，这使得器件的开态特征电阻显著减少。该结构的制备，技术采用了在存储器存储电容制备工艺中发明的沟槽刻蚀技术。需要注意的是，在上述的 DMOSFET 和 UMOSFET 两种结构中，p 基区与 n<sup>+</sup>源区是互相短接的。

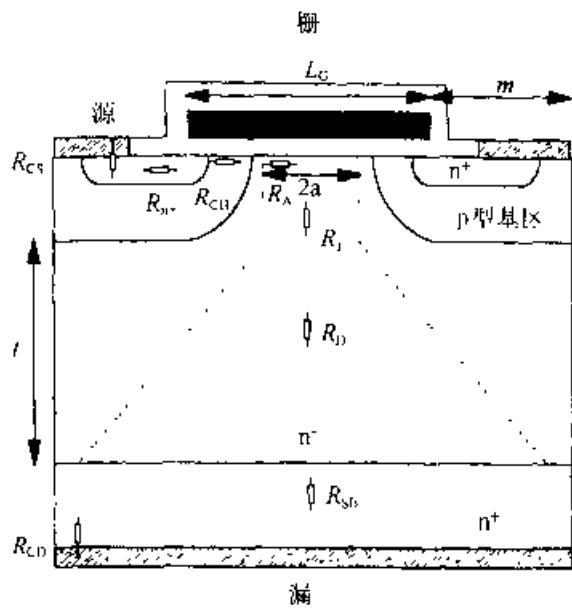


图 4.17 DMOSFET 剖面结构内部电阻示意图

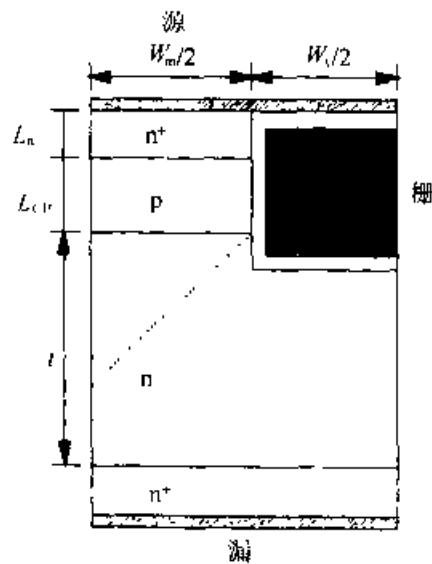


图 4.18 UMOSFET 结构剖面图

在所有的功率 MOSFET 结构中，当栅与源短接后，一个正的漏端电压可使 p 型基区与 n 型漂移区间的 p-n 结反向偏置。由于 p 基区具有较高的掺杂浓度，耗尽层主要扩展到 n 型漂移区。耗尽层的宽度和掺杂浓度是根据 p-n 结发生雪崩击穿时的条件所决定的。实现高的漏端阻断电压能力需要低的漂移区掺杂和大的宽度，因为这可使开态时具有高的电阻值。使源-漏导通形成电流的条件是在栅电极上加一正偏压，使沟道区形成了一反型层。如同第三章所讨论的情形，该反型层是通过正栅压作用于氧化层，使得在垂直于半导体表面上产生强电场而形成的。反型层为 n<sup>+</sup>源区和漂移区之间提供了导电通路，于是在正的漏电压作用下源漏间形成了电流(通过 n 型漂移区和沟道)，限制该电流的各电阻分量示于图 4.17 中。在低漏端电压下，电流主要受开态电阻的影响，其中开态电阻由沟道和漂移区的电阻构成。随着栅偏压的增加，沟道电阻减小，漂移区电阻保持不变，因此总的开态电阻随栅压的增加而减小，直至达到一个如图 4.19 中用点线表示的常量 ( $R_{on}$ )。开态电阻是功率 MOSFET 的一个重要参数，因为它描述了器件的电流驱动能力。在功率 MOSFET 中，只要器件中的功耗保持在合理的范围内，其电流饱和特性就可对功率电路中电流起限制作用。值得注意的是功率 MOSFET 中的电流主要由多数载流子(n 沟器件中多数载流子为电子)的输运形成。

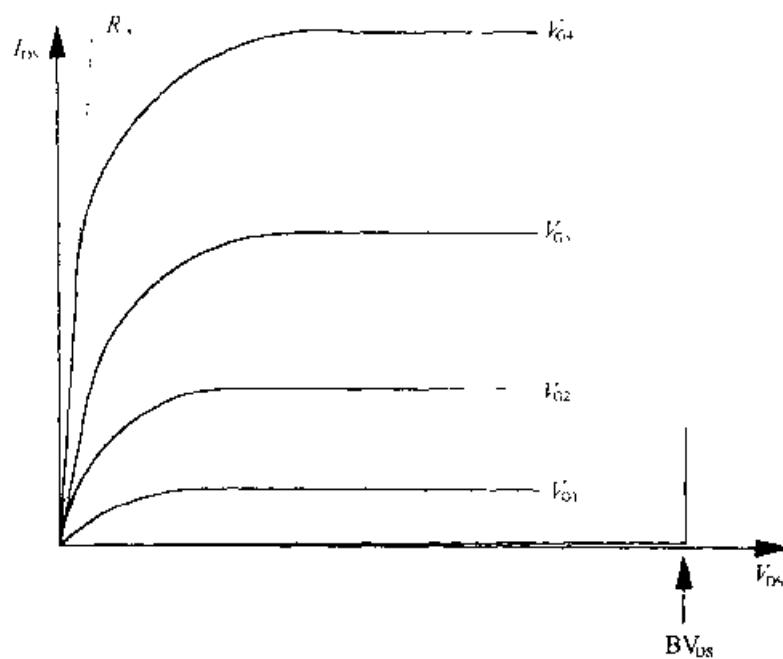


图 4.19 功率 MOSFET 的输出特性

要使功率 MOSFET 进入关态，只需要将栅电极与源电极短接，使栅压减为零即可。由于栅压为零，电子将不再被吸引到沟道，从源到漏的导电通道断开，功率 MOSFET 迅速地由开态转为关态，因此不会出现双极器件中所看到的与少子储存及复合有关的开关转换延迟过程。关断时间仅由从栅极移走电荷的速率决定。由于栅电极上的电荷决定了沟道的电导率，因此利用中等强度的栅电流为栅件的栅电容放电，即可使器件的开关时间小于 100ns。

对于功率 MOSFET，一个重要的器件参数是跨导  $g_m$ ，其定义为源-漏电流随栅电压的变化率。人们希望获得大的跨导，因为大的跨导可以在低栅电压下获得高的电流驱动能力，同时获得高的频率响应。在电流饱和工作区，输出特性由栅感应的沟道特性决定，因此跨导可通过沟道和栅结构的设计来确定。

#### 4.3.1 正向阻断能力

在正向阻断模式下，功率 MOSFET 的栅电极从外部短接到源端，此时在 p 基区表面的栅结构下没有形成反型的导电沟道。如果施加正的源-漏电压，则 p 基区与 n 漂移层形成的 p-n 结反偏，并承受源-漏电压。由于多方面的原因，该 p-n 结的击穿电压不能采用简单的平行平面分析方法进行估算<sup>[21, 22]</sup>。功率 MOSFET 结构由一个 n<sup>+</sup>-p-n 晶体管构成，其中在 p 基区的某一选定点上通过源区的局部互连金属线与 n<sup>+</sup>发射区短接。在该结构中，只要 p 基区的耗尽层穿通到 n<sup>+</sup>发射区，发射极与基极间的 p-n 结就将变成正向偏置，发射极就能够通过向 p 基区注入电子而导通。发生穿通的条件由 p 基区的掺杂分布决定。p 基区掺杂浓度的峰值

( $n_{\text{sp}}$ )由 p 基区扩散的表面浓度( $N_{\text{sp}}$ )和 n' 发射区厚度共同确定。p 基区掺杂的峰值是掺杂分布的重要参数，因为它决定功率 MOSFET 的阈值电压，即感应形成表面沟道所需的最小栅压。对于具有典型的 2~3V 阈值电压的 n 沟功率 MOSFET，其基区掺杂浓度峰值( $n_{\text{AF}}$ )约为  $10^{17}/\text{cm}^3$ 。

在功率 MOSFET 中，沟长是一个重要的设计参数，它对开态电阻和跨导的影响很大，沟长是由 p 基区和 n' 发射区的扩散长度之差  $x_p - x_{n'}$  决定的。尽管 n' 发射区与 p 基区通过源端的金属连线短接，但是在功率 MOSFET 中仍然存在寄生的 n' p n 双极晶体管。当 p 基区与 n 漂移区的结反向偏置时，p 基区的耗尽层可能扩展到 n' - p 发射结，引起过早的穿通。因此精心设计 p 基区的杂质分布以保证有足够的电荷驻留在 p 基区，以防止耗尽层穿通到发射区是非常重要的。当 p 基区表面浓度低于  $10^{18}/\text{cm}^3$  时，扩散区的耗尽层宽度扩展可以超过  $1\mu\text{m}$ ，特别是在漂移区为低掺杂浓度的情形下。因此，除非器件只经受低电压的作用，否则不可能使器件的沟道小于  $1\mu\text{m}$ 。

功率 MOSFET 的击穿电压由器件边缘击穿或 MOS 单元结构内的击穿决定。边缘击穿由边缘端决定。由于功率 MOSFET 的开态电阻随击穿电压的增加而迅速增加(在本节的后面将有论述)，因此利用达到理想击穿电压的边缘端是非常重要的。有了这样一个边缘端以后，影响器件击穿电压的主要因素则为 MOS 单元结构，关于 MOS 单元结构的击穿效应在参考文献[5]中已有详细讨论。

#### 4.3.2 开态特性

在 n 沟功率 MOSFET 中，栅上施加正偏压后，栅下部分的 p 基区就会形成导电通路。电流受总的源-漏电阻的限制。如图 4.17 中的 DMOS 截面示意图中所示，总的源-漏电阻由许多电阻分量组成，这些分量共同决定了器件的开态压降。由于高压功率 MOSFET 有高的漂移区电阻，所以 n' 发射区电阻( $R_{n'}$ )和衬底区电阻( $R_s$ )一般可忽略不计。然而对于具有低击穿电压( $<100\text{V}$ )的器件，由于其漂移区和沟道区电阻均不大，因此 n' 发射区电阻和衬底区电阻将会成为相当重要的量。沟道电阻( $R_{\text{ch}}$ )和积累层电阻( $R_A$ )由栅压感应的表面薄电荷层的电导率决定，它们一般是表面层电荷和近表面电子迁移率的函数。除了以上所提的这些电阻分量外，漂移层对总的开态电阻的贡献还有两部分。其一是器件单元上表面部分漂移区的贡献  $R_t$ ，在高的源-漏电压下，该电阻由于耗尽层从邻近的 p 基区扩展引起的夹断行为而得到增强，一般称这种现象为 JFET 行为；其二是漂移区主体大串联电阻( $R_D$ )的贡献，特别是在高压器件中，该串联电阻会更大。对开态电阻各分量的分析将在本节后面的部分给出。

**阈值电压** 是指 MOS 结构的沟道发生强反型时所加的栅压，它是功率 MOSFET 的一个重要设计参数。它确定了在沟道中感应形成 n 型导电层所需要加

的最小栅压。为了使器件获得适当的工作性能，阈值电压的值不能太大或太小。如果阈值电压太大，开启功率 MOSFET 所需要加的栅偏压就很大，这使得栅的驱动电路设计成为一个严重的问题。而若阈值电压太小，则器件在处于关态时，可能会发生由于栅端的噪音信号或在高速开关过程中引起栅压升高等因素，使器件发生误开操作。典型的功率 MOSFET 的阈值电压一般设计在 2~3V 的范围内。

设金属和半导体的功函数没有差别，则阈值电压由下式给出<sup>[5, 6]</sup>：

$$V_T = \frac{Q_s}{C_{ox}} - 2\phi_B \quad (4.38)$$

其中

$$Q_s = \sqrt{4\epsilon_s kT n_{AP} \ln(n_{AP}/n_i)} \quad (4.39)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4.40)$$

$$\phi_B = \frac{kT}{q} \ln \left| \frac{n_{AP}}{n_i} \right| \quad (4.41)$$

式中， $Q_s$  是耗尽层的单位面积电荷， $C_{ox}$  是单位面积的栅氧化层电容， $\phi_B$  是费米能级和半导体体内本征费米能级之差， $n_i$  是本征载流子浓度， $\epsilon_s$  和  $\epsilon_{ox}$  分别是半导体和栅氧化层的介电常数， $t_{ox}$  是栅氧化层的厚度。阈值电压的表达式显示，阈值电压随栅氧化层厚度和半导体掺杂浓度  $n_{AP}$  的平方根的增加而线性增加。在实际的 MOS 结构中，阈值电压还将受到如下一些因素的影响。

1. 金属和半导体的功函数不相等。若二氧化硅和金属间的势垒高度为  $\phi_B$ ，则金属和半导体间功函数之差可由下式获得<sup>[5, 6]</sup>：

$$q\phi_{ms} = q\phi_B + q\chi_{ox} - \left( q\chi_s + \frac{E_g}{2} + q\phi_B \right) \quad (4.42)$$

其中， $\chi_{ox}$  和  $\chi_s$  分别是氧化层和半导体的电子亲和势。

2. 氧化层与硅界面存在的固定氧化层电荷  $Q_f$ 。
3. 氧化层中存在的可动离子电荷  $Q_m$ 。
4. 氧化层与硅界面存在的陷阱电荷  $Q_t$ 。

所有这些电荷都会引起阈值电压的漂移<sup>[5, 6]</sup>：

$$V_T = \phi_{ms} + \frac{Q_s}{C_{ox}} + 2\phi_B - \left( \frac{Q_f + Q_m + Q_t}{C_{ox}} \right) \quad (4.43)$$

这在器件设计中必须予以考虑。

**沟道电阻** 沟道电阻由表面反型层中可动电子和电子的表面迁移率决定<sup>[23, 24]</sup>。当表面电势  $\phi_s$  超过体内电势  $\phi_B$  两倍时，沟道中开始形成强反型层。由于在反型层区域之外的能带弯曲很小，所以，用来传导电流的反型层电荷由下式给出：

$$Q_s = C_{ox}(V_G - V_T) \quad (4.44)$$

因此, 在低的源-漏电压下, 由于沿沟道的电压降可以忽略, 沟道电阻由下式给定:

$$R_{CH} = \frac{L}{Z\mu_{ns}C_{ox}(V_G - V_T)} \quad (4.45)$$

其中,  $Z$  和  $L$  分别是沟道的宽度和长度,  $\mu_{ns}$  是电子的表面迁移率。随着沟道电流的增加, 沿沟道方向的源-漏电压降将变得显著。正的源-漏电压将会抵消栅偏压的作用而使得沟道的表面电势减小, 因而沿沟道的电压降会使得漏端附近的沟道电荷减少。当源-漏电压等于  $V_G - V_T$  时, 沟道中靠近漏端的沟道电荷变为零。这被称为沟道夹断条件。在夹断点, 源-漏电流饱和, 源-漏电压的进一步增加不会引起源-漏电流的增加。源-漏电压此时主要降在栅下面的耗尽层扩展部分。

在缓变沟道近似的条件下, 可推导出沟道的  $I-V$  特性是栅和源-漏电压的函数<sup>5, 6</sup>:

$$I_D = \frac{\mu_{ns}C_{ox}Z}{2L}[2(V_G - V_T)V_D - V_D^2] \quad (4.46)$$

随着源-漏电压和源-漏电流的增加, 上式中第二项逐渐变得重要, 由此使得源-漏电流达到饱和。从物理上看, 这相当于沟道中靠近漏端的反型层电荷随着源-漏电压的增加而减少, 最终, 在沟道中漏端的反型层电荷变为零, 源-漏电流达到饱和值:

$$I_{DS} = \frac{\mu_{ns}C_{ox}Z}{2L}(V_G - V_T)^2 \quad (4.47)$$

饱和的源-漏电流是一个重要的参数, 因为它给出了沟道将通过的最大电流值。器件在饱和电流工作区的跨导可以通过将方程(4.47)对栅电压求微分得到:

$$g_{ms} = \frac{dI_D}{dV_G} = \mu_{ns}C_{ox}\frac{Z}{L}(V_G - V_T) \quad (4.48)$$

对于功率 MOSFET, 该参数对定义栅驱动条件是很有用的。

**DMOSFET 的开态特征电阻** 功率 DMOSFET 的开态特征电阻由图 4.17 所示的各电阻分量共同确定:

$$R_{on} = R_{n^+} + R_{CH} + R_A + R_J + R_D + R_S \quad (4.49)$$

其中,  $R_{n^+}$  是源  $n^+$  扩散区的贡献,  $R_{CH}$  是沟道电阻,  $R_A$  是积累层电阻,  $R_J$  是位于 p 基区之间的漂移区的贡献,  $R_D$  是漂移区电阻,  $R_S$  是衬底电阻。除此之外的附加电阻可能起源于源-漏端金属与  $n^+$  半导体区的非理想接触, 用  $R_{CS}$  和  $R_{CD}$  表示(参见图 4.17), 也可能起源于器件和封装管壳间的连接引线。在目前的功率器件中, 起源于  $n^+$  源区非理想接触的电阻通常是可忽略的。

理想情形下,  $n^+$  发射极、 $n^+$  衬底、 $n$  型沟道区、积累区和 JFET 区的电阻分量均可以忽略, 功率 MOSFET 的开态特征电阻仅由漂移区确定。此外, 进一步假

定电流是均匀通过漂移区而不发生电流展宽效应，则漂移区电阻就称为功率 MOSFET 的理想开态特征电阻。该电阻对应的是，在掺杂浓度和厚度能够承受设计击穿电压的条件下漂移区的电阻。根据将漂移区的掺杂浓度  $n_D$  和厚度  $W_D$  与击穿电压联系起来的文献[5]，理想开态特征电阻由描述 n 沟器件的方程(4.3)给定。

对于高压功率 MOSFET，来自衬底的电阻分量的贡献可以忽略，但对击穿电压低于 50V 的器件，来自衬底的电阻分量的贡献将很显著。非常现实的问题是，为适应器件制备对衬底强度的要求，必须保证衬底有足够的厚度，由于在漂移区界面电流的展宽十分迅速，因此可假定电流密度在衬底中是均匀的，因而衬底对特征电阻的贡献可由下式给出：

$$R_{SB, sp} = \rho_{SB} t_{SB} \quad (4.50)$$

其中， $\rho_{SB}$  是衬底的电阻率， $t_{SB}$  是衬底的厚度。对一个典型的厚为 0.05cm、电阻率为  $0.01\Omega \cdot \text{cm}$  的锑掺杂衬底情形，单位面积的衬底电阻是  $5 \times 10^{-4}\Omega \cdot \text{cm}^2$ ，这与 50V 器件的漂移区理想特征电阻是可比拟的。利用  $0.001\Omega \cdot \text{cm}$  的砷掺杂衬底制备的器件在制备完成后，可采用抛光减薄衬底厚度的方法来减小衬底的电阻。

基于沟道电阻的分析结果可知，通过缩小沟道长度同时保持大的沟道宽度的方式，可以减小沟道电阻分量。对于线性单元结构，每平方厘米的沟道电阻由下式给出<sup>[5]</sup>：

$$R_{CH, sp} = \frac{L_{CH}(L_G + 2m)}{2\mu_{ns}C_{ox}(V_G - V_T)} \quad (4.51)$$

注意到沟道电阻是随单元间距( $L_G + 2m$ )的缩小而减小的，其主要原因是由于沟道密度(有源区中每平方厘米的沟道宽度)的增加引起的。通过减薄栅氧化层厚度同时保持栅驱动电压不变，也可减小沟道电阻。

积累层电阻  $R_A$  引起了电流从沟道向 JFET 区域的扩展分布，积累层电阻依赖于积累层的电荷和积累层表面自由载流子的迁移率  $\mu_{nA}$ 。对于线性单元结构，每平方厘米的积累层电阻由下式给出<sup>[25, 26]</sup>：

$$R_A = \frac{K(L_G + 2r_v)(L_G + 2m)}{2\mu_{nA}C_{ox}(V_G - V_T)} \quad (4.52)$$

式中引入  $K$  因子来表示沟道电流通过积累区进入 JFET 区的二维特性。研究发现  $K=0.6$  时，公式与实验结果符合得很好，这意味着源-漏电流的有效电阻是整个积累区电阻的 60%。通过减小单元间栅电极的长度  $L_A$  可以减小积累层电阻，然而，由于栅电极的长度与 JFET 电阻  $R_J$  成反比关系，这样做会引起 JFET 电阻的增加。

p 基区的扩散区与漂移区之间的电阻称为 JFET 电阻，因为其电流特征类似于一个以 p 基区作为栅区的结型场效应管的电流特征。如果忽略耗尽区沿垂直方

向的电压降低效应，则 JFET 电阻的分量很容易计算。假定电流从积累层均匀流进 JFET 区域，则 JFET 区电阻等同于一个只有横截面为

$$A_{\text{JFET}} = aZ = \frac{L_a}{2} \cdot x_p \cdot Z \quad (4.53)$$

的半导体区的电阻。其中  $Z$  是单元结构垂直于横截面的宽度。因此，JFET 对特征电阻的贡献为<sup>51</sup>：

$$R_J = \frac{\rho_D (L_G - 2x_p) (x_p + W_0)}{L_G - 2x_p \cdot 2W_0} \quad (4.54)$$

式中  $\rho_D$  是 JFET 区域的电阻率。在高压功率 MOSFET 中，漂移区掺杂浓度必须很小以获得所希望的高击穿电压。耗尽层的扩展尺寸  $W_0$  占了整个栅长  $L_G$  的主要部分，因而导致了较大的 JFET 电阻。通过增加栅长可解决这一问题，然而这又会使得沟道密度变差、单元的击穿电压降低。因此，在维持漂移区低掺杂浓度的基础上，适当增加 JFET 区的掺杂浓度有利于获得希望的高击穿电压。在 JFET 区域最大的掺杂浓度必须保持在大约  $5 \times 10^{19}/\text{cm}^3$  的水平以下，以避免高的局部电场和沟道掺杂浓度的显著变化。

假定漂移区从 p 型扩散区底部开始。电流从 JFET 区域呈如图 4.17 中点线所示的展宽形式流进漂移区。在合理精度下估算漂移区扩展电阻的模型假定：电流从长度为  $a = L_a - 2x_p$  的横截面以  $45^\circ$  的展宽角流过漂移区，则漂移区对特征电阻的贡献为

$$R_{D,\text{ext}} = \frac{\rho_D (L_a - 2x_p)}{2} \ln \left( \frac{a + t}{a} \right) \quad (4.55)$$

需要特别注意的是，即使假定在理想情形下，击穿电压由器件边缘端决定，DMOS 单元结构的漂移区特征电阻也并不等于理想的开态特征电阻，这是由于从 JFET 区到漂移区电流的展宽效应引起的。在器件单元的尺寸较漂移区厚度大时，漂移区特征电阻与理想值的偏移将会变得更严重。产生这种偏移的原因是源-漏电流主要是从栅区下面流过，因此在 p 基区下面会出现一个较大的没有电流流过的死角。

各分量对开态特征电阻的贡献依赖于器件的设计参数。当栅长  $L_a$  较小时，由于电流流进沟道的宽度  $a$  较小，JFET 和漂移区电阻将较大。同时，由于电流沿表面流动的路径缩短，积累层电阻将变小。由于器件单元间距的减小等效于沟道密度的增加，因此沟道电阻也将变小。而当栅长增加时，以上的各电阻分量按相反的趋势变化，这意味着存在一个优化的栅长，该栅长对应的总的开态特征电阻有一极小值<sup>52-54</sup>。所以，在对功率 DMOSFET 的结构进行优化设计时，必须要计算以多晶硅栅长为函数的总的开态特征电阻。

图 4.20 示出击穿电压为 50V 的 DMOSFET 器件各电阻分量和总的开态特

征电阻随着多晶硅栅长的变化。随着栅长  $L_g$  的增加，沟道和积累层电阻分量增加；同时，由于电流流过的面积增加，JFET 和漂移区的电阻分量减小。总的开态特征电阻的极小值出现在优化沟长为  $12\mu\text{m}$  之处。该例子的最小开态特征电阻是  $3\text{m}\Omega \cdot \text{cm}^2$ 。与之相比， $50\text{V}$  击穿电压器件的理想开态特征电阻值是  $0.1\text{m}\Omega \cdot \text{cm}^2$ 。因此，器件实际开态特征电阻与其理想值相比要大 30 倍。值得指出的是，在优化栅长下，与其它分量的贡献相比，沟道电阻的贡献明显地要大。这说明，通过减小单元间距、沟道长度和栅氧化层厚度可以达到改善低击穿电压功率 DMOSFET 性能的目的。获得小的器件单元窗口的方法之一是避免开接触窗，而这是可以通过在如图 4.21 所给出的结构中形成一个氧化层侧墙来实现的。该氧化侧墙可采用反应离子刻蚀多晶硅图形后再进行氧化层的保形淀积形成。利用该方法可制备击穿电压为  $50\text{V}$ 、开态特征电阻低于  $1\text{m}\Omega \cdot \text{cm}^2$  的器件。

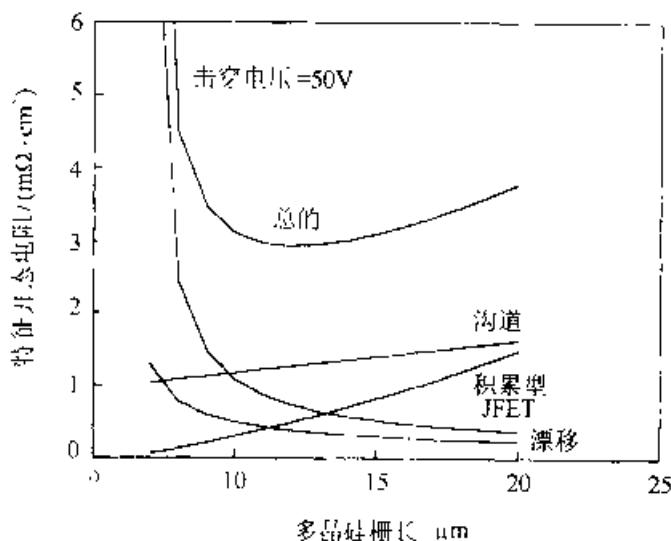


图 4.20 击穿电压为  $50\text{V}$  的功率 DMOSFET 的开态电阻分量随多晶硅栅长的变化曲线

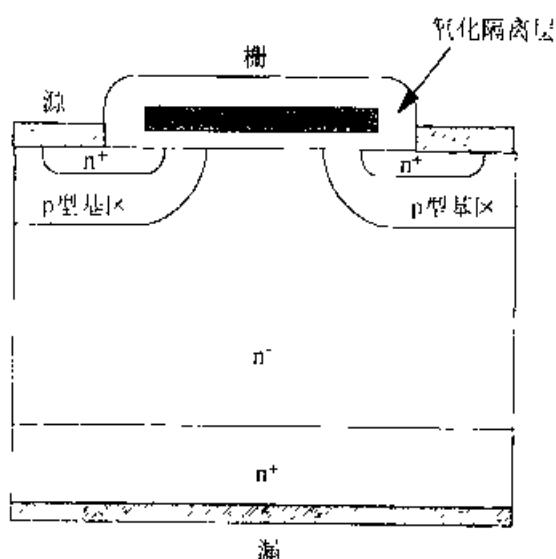


图 4.21 用氧化层作隔离的 DMOSFET 结构剖面图

**UMOSFET 的开态特征电阻** 硅功率 DMOSFET 的开态特征电阻明显比理想值高许多, 这种与理想值的偏差起源于 DMOSFET 结构中沟道区、积累层、JFET 区等分量电阻的影响。为了减小这些电阻分量对开态特征电阻的贡献, 提出了 UMOSFET 结构。从图 4.18 可见, UMOSFET 结构中没有 JFET 区, 取而代之的是电流从 U 型槽表面形成的积累层呈展宽形流出<sup>[29]</sup>。UMOSFET 的开态特征电阻则主要由沟道电阻、单位面积的漂移区电阻等分量组成。对于 UMOSFET 结构, 沟道电阻由下式给出<sup>[30]</sup>:

$$R_{\text{ch}, \text{so}} = \frac{L_{\text{ch}}(W_n + W_t)}{2\mu_{\text{s}}C_{\text{ox}}(V_{\text{t}} - V_{\text{T}})} \quad (4.56)$$

由于少了 JFET 区, UMOS 结构可以用窄的台面和槽形结构形成。结合好的光刻工具, 将 UMOS 单元尺寸减小到  $6\mu\text{m}$  以下 是可能的, 这将使得 UMOS 结构的沟道密度比 DMOS 结构的沟道密度大得多。以栅氧化层厚为  $1000\text{\AA}$ 、栅长为  $1\mu\text{m}$  的典型结构为例, 计算得到的沟道电阻分量对开态特征电阻的贡献小于  $0.2\text{m}\Omega \cdot \text{cm}^2$ 。

所推导出的漂移区展宽的电阻分量为<sup>[31, 32]</sup>:

$$R_D = \rho_D \left[ \left| \frac{W_m + W_t}{2} \right| \ln \left| \frac{W_m + W_t}{W_t} \right| \right] + \left| t_D - \frac{W_m}{2} \right| \quad (4.57)$$

式中第一项是漂移区中电流以  $45^\circ$  展宽角流过部分的贡献, 第二项是漂移区中另一部分的贡献, 第二部分的横截面面积等于单元面积。与 DMOS 结构不同, 在 UMOS 结构中, 由于台面区的半宽度非常小, 即使是按低击穿电压的器件结构设计, 仍然存在电流展宽交叠。

与 DMOS 结构不同, UMOS 结构单元无法进行优化设计。在 UMOS 结构中, 尽可能地减小台面和槽的宽度是有益的。随着这些尺寸的减小, 沟道密度增加,

沟道电阻的值也在减小。此外, 当台面宽度  $W_m$  变小时, 漂移区中的电流展宽区域的电阻值趋于理想的开态特征电阻。对击穿电压为  $50\text{V}$ 、利用  $3\mu\text{m}$  的台面和槽结构制备的 UMOSFET, 可计算出总的开态特征电阻为  $0.35\text{m}\Omega \cdot \text{cm}^2$ , 而理想值为  $0.1\text{m}\Omega \cdot \text{cm}^2$ 。所以, UMOSFET 结构可使开态特征电阻接近于理想值。具有自对准接触的槽型栅, 其击穿电压为  $50\text{V}$ 、开态特征电阻为  $0.5\sim 1\text{m}\Omega \cdot \text{cm}^2$  的器件已有报道<sup>[30, 31]</sup>。

若要进一步减小开态特征电阻, 可以通过将槽扩伸穿透到  $n^-$  衬底的方法实现, 如图 4.22 所示<sup>[32, 33]</sup>。在这样的结构中, 源-漏电流不仅通过  $n$  型漂移区, 同时还将沿槽侧墙形成的积累层流动。因此, 电流不再受漂移

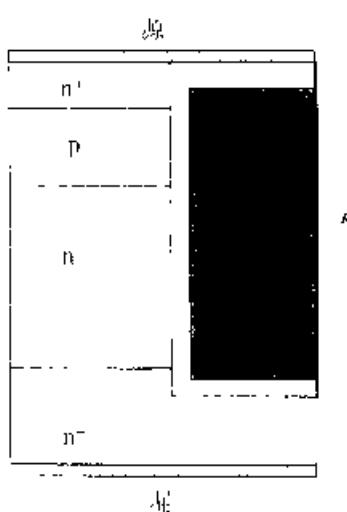


图 4.22 具有扩伸槽型栅的 UMOSFET 结构剖面图

区电阻的限制，当单元之间距离充分小时，开态特征电阻可以变得比理想值还小<sup>[1]</sup>。虽然这种结构有  $0.20 \text{m}\Omega \cdot \text{cm}^2$  的非常小的开态特征电阻值，但是由于整个源漏电压全部降在栅氧化层上，其击穿电压仍被限制在 25V 以下。击穿电压低的问题可以利用双栅结构得到解决，其中双栅由 p 基区底上的薄栅氧化层和在扩展槽较低部分的厚栅氧化层构成<sup>[2]</sup>。对于这样的双栅结构，已在实验上获得击穿电压为 70V、开态特征电阻值为  $0.7 \text{m}\Omega \cdot \text{cm}^2$  的器件。其较高的开态特征电阻来源于具有厚栅氧化层的槽区部分中的电导率差的积累层。

#### 4.3.3 开关特性

功率 MOSFET 的开关速度受其输入(栅)电容的充放电速度限制。分析中除了要考虑栅-源电容  $C_{GS}$  外，由于栅电极与漂移区的交叠，显著的栅-漏电容  $C_{GD}$  也必须给予考虑。由于密勒(Miller)效应的作用，该栅-漏电容被放大，其等效的输入栅电容为<sup>[3]</sup>：

$$C_M = (1 + g_m R_L) C_{GD} \quad (4.58)$$

其中  $g_m$  是跨导， $R_L$  是负载电阻，总输入电容为

$$C_{\text{INPUT}} = C_{GS} + C_M \quad (4.59)$$

该结构的输入栅-源电容包含几个部分：(a) 栅电极和源端 n' 区的交叠形成的电容  $C_{Gn}$ ；(b) 栅电极和 p 基区形成的电容  $C_p$ ；(c) 源金属电极与栅电极形成的电容  $C_m$ 。在开态时，由于漂移区表面积累层的缘故，栅-漏电容会随高的栅-漏电压的变化而变化。当漏端电压增加和器件承受高压时，栅-漏电容减小。由于密勒效应的放大作用，该电容将会大大减小频率响应，所以，减小该电容值是非常重要的。通过减小栅与漂移区的交叠，以及限制源电极与结构单元的扩散窗口的尺寸，可大大减小栅-漏交叠电容，从而显著改善功率 MOSFET 的开关性能<sup>[35, 36]</sup>。然而，需要指出的是，减小栅与漏的交叠会在栅边缘处产生一个高电场，由此会引起单元的边缘端击穿电压的减小。此外，由于在基区的表面部分不再形成积累层，沟道与漂移区的电阻将增加，对开态特征电阻产生负面影响。通过引入浅的 p 型扩散区来减小漏-栅电容的方法，可改善单元的击穿电压，其中栅电极从 p 型扩散区中嵌入<sup>[36, 37]</sup>。该 p 型区类似于一个栅电极的保护环，减小了电场在栅电极边缘的集中。但是当单元流过电流时，浅的 p 型扩散区也会增强 JFET 的作用。因此，电容的减小是以开态特征电阻的增加为代价的。

由于功率 MOSFET 固有的高速开关能力，它们经常作为高频功率电路的功率开关使用。对于一个箝位的感性负载，当稳态电流  $I_L$  流过时，其开启时间由下式给出<sup>[3, 38]</sup>：

$$t_{on} = \frac{(V_S - V_D) R_L C_{GD}}{[V_G - (V_T + I_L/g_m)]} \quad (4.60)$$

其中  $V_s$  是电源电压,  $V_T$  是 MOSFET 的开态压降,  $R_G$  是与栅驱动电压源串联的电阻,  $V_G$  是栅驱动电压。该功率 MOSFET 的关断时间由下式给定<sup>[3, 38]</sup>:

$$t_{off} = R_G(C_{GS} + C_{GD}) \ln \left( \frac{I_L}{g_m V_T} + 1 \right) \quad (4.61)$$

通过减小栅的串联的电阻  $R_G$  和漏-栅电容  $C_{GD}$ , 可保证这些时间间隔很短, 由此可减小器件的功率损耗。然而, 减小栅驱动电路串联电阻的方法也会引起驱动电路成本的增加。因此, 利用前面部分讨论的减小漏-栅电容的方法是很重要的。

#### 4.3.4 功率 MOSFET 的安全工作区

安全工作区定义了  $I-V$  特性的界限, 在该界限内, 器件可正常工作而不发生破坏性失效过程。在低的漏电压下, 最大电流受功率损耗的限制。假如导线层的厚度足以防止熔断的发生, 则在低源漏电流下, 最大电压由发生雪崩击穿时的电压确定。在同时施加高电流、高电压时, 即使在瞬态周期足够小到可防止过量功率损耗的情形下, 器件也是很容易发生破坏性失效的。称这种失效模式为二次击穿失效。二次击穿是指在源-漏电流增加的情况下器件的关断电压能力突然下降的情形。二次击穿现象起源于功率 MOSFET 中的寄生双极晶体管效应。当漏端电压增加到雪崩击穿电压附近时, 除了在沟道反型层中流过的正常电流外, 还将有额外的雪崩电流流过 p 基区, 该雪崩电流在 p 基区被收集并沿 p 基区的侧面流到其接触区, 沿 p 基区的压降使得 n' 发射区边缘与基区的接触正向偏置。当 n' 发射区边缘接触结的正向偏置电压超过 0.7V 时, 开始注入载流子, 此时, 寄生的双极晶体管将不再能够承受 p 基区与 n 漂移层的击穿电压( $BV_{CEO}$ ), 击穿电压将减小到  $BV_{CEO}$ , 而  $BV_{CEO}$  的典型值是  $BV_{BO}$  的 60%。所以, 希望在 DMOS 单元的中心引入一个深的 p' 扩散区。由于商品化的功率 MOSFET 的寄生双极晶体管的发射结被有效地缩短, 因此目前已有极优的安全工作区。

#### 4.3.5 单元布局

在本节前面部分对功率 MOSFET 的讨论中, 所示出的器件剖面结构中没有考虑单元布局的表面结构。DMOS 和 UMOS 结构可允许是任何想像的单元布局, 只要求其满足所有的技术限制(如对准容限等)即可。功率 MOSFET 设计中通常使用的单元窗口有线性的、方形的、环形的、六角的或原子-晶格(A-L-L)等布局结构, 如图 4.23 所示。这些窗口可位于一个方形或六角形单元图形中。这些单元布局对电阻的影响已有分析, 分析中假定它们都有相同的漂移区掺杂浓度<sup>[39]</sup>。分析结果显示, 如果假定单元窗口尺寸和单元窗口面积与总的单元面积之比相同, 则所有蜂窝式设计的开态电阻相等。然而, 已经证明, 漂移区掺杂浓度必须要根据单元内的电场集中效应进行调整<sup>[3, 10]</sup>。考虑这一因素后, A-L-L 设计就超过了

其它的设计方案 在 A.L.L. 设计中具有较低的漏端交叠电容，这对器件在高频下工作是非常有利的。

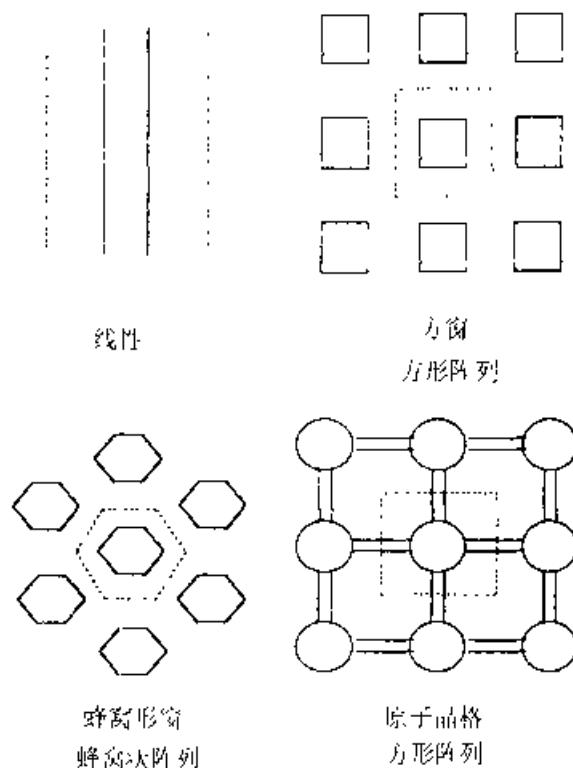


图 4.23 用于功率 DMOSFET 的单元布局形貌

#### 4.4 绝缘栅双极晶体管

如上节所述，在功率 MOSFET 的击穿电压增加的同时，其开态电阻的增加更为迅速。由于在中等和高功率应用情形下，需要高的直流电源电压，因此，高的开态电阻引起的功率损耗将是不可接受的。利用双极晶体管在电流导通时，可在高开态电流密度和低开态电压下工作的特点，可发展出一类新模式的功率半导体器件。这种新模式器件的特点是利用 MOS 栅结构来控制双极电流的传输。在该类模式的器件中，绝缘栅双极晶体管(IGBT)由于其具有很好的开态特性、可接受的开关速度和极好的安全工作区域，已成为最成功的商用功率开关器件。在 300~2 000V 阻断电压的中等功率应用领域，新模式器件已经取代了双极功率晶体管。

图 4.24 示出了 DMOS IGBT 结构的剖面图。当在集电极上加一个相对于发射极为负的偏压时，由于下部的 p-n 结反偏，该结构中不能流过电流。所以 IGBT 结构可拥有高的反向阻断能力。在反向阻断工作模式下，耗尽区扩展到了 n 型漂移区。当集电极加一个相对于与栅极短路的发射极为正的偏压时，上部的 p-n 结反偏，器件工作在正向阻断模式下。在正向阻断模式下，电压降在 n 型漂移区中的耗尽层上。该器件的正向和反向阻断能力(参见图 4.25)近似相等，这是由

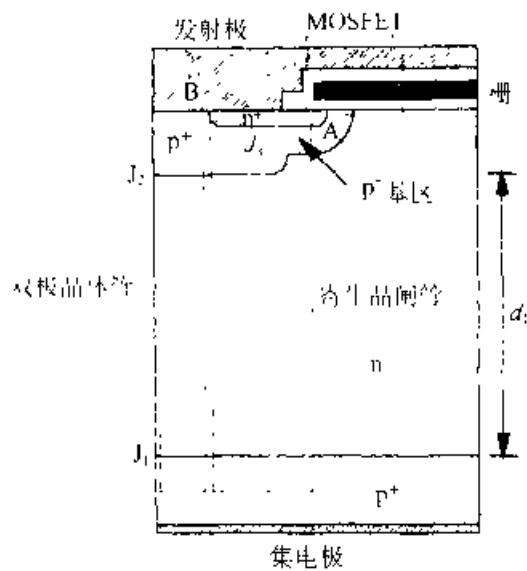


图 4.24 DMOS IGBT 结构剖面图

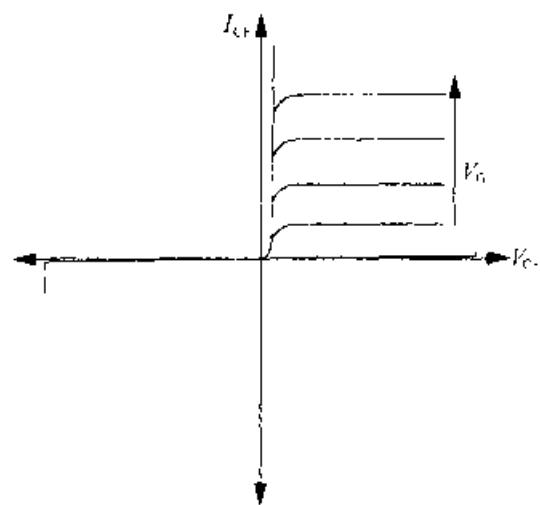


图 4.25 具有对称性阻断能力的 IGBT 器件输出特性

于它们均由公共的 n 型漂移层的厚度和电阻率确定。

当器件工作在正向阻断模式时，如果加充分大的栅压使栅下面的 p 基区表面反型，则 IGBT 转换到正向导通态。在正向导通态时，电子从 n 发射区流向 n 型漂移区，为 IGBT 结构中垂直的 p-n-p 晶体管提供基区电流。由于该双极晶体管的发射结 J<sub>2</sub> 处于正偏，p<sup>+</sup> 区向 n 基区注入空穴。当 IGBT 集电极所加的正向偏压增加时，注入的空穴浓度也增加，直到超过 n 型漂移区的本底掺杂浓度为止。在该 n 型漂移区内，器件特性类似于正偏的 p-i-n 二极管，所以，该器件既能承受高的阻断电压又可工作在高电流密度下。

如果使栅偏压下降到接近阈值电压的值来降低反型层的电导率，则由子电流类似于传统 MOSFET 中观察到的特征，在反型层上将有显著的电压降。当反型层上的电压降可以与栅偏压和阈值电压之差相比拟时，沟道发生夹断。在沟道夹断点，电子电流饱和。由于这限制了 p-n-p 晶体管的基极驱动电流，从而使得该通路上的空穴电流也受到限制。因此，在有源区，器件工作在受栅控输出电流决定的电流饱和方式下，如图 4.25 所示。

要使 IGBT 从开态转换到关态，需要采用将栅极与发射极短路使栅电容放电的方式。在未加栅压的情形下，栅下 p 基区表面不存在反型区。因此，栅偏压撤除后就切断了 n 型漂移区的电子来源，由此触发了器件的关断。由于在正向导通期间，有高浓度的少数载流子注入到 n 型漂移区，因此，关闭过程并不是一个突变过程。首先是，流过沟道的电子被阻断，阴极电流迅速减小；然后，收集电极电流逐渐衰减，其衰减时间常数由少数载流子寿命决定。

IGBT 结构在集电极和发射极之间包含一个寄生的 p-n-p-n 晶闸管，如图

4.24 所示。如果该晶闸管发生闩锁，则电流不再受 MOS 栅控制。通过发射极金属电极将 n<sup>-</sup> 发射区和 p 基区短路的方式可防止器件在工作期间出现电子从 n<sup>-</sup> 发射区向 p 基区的注入过程，由此可使闩锁效应得到抑制。IGBT 的等效电路按 Darlington 模式由一个 MOSFET 驱动 p-n-p 晶体管基极的结构组成<sup>[5]</sup>。

#### 4.4.1 反向阻断工作

当加负的集电极电压后，J<sub>1</sub> 结反偏，IGBT 可以承受大的电压作用。当 J<sub>1</sub> 结反偏时，它的耗尽层将扩展到轻掺杂的 n 型漂移区。在反向阻断期间，击穿电压由 p<sup>-</sup> 集电极、n 型漂移区和 p 型基区形成的基极开路的晶体管确定。如果 n 型漂移区掺杂太轻或厚度太薄，则该结构易于发生穿通击穿。要使器件获得所希望的反向阻断能力，优化设计 n 型漂移区的电阻和厚度是十分重要的。优化设计还要考虑少数载流子扩散长度的影响。作为一个通用的指导性原则，n 型漂移区厚度一般选择最大工作电压下耗尽层的厚度和少数载流子扩散长度之和。由于正向压降随 n 型漂移区宽度的增加而增加，因此用尽可能小的 n 型漂移区宽度获得所希望的击穿电压是十分重要的。当需要阻断电压增加时，n 型漂移区宽度 d<sub>1</sub> 必须相应增加：

$$d_1 = \sqrt{\frac{2\epsilon_s V_m}{q N_D}} + L_p \quad (4.62)$$

其中，V<sub>m</sub> 是最大阻断电压，L<sub>p</sub> 是少子的扩散长度。在大的阻断电压下，耗尽层宽度比扩散长度大许多，n 型漂移区宽度近似地随阻断电压的平方根线性增长。

#### 4.4.2 正向阻断工作

要使 IGBT 工作在正向阻断模式下，必须要使栅与发射极短路。这将使栅下表面反型层不能形成。当集电极加一个正的偏压时，由于 p 基区与 n 漂移区形成的 p-n 结 J<sub>2</sub> 反偏，IGBT 可承受大的电压。耗尽层从顶部的 J<sub>2</sub> 结向两边扩展开来，并且由于漂移区的掺杂浓度低，它们在相当小的电压下会在漂移区中相连。因此，正向阻断能力由于 J<sub>2</sub> 结的耗尽层向较低的 J<sub>1</sub> 结的穿透而出现严重的下降。在对称器件（即用于 AC 电路的器件具有相同的正向和反向阻断能力）中，n 型漂移区的宽度必须根据器件所需的反向阻断能力利用(4.62)式进行优化设计。在直流(DC) 电路应用中，IGBT 并不需要承受反向电压，因此在给定正向阻断能力的条件下，可不考虑反向阻断能力，这就为通过重新构造器件结构来对正向导通特性进行优化设计提供了可能。在具有不对称阻断能力的 IGBT 结构中<sup>[42]</sup>，通常在对称 IGBT 结构中采用的 n 型漂移区均匀掺杂方式将被双层的 n 型漂移区结构替代。其中双层结构在 J<sub>1</sub> 结处包含的重掺杂缓冲层改变了电场的分布，即由对称器件的三角分布变成了不对称器件的矩形分布。在这样的条件下，不对称器件中的漂移区宽度

只需是对称器件的一半，即可获得相同的正向阻断能力，这使得不对称结构器件拥有了好的开态特性。

#### 4.4.3 开态特性

通过在栅上加正偏压使得 MOS 栅下产生反型层，即可使 IGBT 工作在正向导通模式下。该反型层构成了连接 n<sup>-</sup>发射区与 n 型漂移区的导电沟道。如同功率 MOSFET 器件一样，栅压必须高于阈值电压以使电流导通期间的沟道电阻足够小。导电沟道一旦形成，正向电流就可通过少子注入流过正偏的集电结 (J<sub>c</sub>)。在 n 型漂移区的大部分区域，注入载流子密度要比 n 型漂移区的掺杂浓度高 100 倍，这使得串联电阻迅速减小，IGBT 在正向导通期间可工作在高电流密度下。

我们可以将 IGBT 看成为一个 p-i-n 整流管与一个 MOSFET 的串联结构来分析其正向导通特性。因为电流是从漂移区底部开始发散的，在集电极和 p 基区间的大部区域，都是以均匀分布的方式流过器件单元的横截面，因此可假定 p-i-n 整流管的电流密度近似等于集电极电流密度 J<sub>c</sub>，因而 p-i-n 整流管承受的电压 (V<sub>F, pn</sub>) 与正向导通电流密度 (J<sub>F, pn</sub>) 之间具有下述关系<sup>[5]</sup>：

$$V_{F, pn} = \frac{2kT}{q} \ln \left| \frac{J_c d}{2qD_n F(d/L_s)} \right| \quad (4.63)$$

其中，d=d<sub>s</sub>/2。该式中各项与 4.2.4 节给出的定义相同。因为 p-i-n 整流管电流流过 MOSFET 沟道，因此 MOSFET 电流为

$$I_{MOSFET} = J_c W Z \quad (4.64)$$

MOSFET 的电压降与流过的电流以及所加栅压的关系为<sup>[5]</sup>

$$I_{MOSFET} = \frac{\mu_{ns} C_{ox} Z}{2L_{CH}} [2(V_G - V_T) V_{F, MOS} - V_{F, MOS}^2] \quad (4.65)$$

其中，V<sub>F, MOS</sub>项是 IGBT 中在 MOSFET 结构上的电压降，L<sub>CH</sub>是 MOSFET 的沟长。在正向导通模式下，足够大的栅压使得器件的正向压降很小。在这样的条件下，IGBT 的 MOSFET 部分工作在其线性工作区，因而 MOSFET 产生的电压降为：

$$V_{F, MOS} = \frac{I_c I_{nH}}{\mu_{ns} C_{ox} Z (V_G - V_T)} \quad (4.66)$$

在 IGBT 产生的正向压降是 MOSFET 和 p-i-n 整流管产生电压降之和：

$$V_F = \frac{2kT}{q} \ln \left| \frac{I_c d}{2qWED_n F(d/L_s)} \right| + \frac{I_c L_{CH}}{\mu_{ns} C_{ox} Z (V_G - V_T)} \quad (4.67)$$

基于这样一个模型，IGBT 的正向导通电流密度像 p-i-n 整流管一样，随正向偏压的增加呈指数性增长。这样的正向导通特性已从在 600V 下工作的器件的实验中观察到，如图 4.26 所示。作为比较，图 4.26 还示出了电流增益为 10 的双极晶体管和功率 MOSFET 的正向导通特征。当正向压降超过 1V 时，IGBT 的电流密度

就超过了功率 MOSFET 和双极晶体管。在典型的 2~3V 正向工作电压下，若器件击穿电压为 600V，则 IGBT 的电流密度为功率 MOSFET 的 20 倍，为双极晶体管的 5 倍。器件正常工作的开态压降通常由其散热能力确定，即流过器件的电流产生的热不能使结温超过约 200°C。这意味着，对固定的热阻，可通过画一条等功耗线获得开态特征的工作点，如图 4.26 所示。等功耗线与器件的开态  $I-V$  特性曲线的交点就是器件的工作点。基于这样的判据，与其它器件相比，IGBT 的开态压降低、开态电流密度高，因此可实现小的芯片尺寸。

利用 p-i-n 整流管 MOSFET 模型，还可推导出 IGBT 的电流饱和特性。当栅偏压减小到接近阈值电压时，MOSFET 沟道上的电压降变得显著，MOSFET 起了限流的作用。由于从 IGBT 结构的 p-n-p 双极晶体管产生的附加电流因素，IGBT 的跨导比同样单元尺寸和沟道长度的 MOSFET 要大。包括该附加电流时，IGBT 的跨导由下式给定：

$$g_{\text{on}} = \frac{1}{1 - \alpha_{\text{pop}}} \frac{\mu_n C_{\text{ox}} Z}{L_{\text{CH}}} (V_G - V_T) \quad (4.68)$$

因为 p-n-p 晶体管的电流增益典型值约为 0.5，所以 IGBT 的跨导可以是一个具有同样的沟道宽长比的 MOSFET 器件的两倍以上。

虽然，IGBT 的开态特性类似于一个 p-i-n 整流管，但是它们在 n 型漂移区的载流子分布是不同的。这种差别来源于 IGBT 中反偏的  $J_2$  结。由于  $J_2$  结反偏，自由载流子在其边界必然为零。所以，高注入条件使得 IGBT 的载流子分布与 p-i-n 整流管相同，但边界条件并不一致。沿一条从  $J_1$  结到  $J_2$  结的扩展线求解稳态条件下的二维连续方程，可导出 IGBT 中自由载流子分布满足的边界条件：

$$p(d_1) = 0 \quad (4.69)$$

$$J_p(x) = J \quad x = 0 \quad (4.70)$$

$$J_n(x) = 0 \quad x = 0 \quad (4.71)$$

其中  $J$  是集电极电流密度。在 n 型漂移区的载流子分布由下式给定：

$$p(x) = \frac{J L_a}{2q D_p} \frac{\sinh[(d_1 - x)/L_a]}{\cosh(d_1/L_a)} \quad (4.72)$$

图 4.27 示出了 IGBT 的电荷分布及在 p-i-n 整流管中观察到的悬链状载流子分布剖面。比较这些剖面可见，n 型漂移区的电导调制在集电结  $J_1$  附近是十分相似的。

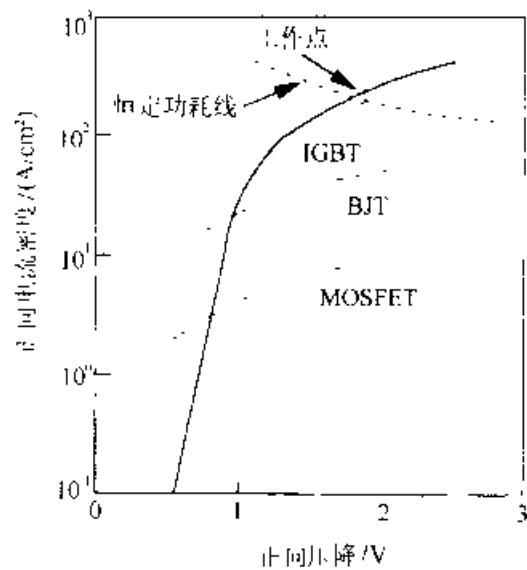


图 4.26 具有 600V 工作电压的 IGBT、功率 MOSFET 和双极晶体管的开态特性的比较

然而在  $J_2$  结区却显著不同，其中，IGBT 的电导率调制要比 p-i-n 整流管小许多。从这些差异可知，虽然 IGBT 的开态特性类似于 p-i-n 整流管，但由于在 PEE 区的附加压降，IGBT 的开态压降要比 p-i-n 整流管大。

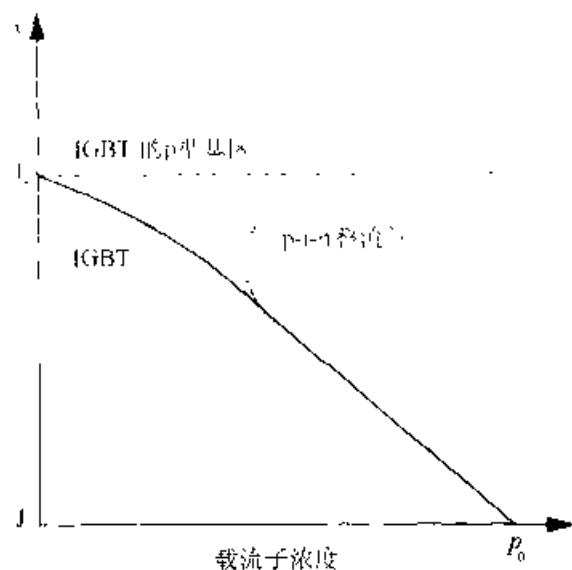


图 4.27 IGBT 在开态时的载流子分布

#### 4.4.4 开关特性

在 IGBT 器件中，使栅压减小到零可阻断集电极电流。当栅压低于 MOS 栅结构的阈值电压时，沟道反型层消失，此时，流过沟道的电子电流  $I_e$  消失。如果利用栅驱动电路上一个低的外接电阻来完成栅的关断，则可使栅压陡降为零，沟道电流可被迅速截断，于是集电极电流也将发生陡降，如图 4.28 所示。然而，由于

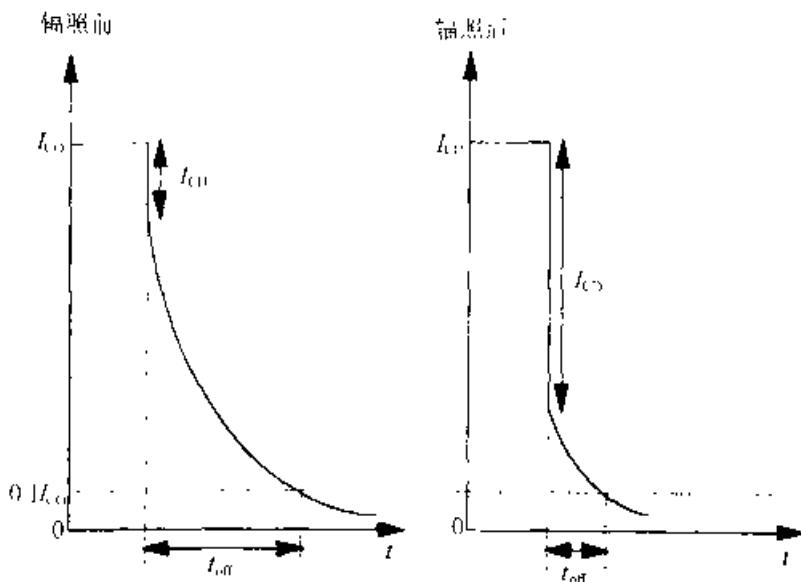


图 4.28 IGBT 在经受电子辐照前后的关断波形

空穴电流  $I_h$  并不会立即消失，集电极电流仍将继续保持流动。其中在开态期间储存于 n 型漂移区的高浓度少数载流子维持着空穴电流。由于集电极电流的逐渐减少是通过少子复合引起的少子减少引起的，因此，有时称该电流为电流拖尾。

通常定义关断时间为集电极电流从其开态值( $I_{CO}$ )减小到开态值的 10% 所需的时间。要确定该时间间隔，需要知道集电极电流开始发生陡降时的数值。因为集电极电流  $I_{CB}$  发生陡降的原因是由于处于开态时 MOSFET 沟道提供的电子的消失，因此，该数值可由 p-n-p 晶体管的电流增益确定：

$$I_{CB} = I_t = (1 - \alpha_{pp}) I_{CO} \quad (4.73)$$

陡降发生后，集电极电流依靠 n 型漂移区储存的空穴电荷形成的空穴电流维持。空穴电流的初始值等于关断前瞬间的开态导通值，其大小( $I_1$ )为：

$$I_1 = I_{CO} - I_{CB} = I_t = \alpha_{pp} I_{CO} \quad (4.74)$$

此后，集电极电流以由少子寿命确定的时间常数呈指数性衰减。因为在这段时间内，n 型漂移区的高的自由载流子浓度形成了显著的电流，因此利用寿命的上限值来表征电流的衰减率是恰当的，所以

$$I_c(t) = I_1 e^{-t/\tau_{H0}} = \alpha_{pp} I_{CO} e^{-t/\tau_{H0}} \quad (4.75)$$

关断时间( $t_{off}$ )则由下式给定<sup>[2]</sup>：

$$t_{off} = \tau_{H0} \ln(1/\alpha_{pp}) \quad (4.76)$$

研究发现，电子辐照是控制 IGBT 器件中 n 型漂移区少子寿命所采用的最广泛和可接受的方法<sup>[23]</sup>。当 IGBT 被辐照后，关断时间的减小不仅仅是由于寿命  $\tau_{H0}$  减小的缘故，而且还和电流增益  $\alpha_{pp}$  的减小有关。受电子辐照后，集电极电流的关断波形变化可从图 4.28 中看到，图中比较了电子辐照前后器件的波形。电子辐照后，集电极电流  $I_{CB}$  发生陡降时的数值增加，但从电流拖尾衰减到 0 的时间减小。由于关断时间主要由空穴复合的拖尾过程决定，所以关断时间正比于少子的寿命。辐照后的少子寿命  $\tau_f$  与辐照前的寿命  $\tau_i$  和电子辐射剂量  $\phi$  有关：

$$\frac{1}{\tau_f} = \frac{1}{\tau_i} + K \phi \quad (4.77)$$

式中， $K$  是辐射损伤系数。在高剂量下，如果初始的寿命大的话，该式的第一项可以忽略。辐照后寿命的减小与辐射剂量成反比。利用 16Mrad 的辐照剂量，在 3MeV 的电子辐照后，关断时间可从 20μs 减小到 200ns 以下。

在所有的双极功率器件中，开关速度的改进都伴随着电流导电能力的下降。通过电子辐照减小扩散长度后，漂移区的电导调制能力也减小，而 IGBT 的开态电压则增加，这与在 p-i-n 整流管中观察到的现象类似。IGBT 开关速度的提高伴随着电流处理能力的损失，但在同样具有 600V 正向关断能力的情况下，IGBT 的性能仍然优于功率 MOSFET 的性能。因为短的关断时间是减小开关损耗所希望的，而低的正向压降是减小导通损耗所希望的，所以在这些性能间进行折衷选择。

是必须的。对于对称和非对称的 IGBT 器件结构，可以很方便地利用如图 4.29 所示的正向电压降与关断时间的关系曲线做到这一点。基于这一应用，适当的器件特性可以通过选择适当的辐照剂量得以实现。当电路在低频、高有载周期情形下工作时，由于导通损耗超过了开关损耗，成为主要的损耗，因此，IGBT 器件的关断时间最好取  $5\sim20\mu s$ 。在线位相控制电路是这种电路的例子。当电路在较高频、低有载周期情形下工作时，开关损耗与导通损耗可比拟，IGBT 的关断时间选择在  $0.5\sim2.0\mu s$  之间较为合适。交流(AC)马达驱动电路是这类电路应用的例子，其工作频率在  $1\sim10\text{kHz}$  间。而对于高频电路，由于开关损耗成为主要损耗，因此，IGBT 的关断时间需要在  $100\sim500\text{ns}$  之间。不间断电源(UPS)是这类电路应用的例子，其工作频率在  $20\sim100\text{kHz}$  之间。因此，IGBT 的优化设计需要使其在主要的工作频率区域对开关功率的需求相匹配。图 4.29 显示，与对称型的 IGBT 结构相比，不对称的 IGBT 的功率损耗要小。

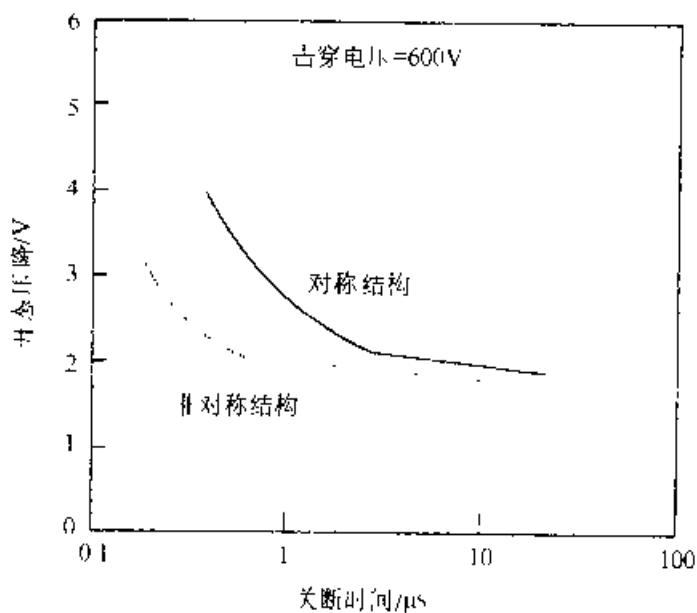


图 4.29 具有对称和非对称结构的 IGBT 的开态  
压降与关断时间的折衷曲线

#### 4.4.5 寄生晶闸管的闩锁效应

IGBT 最大工作电流受结构中寄生晶闸管的限制，如图 4.24 所示，该寄生晶闸管由 MOSFET 的  $n^-$  源区(作为晶闸管的阴极)， $p$  型基区、 $n$  型漂移区和  $p^+$  型集电区构成。IGBT 处于开态时，电子由 MOSFET 的沟道提供，空穴从  $J_1$  结注入，在  $J_2$  结收集。空穴电流通过  $p$  基区电阻流到发射极。该空穴电流产生的电压使  $J_3$  结正向偏置。在正常的工作电流下，通过减小分流电阻可使该正偏电压远小于二极管的正向导通电压( $V_{th}$ )。在这样的条件下， $n-p-n$  晶体管的电流增益很小，晶闸管不会发生闩锁。然而，当开态电流密度增加较大，加在  $J_3$  结上的正向偏压

足够大时，n-p-n 晶体管的电流增益则增加。如果 n-p-n 和 p-n-p 晶体管的电流增益之和超过 1，晶闸管即可发生闩锁效应。此时集电极电流可直接流到发射极端，而不经过 MOSFET 的沟道，IGBT 的电流不再受栅压的控制。

通过减小 n-p-n 或 p-n-p 晶体管的增益来抑制寄生晶闸管的开启，以保证栅对集电极电流的控制是非常重要的。有两种减小 p-n-p 晶体管增益的基本方法：

1. 减小基区传输系数，这可通过电子辐照的方法实现<sup>[43]</sup>。

2. 减小结的注入效率，这可通过加入一缓冲层的方法实现。

减小 n-p-n 晶体管增益的手段有：

1. 在 IGBT 单元结构中增加深的高掺杂区域<sup>[44]</sup>。

2. 利用与多晶硅栅边缘自对准工艺，在比 n' 发射区深的位置形成一浅的 p' 区<sup>[45]</sup>。

3. 减小 n' 发射区的掺杂浓度<sup>[46]</sup>。

4. 利用称之为少子旁路设计的 IGBT 单元，减小在 p 基区的空穴电流分量<sup>[47]</sup>。

5. 增加 p 基区的扩散区表面浓度，同时在沟道区进行一次附加的 n 型离子注入来补偿较高的硼浓度，以获得可接受的阈值电压<sup>[48]</sup>。

6. 减小栅氧化层厚度<sup>[49]</sup>。

7. 采用原子-晶格-布局(A-L-L)的单元布局模式<sup>[40]</sup>。

8. 在 IGBT 单元中增加一个分流区<sup>[50]</sup>。

系统地讨论闩锁效应抑制问题可参考文献[5]。因为 IGBT 中开态电流部分会流过 p-n-p 晶体管，其增益的减小会引起开态压降的增加。所以，通过减小 n-p-n 晶体管的增益来抑制晶闸管的闩锁效应是合适的。虽然，自 IGBT 首次引入到商用领域以来，寄生晶闸管的闩锁效应对其工作的限制就一直是一个严重的问题，但最近，利用以上介绍的技术来抑制闩锁效应已取得进展，在大多数应用中，该问题已得到解决。

#### 4.4.6 IGBT 的安全工作区

安全工作区(SOA; Safe Operating Area)定义为 IGBT 输出特性的一个区域，在该区域中，如果功率损耗维持在器件封装决定的热限制之内，则器件可正常工作而不发生破坏性失效。一般来说，SOA 有三个严格的边界条件。第一个是对应于低电流密度、高电压的情形，此时，器件能够承受的最大电压受边缘端击穿电压的限制；第二个是对应于低集电极电压、高电流密度的情形，IGBT 能够承受的最大集电极电流受寄生晶闸管闩锁效应自身的限制；第三则对应于高栅压情形，此时可观察到闩锁效应，特别是在器件工作在较高温度下时，更是如此。这一现象有时又称为电流感应的闩锁效应，因为它发生在集电极电流超过某一确定的

电流密度的情形下，此时则不论集电极偏压如何小，闩锁效应均可发生。

SOA 除了以上三个边界外，还有一个对应于电流和电压同时增加的情形。在这种情形下，器件的功率损耗很高，器件内的温度升高将对最大的电流-电压乘积产生限制，这一限制由芯片的安装、封装和热沉等因素确定。如果在一作用时间很短的时间周期内，器件同时遭受高电流、高电压，则功率损耗不再是限制因素，SOA 由称为雪崩诱导二次击穿的效应所决定。该效应在 IGBT 的两种模式工作期间均可发生。

IGBT 正向偏置的安全工作区(FBSOA)定义为：在集电极电流饱和的情况下，器件能够正常工作而不发生破坏性失效所能经受的最大电压。在正向工作模式下，电子和空穴流过承受高电压的漂移区。由于漂移区的电场足够大，足以导致载流子的速度饱和，因此，在漂移区的电子和空穴浓度与相应的电流密度存在下列关系<sup>[5]</sup>：

$$n = \frac{J_n}{qv_{sn}} \quad (4.78)$$

$$p = \frac{J_p}{qv_{sp}} \quad (4.79)$$

其中， $v_{sn}$  和  $v_{sp}$  分别是电子和空穴的饱和漂移速度，漂移区的净正电荷则由下式给出：

$$N^+ = N_D + \frac{J_p}{qv_{sp}} - \frac{J_n}{qv_{sn}} \quad (4.80)$$

式中  $N_D$  是漂移区的掺杂浓度。

漂移区的电场分布由此净正电荷确定。稳态的正向阻断条件是漂移区净电荷等于掺杂浓度  $N_D$ 。与此不同的是，在 FBSOA 条件下，由于空穴电流密度显著大于电子电流密度，净电荷通常很大。这种在漂移区净电荷的增加会引起电场的增加，进而会引起 IGBT 在电压低于边缘端击穿电压的情况下发生击穿。利用简单的一维分析，可求解泊松方程，其中漂移区电荷是净正电荷，由  $N^+$  表示。对硅单边突变结，确定 SOA 的击穿电压  $BV_{SOA}$  由下式给出<sup>[5, 31]</sup>：

$$BV_{SOA} = \frac{5.34 \times 10^{13}}{(N^+)^{5/4}} \quad (4.81)$$

我们需要计算基极开路晶体管电流增益来确定该晶体管能承受的最大电压。因此，FBSOA 的限制由下面的判据给出：

$$\alpha_{mp} M = 1 \quad (4.82)$$

其中

$$\alpha_{mp} = \frac{1}{\cosh(t/L_s)} \quad (4.83)$$

$$M = \left[ 1 - \left( \frac{V}{BV_{SOA}} \right)^n \right]^{-1} \quad (4.84)$$

式中  $l$  是未耗尽的 n 基区宽度,  $n$  值在 4 到 6 之间。这些公式说明, 在 IGBT 单元中, 当集电极电流增加时, 在较低的集电极偏压下即可发生雪崩击穿。需要指出的是, 降低在漂移区的掺杂浓度可获得较高的击穿电压( $BV_{SOA}$ )。虽然, 对于对称的 IGBT 器件结构来说, 由于会引起穿通击穿问题, 这样做是不行的, 但对于不对称的器件结构, 由于增加的缓冲层可防止穿通击穿, 则是可行的。

反偏安全工作区(RBSOA)在 IGBT 处于关断时是重要的。对一个 n 沟 IGBT, 因为栅偏压是零或负值, 因此在漂移区的电流流动是通过空穴实现的。空穴向漂移区注入电荷会导致 p 基区与 n 漂移区形成的结上电场的增加。由于在空间电荷区没有电子, 因此, 在 RBSOA 条件下, 电场增强会比 FBSOA 条件下更糟。在 RBSOA 条件下, 空间电荷区的净电荷由下式给定:

$$N = N_0 + \frac{J_c}{qv_{sp}} \quad (4.85)$$

式中  $J_c$  是总的集电极电流。与 FBSOA 情形的分析类似, 在 RBSOA 条件下避免发生雪崩击穿的限制由式(4.82)给定, 其中确定击穿电压的净电荷由式(4.85)给出。

#### 4.4.7 p 沟 IGBT 器件

在数字和仪表控制应用中, 一种较好的方法是使用 n 沟器件和 p 沟器件并联组成复合式交流(AC)开关来控制两个具有公共参考端的 IGBT 器件。为此, 发展了与 n 沟器件匹配的 p 沟功率 MOSFET。由于硅的空穴迁移率较低, 因此 p 沟功率 MOSFET 要比 n 沟器件的开态电阻率高 3 倍。但是在 IGBT 中, 由于正向导通时漂移区内充满了少子, 自由载流子浓度远远超过掺杂水平, 因此, 载流子的输运由单极扩散和漂移确定, 这类似于 n 沟和 p 沟器件。所以, p 沟 IGBT 的开态电压降非常接近 n 沟 IGBT 的值<sup>[22]</sup>。

#### 4.4.8 高压 IGBT 器件

IGBT 是理想的适合于高阻断电压能力的器件。在功率 MOSFET 中, 由于需要增加漂移区的电阻率和厚度来提高器件所能承受的工作电压, 因此, 器件击穿电压的提高往往伴随着开态电阻的迅速增加。与之相反, IGBT 器件在开态电流导通期间, 由于高浓度少子的注入, 使得漂移区的电阻会迅速下降。因此, 漂移区对正向压降的贡献主要取决于其厚度, 而与其初始电导率无关。当 IGBT 的阻断电压能力随漂移区宽度增加而增加时, 与相同情况下的功率 MOSFET 相比, 其开态电压降的增加要小得多。阻断电压分别为 300V、600V 和 1200V 的对称结构

IGBT 器件的正向导通特性比较实验显示, IGBT 的正向导通电流密度近似地随击穿电压的平方根值的增加而减小<sup>[1]</sup>。电流密度以这种较为平缓的比率减小的特性使得具有高电流、高电压能力的 IGBT 器件得以迅速发展<sup>[2]</sup>。目前 IGBT 器件已用在阻断电压为 2500V、额定电流为 100A 的功率模块中。

#### 4.4.9 高温 IGBT 器件

IGBT 器件的开态特性可分为两部分:一是二极管上的压降部分,二是电阻上的压降部分。当温度增加时,二极管上的电压降减小,这是一种典型的 p-i-n 二极管行为,即随着温度的增加,从 p-n 结的注入增强。与此同时,与沟道电阻有关的第二部分电阻会随温度的升高而增加。由于二极管上的正向压降的减小补偿了沟道电阻的增加,因此 IGBT 器件随温度的增加开态压降增加不大<sup>[3]</sup>。与之相反的是,对功率 MOSFET,温度的升高引起了开态电阻的迅速增加,为此需要降低器件的额定电流处理能力,这就使得功率 MOSFET 器件性能随温度升高的退化程度要较 IGBT 严重得多。IGBT 具有温度补偿的特性使得它很适于在高温环境下使用。需要指出的是,IGBT 器件在较高的工作电流下,正向压降具有小的正温度系数是有利的,因为这确保了芯片内电流分布的各向同性和并行器件中好的电流共享特性。无匹配器件或发射极镇流的并行 IGBT 结构已被成功地用来获得高电流的电路性能。

IGBT 器件在高温下工作时,发生于器件结构中固有的寄生 p-n-p-n 晶闸管结构的闩锁效应一直是受到困扰的问题,因为该效应将导致 IGBT 器件的栅控电流导通能力的丧失。采用具有空穴旁路区的非对称器件结构,可显著提高发生闩锁效应的电流密度,其电流容限可增加 10 倍,这使得 IGBT 器件可工作在 200°C

的高温环境中。已有结果显示,利用电流饱和效应限制集电极电流以防止闩锁效应发生的器件,在 125°C 以上温度下仍能正常工作。

#### 4.4.10 沟槽栅 IGBT 结构

沟槽栅 IGBT(UMOS-IGBT)结构示于图 4.30 中。与功率 MOSFET 器件类似,沟槽栅必须要扩展到 p 型基区和 n 型漂移区形成的 p-n 结下,以使 n<sup>+</sup>发射极与 n 型漂移区间能形成受栅压感应的沟道。如在图中显示的电流通路,在 UMOS 结构中没有 JFET 或积累层电阻,这就减小了 MOS 电流的电阻。此外,与 DMOS 结构相比较,UMOS 结构的单元间距也可做得较小,这可使沟道密度增加 5 倍。UMOS 结构对 MOS

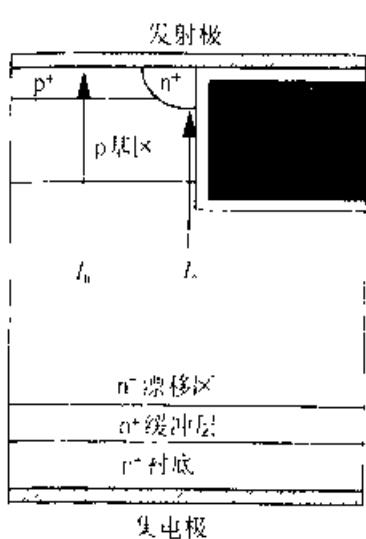


图 4.30 具有槽型栅的 IGBT  
结构剖面图

电阻性能的改善使得器件拥有了良好的开态特性。对于漂移区少子寿命高的器件来说，假设电流密度为  $200 \text{ A/cm}^2$ ，则 UMOS 结构的开态压降是 1.2V，而 DMOS 结构的开态压降则为 1.8V<sup>[53]</sup>。在少子寿命减小并使开关速度增加时，二者的预期差别会更大。UMOS-IGBT 的闩锁电流密度也优于 DMOS 结构。这可归因于在 UMOS 结构中对空穴流动路径的改进。如图 4.30 所示，在 UMOS 结构中，空穴电流 ( $I_s$ ) 沿垂直路径流动，而在 DMOS 结构中，空穴电流在  $n^+$  发射区下侧面方向上流动。因此，在 UMOS 结构中空穴电流的电阻只由  $n^+$  发射区的深度决定。如图所示，一个浅的  $p^-$  层可减小空穴电流的电阻。该  $p^-$  区类似于 DMOS 结构中为抑制寄生晶闸管闩锁效应所需要的深的  $p^-$  区。

## 4.5 MOS 棚控晶闸管

MOS 棚控晶闸管结构同时利用了晶闸管好的开态特性和 MOS 棚结构易于控制等优点，目前对此结构已有较广泛的研究。由于 IGBT 的开态压降会随着阻断电压的增加而增加，因此研究将 MOS 棚控晶闸管结构应用到超高压功率开关应用领域是非常有意义的。要控制晶闸管结构中的电流，必须要既能触发器件从关态转向开态过程，同时又可在器件处于传输电流的开态时能将其关闭。利用集成在晶闸管结构内部的 MOS 棚结构开启晶闸管比关闭已进入正反馈的电流导通模式的晶闸管要相对容易一些。对于各种晶闸管器件，重要的参数是最大可控电流密度，其定义为 MOS 棚控条件下，器件能够关断的最大电流密度。对于 MOS 棚控晶闸管器件来说，要获得大的电流工作范围，非常希望得到高的最大可控电流密度。

### 4.5.1 晶闸管的 MOS 棚控开启

要利用 MOS 棚结构开启晶闸管，最基本的想法是，通过在 MOS 棚下形成的沟道向晶闸管结构中互相耦合的晶体管之一的基区注入驱动电流<sup>[54]</sup>。图 4.31 示出 MOS 棚控晶闸管基本单元的剖面图，该晶闸管的开态电流由电子电流和空穴电流构成。当栅偏压为零，同时一个正电压加到阳极时，器件受高的正向阻断电压作用，该电压由反偏的  $J_2$  结承受。当一个正偏压加到棚电极时，如图 4.31 所示，器件将通过电流  $I_c$  向  $p-n-p$  晶体管的基区注入电子，由此导致空穴从阳极向  $n$  型漂移区注入。这些注入的空穴穿过  $n$  漂移区扩散，在反偏的  $J_2$  结处被收集。在  $p$  基区，通过  $J_2$  结收集的空穴形成的电流 ( $I_b$ ) 流到了短路端。然而，该电流在流过  $p$  基区电阻 ( $R_b$ ) 后会产生一个电压降。当这个电压降大于正向偏置二极管所需的电压时，发射区与  $p$  基区形成的  $J_3$  结就被正向偏置， $n^+$  发射极开始向  $p$  基区注入电子。这样就触发了晶闸管结构中两个耦合晶体管间的正反馈机制，由此实现了

在 MOS 栅电极上施加栅电压开启晶闸管的过程。

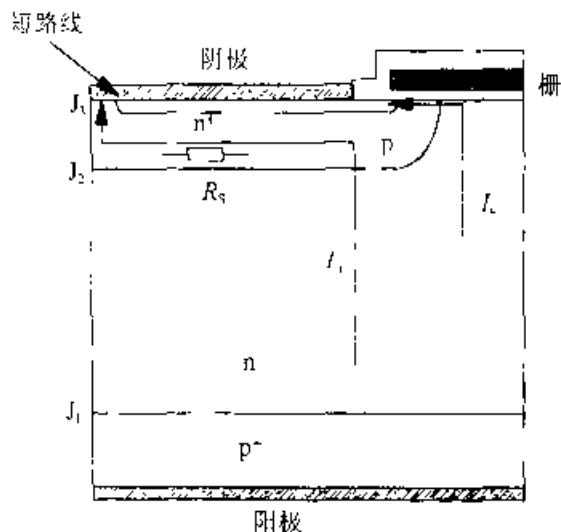


图 4.31 用于开启晶闸管的 MOS 栅结构示意图

#### 4.5.2 MOS 控制晶闸管

第一类实现关断能力的晶闸管是称为 MOS 控制晶闸管(MCT)或 MOS 栅控关断晶闸管(MOS GTO)的结构<sup>[59, 60]</sup>。该器件利用集成的 MOS 结构来控制开态电流的关断，其基本思想是通过在 p 基区内形成一个横向的 MOSFET，在 n<sup>+</sup>发射区和 p 基区之间引入一个受 MOS 控制的短路通道。如果在 MOS 栅上所加的偏压不能形成短路所需的导电通道时，在 n<sup>+</sup>发射区和 p 基区间的结的注入效率将很大，晶闸管受触发进入开态。然而，若 MOS 上所加的栅压使得 n<sup>+</sup>发射区与 p 基区之间形成了导电通道，发射结的注入效率就会大大降低。假如能使得 n-p-n 晶体管的电流增益充分低，晶闸管即可被关断。这种关断晶闸管的方法也可被看作是将晶闸管的开启电流密度抬高到开态电流密度以上的方法。

已提出了两种基本的 MCT 结构。在图 4.32(a)示出的第一种结构中，一个 p 沟 MOSFET 被集成在 p 基区，这可通过附加 n 区(n 阵)向 p 基区的扩散来形成 p 沟 MOSFET 的衬底，然后进行 p<sup>+</sup>区扩散形成 p 沟 MOSFET 的源。该 p<sup>+</sup>区与晶闸管的 n<sup>+</sup>电极区可通过电极金属化的方法实现短路。要获得低电阻的 p 沟 MOSFET，n 阵和 p<sup>+</sup>源区的扩散是自对准的，它利用了 DMOS 工艺中多晶硅栅作为公共掩模边界的方法。然而，与功率 MOSFET 和 IGBT 不同的是，这些扩散必须要进入一个掺杂相对较高的 p 型基区，这使得 p 沟 MOSFET 难以获得低的阈值电压。当在 p 沟 MOSFET 的栅上加载负偏压时，在 n 阵表面会形成反型的沟道。该沟道为空穴电流从 p 基区到电极接触区提供了通路，从而使得 n<sup>+</sup>发射区与 p 基区间的结旁路。当晶闸管在开态工作时，流进 p 基区的空穴会通过 p 沟 MOSFET 流回到阴极。如果流过 MOSFET 的空穴电流产生的电压降显著低于开态二

极管的压降，则 n<sup>-</sup>发射区与 p 基区形成的结上的电压降会很小，以致不能向 p 基区注入大数量的电子。这等价于 n-p-n 晶体管电流增益的显著下降，或者是晶闸管的维持电流迅速增加，晶闸管的正反馈过程终止。此时，在 n 基区储存的电荷通过空穴和电子的复合而减少，阳极电流衰减。

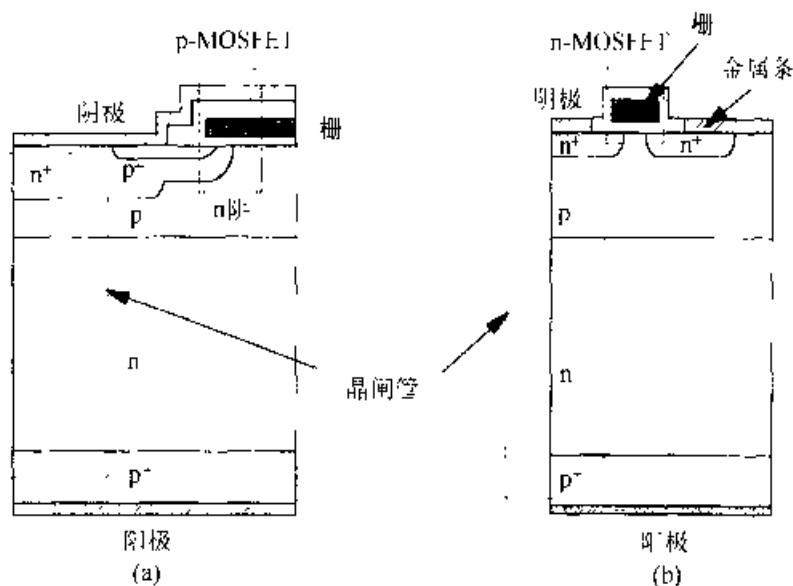


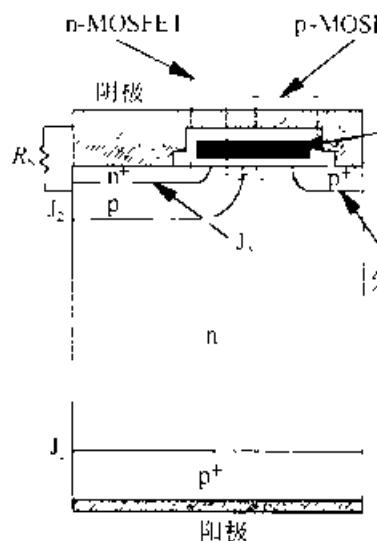
图 4.32 具有 p 沟(a)和 n 沟(b)MOSFET 的 MCT 结构剖面图

第二种 MCT 结构示于图 4.32(b)中。其中在 p 基区内集成了一个 n 沟 MOSFET 结构。在这种情况下，在晶闸管的阴极区附近形成一个附加的 n<sup>-</sup>区作为 n 沟 MOSFET 的漏。然后利用一个金属带将该区域与 p 基区短路，但该金属带并不与阴极的金属层连接。在该结构中，由于电子有较高的反型层迁移率，MOSFET 的关断电阻要比图 4.32(a) 所示结构的要小。n 沟 MOSFET 不需要如 p 沟 MOSFET 结构的 MCT 中所用的附加工艺步骤即可制成。n 沟 MOSFET 的沟长受栅长和 n<sup>+</sup>区横向扩散长度的控制。然而，因为浮着的金属带要占据较大的空间（这是由于阴极金属层很厚的缘故），第二种结构的单元尺寸比第一种结构的单元尺寸要大，这将导致第二种结构的最大可控电流密度减小。

利用 1.25μm 的 VLSI 技术优化 MCT 性能，已经获得可接受的最大可控电流密度 250A/cm<sup>2</sup><sup>[41~43]</sup>。然而，与 IGBT 相比，MCT 复杂的工艺过程阻碍了它向商用化方向的发展。关断 MOSFET 集成结构还会引起 n<sup>+</sup>发射区和 p 基区间的结的注入效率的降低，这将增加其开态电压降。在关断期间，由于开态压降有负的温度系数，电流将趋于局域化。这使得在关断期间，可能会产生引起器件损坏的电流集中。进一步来说，在 MCT 器件中，栅控电流是不可能饱和的，所以，在需要有短路电路容限能力的应用场合，MCT 是无法替代 IGBT 器件的。

### 4.5.3 基区电阻控制晶闸管

在基区电阻控制型晶闸管(BRT)中，毗邻 p 基区处形成一个转换区，如图 4.33 所示。其结构与 MCT 结构存在着根本的差异，因为该器件的开关 MOSFET



并没有被集成在 p 基区而是集成在 n 基区内<sup>[64]</sup>。这一点不仅从器件特性角度来看有很重要的含义，而且简化了制备工艺。转换区是一个浅的 p<sup>+</sup> 区，在毗邻晶闸管的 p 基区内形成，并和阴极电极相连。晶闸管的 p 基区和 n<sup>+</sup> 发射区利用多晶硅栅作掩模而形成，这使得 DMOS 结构在多晶硅边缘形成。在与截面垂直的位置，通过将 p 基区与 n<sup>+</sup> 发射区短路连接形成分流电阻 R<sub>s</sub> 也是很重要的，因为这将确保器件即使在未加栅偏压的情况下，仍有好的正向阻断能力和高的 dV/dt 能力。

当栅偏压为 0、阴极电压为正时，BRT 工作在正向阻断模式下。在这种情形下，J<sub>2</sub> 结和 J<sub>1</sub> 结同时反偏，这些区域互相作为保护环，使得结的弯曲对击穿电压的影响减小。正向阻断电压如在 IGBT 器件中一样，由基极开路的 p-n-p 晶体管的击穿电压决定。BRT 从正向阻断态向开态的转换可通过在栅上施加正偏压使栅下 p 基区表面形成反型层而实现。然后，从 n<sup>+</sup> 发射区进入 n 基区的电子为 p-n-p 晶体管提供基极驱动电流。空穴从 p<sup>+</sup> 阳极注入，在 J<sub>2</sub> 和 J<sub>1</sub> 结处收集。这样，在低电流情形下，器件特性类似于一个 IGBT。在这种模式下，通过使栅偏压减小到接近 n 沟 MOSFET 阈值电压的值，阳极电流可达到饱和。IGBT 的工作模式可用来控制 BRT 的开启。随着阳极电流的增加，足够大的空穴电流在 J<sub>2</sub> 结被收集，则在分流电阻 R<sub>s</sub> 上可产生一个压降，该压降将使 n<sup>-</sup> 发射极与 p 基区间的结正向偏置，由此向 n<sup>-</sup> 发射区注入电子，从而诱导了晶闸管的开启。器件的开态压降与单个晶闸管的开态压降接近。

BRT 结构中 MOS 栅的关断可以通过施加负的栅偏压来实现。负的栅偏压可使位于栅下的 p 基区与 p<sup>+</sup> 转换区之间的 n 型漂移区表面形成反型层。此时流进 p 基区的空穴电流除了从发射极分流电阻 R<sub>s</sub> 提供的路径的流过外，还可以从另一可选路径流过。如果空穴电流流过该可选路径的电阻比分流电阻小许多，则晶闸管的电流就被关断，因为此时维持晶闸管开启所需要的电流要比开态工作电流大许多。由于施加负栅压减小了 n<sup>-</sup> 发射区与 p 基区之间的 J<sub>1</sub> 结上的偏压，因此，n<sup>-</sup> 发射区停止注入电子。于是，在关断过程中，阳极电流发生了从发射区向转换区的转换。一旦晶闸管在栅电压跳变边缘处被关断，则由于在开态期间注入到 n 型

漂移区的空穴的复合，电流开始衰减。这将产生一个如 IGBT 和 MCT 中一样的电流拖尾。

由于利用 DMOS 技术来形成器件的单元，因此 BRT 制备工艺类似于 IGBT。该器件已实现了高的最大可控电流密度 ( $1000\text{A}/\text{cm}^2$ )<sup>[45, 46]</sup>。与 IGBT 相比，利用电子辐照技术来控制少数载流子寿命的 BRT 具有快的开关速度和更低的开态压降<sup>[47]</sup>。然而，BRT 的商用化还没有实现，因为晶闸管在发生闩锁后不能实现电流的饱和。将来，这类器件有可能在共振转换器领域得到应用，因为共振转换器不需要拥有电流饱和的能力。

#### 4.5.4 发射极开关晶闸管

发射极开关晶闸管(EST)是一种开态电流流过整个晶闸管的器件。然而，在这一器件中，晶闸管的 n<sup>+</sup>发射极并不直接连到阴极金属层，而是在晶闸管的 n 型发射区形成了一个横向的 n 沟 MOSFET 漏区。如图 4.34 所示，MOSFET 被集成在晶闸管的 p 基区内<sup>[48]</sup>。利用 DMOS 工艺制备、以多晶硅栅为掩模形成的 MOSFET 结构同样被用来开启 EST。由于没有外接点连到晶闸管的 n<sup>+</sup>发射区，因此它被称为悬浮式 n<sup>+</sup>发射区。在 n<sup>-</sup>发射区、p 基区、n 型漂移区和 p<sup>+</sup>阳极区之间形成的垂直型晶闸管被称为主晶闸管。

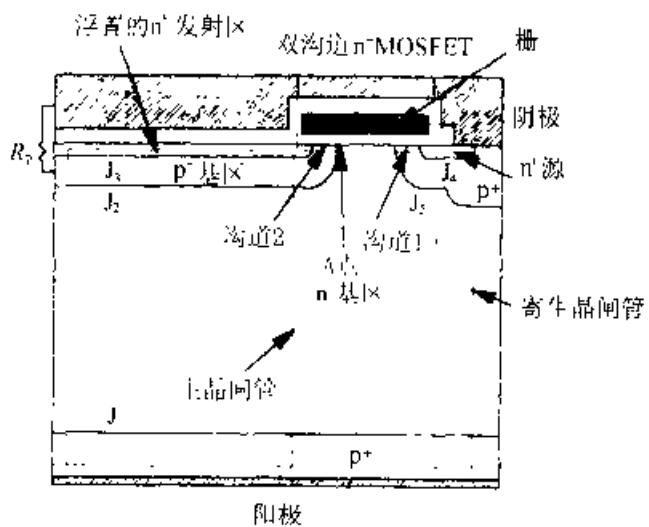


图 4.34 EST 结构剖面图

当在阳极施加正偏压并保持栅压为零时，J<sub>1</sub> 和 J<sub>2</sub> 结同时反偏。因此，这两个结就互相成为对方的保护环，由此改善了栅电极下的结弯曲效应。由于耗尽区扩展进入了 n 型漂移区，因此，器件在正向阻断模式下能够承受高电压。当加一个正的栅压后，在 p 基区表面形成的反型层建立了沟道 1 和沟道 2。同时，在栅电极下的 n 型漂移区表面形成了积累层。这时当一个正偏压加到阳极时，电子就可从 n<sup>+</sup>源区通过沟道 1 流进 n 型漂移区。电子电流为在 J<sub>1</sub> 结和 J<sub>2</sub> 结与 J<sub>1</sub> 结和 J<sub>2</sub> 结间形成的垂直型 p-n-p 晶体管提供基极驱动电流。从阳极注入的空穴被 J<sub>1</sub> 和 J<sub>2</sub> 结收

集，被  $J_1$  结收集的空穴通过右端的 p 区流到阴极，被  $J_2$  结收集的空穴通过电阻  $R_p$  流到阴极。在这样的条件下，EST 工作在 IGBT 模式下。

当空穴电流流过电阻  $R_p$  时，会产生一足够大的电压降为  $J_2$  结提供等同于二极管正向导通电压( $V_{bd}$ )的正向偏压， $J_2$  结开始注入电子，主晶闸管发生闩锁。在开态时，晶闸管电流从 n<sup>-</sup> 悬浮式发射区流经横向 MOSFET 到达阴极。因此，晶闸管的电流可以通过使栅偏压减小为 0 的方式来关断。如果栅压很大，则横向 MOSFET 工作在线性区，器件总的开态压降等于主晶闸管的电压降和双沟道 MOSFET 电压降之和。

EST 结构的一个重要特征是电流饱和可延伸到很大的电压下，直至主晶闸管发生闩锁为止<sup>[69]-[71]</sup>。这是因为加上一个较高的阳极电压后，有可能使横向 MOSFET 夹断。随着阳极电压的增加，在栅电极下的 n 型漂移区的电压也在增加。当该电压大到可与栅偏压比拟时，不能形成积累区，耗尽区开始从  $J_2$  结扩展到 A 点，如图 4.34 所示。这样就阻断了主晶闸管经过横向 MOSFET 流向阴极的电流通路<sup>[72]</sup>。然而，当栅偏压超过阈值电压时，就能通过沟道 1 向 n 型漂移区提供电子，这时器件可以像通过  $J_2$  结和  $J_3$  结收集空穴的 IGBT 结构一样工作。

EST 的最大可控电流密度由 EST 结构中寄生的晶闸管的开启条件来确定<sup>[73]</sup>，虽然器件可以工作在电流密度超过寄生晶闸管发生闩锁时电流密度的情况下，以获得浪涌电流的处理能力，但是，在这样的条件下，器件是不能通过减小栅压至零的方式进行关断的。因此，阳极电流的工作范围实际上是由主晶闸管的闩锁电流密度和最大的可控电流密度确定的。寄生晶闸管的闩锁电流密度随悬浮的发射区长度的增加而减小<sup>[74]</sup>。由于闩锁效应是由于流过寄生晶闸管 p 基区的总空穴电流的增加引起的，因此，必须要从减小开态电压<sup>[75]</sup>和使寄生晶闸管获得足够的闩锁电流密度两方面来优化发射区的长度。

EST 的关断过程类似于 IGBT 器件。当栅偏压减小到 0 时，浮置的 n<sup>-</sup> 发射区立即停止注入电子，因为它与阴极端的连接被断开了。此时，阳极电流依靠 n 型漂移区内的空穴将继续流动。这就会产生一个电流拖尾，电流拖尾的时间长度依赖于 n 型漂移区内载流子的寿命。通过引入复合中心可使拖尾的时间缩短。已有实验显示，利用电子辐照减小载流子寿命的方法可减小 EST 的关断时间<sup>[67]</sup>。经过 16Mrad 的剂量辐照后，器件的关断时间可从辐照前的 3μm 减小到 0.2μm。

## 4.6 碳化硅功率器件

如本章前面部分所述，砷器件中漂移区的理想开态特征电阻值会随击穿电压的增加而迅速增加。对于击穿电压高于 200V 的器件，n 沟砷 MOSFET 的理想开态特征电阻值比  $0.1\Omega \cdot \text{cm}$  还大。这意味着在  $100\text{A}/\text{cm}^2$  的开态电流密度下开态

压降将超过 10V，由此导致器件有非常高的功率损耗。虽然可以通过减小开态电流密度来减小功率损耗，但由此带来的是器件面积的增加和较高的芯片价格，因此这不是所希望的途径。从基本物理的角度来看，如果半导体有较高的击穿电场强度，则可实现漂移区有较低的开态特征电阻。已有结果显示<sup>[1, 73]</sup>，要获得所希望的击穿电压值  $V_B$ ，漂移区掺杂浓度  $N_D$  由下式确定：

$$N_D = \frac{\epsilon_s \phi_c}{2qV_B} \quad (4.86)$$

厚度  $W_D$  由下式确定：

$$W_D = \frac{2V_B}{\phi_c} \quad (4.87)$$

其中  $\phi_c$  是半导体发生雪崩击穿时的临界电场。漂移区的开态特征电阻值也定义为理想的开态特征电阻，由下式给出：

$$R_{on, (spf, ideal)} = \frac{W_D}{q\mu_n N_D} = \frac{4V_B^2}{\epsilon_s \phi_c^3 \mu_n} \quad (4.88)$$

所以，理想的开态特征电阻值与迁移率的一次方和击穿电场强度的三次方成反比关系。式(4.88)中的分母是单极功率器件的 Baliga 品质因子 BFOM<sup>[74, 75]</sup>。

利用已知的半导体材料性质和式(4.88)，我们可以选择其它与硅相比有较低的理想开态特征电阻值的材料。最有希望选用的半导体材料是 GaAs 和 SiC，其中 GaAs 的品质因子 BFOM 是硅的 12.7 倍，SiC 的品质因子 BFOM 是硅的 200 倍。利用 GaAs 材料已制备了击穿电压高至 200V 的垂直型功率 MESFET<sup>[76, 77]</sup>；在理想开态特征电阻性能方面，SiC 材料可以提供非常大的改善空间，而且由于 SiC 有大的禁带宽度，因此非常适合于高的工作温度环境。高性能的 SiC 功率 MOSFET 尚未见报道<sup>[78, 79]</sup>。但是，已经报道了利用一个接近于理想的边缘端、在具有低的开态压降的肖特基晶闸管中，成功实现低的漂移区开态特征电阻的结果<sup>[80~83]</sup>。

## 4.7 总结与展望

在需要控制功率和能量的系统中，功率半导体器件被视为最基本的组成部分。它们的性能在不断地改善以适应功率电子系统在效率、尺寸和重量等性能方面改进的需要。将 MOS 技术应用到功率器件领域，并在 20 世纪 70 年代融入到生产技术中是具有革命性意义的。在 70 年代以前被广泛应用的功率双极晶体管器件，在低压、高频和中等电压、中等频率领域已分别被功率 MOSFET 和 IGBT 所替代。此外，最近新提出的许多种 MOS 栅控式的晶闸管结构有可能在大功率领域

替代 GTO 器件。展望未来，硅基高压双极器件(IGBT 和 MOS 栅控晶闸管)有可能被基于碳化硅(SiC)的单极器件所替代。

## 习 题

- 设理想击穿发生在边缘端，试求击穿电压为 100V 的硅肖特基功率晶闸管漂移区的掺杂浓度和厚度。
- 设金属势垒高度为 0.8eV，当电流密度为  $100\text{A}/\text{cm}^2$  时，计算问题 1 中的肖特基晶闸管的开态压降。
- 设金属势垒高度为 0.8eV，施加 80V 的偏压后，考虑肖特基势垒降低效应，计算问题 1 中肖特基晶闸管在室温下的反向漏电流密度。
- 设计一个耐压能力为 1 000V 的 p-i-n 晶闸管，若漂移区的掺杂浓度为  $5 \times 10^{13}\text{cm}^{-3}$ ，试求 n<sup>-</sup>漂移区的宽度。
- 对于问题 4 中的 p-i-n 晶闸管，如果漂移区中少子的寿命为  $1\mu\text{s}$ ，试计算在  $200\text{A}/\text{cm}^2$  的电流密度下器件的开态压降。
- 考虑一个利用 DMOS 工艺制备的 n 沟功率 MOSFET，其击穿电压为 500V，栅长为  $30\mu\text{m}$ ，多晶硅窗口为  $16\mu\text{m}$ ，n<sup>+</sup>源区长度为  $5\mu\text{m}$ 、结深为  $1\mu\text{m}$ 。p 基区深为  $3\mu\text{m}$ 、具有  $1 \times 10^{17}/\text{cm}^3$  的均匀掺杂浓度，栅氧化层厚度为  $0.1\mu\text{m}$ ，求栅压为 15V 时，源于沟道、积累层、JFET 和漂移区四方面贡献的总的开态特征电阻。
- 考虑一个 n 沟 UMOSFET 结构，其击穿电压为 500V，台阶和沟槽宽度  $3\mu\text{m}$  (单元间距为  $6\mu\text{m}$ )，n<sup>+</sup>源区的结深为  $1\mu\text{m}$ ，p 基区深为  $3\mu\text{m}$ 、具有  $1 \times 10^{17}/\text{cm}^3$  的均匀掺杂浓度，栅氧化层厚度为  $0.1\mu\text{m}$ 。求沟道和漂移区的总开态特征电阻值。
- 对于对称的阻断式 n 沟 IGBT 结构，假定击穿电压为 500V，如果漂移区少子的寿命为  $1\mu\text{s}$ ，试确定漂移区的掺杂浓度和厚度。
- 利用问题 8 给出的参数，计算 IGBT 器件在 200A 电流密度下的开态压降。假定 IGBT 的 DMOS 单元参数与问题 6 给出的相同。
- 具有问题 9 中给定的器件参数的 p 沟 IGBT 器件，其开态电压降是多少？

## 参 考 文 献

- [1] B. J. Baliga, "Evolution of MOS-bipolar power semiconductor technology," Proc. IEEE, 76, 409 (1988).
- [2] B. J. Baliga, M. S. Adler, P. V. Gray, R. Love, and N. Zommer, "The insulated gate rectifier," in IEEE Int. Electron Devices Mtg, 1982, p. 409.

- [3] B. J. Baliga, "Power semiconductor device figure of merit for high frequency applications," IEEE Electron Dev. Lett. ED-10, 455 (1989).
- [1] D. Alok, P. McLaren, and B. J. Baliga, "A simple edge termination for silicon carbide devices with nearly ideal breakdown voltage," IEEE Electron Dev. Lett. ED-15, 391 (1994).
- [5] B. J. Baliga, Power Semiconductor Devices, PWS, Boston, 1995.
- [6] S. M. Sze, Physics of Semiconductor Devices, John Wiley, New York, 1981.
- [7] L. Tu and B. J. Baliga, "On the reverse blocking characteristics of Schottky power diodes," IEEE Trans. Electron Dev. ED-39, 2813 (1992).
- [8] B. J. Baliga, "The pinch rectifier," IEEE Electron Dev. Lett. ED-5, 194 (1984).
- [9] B. J. Baliga, "Analysis of junction barrier controlled Schottky rectifier characteristics," Solid State Electron. 28, 1089 (1985).
- [10] H. Kozaka, M. Takata, S. Murakami, and T. Yatsuo, "Low leakage current Schottky barrier diode," in IEEE Int. Symp. Power Semiconductor Devices and IC's, 1992, p. 80.
- [11] S. Kumori, J. Ishida, M. Tanaka, M. Wakatabe, and T. Kan, "The low power dissipation Schottky barrier diode with trench structure," in IEEE Int. Symp. Power Semiconductor Devices and IC's, 1992, p. 66.
- [12] B. J. Baliga, "High voltage, junction gate field effect transistor with recessed gates," IEEE Trans. Electron Dev. ED-29, 1560 (1982).
- [13] M. Mehrotra and B. J. Baliga, "Very low forward drop JBS rectifiers fabricated using submicron technology," IEEE Trans. Electron Dev. ED-30, 1655 (1984).
- [14] M. Mehrotra and B. J. Baliga, "Trench MOS barrier Schottky (TMBS) rectifier," Solid State Electron. 38, 801 (1995).
- [15] J. M. Fairfield and B. V. Gokhale, "Gold as a recombination center in silicon," Solid State Electron. 8, 685 (1965).
- [16] K. P. Lisick and A. G. Milnes, "Platinum as a lifetime control deep impurity in silicon," J. Appl. Phys. 46, 5229 (1975).
- [17] B. J. Baliga and E. Sun, "Comparison of gold, platinum and electron irradiation for controlling lifetime in power rectifiers," IEEE Trans. Electron Dev. ED-24, 685 (1977).
- [18] B. J. Baliga, "Analysis of a high voltage merged P-i-N Schottky (MPS) rectifier," IEEE Electron Dev. Lett. ED-8, 107 (1987).
- [19] Y. Shimizu, M. Naito, S. Murakami, and Y. Terasawa, "High speed low-loss p-n diode having a channel structure," IEEE Trans. Electron Dev. ED-31, 1311 (1984).
- [20] M. Mehrotra and B. J. Baliga, "Comparison of high voltage power rectifier structures," in IEEE Int. Symp. Power Semiconductor Devices and IC's, 1993, p. 199.
- [21] M. N. Darwish and K. Board, "Optimization of breakdown voltage and on-resistance of VDMOS transistors," IEEE Trans. Electron Dev. ED-31, 1769 (1984).
- [22] V. A. K. Temple and P. V. Gray, "Theoretical comparison of DMOS and VMOS structures for voltage and on-resistance," in IEEE Int. Electron Devices Meeting Digest, 1979, p. 88.
- [23] C. G. B. Garrett and W. H. Brattain, "Physical theory of semiconductor surfaces," Phys. Rev. 99, 376 (1955).

- [24] S. C. Sun and J. D. Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces," *IEEE Trans. Electron Dev.*, ED-30, 1437 (1983).
- [25] S. C. Sun and J. D. Plummer, "Modelling of the on-resistance of LDIMOS, VDMOS, and VMOS power transistors," *IEEE Trans. Electron Dev.*, ED-27, 376 (1980).
- [26] C. Hu, "A parametric study of power MOSFETs," in *IEEE Power Electronics Specialists Conference Record*, 1970, p. 385.
- [27] S. D. Kim, I. J. Kim, M. K. Han, and Y. I. Choi, "An accurate on-resistance model for low voltage VDMOS devices," *Solid State Electron.*, 38, 317 (1997).
- [28] K. Shenoy, P. A. Piacente, R. Saha, C. S. Koiman, W. Tantraporn, and B. J. Baliga, "Ultralow resistance selectively shielded VDMOS FETs for high frequency power switching applications fabricated using sidewall spacer technology," *IEEE Trans. Electron Dev.*, ED-35, 2459 (1988).
- [29] D. Ueda, H. Takagi, and G. Kano, "A new vertical power MOSFET structure with extremely reduced on-resistance," *IEEE Trans. Electron Dev.*, ED-32, 2 (1985).
- [30] H. R. Chang, R. D. Black, V. Temple, W. Tantraporn, and B. J. Baliga, "Self-aligned UMOSFETs with specific on-resistance of 1 milliohm-cm<sup>2</sup>," *IEEE Trans. Electron Dev.*, ED-34, 2329 (1987).
- [31] S. Matsumoto, T. Ohno, H. Ishii, and H. Yoshino, "A high performance self-aligned UMOSFET with a vertical trench contact structure," *IEEE Trans. Electron Dev.*, ED-41, 814 (1994).
- [32] B. J. Baliga, T. Syau, and P. Venkatraman, "The accumulation mode field-effect transistor," *IEEE Electron Dev. Lett.*, ED-13, 427 (1992).
- [33] T. Syau, P. Venkatraman, and B. J. Baliga, "Comparison of ultralow specific on resistance UMOSFET structures," *IEEE Trans. Electron Dev.*, ED-41, 800 (1994).
- [34] Y. Baba, N. Matsuda, Y. Yanagiya, S. Hiraki, and S. Yasuda, "A study of a high voltage blocking UMOSFET with a double gate structure," in *IEEE Int. Symp. Power Semiconductor Devices and ICs*, 1992, p. 300.
- [35] O. Ishikawa and H. Esaki, "A high power high gain VD MOSFET operating at 90 MHz," *IEEE Trans. Electron Dev.*, ED-34, 1157 (1987).
- [36] N. Thapar and B. J. Baliga, "A comparison of high frequency cell designs for high voltage DMOSFETs," in *IEEE Int. Symp. Power Semiconductor Devices and ICs*, 1994, p. 131.
- [37] T. Sakai and N. Murakami, "A new VDMOSFET structure with reduced reverse transfer capacitance," *IEEE Trans. Electron Dev.*, ED-36, 1381 (1989).
- [38] S. Clemente and B. R. Pelley, "Understanding the power MOSFET switching performance," in *Proc. IEEE Industrial Applications Society Meeting*, 1981, p. 763.
- [39] C. Hu, M. H. Chi, and V. M. Patel, "Optimum design of power MOSFETs," *IEEE Trans. Electron Dev.*, ED-31, 1693 (1984).
- [40] H. R. Chang and B. J. Baliga, "Numerical and experimental analysis of 500V power DMOSFET with an atomic lattice layout," in *IEEE Device Research Conference*, 1989, Abstr. VB 5.
- [41] B. J. Baliga, M. S. Adler, R. P. Love, P. V. Gray, and N. Zommer, "The insulated gate transistor," *IEEE Trans. Electron Dev.*, ED-31, 821 (1984).
- [42] J. P. Russel, A. M. Goodman, L. A. Goodman, and J. M. Nielson, "The COMFET," *IEEE Electron Dev. Lett.*, ED-4, 53 (1983).

- [43] B. J. Baliga, "Switching speed enhancement in insulated gate transistors by electron irradiation," *IEEE Trans. Electron Dev.*, ED-31, 1790 (1984).
- [44] B. J. Baliga, M. S. Adler, P. V. Gray, and R. P. Love, "Suppressing latch-up in insulated gate transistors," *IEEE Electron Dev. Lett.* ED-5, 323 (1984).
- [45] S. Eranen and M. Blomberg, "The vertical IGBT with an implanted buried layer," in *IEEE Int. Symp. Power Semiconductor Devices and ICs*, 1991, p. 211.
- [46] A. Nakagawa, H. Ohashi, M. Kurata, H. Yamaguchi, and K. Watanabe, "Non-latch up, 1200 volt bipolar mode MOSFET with large SOA," in *IEEE Int. Electron Devices Meeting Digest*, 1984, p. 860.
- [47] T. P. Chow and B. J. Baliga, "Counter-doping of MOS channel (CDC)—new technique of improving suppression of latching in insulated gate bipolar transistors," *IEEE Electron Dev. Lett.* ED-6, 29 (1988).
- [48] T. P. Chow and B. J. Baliga, "The effect of MOS channel length on the performance of insulated gate transistors," *IEEE Electron Dev. Lett.* ED-6, 413 (1985).
- [49] B. J. Baliga, S. R. Chang, P. V. Gray, and T. P. Chow, "New cell designs for improving IGBT safe operating area," in *IEEE Int. Electron Devices Meeting Digest*, 1988, p. 809.
- [50] N. Thapar and B. J. Baliga, "A new IGBT structure with wider safe operating area (SOA)," in *IEEE Symp. on Power Semiconductor Devices and ICs*, 1991, p. 177.
- [51] W. Fulop, "Calculation of avalanche breakdown of silicon p-n junctions," *Solid State Electron.* 10, 39 (1967).
- [52] T. P. Chow and B. J. Baliga, "Comparison of n and p channel IGBTs," in *IEEE Int. Electron Devices Meeting Digest*, 1984, p. 278.
- [53] T. P. Chow and B. J. Baliga, "Comparison of 300, 600, 1200 volt n channel insulated gate transistors," *IEEE Electron Dev. Lett.* ED-6, 161 (1985).
- [54] A. Nakagawa and H. Ohashi, "600 and 1200V bipolar mode MOSFETs with high current capability," *IEEE Electron Dev. Lett.* ED-6, 378 (1985).
- [55] B. J. Baliga, "Temperature behavior of insulated gate transistor characteristics," *Solid State Electron.* 28, 289 (1985).
- [56] H. R. Chang and B. J. Baliga, "500V n-channel IGBT with trench gate structure," *IEEE Trans. Electron Dev.* ED-36, 1824 (1989).
- [57] M. Harada, T. Miato, H. Takahashi, H. Nishihara, K. Inoue, and I. Takata, "600V trench IGBT in comparison with planar IGBT," in *IEEE Symp. on Power Semiconductor Devices and ICs*, 1994, p. 411.
- [58] B. J. Baliga, "Enhancement and depletion mode vertical channel MOS gated thyristors," *Electron. Lett.* 15, 645 (1979).
- [59] V. A. K. Temple, "MOS controlled thyristors (MCTs)," in *IEEE Int. Electron Devices Meeting*, 1984, p. 282.
- [60] M. Stoisiak and H. Strack, "MOS GTO—a turn off thyristor with MOS controlled emitter shorts," in *IEEE Int. Electron Devices Meeting*, 1985, p. 158.
- [61] F. Bauer, P. Roggwiler, A. Aemmer, W. Fichtner, R. Vuilleumier, and J. M. Moret, "Design aspects

- of MOS controlled thyristor elements," in IEEE Int. Electron Devices Meeting, 1989, p. 297.
- [62] M. Stoistek, K. G. Oppermann, and R. Stengle, "A 400A/2000V MOS-GTO with improved cell design," IEEE Trans. Electron Dev. ED-39, 1521 (1992).
- [63] F. Bauer, T. Stockmeier, H. Lendenmann, H. Dettmer, and W. Fichtner, "Static and dynamic characteristics of high voltage (3kV) IGBT and MCT devices," in IEEE Int. Symp. on Power Semiconductor Devices and ICs, 1992, p. 22.
- [64] M. Nandakumar, B. J. Baliga, M. S. Shekar, S. Tandon, and A. Reisman, "A new MOS-gated power thyristor structure with turn-off achieved by controlling the base resistance," IEEE Electron Dev. Lett. ED-12, 227 (1991).
- [65] M. Nandakumar and B. J. Baliga, "Modelling the turnoff characteristics of the base resistance controlled thyristor," Solid State Electron. 38, 703 (1995).
- [66] M. Nandakumar, B. J. Baliga, M. S. Shekar, S. Tandon, and A. Reisman, "Theoretical and experimental characteristics of the base resistance controlled thyristor (BRT)," IEEE Trans. Electron Dev. ED-39, 1938 (1992).
- [67] M. Nandakumar, M. S. Shekar, and B. J. Baliga, "Fast switching power MOS-gated (EST and BRT) thyristors," in IEEE Int. Symp. on Power Semiconductor Devices and ICs, 1992, p. 256.
- [68] B. J. Baliga, "The MOS-gated emitter switched thyristor," IEEE Electron Dev. Lett. ED 11, 75 (1990).
- [69] M. S. Shekar, B. J. Baliga, M. Nandakumar, S. Tandon, and A. Reisman, "High voltage current saturation in emitter switched thyristors," IEEE Electron Dev. Lett. ED-12, 387 (1991).
- [70] M. Shekar and B. J. Baliga, "Modelling the on-state characteristics of the emitter switched thyristor," Solid State Electron. 37, 1403 ('94).
- [71] S. Sridhar and B. J. Baliga, "Comparison of linear and circular cell dual-channel emitter switched thyristors," in IEEE Int. Symp. on Power Semiconductor Devices and ICs, 1995, p. 170.
- [72] N. Iwamuro, M. S. Shekar, and B. J. Baliga, "Forward biased safe operating area of emitter switched thyristors," IEEE Trans. Electron Dev. ED-42, 334 (1995).
- [73] B. J. Baliga, "Semiconductors for high voltage vertical channel field effect transistors," J. Appl. Phys. 53, 1759 (1982).
- [74] H. Matsunami, "Semiconductor silicon carbide - expectations for power devices," in IEEE Int. Symp. on Power Semiconductor Devices and ICs, 1990, p. 13.
- [75] T. P. Chow and R. Tyagi, "Wide bandgap compound semiconductors for superior high voltage power devices," in IEEE Int. Symp. on Power Semiconductor Devices and ICs, 1993, p. 84.
- [76] P. M. Campbell, R. S. Ehle, P. V. Gray, and B. J. Baliga, "150 volt vertical channel GaAs FET," in IEEE Int. Electron Devices Meeting, 1982, p. 258.
- [77] P. M. Campbell, W. Garwicki, A. R. Sears, P. Menditto, and B. J. Baliga, "Trapezoidal groove Schotky gate vertical channel GaAs FET," in IEEE Int. Electron Devices Meeting, 1984, p. 186.
- [78] B. J. Baliga, "Critical nature of oxide/interface quality for SiC power devices," Microelectron. Eng. 28, 177 (1995).
- [79] J. W. Palmour, J. A. Edmond, H. S. Kong, and C. H. Carter, "Vertical power devices in silicon carbide," in Inst. Phys. Conf. Ser. No. 137, 1994, p. 499.

- 
- [89] M. Bhatnagar, P. McLaren, and B. J. Baliga, "Silicon carbide high voltage (400V) Schottky barrier diodes," IEEE Electron Dev. Lett. ED 13, 501 (1992).
  - [81] I. Kimoto, T. Urushidani, K. Kobayashi, and H. Matsunami, "High voltage (>1kV) SiC Schottky barrier diodes with low specific on-resistances," IEEE Electron Dev. Lett. ED 14, 548 (1993).
  - [82] R. Raghunathan, D. Alok, and B. J. Baliga, "High voltage 4H-SiC Schottky barrier diodes," IEEE Electron Dev. Lett. ED 16, 226 (1995).
  - [83] A. Itoh, T. Kimoto, and H. Matsunami, "High performance of high voltage 4H-SiC Schottky barrier diodes," IEEE Electron Dev. Lett. ED 16, 280 (1995).

# 5 量子效应和热电子器件

S. Iuryi

SUNY at stony Brook, Stony Brook, New York

A. Zaslavsky

Brown University, Providence, Rhode Island

## 5.1 引言

量子力学始终是半导体物理的理论基础，无论是在原子层次上研究电子与半导体材料中周期势的相互作用，还是在包络函数层次上近似处理金属-半导体接触或金属-氧化物-半导体界面。但是，绝大多数的半导体器件仍被处理成载流子准平衡的经典系统。在双极和场效应晶体管中，量子效应和热载流子效应只是对基于经典理论的工作原理作微小修正或表现在限制器件性能和可靠性的不利现象之中。在过去的 20 年里，对直接利用量子效应和热电子效应实现电路功能的半导体结构进行了大量的研究和探索。但直到今天，这类结构也仅是在实验室内制成，一些半导体器件研究部门之所以保持着这种研究兴趣，是由于如下的一些原因。

首先，作为当代计算机技术和大部分通信技术的基础，以晶体管为基础的微电子学，终将会在器件级的某一点上不再继续发展。当前硅技术实际上只是朝着设计速度更快、密度更高器件的一维途径发展的，即通过减小光刻图形的最小尺寸以缩小器件的尺度。光刻技术驱动下的性能改善预计还能持续一二十年。小尺寸器件将使载流子在更低的电压和电流下具有更快的渡越时间，这使得每个器件在更低的功耗下有更高的最大工作频率<sup>[1]</sup>。正如本书其它章节所描述的，这一进展面临着许多技术障碍，其中包括当前的深亚微米光刻技术没有足够高的成品率，以及未来微电子电路中的引线延迟和功耗等问题。另一方面是快速上升的生产成本，这可能使投资由器件技术转向更容易获利的软件和电路设计方面。然而，即使技术和经济上的限制均被克服，器件级的功能提高——更快的速度、更低的功率或器件功能的增强，也需要新的工作原理。正如本书其它章节所述，室温下 Si MOSFET 缩小的最小极限尺度在  $L \approx 0.1\mu\text{m}$  以下的不太低的范围内。

其次，对直接利用量子效应和热电子效应实现电路功能的研究仍保持兴趣的原因是，半导体器件在未达到缩小极限之前，量子力学和热载流现象已对半导体

器件产生了不良的影响。如在互补型金属-氧化物-半导体(CMOS)技术中,为实现更短的 $L$ ,相应地缩小氧化层厚度 $d$ ,电子隧穿进入氧化层的导带所产生的泄漏电流最终会导致栅击穿。而且, $L \approx 0.1\mu m$ 附近所需的最小氧化层厚度为 $d \approx 30\text{ \AA}$ 。这时从MOSFET反型层到栅的直接隧穿可能成为一个限制因素。同样,由于热载流子与氧化层的作用及器件寿命的退化,在漏极附近高横向电场对载流子的加热是影响可靠性的一个主要问题。如第三章所述,这些限制对下几代高密度微电子电路可靠性的重要性激起了人们对半导体中隧穿和载流子加热的研究,但更多的努力则集中在通往缩小极限的道路上另辟蹊径,发展精确控制隧穿和载流子加热等效应的器件。

最后也是最重要的一点,保持这种研究兴趣的原因是现代外延技术迅速增强了半导体能带工程的能力,从而促进了量子效应和热电子器件的研究如Ⅲ-V族半导体、硅和硅基合金(SiGe, SiGeC)的分子束外延(MBE)和金属化学汽相沉积(MOCVD)提供了极好的控制半导体层厚、掺杂和组分的手段。这种控制给设计者在设定载流子局域化和输运区域、剪裁电场和势垒形状及精确控制自建应力等方面提供了前所未有的自由度。近乎单原子层的生长控制已经将尺寸量子化、载流子维度减小和许多伴随效应,例如从态密度的改变到由调制掺杂产生的高载流子迁移率引入到所提出器件的参量空间中。能带工程未来进一步发展不仅限于外延轴,利用深亚微米中的传统工艺或在非单面衬底上的外延更是目前研究的课题。这一研究无疑将使器件物理拓展到完全的二维或三维约束(量子线和量子点)系统。和体或平面异质结构相比<sup>[3]</sup>,预计低维结构中的多维约束将引起输运和光学性质的重大改变。最近在小尺寸半导体量子点中输运的电荷量子化效应促进了单电子器件的研究。这种器件中单个电子的传输就足以控制器件的工作机制。

在简单地从科学和技术上阐述促进量子效应和热电子器件研究的因素之后,再简单地从理论上介绍一下这类器件性能上的优势。速度常被视为是这类器件最基本的优势,绝大多数量子效应器件所依赖的量子隧穿本质上是一种快的过程。同样,大多数的热电子器件利用的载流子弹道输运,其运动速度也远远超过载流子热平衡时的速度。然而,由于其它各处的延迟,如电极中的 $RC$ 时间延迟等,使得在有源区域中的极高速度通常不能直接反映到器件性能上。通常,量子效应和热电子器件更大的优势在于其更强的功能,即能够用很少的器件数目完成一定的功能。强功能是通过器件强的或可调的非线性电流-电压( $I-V$ )特性或独特的电极对称性得以实现的。从而这些器件可以替代大量晶体管或无源电路构成的电路单元,实现相对复杂的电路功能。本章列举的例子包括用少量隧道器件实现多值存储器和逻辑电路,以及单电子逻辑门式热电子器件。

最后,在成为技术上可行的通用半导体电路之前,量子效应和热电子器件在室温工作及大规模集成方面尚有大量问题有待解决。至今它们在某些特定场合的

应用已逐渐显露。单电子器件中对器件均匀性及工作温度的极严要求可能使它们难以适应大规模逻辑。但是在液氦温度下，单电子器件强烈的电荷量子化效应使之成为计量学应用中理想的极精确的电流源。同样，最近的研究表明，量子级联激光器需要 MBE 能力难以达到的极严格的外延精度，但在近红外区缺少与之竞争的半导体激光器同样使之在技术上有吸引力。

本章、第 5.2 和 5.3 节分别介绍量子效应和热电子器件的基本器件结构和工作原理。这两节还将简单介绍载流子态密度的量子化效应和量子隧穿以及热载流子的产生、弹道输运和实空间转移等的物理图像。第 5.4 节将介绍各种器件应用，包括从存储器、逻辑电路到特殊应用。本章还对量子效应和热电子器件未来的发展作了简单的总结，包括可能的技术进步所带来的影响和飞速发展的硅工艺的预期能力。

## 5.2 共振隧穿(RT)结构

### 5.2.1 量子力学隧穿

共振隧穿的原理来源于薛定谔方程的两个量子力学结果，它没有经典的类比。第一，如果一个粒子受到尺度与德布罗意波长可比拟的势垒  $V(r)$  的约束，粒子的动量  $\hbar k$  将量子化。与自由运动相对应的连续能谱  $E(k) = \hbar^2 k^2 / 2m$  ( $m$  为粒子的质量) 将分裂成子带  $E_n(k)$ 。第二，只要约束的势垒  $V(r)$  不是无限的，粒子就有一定的概率出现在势能值高于其自身能量的经典禁戒区。上述两种效应由图 5.1 (a) 中所示的粒子在一维势阱中的运动可以很容易地得到解释，其中势阱宽为  $L_w$  高为  $V(z) = V_0$  ( $|z| \geq L_w/2$ )。波函数为  $\chi(z)$  的一维薛定谔方程为：

$$H\chi(z) = \left[ -\frac{\hbar^2}{2m} \frac{d^2}{dz^2} + V(z) \right] \chi(z) = E\chi(z) \quad (5.1)$$

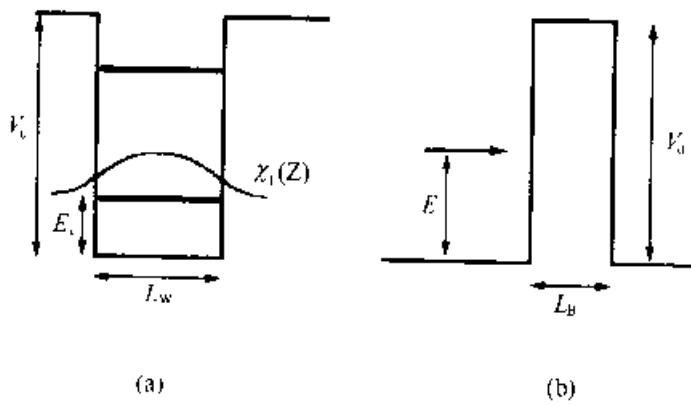


图 5.1 (a) 有限势量子阱的示意图，图中示出了最低分立能级  $E_1$  的波函数  $\chi_1(z)$ ；(b) 能量为  $E$  的粒子入射一个单势垒

其中， $H$  为哈密顿量， $\hbar$  是约化普朗克常数。方程(5.1)可以在三个区域中分别求

解, 利用其隐含  $\chi(z)$  和  $d\chi/dz$  在边界的连续条件, 可得到分立的能级  $E_n$  和相应的  $\chi_n(z)$  的形式。归一化的波函数  $\chi_n(z)$  和坐标  $z=z_0$  点发现粒子的概率  $P(z)$  间的关系为:  $P(z_0) = |\chi(z_0)|^2$ 。对于无限高势垒极限( $V_0 \rightarrow \infty$ ), 本征函数  $\chi_n(z)$  在  $|z| = L_w/2$  处必为零, 能级由下式决定:

$$E_n = \frac{\hbar^2 \pi^2 n^2}{2m L_w^2} \quad (5.2)$$

其中  $n$  为整数, 对于更实际的有限高度势阱, 对于图 5.1(a), 可以发现(参见问题 1), 势阱中包含一定数目的能级  $E_n$ ,  $E_n$  的能级数并不是随  $n^2$  的关系迅速增加的。(每个一维势阱至少包含一个能级。) 相应的波函数  $\chi_n(z)$  以下列形式进入势垒:

$$\chi_n(z) \approx e^{-\kappa z} \quad (5.3)$$

其中  $\kappa = [2m(V_0 - E_n)/\hbar^2]^{1/2}$ , 并且势垒中的另一个可能的数学解  $\chi_n(z) \approx e^{\kappa z}$  由于  $|Z| \rightarrow \infty$  时发散, 根据物理意义可排除掉。尽管势垒的穿透呈指数性下降, 公式 (5.3) 仍意味着在  $|z| > L_w/2$  的经典禁戒区找到  $\chi_n(z)$  态的载流子仍有一定的概率。

用同样的方法可以处理以动能  $E$  入射到高为  $V_0$ 、宽为  $L_B$  的一维势垒中的粒子(参见图 5.1(b)), 并可用其说明量子力学隧穿的基本原理。从经典的观点, 若粒子的能量  $E < V_0$ , 无论势垒多宽都会被反射回来。但从量子力学观点, 和公式 (5.3) 类似, 存在一个与  $V_0$  和  $L_B$  有关确定的透射概率  $T(E)$  穿透势垒。实际上, 薛定谔方程在势垒左边  $z < 0$  处的解为:

$$\chi(z) \approx Ae^{ikz} + Be^{-ikz} \quad (5.4)$$

其中  $A$  和  $B$  均为常数, 上式自然可分为入射粒子( $\chi(z) \approx Ae^{ikz}$ )和反射粒子( $\chi(z) \approx Be^{-ikz}$ )。同样在势垒的右边  $z > L_B$  处有  $\chi(z) \approx Ce^{ikz}$ , 其中  $C$  为常数, 并且我们假设了粒子一开始是从左边入射的。在势垒区  $0 \leq z \leq L_B$  内求解薛定谔方程, 利用势垒边界处的连续条件, 可得到与之相关的分别对应着反射概率  $R(E)$  和透射概率  $T(E)$  的比率  $|B/A|^2$  和  $|C/A|^2$ , 而且有  $R + T = 1$ 。结果是, 若入射粒子的能量满足  $e^{-ikL_B} \ll 1$ , 其中  $\kappa = [2m(V_0 - E)/\hbar^2]^{1/2}$ , 则透射概率可近似为(参见问题 2):

$$T(E) \approx e^{-2\kappa k L_B} \quad (5.5)$$

由公式(5.5)可见, 对于单势垒情形, 透射概率  $T(E)$  在  $E < V_0$  时, 随着入射能量  $E$  单调增加。当同样的粒子入射到如图 5.2(a)所示的中间由宽为  $L_w$  的势阱隔开的两个势垒时, 前述的结果将发生剧烈的变化。双势垒的透射概率  $T(E)$  可利用方程(5.1)求得<sup>[1]</sup>, 但考虑其中的物理过程有益于问题的解决。除非势垒很窄或能量接近于势垒高度  $V_0$ , 否则势阱中的能级与图 5.1(a)所示的有限势阱中的能级相近似<sup>[2]</sup>。另一方面, 在半经典的情况下, 在能级  $E_n$  上的粒子以速率  $v_z = \hbar k_z / m$  在势垒间振荡, 结果在每个振荡周期  $2L_w/v_z$  内入射势垒两次。每一次入射都包含

一定的概率  $T(E_n)$  隧穿离开双势垒的约束，使得能级成为亚稳，即具有一定的寿命，这相当于能级有一定的宽度  $\Delta E_n = \hbar/\tau_n$ （见问题 3）。

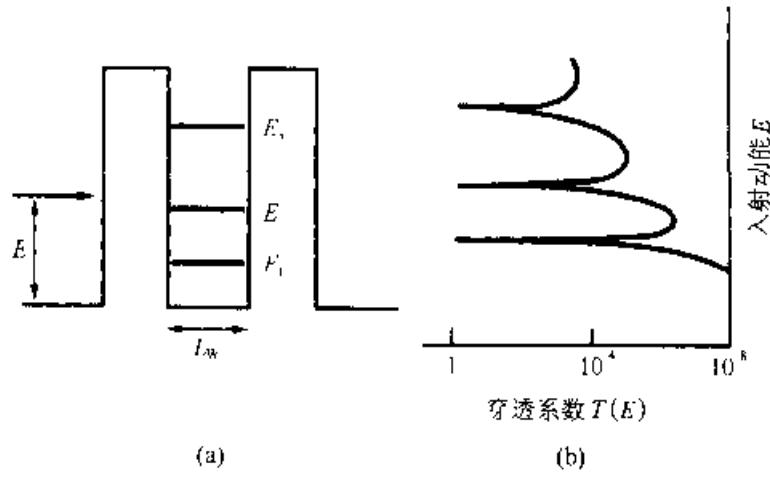


图 5.2 (a) 能量为  $E$  的粒子入射一个双势垒，  
图中示出了量子化能级；(b) 一维情形下的传输系数  $T(E)$

如果一个粒子以能量  $E$  入射到双势垒，而该能量又不与其中的能级  $E_n$  重合，则总的透射概率为透过第一(发射)和第二(收集)势垒的概率的乘积，即  $T(E) = T_E T_C$ ，是一个指数型的小量，其中有  $T_E, T_C \ll 1$ 。势垒为不透明的。如果入射能量与其中的能级  $E_n$  相匹配，和 Fabry-Perot 谐振腔中的情形相似，随着反射波的消失在阱中建立起一定幅度的波函数，其透射概率为<sup>[5]</sup>：

$$T(E = E_n) = \frac{4T_E T_C}{(T_E + T_C)^2} \quad (5.6)$$

对于对称结构  $T_E = T_C$  时，透射概率为 1。因而透射概率  $T(E)$  是入射能量的尖峰函数，如图 5.2(b) 所示，其中透射概率峰值所对应的能量宽度为分立能级的寿命<sup>[4]</sup>。

原则上，在单一能量的一维粒子入射双势垒的理想器件中，其能级  $E_n$  由于受电压  $V$  的调制，将出现一种尖峰状的电流-电压( $I-V$ )特性，与图 5.2(b) 中示出的  $T(E)$  曲线一样。它们只能部分地用半导体实现。如本书其它章节所讨论的，半导体异质结构可以提供所需的双势垒。作为一种好的近似，直接禁带半导体，如 GaAs 中的电子和空穴，服从抛物性能量色散关系，其形式为  $E = \hbar^2 k^2 / 2m^*$ ，和自由电子不同的只是用有效质量  $m^*$  替代自由电子的质量  $m_0$ 。换言之，单一能量的载流子分布和独立的电压控制  $T(E)$  很难实现。但是半导体异质结构和由公式 (5.1) 至 (5.6) 所描述的理想的 1 维图像的更基本的差别在于，半导体异质结构存在着其它的空间自由度。纯粹 1 维线，其载流子色散关系可由公式 (5.1) 确立，不仅难以制作，而且在使用上更加困难，这是由于它们的电流传输能力受到了限制。相反，半导体中采用的典型结构是沿外延方向  $V(z)$  形成如图 5.2(a) 所示的双

势垒，载流子在( $x, y$ )平面内可自由地横向运动。如果平面上的运动能够与沿外延方向(隧穿)的运动分离，电子在亚稳量子阱中能级  $\chi_n(z)$  上电子的总波函数  $\Psi_{n, k}(r)$  和平面内的动量  $k_\perp$  有关，可写为

$$\Psi_{n, k_\perp}(r) = N\chi_n(z)e^{ik_\perp r} \quad (5.7)$$

其中  $N$  为归一化系数，若给定一个各向同性的有效质量，则对应的总能量为

$$E = E_a + \frac{\hbar^2 k_\perp^2}{2m} \quad (5.8)$$

上式表明，每个量子化的能级产生一个子带，并且和 1 维时的情况不同，最低能级  $E_1$  之上的能谱中没有带隙。电子的能量  $E > E_1$  时，可属于  $E_1$  到  $E_n$  的任何第  $n$  个子带中的任意一个，属于  $E_1$  时其平面内动能大。进一步，当存在散射时，属于各子带的简并的态相互混合，公式(5.7)的波函数因子分解通常不再成立。然而，由于属于不同子带的简并态间的耦合包含了一定的  $k_\perp$  的变化，单子带的  $\chi_n(z)$  态可有足够长的寿命，因而可以把耦合看作是产生子带间散射的微扰。

在量子阱内或在双势垒区之外，即  $|z| > (L_w + 2L_b)/2$ ，平面内运动都会大大改变有效态密度。与势阱中分离能级的情况不同，每个子带对二维( $2D$ )态密度的贡献为常数， $g^{2D}(E) = m^*/\pi\hbar^2$ 。同时，在实际器件内，隧穿载流子来自双势垒外的载流子库。通常，发射极和集电极载流子库中的态可以认为是三维的，如附录 5A 中所讨论的，三维态密度为

$$g^{3D}(E) = \frac{(2m^*)^{3/2}}{2\pi^2\hbar^3} E^{1/2} \quad (5.9)$$

库的费米能级可根据三维载流子态密度  $n_{3D}$ 、温度  $T$  和费米-狄拉克分布概率  $f_{FD}(E)$  求得：

$$n_{3D} = \int g^{3D} f_{FD}(E - E_F) dE, \quad f_{FD}(E) = (e^{-E/kT} + 1)^{-1} \quad (5.10)$$

与理想的单一能量一维载流子不同，在最简单的简并掺杂电子隧穿库中，低温下的情况是入射粒子具有相当宽的在  $E_F$  以上的能量分布， $E_F$  将发射区中的占据态和未占据态分开。只要波函数仍能够分解成平面内的和隧穿方向的分量，平面内的自由度并不引入过分的复杂性。平面内的动量  $k_\perp$  是一个运动常数，它在载流子从发射库隧穿到二维子带  $E_n$  的过程中守恒，而其透射概率与隧穿方向运动的能量  $E_z$  有关，总隧穿电流密度  $J$  可通过对发射库电子分布的积分求得：

$$J = \frac{q}{2\pi\hbar} \int N(E_z) T(E_z) dE_z \quad (5.11)$$

其中  $N(E_z)$  是单位面积中具有同样  $E_z$  的电子数。对于给定的温度  $T$ ， $N(E_z)$  的数量可容易地由对二维常数态密度  $g^{2D}(E)$ (见附录 5A) 和费米-狄拉克占据概率函

数  $f_{FD}(E)$  的乘积的积分算得：

$$N(E_i) = \frac{kTm^*}{\pi\hbar^2} \ln(1 + e^{(E_F - E_i)/kT}) \quad (5.12)$$

尽管这些公式是分析实际半导体共振隧穿(RT)结构合理的出发点，但需要强调的是它们的有效性很大程度上依赖于不存在散射。显然，即使在图 5.2 所示的一维情形，根据 Fabry-Perot 机理建立起的公式(5.6)得到接近于 1 的透射概率，但它要求电子在很多次反射后仍保持相位相干[正比于  $(T_F + T_C)^{-1}$ ]，与单势垒透射系数成反比<sup>[7]</sup>，大量多次反射振幅的相位叠加消除了净反射波，改变波函数相位的任何作用，无论是弹性散射——如杂质散射，或是非弹性散射——如由声子或其它电子引起的散射，都将破坏总的反射波的相消。在具有平面自由度的实际的三维结构中，弹性的杂质散射破坏了  $k_\perp$  的守恒。更普遍地是，散射不可避免地使平面内和隧穿方向的运动相混合，从数量上改变了波函数对势垒的穿透<sup>[7]</sup>。在没有散射时，平面内的运动和隧穿过程是可分离的，波函数的穿透只与隧穿方向的量子化的运动能量  $E_n$  有关，而与平面内的动能  $\hbar^2 k_\perp^2 / 2m^*$  无关。将公式(5.3)推广到更普遍的势垒  $V(z)$  可得：

$$\Psi_n(r) \approx \exp\left(-\frac{\hbar}{2m^*} \int [2m^*(V(z) - E_n)]^{1/2} dz\right) \quad (5.13)$$

散射使平面运动和隧穿过程相叠加，势垒穿透近似为

$$\Psi_n(r) \approx \exp\left(-\frac{\hbar}{2m^*} \int [2m^*(V(z) - E)]^{1/2} dz\right) \quad (5.14)$$

其中波函数指数中的能量是总能量  $E = E_n + \frac{1}{2} k_\perp^2 / 2m^*$ 。从公式(5.13)到公式(5.14)的转变可用指数上的系数描述，它依赖于特定的散射机制<sup>[7]</sup>。

与散射有关的效应和有限的相位相干很大程度上改变了图 5.2 所示的双势垒传输的理想尖峰电流-电压( $I-V$ )特性。即使在低温下，对于双势垒 RT 结构，在实验中并未观察到由相干  $T(E)$  计算所得到的那么大数量级的峰-谷比。事实上，对实际的半导体 RT 结构，计入散射限制和入射电子分布的能量宽度可引入另一种连续隧穿模型<sup>[8]</sup>，其描述的  $I-V$  特性相当准确。在这个模型中，电流的输运被描述为载流子隧穿进入势阱的二维态密度，然后不相干地隧穿出去，进入集电区。 $I-V$  的非线性由  $E$  和  $k_\perp$  的守恒引起，而无需依赖于相干极限下双势垒接近 1 的透射系数。一些问题，以及针对器件应用与 RT 结构的优化有关的其它效应，如增大峰值电流密度，或降低  $I-V$  特性的温度敏感性等将在以下的章节讨论。

## 5.2.2 两端 RT 结构

采用半导体异质结构实现双势垒 RT 结构的第一个实验可追溯到 1974 年，当时在低温下观测到对应于电子隧穿通过由  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  势垒约束的 GaAs 势阱

的两个最低子带电流峰值<sup>[2]</sup>。此后，通过提高外延材料的质量和优化器件设计使 RT 二极管具有了极尖锐的低温  $I-V$  特性<sup>[1]</sup>，如图 5.3 所示。图中的插图示出了器件外延层的顺序，具有势垒层  $\text{Al}_{x}\text{Ga}_{1-x}\text{As}$  和薄的 ( $L_w = 56 \text{ \AA}$ )  $\text{GaAs}$  阵及重掺杂 ( $N_D = 2 \times 10^{17} \text{ cm}^{-3}$ ) 的  $n^+$ - $\text{GaAs}$  电极。在偏压高于  $I-V$  曲线的峰值 ( $V > V_p$ ) 时器件表现出强的负微分电阻 (NDR) 特性，低温下  $I-V$  曲线峰与谷的电流比 (PVR) 约达到 30。然而所测得的 PRV 和总的  $I-V$  曲线形状与图 5.2(b) 中基于相干穿透系数  $T(E)$  的理论计算结果有很大的差别，由于非共振过程，如散射或声子辅助隧穿的影响，谷电流值远大于简单理论预测的结果。结果表明，在解释实际 RT 结构的  $I-V$  特性时，相干和 Fabry-Perot 模型并不是必需的。可以利用载流子隧穿进入二维子带  $E_1$  时能量  $E$  和横向动量  $k_{\perp}$  守恒，其中惟一的要求是阱中振荡波函数的相干应足以产生可分辨的二维子带。隧穿出阱进入集电区可作为第二步，它可以与隧穿入阱完全不相干，结果电流的输运由顺序的隧穿图像描述。

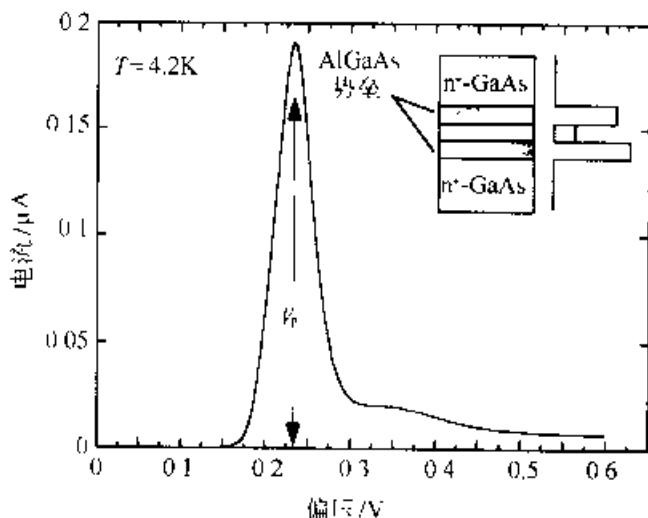


图 5.3  $T = 4.2 \text{ K}$  时，非对称  $\text{AlGaAs}/\text{GaAs}$  双势垒 RT 结构的反向  $I-V$  特性。插图中示出了沿各层方向的导带示意图(图中未按比例画)

以图 5.3 所示的  $n$ - $\text{Al}_{x}\text{Ga}_{1-x}\text{As}/\text{GaAs}$  双势垒 RT 结构为例的顺序隧穿模型<sup>[8]</sup>示于图 5.4，平带下，器件上没有加偏压，阱中最低二维子带  $E_1$  位于发射区费米能级  $E_F$  之上，使得保持  $E$  和  $k_{\perp}$  守恒的隧穿不可能进入  $E_1$  态。如图 5.4 所示的自洽势能分布所示，随着偏压  $V$  的增加，相对于发射区的  $E_F$ ， $E_1$  降低。仅当外加偏压使  $E_1$  与发射区中的占据态在同一位置上时，共振隧穿才可能发生，这时用供给函数  $N(V)$  描述发射区占据态中的某一部分，这部分占据态中的载流子是能同时保持  $E$  和  $k_{\perp}$  守恒隧穿入势阱的。低温下，对供给函数可以从几何上做简单估算，发射区中的占据态可区分  $E$  和  $k_{\perp}$ ，其表征如下：

$$E = E_z + \frac{\hbar^2 k_{\perp}^2}{2m'} \quad 0 \leq E_z \leq E_t \quad (5.15)$$

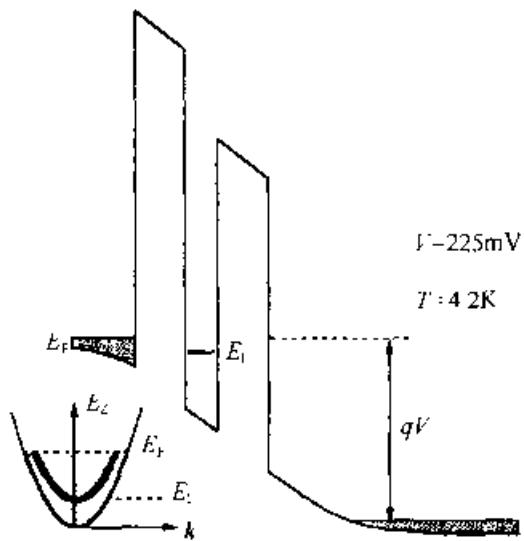


图 5.4 图 3 中对称 AlGaAs/GaAs 双势垒 RT 结构在反向偏压 ( $V = -225 \text{ mV}$ ,  $T = 4.2 \text{ K}$ ) 下的自洽势分布。如图中左下方所示, 供给函数是利用发射区阱中色散关系  $E(k_{\perp})$  几何上的交叠获得的

而对阱中有贡献的态满足简单的色散关系  $E = E(V) + \hbar^2 k_{\perp}^2 / 2m'$ 。以发射区占据态的最低处为能量的参考点, 载流子填充到  $E_F$ , 发射区态在  $E-k_{\perp}$  空间形成一个旋转抛物体。从几何上, 供给函数可用量子阱中有贡献的二维态和发射区的占据态的交集描述, 如图 5.4 所示。显然只要  $E_1(V)$  不低于发射区中占据态的底, 则  $N(V) \approx [E_F - E_1(V)]$ , 而在占据态底, 供给函数为 0。因为  $E$  和  $k_{\perp}$  守恒, 所以进入阱中的电流为:

$$J = \frac{q}{2\pi\hbar^2} N(V) T_e(V) \quad (5.16)$$

其中还需加入其它的电流分量, 例如, 附加的电流分量有直接隧穿通过双势垒进入集电极态的电流 ( $J \approx T_e T_c$ )、声子辅助隧穿、 $E$  守恒但  $k_{\perp}$  不守恒的杂质或界面粗糙辅助隧穿等等。另外, 在足够高的电压  $V$  下, 通过第二个二维子带  $E_2$  也可能有隧穿。当外加偏压使  $E_1(V)$  低于发射极态时, 这些电流分量不会由于  $k_{\perp}$  守恒而截止, 它们对谷电流仍有贡献。例如, 在 GaAs 中强的电子-光学声子耦合, 使得在  $E_1(V)$  低于发射区底时产生声子辅助的伴峰, 其光学声子能量  $\hbar\omega_{\text{opt}} = 36 \text{ meV}^{[1]}$ 。非共振电流分量的定量模型并未发展完善, 通常依赖于可调参数<sup>[1,2]</sup>。但不幸的是谷电流在降低 RT 基器件的功耗上起着重要的作用。

根据顺序隧穿模型, 决定电流密度的是透射系数  $T_F$  (通常  $T_F \ll 1$ ), 并且载流子隧穿进入阱中, 为保持  $E$  和  $k_{\perp}$  守恒而引起 NDR。相反, 在共振隧穿的理想相干

模型中，双势垒的总透射概率  $T(E)$  由公式(5.6)给出，在工作电压  $V \approx V_p$  时，若发射极和集电极势垒的透射系数相等( $T_E = T_C$ )，其总透射系数为 1。令人惊奇的是，对于实际的 RT 结构，这两种模型描述的  $I-V$  特性基本上一致。其中无论是可观察到电流峰值时的偏压  $V_p$ ，还是隧穿载流子能量分布  $E_F$  的宽度都要远大于二维能级的宽度  $\Delta E_n$ <sup>[8, 9]</sup>。如图 5.2(b)所示，其本质在于，相干模型中的总透射系数  $T(E)$  和单势垒的透射系数相比呈指数型的增大，但也呈指数型的变窄。实际上，如果入射能量  $E_i$  接近于二维子带能量  $E_n$ ，则公式(5.5)中的透射系数可按小量  $E_i - E_n$  展开如下<sup>[1, 2]</sup>：

$$T(E_i \approx E_n) \sim \frac{4T_E T_C}{(T_E + T_C)} \frac{\Delta E_n^2}{(E_i - E_n)^2 + \Delta E_n^2} \quad (5.17)$$

其中， $\Delta E_n = \hbar/\tau_n$ ，为相对于隧穿出去的子带的寿命。流过器件的总电流可通过对公式(5.17)求平均获得。由于  $E_p \gg \Delta E_n$ ，公式(5.17)中的 Lorentzian 系数简化为  $\delta$  函数<sup>[2]</sup>， $\pi \Delta E_n \delta(E_i - E_n)$ 。结果  $\delta$  函数抵消了式(5.17)分母中的一个  $(T_E + T_C)$  因子，减小了对载流子群的平均透射系数。除了外部的限制<sup>[2]</sup>外、一级近似下，两种图像预言的电流密度相同<sup>[14]</sup>。结果，选择相干模型或是顺序隧穿模型并不重要。然而图 5.4 的几何解释表明，顺序模型在描述更复杂结构的  $I-V$  特性时更有用，如那些具有非抛物性平面内的载流子色散  $E(k)$ ，或阱和发射极处色散关系不同的情形(参见问题 5)，更重要的是，顺序隧穿模型为讨论三端 RT 结构提供了一个更自然的框架，三端 RT 结构的  $I-V$  特性中的 NDR 是由隧穿进入阱中有限的态密度引起的，而没有附加的第二次隧穿步骤，为此以下的讨论将主要基于顺序隧穿模型。

除了通过两个势垒直接隧穿进入集电区外，所有其它的各种电流分量，尤其是公式(5.16)中  $E$  和  $k_\perp$  守恒的项都与二维子带和发射区中占据态的对准密切相关。然而在一个标准的、垂直的二端 RT 结构中，这种对准只能靠改变偏压  $V$  加以控制，只是其中的一部分使二维子带降低(见图 5.4)。若忽略电场穿过发射区和集电区的部分(参见问题 4)，可得  $V_p^{(n)} = 2E_n$ 。当双势垒结构周围有一未掺杂间隔区域并且低的电极掺杂使发射区和集电区的电势有较大下降时，用前述的经常使用的结果将无法描述实际的二端 RT 结构。而为了降低发射极-集电极电容，常采用大的集电极间隔区域<sup>[15]</sup>，这种设计特别适合于高频应用的 RT 器件。图 5.4 示出了器件中电势分布的自治计算结果，包括在积累区和耗尽区域内电势的下降，

1) 这里我们利用了关系式  $\lim_{\Delta x \rightarrow 0} \int_{-\Delta x}^{\Delta x} \frac{dx}{x^2 + \Delta x^2} = \pi \delta(x)$

2) 在假想的器件中， $E_n$  或  $V_p \ll \Delta E_n$  是有差别的，利用相干模型会得到较大的电流密度<sup>[1, 4]</sup>。目前这种 RT 结构尚未实现。

为此必须知道作为器件参数函数的  $V_p^{(n)}$ 。另一个复杂的问题是在偏压下阱中的动态存储电荷密度  $\sigma_w$ :

$$\sigma_w = J\tau_n \quad (5.18)$$

其中  $\tau_n$  是子带  $E_n$  的寿命。 $\sigma_w$  的作用是增加第二势垒中的电场，于是对于给定的偏压  $V$ ，它减少了偏压引起的子带  $E_n(V)$  的降低。在对称势垒的双势垒结构中， $\sigma_w$  通常很小，这是由于在  $V_p$  下， $T_c \gg T_E$  且  $\tau_n \approx T_c^{-1}$ ，即偏压下只可能隧穿出集电区（见图 5.4）。如果集电区势垒增大， $\sigma_w$  便可能增加，因而在高度不对称势垒的情况下能产生图 5.5 所示的双稳  $I-V$  特性。图 5.5 是与图 5.3 相同的 RT 器件在不同极性偏压下的  $I-V$  特性，图中示出了偏压变化的方向。如果  $V$  是从平带开始增加，由于大的动态电荷存储  $\sigma_w$ ， $V_p$  在较高偏压时出现；而如果共振对准是靠从  $V_p$  之上降低电压实现的，则谷电流，也即  $\sigma_w$  小， $I-V$  特性在较低的偏压下才转换到大电流区。实际上，固有的双稳  $I-V$  特性来源于阱中动态存储电荷  $\sigma_w$  对  $E_1(V)$  和发射区占据态对准的反馈作用<sup>[16]</sup>。至少从原理上看，双稳  $I-V$  特性为利用单个器件实现双态半导体存储器提供了可能。

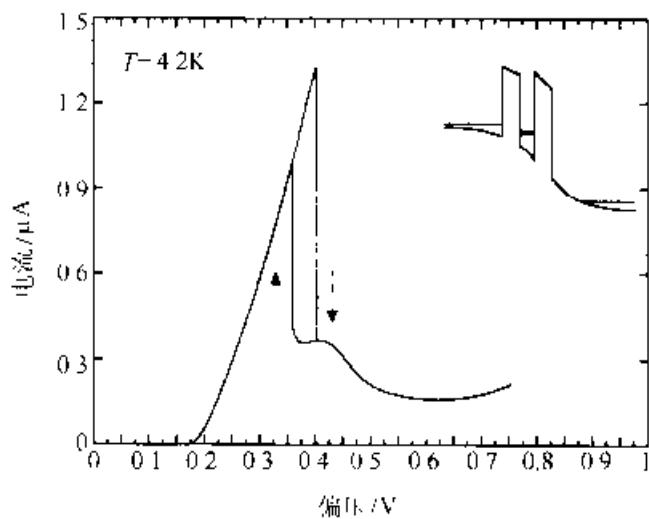


图 5.5 图 5.3 所示的 RT 器件的双稳正向  $I-V$  特性。插图示出了由于集电区势垒较高，在阱中建立了大量电荷时的能带图。箭头标明了偏压扫过的方向

低温下，在阐明有关共振隧穿原理时，用 n-AlGaAs/GaAs 材料制成的双势垒结构起了很大的作用，但它们的  $I-V$  特性不大适合于实用的电子器件。首先是在室温下，RT 结构需要保留尖的 NDR 特性。 $T=300K$  时，峰电流密度  $J_p$  基本不变，但由于越过势垒的热电子发射和通过较高子带的热助隧穿使谷电流增加，室温下，这些谷电流分量使实用的 PVR 大大退化。显然，越过势垒的热电子发射可通过增加势垒高度而指数性地减小，在 n-AlGaAs/GaAs 异质结构中，用纯 AlAs 势垒可以使  $V_p$  达到最大，但在高速应用场合，这和所需的最大电流  $J_p$  间存

在矛盾，这是由于对各种器件和电路中的电容进行快速充电必需高的电流密度——理想的  $J_p \geq 10^7 \text{ A/cm}^2$ 。利用极窄的 AlAs 势垒可以实现这一点，但即使如此，通过较高子带的热助隧穿仍是问题，为此，最近报道的具有高  $J_p$  ( $\approx 10^5 \text{ A/cm}^2$ ) 的 GaAs/AlAs 双势垒 RT 振荡器<sup>[17]</sup>，室温下的 PVR 只有 3。

对二端 RT 器件，同时兼顾 PVR 和  $J_p$  所取得的显著进展是采用 n-In<sub>0.53</sub> Ga<sub>0.47</sub>As/In<sub>0.53</sub>Al<sub>0.47</sub>As 材料体系，这种体系和 InP 的晶格是匹配的，其器件工作的原理仍可由图 5.4 描述，只是最大的势垒高度增加，并且更重要的是，由于降低了 InGaAs 阵中电子的有效质量  $m^*$ ，使得子带的间距 ( $E_1 - E_2$ ) 加大。图 5.6<sup>[18]</sup>示出了室温下的 n-InGaAs/InAlAs 双势垒器件的 I-V 特性曲线，其  $J_p > 10^7 \text{ A/cm}^2$ ，PVR ≈ 8。这种 RT 结构包括一个大的未掺杂的集电区间隔以降低发射极-集电极电容，即增大  $V_F$ 。由于 NDR 很尖，当器件的偏压在  $V_P$  之上的一一定范围  $V_F < V \leq 2.5 \text{ V}$  时，偏压电路不稳定。电路的振荡被 RT 器件整流，使之出现不连续的跳跃的 I-V 曲线<sup>[19]</sup>。AlAs 势垒层并不和衬底的晶格相匹配，但由于它们的厚度极薄，在图 5.6 所示的结构中约为三个单层，它们可以被淀积成赝晶而不产生大量的位错。在这类材料体系中，可通过在 InGaAs 阵中生长一个 InAs 薄层来进一步提高第一个共振峰的 PVR，该薄层起到进一步分离两个最低的子带的作用(参见问题 6)。

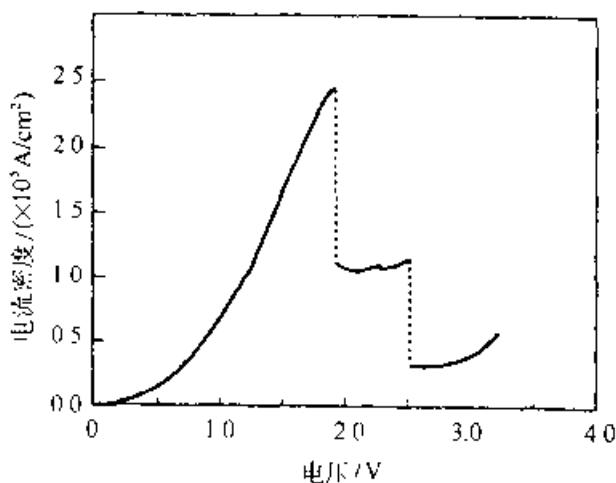


图 5.6 n-In<sub>0.53</sub>Ga<sub>0.47</sub>As/AlAs RT 二极管的 I-V 特性，图中示出了室温下高的峰谷比和大的尖峰电流密度。器件面积为  $4\mu\text{m}^2$  (经 E. R. Brown 授权，1995)

其它的两端 RT 器件还包括 GaSb/AlSb/InAs 异质结构，由于这类异质结构中的禁带是交错对准的，因而被视为复式结构，其中 AlSb 势垒将 InAs 的导带与 GaSb 的价带边分离<sup>[20]</sup>。这种有 GaSb 电极、AlSb 势垒和 InAs 阵的双势垒复式 RT 结构的原理示于图 5.7。偏压下，电流可视为空穴从 GaSb 发射区隧穿进入 InAs 阵中并在通常意义上要保持  $E$  和  $k_\perp$  的守恒，对供给函数的几何估算，只需

改变图 5.4 中的发射区色散关系。这种复式结构相当于 [江崎(Esaki)] 隧道二极管型的 RT，其好处在于在  $V_p$  之外的带隙阻挡，由于  $V > V_p$  的发射区态排列在 InAs 阵中的带隙中，如图 5.7(b) 所示，结果，由杂质辅助的  $k$  非守恒地进入阵中的隧穿被完全抑制，消除了谷电流中的主要部分(带的排列和标准的隧道二极管类似)。尽管在中等大小的峰值电流密度下，复式结构取得了非常好的 PVR，而且由于带隙阻挡机制和阵中的子带量子化是相互独立的，以及 InAs 的电子有效质量很小， $m^* = 0.023m_e$ ，无需损失 PVR<sup>[22]</sup> 即可实现极宽量子阱 ( $L_w \approx 1000 \text{ \AA}$ ) 的 RT 设计。

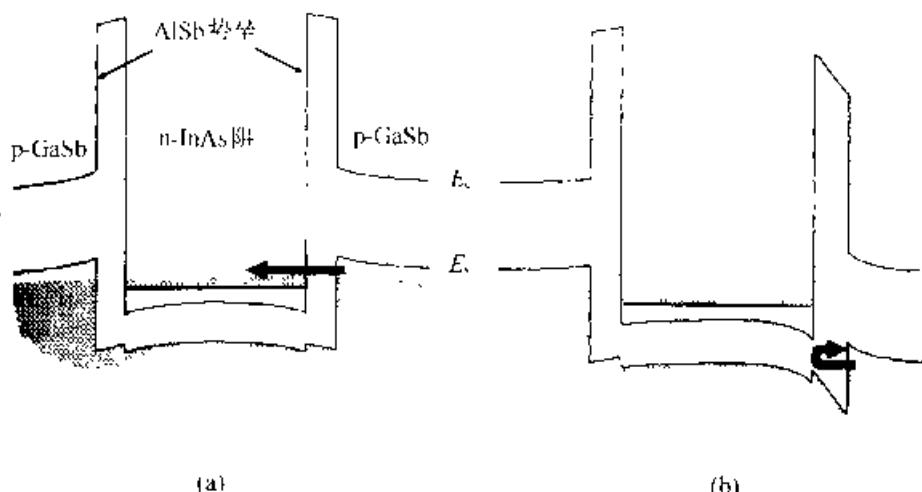


图 5.7 复式 GaSb/AlSb/InAs RT 结构的势能图 (a) 接近平带；(b) 大偏压 ( $V > V_F$ ) 时。箭头标出了 GaSb 中的空穴隧穿进入 n-InAs 量子阱的隧道电流。在(b)中共振隧穿被 InAs 的带隙所阻塞(引自 Beresford 等的参考文献 22])

与 III-V 族化合物半导体同步，RT 结构也采用了  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  异质结构<sup>[23]</sup>，除了具备高质量的衬底和氧化层外，由于硅基量子效应器件具有与主流硅技术相集成的能力而引起人们的兴趣。但不幸的是，锗含量高时，外延  $\text{Si}_{1-x}\text{Ge}_x$  层的晶格失配大，并且可用的带隙差相当小：在 Si 衬底的应变 RT 结构中，价带有一势垒  $V_c \approx 200 \text{ meV}$ ，而导带没有合适的势垒<sup>[1]</sup>，由于低的  $V_c$  和  $\text{Si}_{1-x}\text{Ge}_x$  阵中较小的二维子带分离，其重、轻空穴产生了分立子带。至今，尽管液氮温度下已观测到  $\text{PVR} \approx 4$ ，但在室温下在 p-Si<sub>1-x</sub>Ge<sub>x</sub>/Si RT 结构中仍未观测到 NDR<sup>[25]</sup>。结果尽管应变 p-Si<sub>1-x</sub>Ge<sub>x</sub>/Si RT 结构已用于光谱探测各向异性空穴色散和微结构的应力弛豫<sup>[26]</sup>，但要实现与主流技术相集成还有很远的路要走。

至此讨论的全部 RT 结构都是由外延生长一系列层构成的，具有由带隙偏置产生的必需的双势垒异质结构，而这是主要的方面，还有一些研究是制备侧向隧

<sup>1)</sup> 在  $\text{Si}_{1-x}\text{Ge}_x$  衬底(实际上是在 Si 衬底上生长厚的  $\text{Si}_{1-x}\text{Ge}_x$  缓冲层)的应变结构中能够获得导带势垒。在这种 n-Si<sub>1-x</sub>Ge<sub>x</sub>/Si RT 结构中已观察到低温 NDR<sup>[24]</sup>。

穿结构，这种结构是在调制掺杂二维电子气(2DEG)异质结构表面淀积静电栅构成的。通过在栅上加相对于2DEG的电势 $V_0$ ，使栅下的电子被静电耗尽(类似于FET中的栅控)。图5.8示出了侧向RT结构的原理框图。其优点在于，2DEG极好的电子性质，可通过 $V_0$ 调节双势垒。包括通过分开的栅调制两个势垒以控制势垒的非对称性，以及和FET技术兼容的平面器件布局。其主要缺点是，在2DEG的平面内，静电产生的约束势相对较弱，金属栅间的最小几何间距由光刻的极限决定，远远超过了外延技术所能达到单层控制。进一步，无论表面栅的几何形状怎样，双势垒参数 $L_B$ 和 $L_w$ 都无法缩小至比间隔层的厚度低(见图5.8)。最后，由于约束势来源于自洽静电势，在2DEG平面内产生的高的 $V_0$ 势垒正比于势垒的厚度 $L_w$ ——高势垒相应需要增加厚度。这样，由静电栅产生的侧向RT结构的I-V特性只能在液氦温度下显示出弱的NDR<sup>[23]</sup>。如果采用某种能使侧向RT结构中的约束势垒变窄的方法，将可能出现有趣的器件。下节将介绍外延再生长方法的利用。

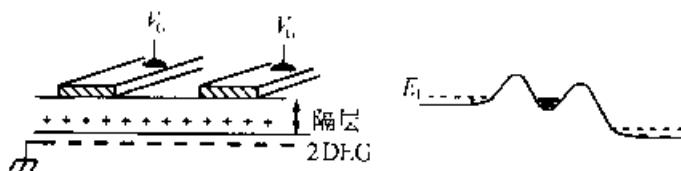


图5.8 横向RT结构的示意图，包括器件的布局和2DEG平面内的电势分布。

光刻精度和隔层厚度限制了可能获得的势垒和阱的宽度

### 5.2.3 三端RT结构

前述的所有双势垒RT结构都是二端器件，适用于振荡和倍频电路，但难以用于更通用的电路。已经尝试了许多种在RT结构中附加第三端以控制I-V特性的方案，其中既有使用类似于双极晶体管的小电流控制方案，又有使用类似于FET的栅电压方案。

电流控制的三端RT结构包括一个与量子阱分离的接触，能够提供或接收足够的“基极”电流来调节二维子带 $E_n$ 和发射区 $E_F$ 的对准。原则上，基极电流的极性可以和隧穿载流子的荷电相同或相反。 $n$ 型双势垒RT器件的双极结构能带图示于图5.9，它具有和 $p$ 型量子阱分离的接触。由于改善了控制基极电流和隧穿电子电流之间的绝缘性以及制作方面受到的约束，这种结构比单极的情形优越。如图所示，由于阱的掺杂类型相反<sup>[24]</sup>，较易形成窄量子阱的接触面不会与周围的发射区和集电区短路(见图5.9)。如果RT结构的偏压接近于 $V_P$ ，则小股的空穴电流会使二维子带低于发射区的占据态，从而使集电极电流 $I_C$ 截止，产生负跨导。

如图5.9所示，电流控制的三端RT结构的主要限制是其等效基极电阻。为了产生大的二维子带分离和相应I-V特性中强的NDR，量子阱的宽度 $L_w$ 必须

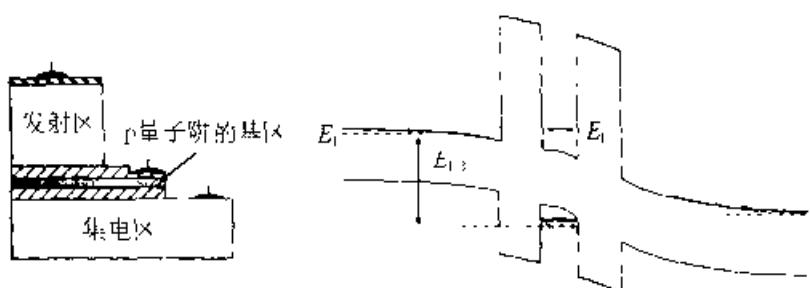


图 5.9 p 型基区具有独立电极接触的 RT 结构的剖面图和能带图

小。同时横向基区电阻  $R_B$  与  $L_w$  成反比。对于一个实际的有竞争力的高速器件，设基准点为 1ps，从发射区-阱或集电区-阱电容充电过程可以估计  $R_B C$  延迟时间：

$$R_B C \approx \epsilon_s L^2 R_s / L_B \quad (5.19)$$

其中  $\epsilon_s$  是半导体的介电常数； $L$  是由光刻分辨率限制的器件的横向特征尺寸，在可预见的未来，有  $L \geq 500 \text{ \AA}$ ； $L_B$  是发射区或集电区势垒的厚度； $R_s$  是基区的薄层电阻 [ $R_s = (qn_B\mu)^{-1}$ ]，其中  $\mu$  是多数载流子的迁移率， $n_B$  是单位基区面积下的电荷密度。对于阱-集电区电容，由于存在如图 5.4 所示的未掺杂集电区隔层，势垒厚度  $L_B$  可能增大，但是阱-集电区隔层增加到  $1000 \text{ \AA}$  以后引入的传输延迟将达 1ps 的数量级。由公式(5.19)可知， $R_s$  的限制值约为  $10^3 \Omega/\square$ 。如同异质结双极晶体管，重掺杂的量子阱似乎能解决各方面的问题，但由于陡变的二维量子化需要窄的量子阱  $L_w \approx 100 \text{ \AA}$ ，要达到  $R_s \leq 10^4 \Omega/\square$  的重掺杂还存在一些问题。首先，如图 5.9 中所示，空穴可以从量子阱隧穿进入发射区，所构成的电流，无论二维子带是否与发射区态对准都将随发射区-阱的偏压增加而增加，换句话说，非共振电流成分将降低 PVR。重空穴  $m'$  使相应的隧道穿透减小，但是如果阱中空穴密度超过电子供给函数几个数量级，非线性的  $I-V$  特性将完全消失。第二，量子阱中存在的高杂质密度引入了大量的散射，使子带能级展宽的值  $\Delta E_n$  要远大于由隧穿出势阱的寿命所决定的能级展宽。于是具有分离量子阱接触的三端电流控制器件，在复式 GaSb/AISb/InAs RT 结构上非常成功，其中隧穿电流的带隙阻挡及 InAs 阵中的低  $m'$  使得即使在极宽的量子阱 ( $L_w \approx 1000 \text{ \AA}$ )<sup>[22]</sup> 中仍有好的 PVR。在讨论热电子器件时我们将遇到同样的结构，它不需要阱中量子化，其工作依赖于电子从发射极到集电极的弹道输运。

有趣的是，带有分离量子阱接触的类似的垂直结构可用于制备单极、电压控制隧道晶体管——其基本上是通过量子阱的设计来实现集电极的功能。考虑如图 5.10 所示的能带图，其中第二势垒设计得又高又宽，使电子不能隧穿出阱。在量子阱接触上加偏压，在一定的发射区偏压  $V_F$  下，隧穿进入阱中的电流可用公式(5.16)计算：它依赖于二维子带  $E_1$  和发射区  $E_F$  的对准。这一电流是从阱的横向引出的。实现三端工作是通过在另外的电极上施加偏压，而栅压  $V_G$  则通过两种方法改变  $E_1$ (参见图 5.10)。方法一是第二势垒中的电场改变量子阱的等效势能约

束<sup>[30]</sup>，在  $V_G=0$  的位置，使  $E_1$  下移。第二，由于量子电容效应，阱中的 2DEG 并不完全屏蔽  $V_G$  所感应的电场<sup>[31]</sup>。后者是泡利不相容原理的结果，即不可能有两个电子占据同一量子态。因此，电子要填充给定的态密度需要额外的动能，在低温下，阱中的二维态密度产生的单位面积的量子电容为：

$$C_Q = m^* q^2 \cdot \pi h^2 \quad (5.20)$$

结果，在能量上有助于一部分  $V_G$  感应的电场进入发射区势垒，在发射区感应出额外的电荷，并改变了  $E_1$  与发射区的占据态对准。量子电容的重要性依赖于  $C_Q$  和几何电容  $C^{(1,2)} = \epsilon_s L_B^{(1,2)}$  的相对大小，其中  $L_B^{(1,2)}$  是图 5.10 所示的势垒厚度。在低有效质量的 RT 结构中，由量子电容引起的栅控可起重要作用。而且对于固定的  $V_F$ ，可得到负跨导  $g_m = dI_E / dV_G < 0$ ，这时的栅压  $V_G$  使  $E_1$  低于发射极中占据态底并且由于  $k_1$  的守恒使隧穿电流截止。这和标准 RT 二极管中的情形一样。制作这类晶体管的主要障碍在于制备与量子阱有良好的横向接触且保持大的栅电容  $C^{(2)} = \epsilon_s / L_B^{(2)}$ ，同时又不引入大的栅泄漏。迄今为止，低温下已实现栅控隧穿<sup>[32]</sup>，但因跨导太小使得这类结构还难以实用。

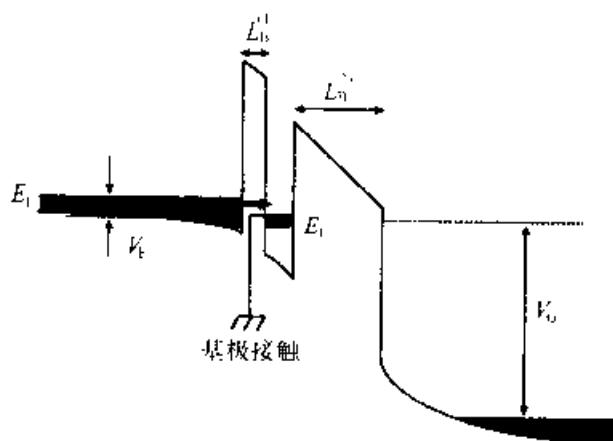


图 5.10 三端 RT 结构的能带图。其晶体管特性是基于量子电容和  $V_G$  感应使二维子带  $E_1$  相对于所占据的发射区态而降低的。箭头指出了横向通过量子阱的隧道电流

实现三端 RT 结构的另一种方法是利用侧墙栅电极的电压控制法，侧墙电极与标准 RT 结构中的有源区相邻，具有足够小的横向扩展长度  $L$ ，这使得栅偏压  $V_G$  能够有效地控制  $I-V$  曲线。外延生长出的垂直柱状 RT 结构使制备相当困难。替代方法之一是利用 n 型 RT 二极管顶上的金属接触作为掩模<sup>[33]</sup>自对准进行 p 型注入，结果在 RT 的有源区平面内形成一个横向 p-n 结（参见图 5.11）。反向偏压可从侧面耗尽 RT 结构，控制其有效的电学尺寸。除了栅泄漏电流外，这种方法的困难在于横向断续的注入成为影响亚微米横向器件的直径  $L$  的因素。另一种替代方法是在近邻 RT 二极管旁自对准淀积平面内的金属肖特基栅<sup>[34,35]</sup>。肖特

<sup>30</sup>) 已有在低温下工作的，采用氧化层隔离栅电极的 p-Si<sub>1-x</sub>Ge<sub>x</sub>/Si 三端 RT 晶体管的报道<sup>[30]</sup>。

基电极上的栅压  $V_G$  可以用于耗尽 RT 结构的等效横向尺度<sup>[35]</sup>。通过采用 RT 柱底部切割分布的办法避免栅和顶部接触的短路，如图 5.11(b) 所示。利用该结构已制成了室温下可控  $I-V$ <sup>[36]</sup> 的 GaAs/AlGaAs 条状 RT 器件其  $I-V$  曲线示于图 5.11(c)，在合理的小栅-漏电流下实现了栅控的共振  $I-V$  峰。所观察到的随着  $V_G$  的增加峰值的位置  $V_P$  向较高偏压方向的移动，但其原因尚无确切的解释。 $V_G$  所感应的横向电场分布在未掺杂的有源区和掺杂的发射区是不相同的，发射区  $E_F$  和量子化子带  $E_n$  的相对对准改变了，但接触电阻仍起作用。除非直径非常小，图 5.11(a、b) 中所示的侧栅部分将使等效跨导  $g_m$  减少，其结果是，尽管采用了栅电极技术，仍加大了制备工艺的难度。

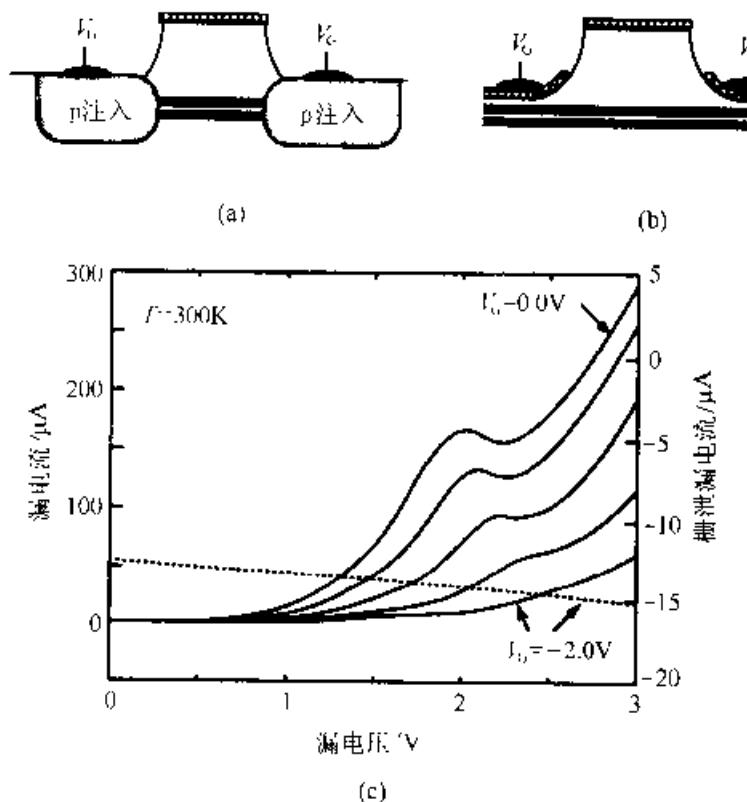


图 5.11 三端栅控 RT 结构。(a) 注入 p-n 结构栅；(b) 肖特基金属栅；(c) 三端肖特基栅控 GaAs/AlGaAs RT 器件的室温  $I-V$  特性 该器件的几何尺寸为  $10\mu\text{m} \times 0.7\mu\text{m}$ ,  $V_G$  从 0 增加到 2.0V, 步长为 0.5V。虚线示出了  $V_G=2.0\text{V}$  时的栅-漏电流(引自 Kolagunta 等的参考文献[36])

对于 GaAs/AlGaAs 系统的外栅标准 RT 结构，一种以前提出过的结构示于图 5.12<sup>[37]</sup>。在原始外延层之上形成双势垒层，但在有源区的两侧有很大的未掺杂隔层。这些隔层的作用是在低源-漏电压下，阻止 RT 电流流过体内。在双势垒层上刻蚀出一定角度的表面，并沉积上 AlGaAs 栅绝缘层，随后形成金属电极。和具有通常的近三角势  $V(r)$  标准的 FET 一样，正栅压  $V_G$  在未掺杂的 GaAs 中感应出 2DEG。在图 5.12 中，我们假设对于中等密度的 2DEG 只有最低的子带  $E_1$  被

占据。在阱中，在电流流动的 $z$ 向的AlGaAs双势垒势 $V(z)$ 和栅下FET的约束势 $V(x)$ 下共同产生子带量子化，于是最低的子带 $E_1'$ 位于2DEG的费米能级之上。2DEG低于或高于双势垒电势的电位差 $V$ ，将产生遵循通常 $E$ 和 $k_\perp$ 守恒的隧穿电流，供给函数可由前述的方法决定，惟一的差别是守恒的 $k_\perp = k$ ，描述的是沿量子线方向的一维自由运动。结果可得到与标准两端RT二极管类似的尖锐的非线性 $I-V$ 特性，而这是在有效的栅控下获得的。

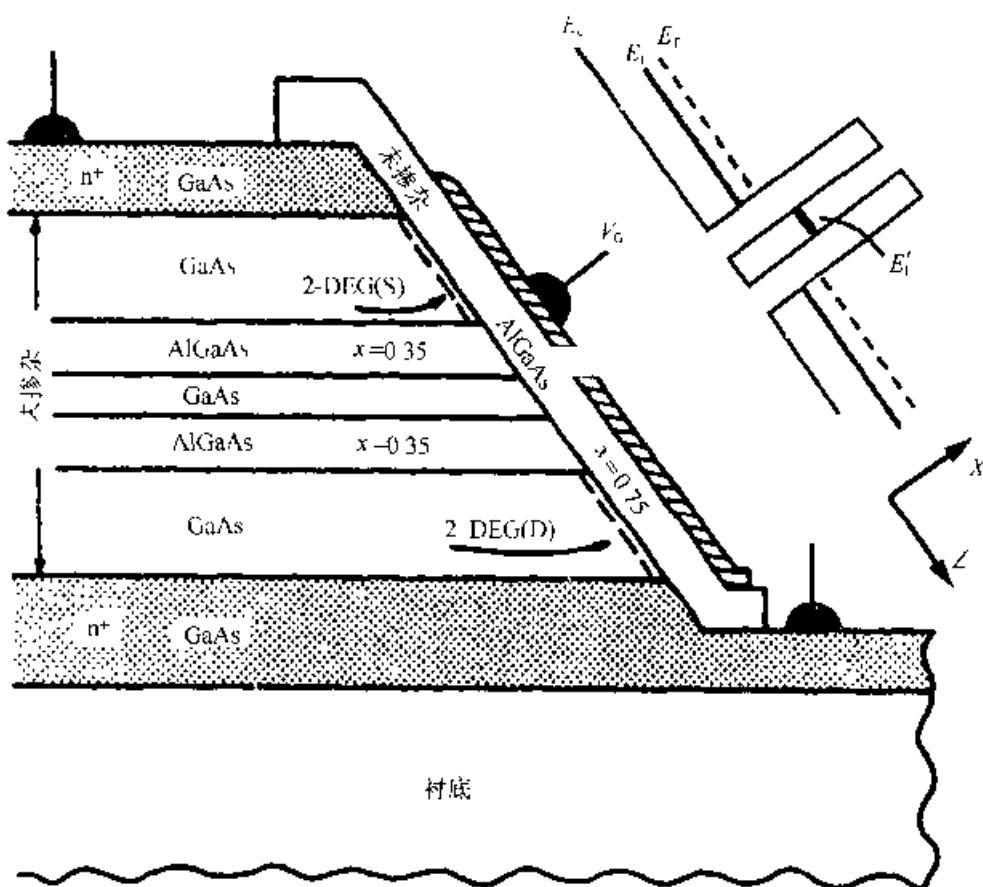


图 5.12 栅控二维 RT 晶体管的剖面图和能带图，电流的传输由二维电子隧穿通过一维量子线的子带。倾斜表面的二维电子气以及子带  $E_1'$  与发射区二维电子气的对准都是由栅压  $V_G$  控制的(引自 Luryi 和 Capasso 的参考文献[37])

图 5.12 示出了栅压  $V_G$  控制发射区 2DEG 的密度，即 RT 电流的大小。更有趣的是， $V_G$  还可用于调节  $V_B$ ，这是由于边缘电场穿透进入了双势垒区，对于同样的源-漏电压  $V$ ，使  $E_1'$  相对于  $E_F$  发生移动。结果，可实现  $g_m < 0$ 。如果忽略集电区 2DEG 耗尽，则静电问题可简化为一个间距为  $2L_B + L_W$  的平行板电容器，其电场分布可由保角度变换方法准确求得<sup>[37]</sup>。可直接计算出跨导的数值，并且，只要栅绝缘层足够窄， $V_G$  几乎可和源-漏电压  $V$  一样有效地控制发射区 2DEG 和一维子带  $E_1'$  的相互对准。在实际的器件中，在集电结附近的 2DEG 可能耗尽，使得在给定的  $V_G$  下，阱平面中的边缘电场变小，于是跨导降低<sup>[39]</sup>。

图 5.12 所示的三端结构在制备上的最困难之处是，需要在已生长好的外延结构上形成能满足 2DEG 要求的清洁表面。用最常见的刻蚀方法刻蚀双势垒结构以及在其后的外延生长栅层的过程中会出现界面的氧化(尤其是在含 Al 的势垒层中)。利用解理面的再生长<sup>[40]</sup>在实验上已获成功，其中在生长室中，先利用物理的方法使已生长的异质结构解理，随后在已解理的边缘上淀积 AlGaAs 绝缘层，这种器件在不同  $V_c$  下的  $I-V$  曲线示于图 5.13(a)(这种结构和图 5.12 所示略有不同，在再生长过程中进行了一定的调制掺杂，以使在  $V_c=0$  时仍能产生 2DEG，构成了一个“耗尽模式”的晶体管)。如图 5.13(b)所示，在液氮温度下确实看到了负电导，并且实现了室温下的工作，更重要的是，用其它技术手段制作的这类器件，如原位刻蚀及随后的在真空中转入外延室等方面也已有报道。

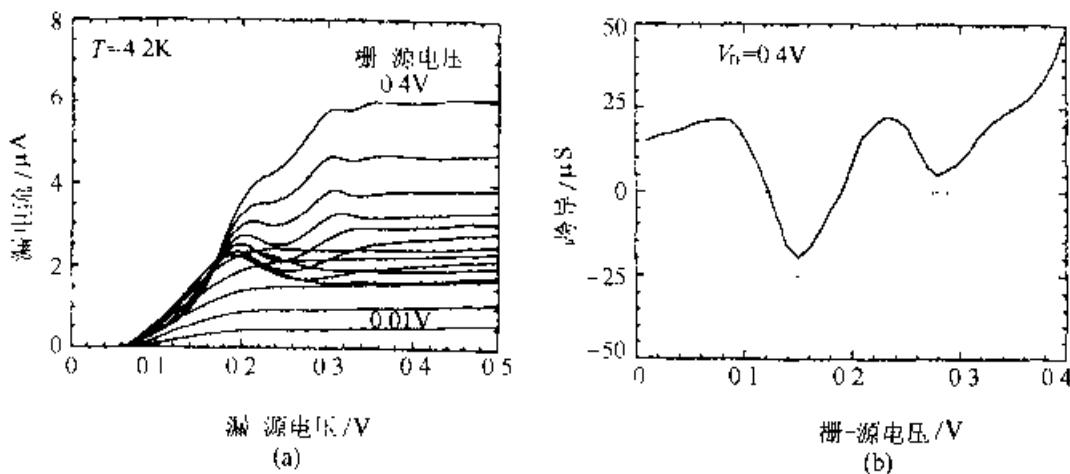


图 5.13 (a)  $T=4.2\text{K}$  时，由楔形边缘过生长形成的栅控二维 RT 器件的三端  $I-V_D$  特性，栅偏压  $V_c$  变化的步长为  $0.03\text{V}$ ；(b)  $V_D=0.4\text{V}$  时的跨导曲线、器件的宽度为  $300\mu\text{m}$   
(引自 Kurdak 等的参考文献[41])

除了前面所介绍的各种三端 RT 器件所面临的一些制备上的问题外，所报道的负跨导是否真的能够应用于计算尚不清楚。尽管已有研究指出，原则上这类器件可按互补方式工作<sup>[41, 42]</sup>。但至今仍没有和 CMOS 反相器类似的 RT 电路制备成功，困难在于实际上互补 CMOS 器件的电流是由极性相反的载流子构成的。这使得可以把两个晶体管的漏连接在一起，而不仅是将源和另一个的漏相连。考虑如图 5.14 所示的 CMOS 反相器逻辑，n 型晶体管的源接地，p 型晶体管的源接  $V_{DD}$ ，并且相同的输入电压  $V_{IN}$  同时加在两个晶体管的栅上。随着  $V_{IN}$  的增加，n 型晶体管中的电流增加而 p 型晶体管中的电流却减少。当输入在高和低电压之间转换时，n 型和 p 型这一对晶体管一个导通另一个截止。当 n 管截止时，输出电压转换到  $V_{DD}$ ，而当 p 管截止时，输出电压转换到地。如果输入稳定，在地和  $V_{DD}$  之间无电流通路，于是电路的功耗很小。另一方面，在开关转换的过程中，晶体管开启为输出节点的充放电提供了必需的传输电流。需注意的是，输出是和两个晶体管的漏极相接的。

利用如图 5.13 所示的三端 RT 结构的负跨导特性, CMOS 对中的两个晶体管似乎可直接用 RT 器件替代。但不幸的是, 并不总是具有足够的互补极性的跨导去实现 CMOS 功能, 至少不足以直接的方法。在 RT 器件中, 电流与发射区和量子阱中的态密度的对准有关, 即与发射区偏压  $V_E$  有关。如果图 5.14 中的 p 沟器件用具有负跨导的 n 型 RT 器件替代, 其发射区偏压本身将在高态和低态之间变化, 而非维持一个恒定的电位。换句话说,  $V_{IN}$  与  $V_{OUT}$  有关而不是仅与  $V_{TD}$  有关, 因而很难设计有用的电路。

#### 5.2.4 级联的 RT 和超晶格型结构

单一双势垒 RT 结构的  $I-V$  特性随着量子化二维子带  $E_n$  数目( $n$ )的不同, 具有一个或多个共振电流峰。在 RT 器件的一些应用中, 要求有多峰的  $I-V$ , 而且电流的峰值在数值上要近似相等, 电压也应都是有规律地相隔  $\Delta V_P$ 。对于一个典型的 RT 结构, 上述两个条件都无法满足, 这是因为子带的分离( $E_n - E_{n-1}$ )随  $n$  改变, 于是峰值电压  $V_P^{(n)}$  的间隔是不均匀, 而且由于发射极透射系数  $T_E$  随势垒高度的下降而指数性增加, 峰值电流随  $n$  增加也很快。然而, 所需的  $I-V$  特性, 可通过一级联的 RT 结构获得, 其中  $N$  个双势垒逐层外延在另一个之上。如果这些 RT 势垒间由掺杂层隔开, 则其对应的能带图如图 5.15 所示。其上所加的总偏压  $V$  的分布可用自洽的方法算得, 同时还需要 RT 二极管在偏压大于阈值( $V \geq NV_{th}$ )后的电流连续条件。随着  $V$  的进一步增加, 其中一个二极管的偏压将大过  $V_P$ 。在一个完善的结构中, 由于 RT 量子阱中动态电荷的积累, 在阳极会出现偏压大于  $V_P$  的情况。实际上, 量子阱厚度  $L_w$  的变化, 或覆盖层的掺杂可能使 RT 二极管中的某个具有比其它二极管低的  $V_P$ 。无论哪个 RT 二极管首先脱离共振, 对于偏置电路, 都会立即出现一个大电阻, 并且在总的  $I-V$  特性上出现一个 NDR 区。关键的问题是, 如果  $V$  仍进一步增加, 电流连续性会使得几乎所有增加的部分都降在了非共振的二极管上, 直至该二极管通过下一个二维子带  $E_2$  开始导通, 这种情况示于图 5.15。随后这种情况可在其它二极管上重复, 结果使得由二极管偏压进入第二共振峰的高场畴逐渐扩展至整个结构。随着每一个二极管的偏压脱离共振,  $I-V$  特性上便出现了一个又一个的电流峰, 总共  $N$

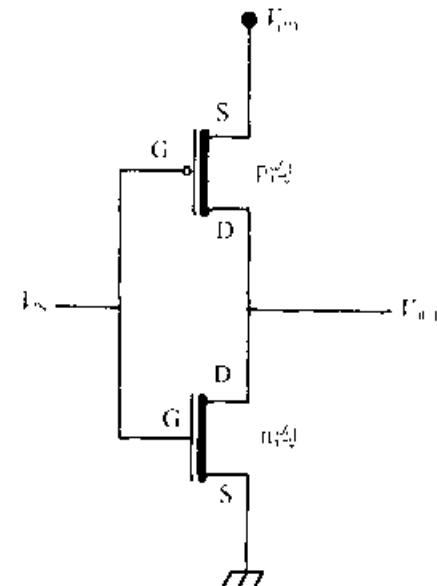


图 5.14 CMOS 反相器的原理。上、下晶体管分别为 p 沟和 n 沟器件。输入电压  $V_{IN}$  同时加在两个晶体管的栅上, 由某一晶体管的导通决定输出  $V_{OUT}$  分别为高( $V_{OUT} = V_{DD}$ )或低( $V_{OUT} = 0$ )。由于在  $V_{DD}$  和地之间无电流通路, 所以功耗可以忽略(开关过程中的功耗除外)

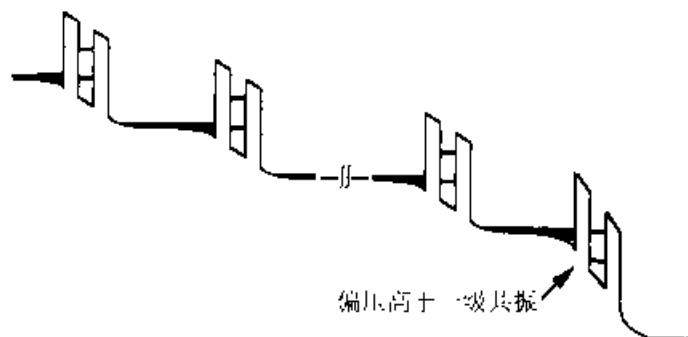


图 5.15 总偏压  $V$  足以使最后一级 RT 二极管脱离  
级共振时的级联 RT 结构的能带图

个峰值，它们的  $V$  的间隔几乎是相等的。

这种方法中最多可级联的二极管数与  $I-V$  特性中所要求的 PVR 有关。对于一个给定的 RT 二极管，当其偏压超过  $V_p$  后，其它二极管的作用好像是一个串联电阻  $R_s$ 。如前面在讨论双稳特性时所述，随着  $R_s$  的增加， $I-V$  特性上出现滞回线。如果  $R_s$  足以使  $V_p$  偏离 NDR 区，它也会使 PVR 降低。通过优化设计 RT 结构以提高峰值电流密度  $J_p$  和 RT 区及覆盖层的掺杂（这样由于增加了杂质散射从而降低了单个二极管的 PVR。但由于各二极管是串联的，同时也降低了  $R_s$ ），可级联许多 RT 二极管<sup>[43]</sup>。一个  $N=8$  的级联 RT 结构，室温下的  $I-V$  曲线示于图 5.16。 $I_p$ ，电压间隔和 8 个电流峰的 RVR 之间的差异不大，其差异主要是由于外延生长过程中势垒或势阱层的单层波动引起的。

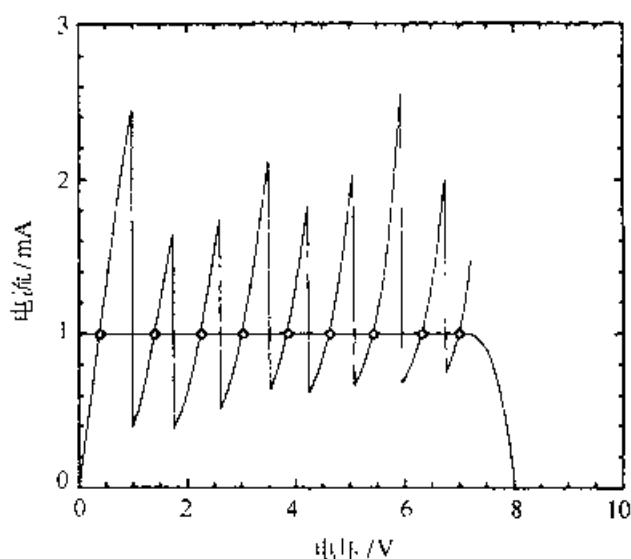


图 5.16 串联二极管数  $N=8$  的级联 RT 结构，室温下的  $I-V$  特性。器件面积为  $32\mu\text{m}^2$ ，叠加在  $I-V$  曲线上的是负载线。这时器件的偏置条件为稳定工作点开环  
下的 FET 恒流源（引自 Seabaugh 等的参考文献[43]）

如果在不同 RT 量子阱中的量子化子带是可以相互作用的, 例如通过去掉图 5.15 中的掺杂覆盖层, 使之成为一个周期为  $d = L_B + L_W$  的超晶格(SL), 如图 5.17 所示。考虑沿 SL 的  $z$  向的波函数  $\Psi(z)$ , 如果势垒是无限高的, 即  $V_0 \rightarrow \infty$ , 我们只是得到了孤立的量子阱。这些量子阱中包含着由波函数  $\chi_n^{(m)}(z)$  所描述的通常的量子化能级  $E_n$ , 其中  $m$  对应于各量子阱。由于  $\chi_n^{(m)}(z)$  并不透入势垒, 包括自旋时每个二维子带具有  $2N$  个简并态。如果势垒高度是有限的, 根据公式(5.3), 波函数  $\chi_n^{(m)}(z)$  透入势垒, 使得相邻阱中的波函数相互作用。前面所说的简并能级  $E_n$  将展成宽为  $\Delta_n$  的微带。在半导体体内, 根据 Bloch 理论, 一个电子态可由一个平面波和一个与晶格势同周期的函数的乘积来描述。同样在超晶格中, 在第  $n$  微带的态可由周期为  $d$  的波函数  $\varphi_n^{(m)}(z) = \varphi_n(z - md)$  乘以一个平面波的线性组合来描述。<sup>[44]</sup>

$$\Psi_{k_z}(z) = \sum_{m=1}^N e^{ik_z m d} \varphi_n^{(m)}(z) \quad (5.21)$$

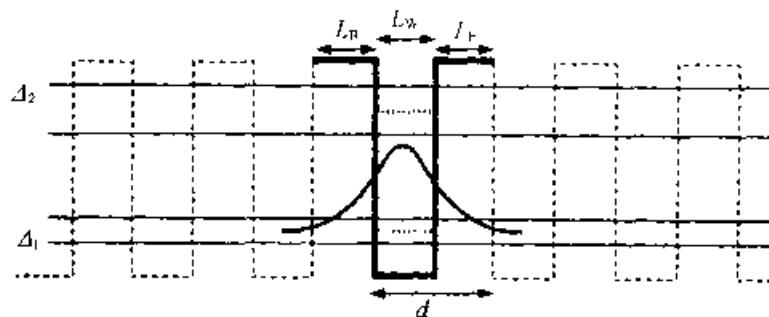


图 5.17 超晶格能带图。图中示出了能级  $E_n$  展宽进入了微带, 其展宽为  $\Delta_n$ 。超晶格周期  $d = L_W + L_B$ 。点线示出了由第  $m$  个势阱(图中的粗线)约束形成的最低的两个能级; 图中还示出了相应的波函数  $\chi_n^{(m)}(z)$ 。用于计算微带色散的电势  $V_0(z)$  由虚线所示, 除第  $m$  阵外, 它还包括了全部的阱

式(5.21)是 Bloch 理论在超晶格中的应用, 只要  $\Delta_n \ll (E_n - E_{n-1})$ , 作为一个好的近似,  $\varphi_n^{(m)}(z)$  由  $\chi_n^{(m)}(z)$  的组合构成。对于一定范围内的势垒参数  $V_0$  和  $L_B$ , 只是相邻阱间的相互作用显著, 式(5.21)中的周期部分可采用普通单势阱的波函数  $\chi_n^{(m)}(z)$ <sup>1)</sup>, 于是问题便大为简化。沿 SL 轴向运动的色散  $E(k_z)$  为:

$$E_n^{\text{SL}}(k_z) = E_n + S_n + 2T_n \cos(k_z d) \quad (5.22)$$

其中偏移积分  $S_n$  定义为:

1) 这是紧束缚近似, 在势垒宽度不是很窄时, 该近似能够合理地描述半导体超晶格。不同阱中的波函数  $\chi_n^{(m)}$  并非严格正交, 利用式(5.22)只是表明  $\chi_n^{(m)}$  和  $\chi_n^{(m+1)}$  间的交叠可以忽略。

$$S_n \equiv \int \chi_n^{(m)}(z) V_n(z) \chi_n^{(m+1)}(z) dz \quad (5.23)$$

传输积分  $T_n$  为：

$$T_n \equiv \int \chi_n^{(m)}(z) V_n(z) \chi_n^{(m+1)}(z) dz \quad (5.24)$$

在计算偏移和传输积分的公式(5.23)、(5.24)中所用的势  $V_n(z)$  包括除第  $m$  个势阱外的所有势阱(参见图 5.17)。由公式(5.22)得第  $n$  微带的宽为  $\Delta_n = 4T_n$ 。所允许的  $k_z$  值可由公式(5.21)中隐含的周期性边条件得到：即  $k_z = 2\pi p/Nd$ ，这里  $p = 0, 1, 2, \dots, (N-1)$ ，所以每个微带正好包含  $2N$  个态。

沿 SL 方向运动的最低微带的色散示于图 5.18(a)，SL 的态密度，包括由  $k_z$  描述的横向自由度示于图 5.18(b)。显然，沿 SL 的有效质量  $m^* = \hbar^2 (k_z^{-1} \partial E / \partial k_z)$  强烈依赖于  $k_z$  的变化：从“带边”的值  $m_{SL}^* \equiv m^*(k_z=0)$  开始，随着  $k_z$  的增加，质量变重，在  $k_z = \pi/2d$  [ $E(k_z)$  的拐点，见图 5.18(a)] 处发散，随后成为负的。

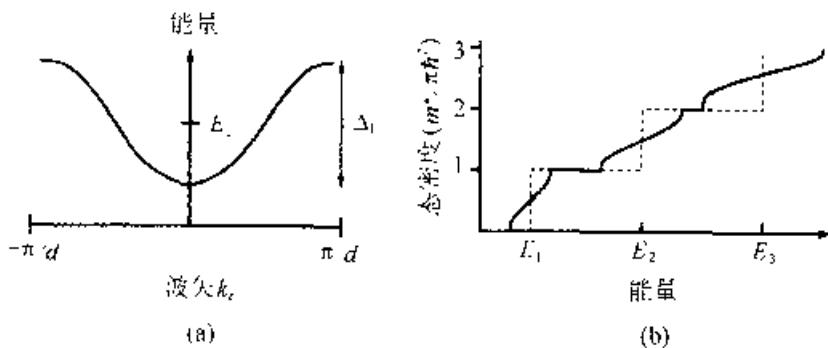


图 5.18 (a) 超晶格微带色散模型；(b) 相应的态密度。

为了便于比较，图(b)中的虚线示出了二维带密度

如果在沿 SL 方向上加一常数电场  $e$ ，而且不存在散射，运动的半经验公式  $h(\partial k_z / \partial t) - qe$  意味着  $k_z$  随时间线性变化，由于  $v(k_z)$  是周期性的，所以载流子作振荡运动。在到达微带边缘  $k_z = \pi/d$  处后，受 SL 周期势[参见图 5.18(a)和问题 9]的作用被布拉格反射到  $k_z = -\pi/d$ 。这类 Bloch 振荡存在于任意周期势中，包括半导体的品格  $a_s$ 。在半导体内观测不到这种振荡，这是由于在完成一个振荡周期之前，通常碰撞已使载流子返回带底，即对于实际的电场  $e$ ，散射时间  $\tau$  没有足够的长，需要周期为  $d \gg a_s$  的周期势以放松对  $\tau$  的约束。以前提出的高频超声波穿透进入半导体是实现这类势的一种可能的方法<sup>[1]</sup>，是由 Esaki 和 Tsu 首先提出了超晶格的方案，它开创了异质结构能带工程的新纪元<sup>[16]</sup>。在那篇著名的论文中，当电子在色散关系如式(5.22)所描述的一维超晶格中运动时，有限散射时间  $\tau$  对平均漂移速度  $v_D$  的影响可用经典的方法计算如下：

$$v_D = \int_{t=0}^{\infty} e^{-\tau t} a(t) dt \quad (5.25)$$

其中,  $a(t) = a[k_0(t)]$ , 为微带电子沿超晶格方向的加速度。利用公式(5.22)的紧束缚近似, 他们得到了用  $\epsilon'$ 、 $\tau$ 、SL 的周期  $d$  及  $m_s$  表示的  $v_D$ (参见附录 5.b):

$$v_D = \frac{\hbar}{m_s d} \cdot \frac{\xi}{1 + \xi^2} \quad (5.26)$$

其中  $\xi = q\epsilon'\tau d/\hbar$ ,  $\xi = 1$  处, 即电场  $\epsilon' = \hbar/q\tau d$  时平均漂移速度为峰值。过了这点,  $\epsilon'$  的增加使  $v_D$  下降, 这是由于从平均的角度看, 越来越多的载流子将进入  $E(k_0)$  的负质量区。其结果是  $I-V$  特性必然出现 NDR。

尽管简单地看起来好像是增加电场即可出现 NDR, 但实际上并非如此。在高电场时, 前述的分析不再成立, 由于齐纳隧穿, 单一态近似不再成立。然而观测到 NDR 所需的对  $\tau$  的限制确实比出现 Bloch 振荡下的  $\tau$  要放宽  $2\pi$  倍(参见问题 9)。无论如何, 已证实这些效应在  $I-V$  测量中是不确定的, 其原因在于散射、不同微带中的齐纳隧穿, 尤其是与流过 SL 的非线性电流有关的由空间电荷的不稳定所形成的电场畴<sup>[47]</sup>。为此, 尽管 SL 输运中已观测到  $I-V$  的非线性, 并归因于载流子移动进入了色散关系的负质量区<sup>[48]</sup>, 但这种非线性至今仍未用于器件。

至此, 在我们的讨论中考虑的都是弱电场  $\epsilon'$ , 载流子主要是沿 SL 非局域化, 并且遵从式(5.22)的色散关系。在强场下, 第  $n$  微带分裂成一系列分立的能级, 能量间隔为  $q\epsilon' d$ , 波函数分布在不同阱的中心并扩展到  $\Delta_n/q\epsilon' d$  个周期<sup>[49, 50]</sup>。它称之为 Wannier-Stark 阶梯态[参见图 5.19(a)], 这在各种  $\epsilon'$  值下都可形成, 但只是在相邻阶梯态间满足:  $q\epsilon' d > \hbar/\tau$  时才有物理意义, 这又是 Bloch 振荡的判据。一旦 Wannier-Stark 波函数态的扩展小于  $N$  个周期, 它们将不能从超晶格的一端到达另一端。为了产生 DC 电流, 必须存在某些散射过程。一直维持小的电流, 直到  $\epsilon'$  进入到不同微带产生的 Wannier-Stark 态共振时, 微带是被约束在单个阱中<sup>[51]</sup>:  $q\epsilon_j d = E_j - E_1$ , ( $j = 2, 3, \dots$ )。对于这些精确定义的  $\epsilon_j$  值, 通过一系列相邻阱中不同 Wannier-Stark 态间的隧穿后弛豫到较低态上, 可有电流流过[见图 5.19(b)]。忽略 SL 之外可能存在的串联电阻,  $I-V$  曲线将在  $V = Nq\epsilon_j/d$  处出现峰值, 接着是 NDR 区, 其中电流的流动再次需要散射或某种非弹性机制。

后者特别有意思的是, 在  $\epsilon' > \epsilon_s$  区域中的光子发射。这是十几年前 Kazari-nov 和 Suris 提出的一种电压可调节的产生激光的系统<sup>[51]</sup>。其原理示于图 5.19(c), 其中光子能量为  $\hbar\omega = q(\epsilon' - \epsilon_s)d$ , 通过所加偏压和选择适当的 SL 参数可在红外区实现调节。其激发的可能性和在  $V = Nq\epsilon_s/d$  处观察  $I-V$  峰值, 甚至和低场下观察 Esaki-Tsu NDR 一样存在着相同的问题: 即所有这些机制均要求分布在超晶格中的电场  $\epsilon'$  为均匀的。而同时, 流经 SL 的电流在各个量子阱中引起动态的空间电荷存储产生非均匀的  $\epsilon'$ 。工作在  $I-V$  特性 NDR 区中的器件对电场分解

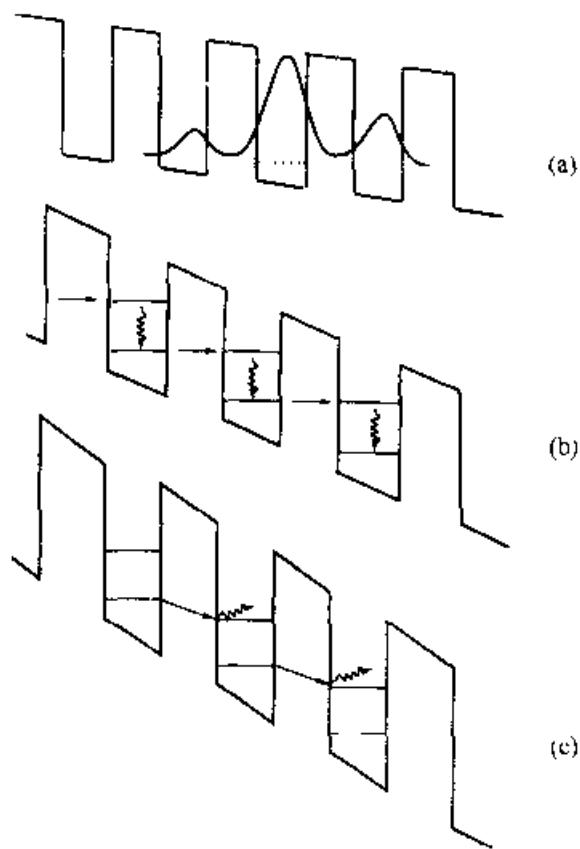


图 5.19 (a) 基本超晶格的能带图, 其中微带分离成为 Wannier-Stark 态, 图中虚线是第  $m$  阵的最低 Wannier-Stark 态  $E_1$ 。图中同时示出了相应的  $\Delta_1/e^2d \approx 3$  的波函数,  $\Delta_1$  为平带下微带的带宽,  $e^2=0$ 。(b) 当相邻阵的激发态和基态相对齐时, 连续隧穿通过超晶格, 从而产生了  $I-V$  特性中的电流峰。竖线代表子带间的弛豫(如通过声子发射)。(c) 由电场调制引起的声子辅助连续隧穿

为高或低场畴尤其敏感<sup>[48]</sup>。基于这一原因, 仍未观测到图 5.19(c)所示的电压控制的光激发, 而且尚不清楚原理上能否实现。另一个问题是实验测量超晶格电流传输中的 SL 和欧姆接触的阻抗匹配, 这在附录 5C 中讨论。

另一方面, 由  $\varepsilon_1$  控制的在相邻阵中不同 Wannier-Stark 态间的对准也可使偏置的 SL 变成激光介质, 如果  $E_2 \rightarrow E_1$  至少在弛豫中的某些部分是辐射的, 由于  $\omega - E_2 - E_1$  是由 SL 的参数控制的, 目前尚没有发现电压可调的辐射。而且由于辐射跃迁中较低的能级需要为下游较高能级提供载流子, 布居反转难以实现。另一方面, 器件不必工作在  $I-V$  曲线的 NDR 区, 于是维持 SL 的邻近周期的均匀对准变得易于实现了。最近, 产生红外激光的一种概念性的器件 — 量子级联激光器(QCL)已经实现<sup>[51]</sup>, 其工作机理是基于改进的 SL 结构中的子带间的跃迁。有关 QCL 的更详细的讨论, 包括其输出特性及克服畴的形成和布居反转的建立所需的结构设计将在第 5.4.4 节中讨论。

### 5.2.5 RT 纳米结构和库仑阻塞

如果宽度为  $L_w$  的双势垒 RT 结构被刻蚀成足够窄的柱或通过横向栅上的偏压使之产生窄的等效尺寸，将出现新的效应。主要是量子阱中横向尺寸量子化的可能性。当今的制备技术所制备的结构其横向尺度只能达到  $L \gg L_w$ ，而栅感应的静电约束势要远低于异质结电势  $V(z)$ ，于是横向量子化将变得很弱。作为一个很好的近似，阱中每一个二维子带  $E_n$  都将产生一系列全量子化的类原子态  $E_{nm}$ ，其中下标  $m$  表明由横向约束势  $V(x, y)$  产生的不同的态。原则上，掺杂的发射区和集电区中可以是同样的横向量子化形成的一维子带。然而，在这些区域中的态由杂质散射引起扩宽，用三维态密度描述它们常是一种好的近似。而且由于带电杂质的屏蔽作用<sup>1)</sup>，发射区和集电区中的约束势要远小于不掺杂阱中的。

由发射区占据态和阱中量子点离散能级的对准而产生的 RT 输运可处理成通常的顺序隧穿体系<sup>[58, 59]</sup>，但具有了新的效应。对于小的尺寸  $L$ ，从发射极向阱中移动单个电子所需的充电能  $U$  将变得很大。忽略充电能的情况示于图 5.20(a)，由于横向约束势  $V(x, y)$  在发射极和阱之间发生了变化， $k_\perp$  不再是守恒量，只有能量守恒作为隧穿的选择定则。随着偏压  $V$  使  $E_{11}$  低于发射极的  $E_F$ ，通过该单一态的隧穿成为可能——这定义了阈值  $V_{th}$ 。在高电压时，开通了附加的隧穿通道，结果使  $I-V$  出现一台阶状的上升阶梯，其电压的间隔对应于能级的能量分离<sup>[59]</sup>。这些台阶的大小依赖于发射极势垒的透射系数  $T(E)$  和  $E_{1m}$  态的简并度，当  $V(x, y)$  近似为抛物型时简并度可能较大。最后，由于当  $E_{11}$  低于发射极占据态时， $k_\parallel$  守恒不再使通过较高的  $E_{1m}$  态的隧穿截止， $I-V$  特性中不再出现 NDR。相反，当能级密度的变化显著时， $I-V$  必将出现非线性，如由第二子带产生的  $E_{2m}$  能级出现时。

从器件的观点看，隧穿进入量子点的图像实用的希望不大。然而，与电子经过一个 RT 纳米结构的输运相联系的充电能  $U$  却很重要。如果  $L$  小，单个电子隧穿进入阱的能量为  $U = q^2/2C_w$  ( $C_w$  为量子点的等效电容)，该能量能够显著地改变  $E_{nm}$  和发射区  $E_F$  的对准。该效应示于图 5.20(b)，从几何尺寸上对该电容的简单估算为  $C_w \approx \epsilon L^2/d$ ，其中  $d$  为等效集电区势垒的厚度（如果忽略集电极电极的耗尽， $d = L_w$ ）。为了有电流流过，至少必须有一个电子隧穿进入量子点。于是由于单电子充电能  $U$  的影响， $V_{th}$  移向高偏压。偏压在其它台阶区的移动与阱中所具有的平均电子数有关，这由发射区和集电区透射系数的比例  $T_E/T_C$  决定<sup>[58]</sup>。若  $T_E/T_C \ll 1$ （对应于偏压  $V > V_{th}$  的对称势垒情况），阱中有多于一个电子的时间很

1) 利用静电势和相应的边界条件可自治求得横向约束势  $V(x, y)$ ，其中边界条件可设为在刻出的柱中，半导体-空气间的界面上的费米能级钉扎或在栅结构中的  $V_0$ （除了在金属栅结构中的肖特基势垒或在注入结构中的 p-n 结自建势）。

少, 对应于附加通道进入共振的  $I-V$  特性台阶将移动  $U$ 。另一方面, 如果  $T_E/T_c \gg 1$ , 每一个有效的能级绝大部分时间被占据, 于是附加通道的开通需要足够的偏压以克服充电能——这称之为隧穿的库仑阻塞。例如, 第二个电流台阶需要所加的  $V$  至少应使  $E_{12}$  降低到发射极  $E_F$  以下  $2U$ , 以克服阱中同时占据 2 个电子所产生的能量势垒。另一个复杂问题是充电能将随电子数的改变而改变, 这是由于量子点中电子-电子相互作用和量子点等效尺寸  $L$  的变化。通过改变偏压的极性, 在同一个非对称双势垒 RT 纳米结构中可以同时实现空 ( $T_E/T_c \ll 1$ ) 和满 ( $T_E/T_c \gg 1$ ) 区, 这种器件已用于探测研究量子点中有或没有电子-电子相互作用的能量谱<sup>[54, 55]</sup>。

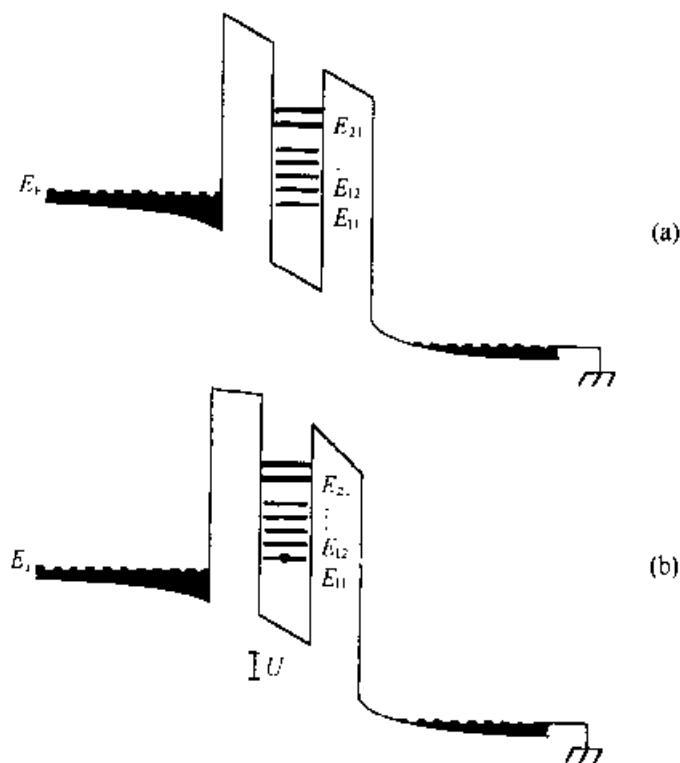


图 5.20 (a) 具有横向量子化的双势垒 RT 纳米结构, 能级  $E_{mn}$  来源于二维子带  $E_n$  进入量子点时的能带图; (b) 库仑阻塞区、单个电子隧穿进入阱将使发射区与阱的对准改变  $U = q^2/2C_W$ , 其中  $C_W$  为量子点的电容。如图所示, 如果  $U$  足以和  $E_1$  相比拟, 使之高于发射区的占据态则隧穿截止

正是改变量子点中电子的占据所需的充电能, 以及通过第三端对量子点能级与发射电子库间能量对准的可调节性, 使得 RT 纳米结构成为有希望的器件。原理上, 一个三端纳米结构只是又包含了一个可改变量子点与发射极间电势的栅电极(参见图 5.20), 但又需要足够的绝缘以阻止电子进入栅。如果器件的偏压  $V_E$  接近于另一个电子进入量子点所对应的电压台阶,  $V_n$  的很小变化便可调节量子点的占据情况。这样便控制了流过量子点的电流, 实现了一个单电子晶体管。由于

垂直纳米 RT 结构制作上的困难，在平面结构上较易形成栅控单电子隧穿。量子点和控制栅电极可通过在高迁移率的二维电子气异质结构之上淀积静电金属栅制成。图 5.21 中的插图示出了栅结构的顶视图。加偏压后外栅区进入深耗尽，形成了一个 2DEG 的小岛，通过隧穿势垒与库相连接。如同我们在平面双势垒 RT 结构中(参见图 5.8)所见的那样，这些岛必然大而且其静电势垒又宽又高，于是岛的能量量子化弱。但是这些特点有益于库仑阻塞器件，其原因在于此时量子点的能量全部由充电能  $U$  决定。栅电极能够改变岛的有效尺寸和电容。只要岛电容  $C_w$  小而且岛的尺寸相对较大( $L \approx 0.1 \sim 1 \mu\text{m}$ )，与岛中增加的电子相对应， $I$ - $V$  特性作为  $V_g$  的函数将出现间距规则的台阶。低温下在这种结构中已观测到非常规则的电导( $G \equiv I/\partial V$ )峰<sup>35</sup>。图 5.21 示出了一个例子。

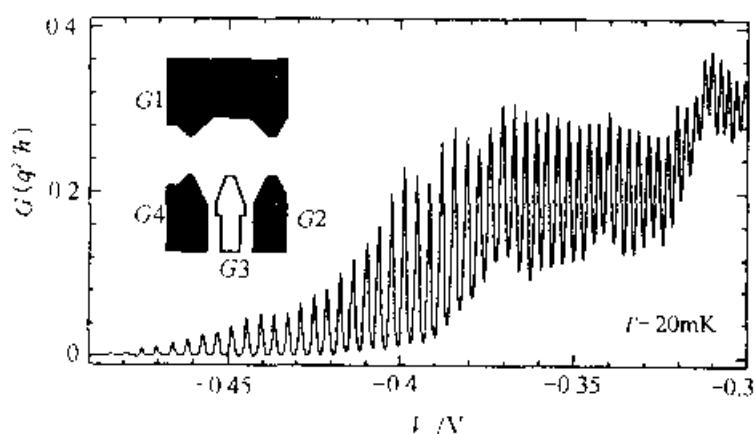


图 5.21  $T = 20 \text{ mK}$  时小尺寸二维电子气岛的电导与栅偏压的关系。插图示出了岛的几何形状的俯视图。黑色部分为栅，所加偏压使之处于深耗尽，形成了亚微米尺度的岛并与 2DEG 电极间弱耦合。 $V_g$  加在图中的白色栅  $G_4$  上，岛中电子占据数的改变产生了电导脉冲(经 C. J. B. Ford 的允许，1996)

原理上，在小量子点或岛上精确地逐一控制电子的布局或隧道输运产生了许多基于单电子器件(SET)或其它器件<sup>[36]</sup>的逻辑和存储电路方案。在某种意义上，单电子器件可看作是不断微小型化的半导体技术在逻辑上的终点。从实际的角度看，主要的困难在于大规模 SET 电路中所需要的极苛刻的制作工艺，尤其是在非液氦温度时。目前，为保证  $U = q'/2C_w \gg kT$ ，如图 5.21 所示，SET 器件的特性是在  $T < 1 \text{ K}$  下测得的，显然若能在较高温度下工作，器件尺度必将在数量级上有所下降。对于  $T = 4.2 \text{ K}$ ，充电能必须大于  $1 \text{ meV}$ ，这要求电容  $C_w < 10^{-16} \text{ F}$ ，这是一个非常苛刻的要求，是由于引线或其它电极不可避免地存在并联电容，注意到单根导线的本征电容约为  $10^{-17} \text{ F}/\mu\text{m}$ 。尚不清楚用半导体实现 SET 与最早提出的金属隧道结相比究竟有多少优点。利用小的铝隧道结电容，第一次观测到库仑阻塞现象<sup>[37]</sup>，并首次实现了有电压增益的 SET。SET 的一个有希望的特殊应用是作为精确的电流标准。在栅控的 2DEG 岛中， $V_g$  低时，在库仑阻塞区中通过不断地降低

和升高发射区和集电区势垒，这时只有一个过剩电子占据岛，在每个势垒偏压变化的周期中都可实现单个电子的传输<sup>[59]</sup>。如果势垒周期性变化的频率为  $f$ ，则发射极-集电极电流为  $I = qf$ ，构成了一个非常精确的电流源。尽管单电子沿一连串小金属岛的传输更有可能实现，但可以预见，上述的精确电流源器件可能是提供了一个全新的电流计量标准<sup>[60]</sup>。

## 5.3 热电子结构

### 5.3.1 半导体中的热电子

在前面讨论的许多共振隧穿结构中，电子（或空穴）以比集电区费米能级  $E_F$  高出几个  $kT$  的能量注入到集电区，这里  $T$  为晶格温度。显然这些电子和晶格间没有达到热平衡，它们对可能态的占据无法用标准的费米-狄拉克函数  $f_{FD}(E)$  描述。而且这些电子沿电流方向的速度分布具有很强的峰，尤其是在与集电区势垒接壤的区域内，形成了“弹道”的电子波包。当电子传输进入集电区，散射使速度分布展宽，形成了一种可看作为麦克斯韦分布的形式，并可以用一个有效温度  $T_e > T$  来描述。在这种情况下，与晶格相比电子是“热”的。

电子被加热的另一个可能原因是由于在器件的某些区域中的强电场<sup>[61]</sup>所致。在能量弛豫时间内，大部分载流子可能被加速到高动能态。在器件不断微小型化的过程中，器件尺度的缩小速度比各电极上电压的减小速度快，内部电场增加，于是载流子加热更加严重，因此在沟道漏端，大的横向电场<sup>[62]</sup>引起的热电子加速造成的氧化层损伤已成为硅 MOSFET 缩小中可靠性方面的主要问题。虽然在标准的硅技术中不希望产生热载流子，但也已提出了许多利用热电子的器件。在本节中，我们将专门讨论热电子在相邻半导体层间传输<sup>[1]</sup>的注入器件。如我们将会看到的，尽管第一个热电子注入器件<sup>[63]</sup>的提出可以追溯到 1960 年，但现代外延技术能够制备陡直的异质结界面和掺杂分布大大地拓宽了热电子器件的可行性。

我们考虑两种由电流产生热载流子技术——弹道注入和电场加热——的原理及与其相应的更详细的载流子分布。由来自较宽禁带半导体的热电子发射和隧穿进入高动能态的弹道注入分别示于图 5.22，图中还示出了注入之后相应的速度分布（参见问题 11）。随着载流子从注入点逐渐向外传播，其能量及速度分布将变宽。忽略带间跃迁的可能性（如电子-空穴复合），对于给定的初速度和动量分布  $f(r, v, t=0)$ ，通过求解玻尔兹曼输运方程可以计算作为空间位置函数的  $f(r, v, t)$  随时间的变化。在最简单的抛物型色散关系下，玻尔兹曼方程在物理上具有很清楚

<sup>[1]</sup> 转移电子器件，如 Gunn 振荡器，利用了热电子散射进入低迁移率的半导体卫星谷的色散关系  $E(k)$ ，将在第六章中介绍。

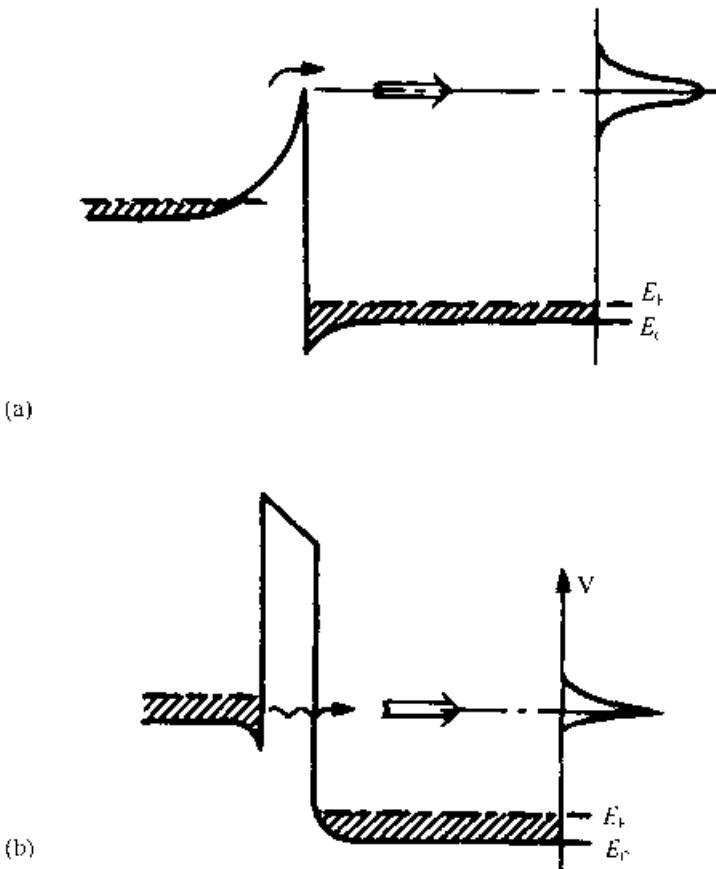


图 5.22 电子的弹道注入。(a) 从较宽带隙的半导体热发射注入; (b) 隧穿势垒。上述两种情况下, 注入热电子的速度分布同时示于图的右边

的形式:

$$\frac{\partial f}{\partial t} - \mathbf{v} \cdot \nabla_{\mathbf{r}} f + \mathbf{a} \cdot \nabla_{\mathbf{v}} f = \left| \frac{\partial f}{\partial t} \right|_{\text{coll}} \quad (5.27)$$

利用运动的半径典方程, 有

$$\mathbf{v} = \hbar \mathbf{k} / m^* \quad m^* \mathbf{a} = q(\mathbf{E} + \mathbf{v} \times \mathbf{B}) \quad (5.28)$$

其中  $\mathbf{E}$  和  $\mathbf{B}$  分别为电场和磁场,  $m^*$  为有效质量, 即  $E(k) = \hbar^2 k^2 / 2m^*$  且  $\mathbf{a}$  是加速度<sup>1)</sup>。公式(5.27)右边的碰撞项代表所有散射过程, 包括声子的发射和吸收、杂质散射、电子-电子相互作用等, 它定义为, 第一布里渊区内波矢  $\mathbf{k}$  到  $\mathbf{k}'$  的态之间的散射几率  $W(\mathbf{k}, \mathbf{k}')$  乘以相应的占据几率的积分。一个重要的简化是用  $(f - f_0)/\tau$  替代整个碰撞项的弛豫时间近似, 其中  $\tau$  代表分布弛豫到平衡值  $f_0$  所用的时间, 于是玻尔兹曼方程不再是积分方程。然而, 由于不同特性的分布函数具有不同的弛豫速率, 上述情况很难成立。为此, 常用  $W(\mathbf{k}, \mathbf{k}')$  分别定义动量弛豫时间

1) 对于任意的色散关系  $E(k)$ , 运动方程为  $\dot{\mathbf{v}} = \hbar^{-1} \nabla_k E(k)$  和  $\hbar \partial \mathbf{k} / \partial t = q(\mathbf{v}^2 + \mathbf{v} \times \mathbf{B})$ , 相应地公式(5.27)也有所改变。

$\tau_k$  和能量弛豫时间  $\tau_e^{(1)}$ 。而且更复杂的是：不同的散射机制下，跃迁矩阵元  $W(k, k')$  对电子能量有不同的依赖关系。对于较高能量的态还有新增的散射机制如光学声子发射、碰撞电离等。最后，由于碰撞积分扩展到整个布里渊区，它还和散射可能的态密度[即在  $E(k)$  的表达式中，随着能量的增加和进入布里渊区的范围更大，情况就变得更加复杂]，甚至和  $k$  的取向有关。为此，公式(5.27)和(5.28)很难进行简单的解析处理，因而经常采用数值的蒙特卡罗方法<sup>[5,6]</sup>。

当然，存在着另一种极限情况，它完全避开了困难：弹道运动，其中碰撞是可以忽略的。这把任何器件的临界尺度都限制为  $v_z \tau_k$ ，其中  $v_z$  为(高的)注入电子速度， $\tau_k$  为动量弛豫时间。这是弹道热电子晶体管(HET)的理想工作区，在这种器件中，电子注入进了长为  $L_B$  的很窄的基区，在异质结构中控制注入的能量(见图 5.22)能够形成一很窄的热电子分布，如图 23 所示，这些电子集中在一个垂直于基区层方向的高的速度的附近。只要  $L_B < v_z \tau_k$ ，大部分热电子将不受散射地通过基区。

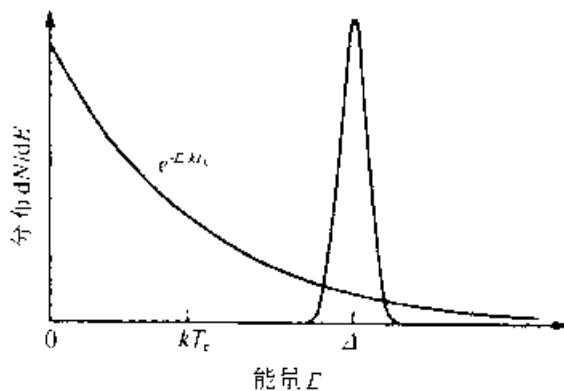


图 5.23 热电子的分布函数。弹道注入下，分布函数在  $\Delta \approx m \cdot v_z^2 / 2$  处有一尖峰，其中  $\Delta$  为注入能量， $v_z$  为垂直于势垒的速度。在实空间传输中，分布近似为  $e^{-E/kT_e}$ ， $T_e$  为等效电子温度

由强电场<sup>(5)</sup>造成的热载流子的能量和速度分布必然有很大的差别。在加电场之前，载流子和晶格是平衡的，电场按公式(5.28)的规律对载流子加速，使分布函数  $f(r, v, t)$  偏离平衡。由于散射机制依赖于载流子的能量  $E$ ，在求解玻尔兹曼方程中会出现同样的困难。然而在足够高的电子浓度下，大量的电子-电子碰撞能够在电子系统中建立起准平衡，这有效地解除了与晶格间的耦合。在这种极限情况下，可以用电子系统的平均能量  $\langle E \rangle$  定义等效电子温度  $T_e$ :  $\langle E \rangle = 3kT_e/2$ ，结果形成了如图 5.23 所示的热电子分布。

研究表明，等效电子温度  $T_e$  与电场强度的关系是一个复杂的形式，可由方程(5.27)，(5.28)的解给出。这通常也需要蒙特卡罗模拟，尤其是对基于场感应电子加热<sup>(6)</sup>的实空间传输(RST)器件所必需的异质结构势垒。在这类器件中，载流子被平行于异质结构势垒  $V_{\parallel}$  方向的电场加速。如果  $T_e$  足够高，一些电子将获

得足够高的能量越过势垒传输到器件的其它区域，它们可能具有不同的迁移率或各自的电学接触。对于给定加热电场  $E$ ，即使只有在热载流子分布函数的高能尾部的电子才能克服  $V_{\text{B}}$ ，它们仍能够被快速地再补充（以  $\tau_e$  的量级），于是 RST 过程既快速又高效。

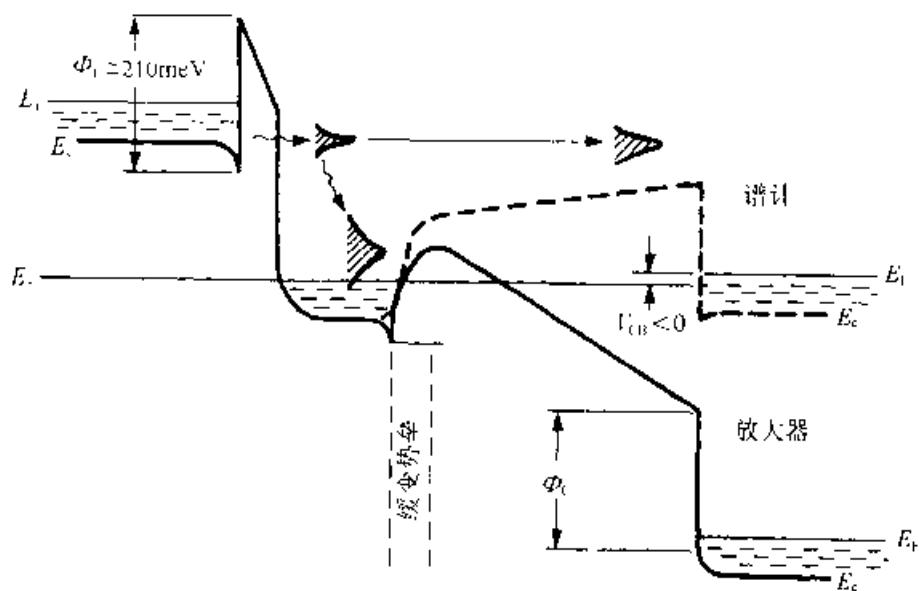
需要强调的是，弹道注入和 RST 器件中都包含了非平衡载流子越过（或通过）异质结势垒及注入相邻层的过程。如图 5.23 所示，原理上，差别表现为不同的热载流子分布函数，实际上，三端的弹道或 RST 器件则采用了完全不同的控制电极结构。如下面将要阐述的，在弹道热电子晶体管和标准的双极晶体管间有很多共性：渡越基区的热电子电流是由在  $k$  空间不同区域运动的平衡载流子形成的较小的基极电流控制的。弹道载流子的基区透明度（即双极晶体管的基区输运系数  $\alpha_T$ ）依赖于渡越窄基区所用的短暂的时间和动量弛豫时间  $\tau_k$  之比。和双极晶体管一样，速度限制是由基区渡越时间  $\approx L_B/v_s$ （这里热电子晶体管由于注入的高  $v_s$ ，这一点更突出）和  $R_E C$  延迟决定的，而后者与通过一定的横向基区电阻对发射结和集电结电容的充放电有关。

另一方面，实空间传输器件仍然没有相类似的标准的晶体管与之对应。两端 RST 依赖于热载流子进入结构中的低迁移率区以在两端  $I-V$  特性中形成 NDR，这本质上与 Gunn 振荡器类似。三端 RST 中，热载流子进入一个可单独连接的区域，该区可通过加热电场控制传输电流。如我们将会见到的，由于热载流子分布对加热电场的极性不敏感，三端 RST 器件具有特殊的电极端对称性，可用于增加功能。

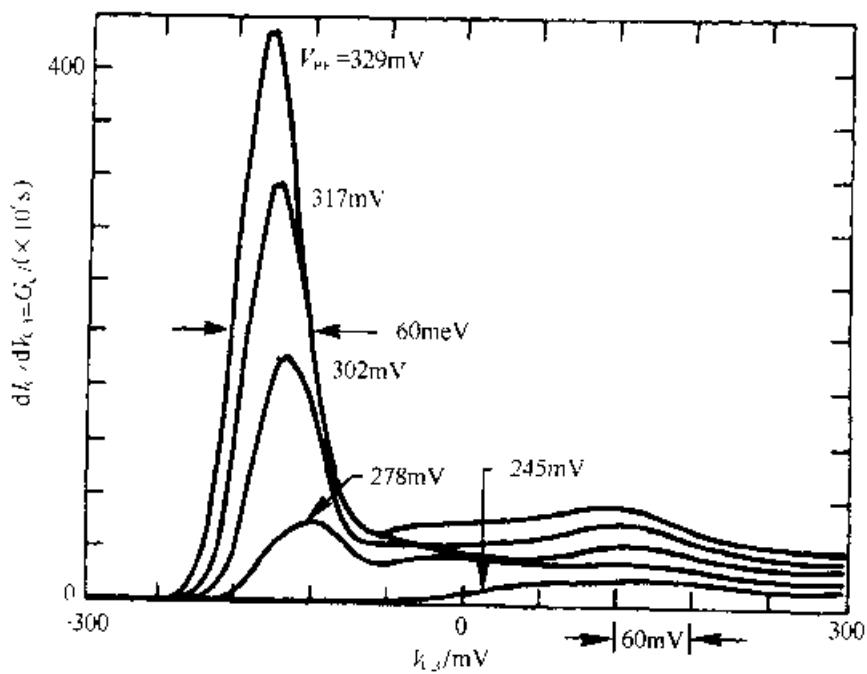
### 5.3.2 弹道注入结构

图 5.24 示出了基于隧道注入的 GaAs/AlGaAs<sup>[65]</sup> 弹道 HET 的能带结构原理。热电子以高子费米能级  $\Delta \approx qV_{\text{BE}}$  的能量注入到重掺杂基区（其电位为 0），渡越基区并在越过集电区势垒后被收集，而集电区势垒是集电极偏压  $V_{\text{CE}}$  的函数。显然这类 HET 和图 5.9 所示的电流控制型三端 RT 结构类似。然而由于在图 5.24(a) 所示的基区并不需要量子化，HET 的基区宽度可大大超过  $L_B \leq 100 \text{ \AA}$  的强量子化条件，这使基区电阻减小，从而降低了与发射结和集电结充电电容有关的延迟时间。当然，公式(5.19)所示的时间延迟  $R_E C$  仍然存在，从而说明弹道 HET 设计中要求低基极电阻和高基区输运系数  $\alpha_T$  之间的折衷，即若降低基极电阻则要求大的  $L_B$  和增加基区掺杂，而高的  $\alpha_T$  又需要短的  $L_B$  和极小的基区散射。为了放大，在  $V_{\text{BE}} > 0$  时可获得最大的  $\alpha_T$ 。这种情况下，在基区遭受散射的电子仍能被收集。若  $V_{\text{BE}}$  远大于集电区势垒高度，假设电子运动的方向没有改变的话，发射一个或多个光学声子后仍留下足够的动能使电子到达集电极。所幸的是，高能电子的光学声子发射是一种以向前散射为主的过程，其等效的  $\tau_k$  大于电子正好在光学声子

发射阈值之上时。当然即使在公式(5.19)所允许的最小  $L_B$  的弹道 HET 中, 为产生有竞争力的微分电流增益  $\beta = \alpha_T / (1 - \alpha_T)$  所需的高  $\alpha_T$  值仍然是困难的。



(a)



(b)

图 5.24 (a) 作为放大器 ( $V_{CB} > 0$ ) 和热电子谱计 ( $V_{CB} < 0$ ) 时的 GaAs/AlGaAs 弹道-注入热电子结构的能带图。由图可见, 缓变集电结势垒的作用是减少量子力学反射; (b) 不同注入能  $qV_{BE}$  下测得的热电子能谱。主峰是由电子到达集电极未受到任何非弹性散射引起的  
(引自 Heiblum 等的参考文献[65])

首先，在集电区势垒上存在着量子力学的反射，从我们讨论的隧穿效应中可见，对于给定的集电区势垒高度  $\Phi_c$ ，动能  $E_i > \Phi_c$  的入射电子具有一个非零的反射率  $R(E_i)$ 。在矩形异质结构势垒中，除了某些与势垒参数相关的特殊  $E_i$  值外（参见问题 2），只有当  $E_i \gg \Phi_c$  时， $R(E_i)$  才会很小。这一困难可通过引入倾斜集电区势垒的办法部分地加以克服[问题 12，或见图 5.24(a)]，但是，在中等热电子注入能量下把  $R(E_i)$  降低到接近于 0 仍是一个问题<sup>1)</sup>。

显而易见，通过增加  $V_{BE}$ ，即增加注入能量可以提高  $\alpha_T$ ，其原因是同时降低了集电区的反射系数和基区渡越时间。不幸的是，这种方案遇到了 HET 性能上的第二个最重要限制。如果电子的动能超过了各个卫星谷的能量（即 GaAs 中在  $\Gamma$  导带底之上 0.3eV 的 L 谷），高的终态密度将导致极有效的声子和杂质的谷间散射。当电子的能量低于谷间散射的阈值，但高于发射光学声子的阈值（GaAs 中为 36meV）时，声子相互作用的主要形式是发射极性光学声子，该过程和载流子能量的依赖关系很弱。同时，随着注入能量的增加在重掺杂基区中的电离杂质散射达到极小。于是高增益的  $V_{BF}$  优化值恰恰低于谷间散射的阈值。在与图 5.24(a) 类似的 GaAs/AlGaAs HET 中，这限制了低温下所能测到的最大增益为  $\beta \approx 10^{13}$ ，相应的  $\alpha_T \approx 0.9$ 。对于具有窄的  $L_b = 200\text{ \AA}$  的赝晶 InGaAs 基区，在同样的 RET 结构中已测到的较高的增益为  $\beta \approx 30$  ( $T = 77\text{K}$ )。这是由于其  $\Gamma$ -L 间较大的能量差造成的<sup>[66]</sup>。最近，类似的结构在 300K 时已有  $\beta \approx 10$  的报道<sup>[67]</sup>，这可能是在 GaAs 或 InP 衬底上生长的 HET 结构所可能达到的极限。

与异质结双极晶体管(HBT)相比，弹道注入 HET 的基区传输系数较低。而且由于发射区势垒必须相当薄以维持大的隧道电流，因此，公式(5.19)对有隧道注入的 HET 基区横向电阻的上限限制更加苛刻。这使得 HET 在大多数器件应用方面没有竞争力。然而在非平衡载流子输运的研究方面，它们已展示出应用价值。图 5.24(a)示出了利用注入 HET 的热电子谱计，并在图 5.24(b)中示出了一套有代表性的热电子能谱，其想法是在固定的  $V_{BF}$ （这里设为注入能）下测量集电极电流  $I_C$  随  $V_{CB} < 0$  的变化。在一定的  $V_{CB}$  范围内，集电区势垒高度线性变化， $\delta\Phi_c \approx \delta V_{CB}$  并且， $dI_C/dV_{CB}$  正比于具有  $E_i - \Phi_c$  能量的载流子到达集电区势垒的数目。当  $V_{CB}$  不影响基区中的热电子能量分布、注入后的分布以及势垒以上的量子力学反射时，可以推出平均自由程  $l$  与注入能量间的函数关系，并可将能量损失动力学与各种散射机制联系起来<sup>[65, 69]</sup>。例如，图 5.24(b)中的主峰对应于到达集电区势垒的热电子不发射声子的情况，其  $l \approx 1000\text{ \AA}$ ，考虑到这些电子不仅要通过掺杂的

1) 值得强调的是，对于异质结构的势垒的穿透，这种包络函数方法仅适用于半导体异质结同晶格匹配并且在  $k$  空间具有相似的色散关系。例如  $x \leq 0.45$  时的 GaAs-Al<sub>x</sub>Ga<sub>1-x</sub>As 异质结构的  $\Gamma$  谷导带中的电子，尽管常用，但对于其它类型的异质结构使用包络函数方法计算穿透系数的可行性是值得怀疑的<sup>[68]</sup>。

GaAs 基区，而且还要通过 AlGaAs 集电区势垒，这个结果是十分惊人的。横向热电子谱计已经利用了在 2DEG 中构成的静电势垒，如图 5.8 所示，低温下的 2DEG 极小的散射产生了相当长的  $l(\approx 0.5\mu\text{m})$ ，结果  $T=4.2\text{K}$  时，在  $L_b \approx 1700\text{\AA}$  的器件中测得了很高的  $\beta(>100)$ 。更重要的是，类似的结构已提供了研究小系统弹道输运物理机制的实验手段<sup>[51]</sup>。

最后，值得注意的是，通过利用较宽带隙的发射极，在 HBT 中用热载流子注入可提高性能，图 5.25 示出了一个和 InP 晶格匹配的 AlInAs/InGaAs HBT 原理。热电子效应有几个好处，电子以热发射的方式注入，越过发射结势垒，该势垒的能量在 p 型 InGaAs 基区导带边之上  $\Delta \approx 0.5\text{eV}$ 。这里弹道注入的目的是用更快的弹道输运替代相对较慢的扩散运动，以缩短基区渡越时间。和在单极热电子晶体管中一样，由于无需越过集电区势垒，散射并不使输运系数  $\alpha_T$  退化。而且，在垂直于基区的方向上注入速率的分布为一尖峰，这一特点可以减少进入外基区的横向漂移，因而有助于器件的缩小。如第一章中所讨论的，热电子 HBT 能实现高增益、高速度工作，室温下， $f_T$  超过了  $100\text{GHz}$ <sup>[72]</sup>，值得注意的是，在优化的晶体管中基区很薄  $L_b \ll 1000\text{\AA}$ ，以至于通过基区扩散输运的时间也小于  $1\text{ps}$ ，于是从高速工作的 HBT 本身看无法证实其中是否存在弹道输运。

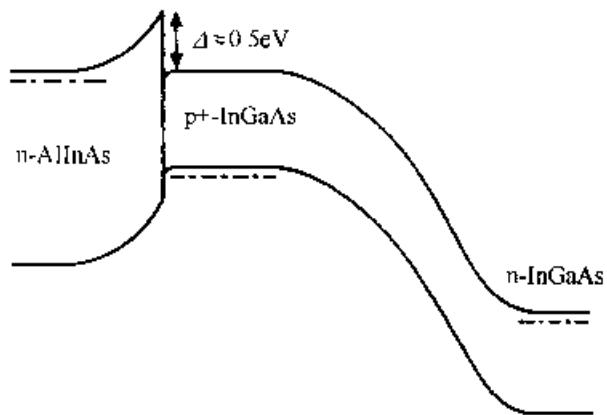


图 5.25 采用与 InP 晶格匹配的 AlInAs/InGaAs 材料体系的 n-p-n 异质结双极晶体管的能带图。其中电子的注入能量  $\Delta \approx 0.5\text{eV}$  与发射区-基区势垒相对应

如果渡越 HBT 基区的输运确实是弹道输运，并且注入热电子的速度分布足够窄， $\Delta v_z/v_z \ll 1$ ；便可成为相干晶体管，可望在  $f_T$  之上仍有增益<sup>[73]</sup>。当以一定频率  $f$  从发射区注入后，在基区建立起波长为  $\lambda = v_z/f$  的电子密度波。少数载流子的密度波被多数载流子屏蔽，基区中的各处保持电中性，这种情况普遍存在于所有的双极晶体管中。若忽略复合，HBT 中流过的基极电流只中和了少数载流子总数中变化的部分。低频率时， $\lambda \gg L_b$ ，基区中少数载流子的增加或减少与注入同相，这给出了电流增益的特征频率衰减  $\beta \approx 1/f$ ，以及在  $\beta=1$  时截止频率的特征值， $2\pi f_T = v_z/L_b$ 。当少数载流子密度波的波长与基区宽度可比拟时，上述形式的

衰减开始发生变化。如果  $L_B$  是  $\lambda$  的整数倍，其对应的  $f$  为  $v_z/L_B$  的整数值，随着电子密度波通过某区，总的少数载流子电荷不发生变化，于是实现了集电极电流调制。在这种情况下，没有高频基极电流输入，使得  $\beta \rightarrow \infty$ 。显然，在实际的器件中， $\beta$  受复合电流和散射引起的密度波的阻尼以及有限的速度分布宽度  $\Delta v_z$  的限制。

当然，只要维持的输运相干， $\beta(f)$  将在  $2\pi f_T$  的整数倍处出现峰值，使得在通常的截止频率之上有电流增益（有关这一效应，在附录 5.D 中将有更详细的讨论）。更进一步，可以推测晶体管的功率增益在  $\pi f_T$  的整数倍处出现峰值，对应于  $\beta$  的每个峰呈现出两个峰值。实现这类晶体管的困难在于渡越基区过程中维持相干。由于发射光学声子的散射是一非常有效的散射机制，需把注入能量  $\Delta = m^* v_i^2 / 2$  维持在低于光学声子能量但又要远高于  $kT$  的水平上，这意味着在液氦温区工作。而且寄生的器件会消去  $f_T$  之上的增益峰。直到今天，仍未从实验上实现所提出的相干晶体管（CT）。

### 5.3.3 实空间转移结构

利用在高和低迁移率的两个半导体层间的实空间转移(RST)在两端  $I-V$  特性中产生 NDR 的方案可追溯到几十年前<sup>[73]</sup>，这些想法在调制掺杂的多量子阱 GaAs/AlGaAs 异质结构中得到了进一步的发展<sup>[75]</sup>，在 80 年代初期利用这种结构进行了第一个实验<sup>[76]</sup>。图 5.26 示出了一个两端 GaAs/AlGaAs RST 结构的原理图。如果纵向电场小，电子驻留在未掺杂的 GaAs 量子阱中，在加电场  $E_x$  时，源漏电流  $I(V_D)$  呈线性关系，其斜率由 GaAs 的高电子迁移率决定。然而，随着  $E_x$  的增强，如果电子分布中的输入功率超过了晶格发射声子的能量损失率，则电子加热到了一个与电场相关的温度  $T_e$ 。 $T_e$  足够高时，部分电子将越过异质结构势垒  $\Phi$  转移到掺杂的 AlGaAs 层，在该层中由于重掺杂和较高的  $m^*$ ，其迁移率很低。两端的  $I-V_D$  曲线出现 NDR，其峰谷比由转移走的电子密度的大小和 GaAs 与 AlGaAs 层的迁移率的比值决定（参见问题 13 的解析模型）。显然，它与 Gunn 效应类似，Gunn 效应是指在动量空间内高迁移率载流子被散射到低迁移率谷中的过程。实际上 Gunn 效应和 RST 机制是一对竞争的过程，它们都与势垒高度和谷分离的程度有关。

除了输运机制间的相互作用外，对 RST 结构中电子加热的实际处理还须包括：纵向电场畴的形成、电子在纵向和横向的再分布、沿输运方向的自洽电场  $E_x$  以及异质结构界面的量子力学反射。只要在图 5.26 所示的 GaAs 沟道中电子系统可用局部的温度  $T_e(x)$  描述，且  $T_e(x)$  是源-漏间位置的函数，则 RST 电子电流的密度  $J(x)$  可用热发射公式估计：

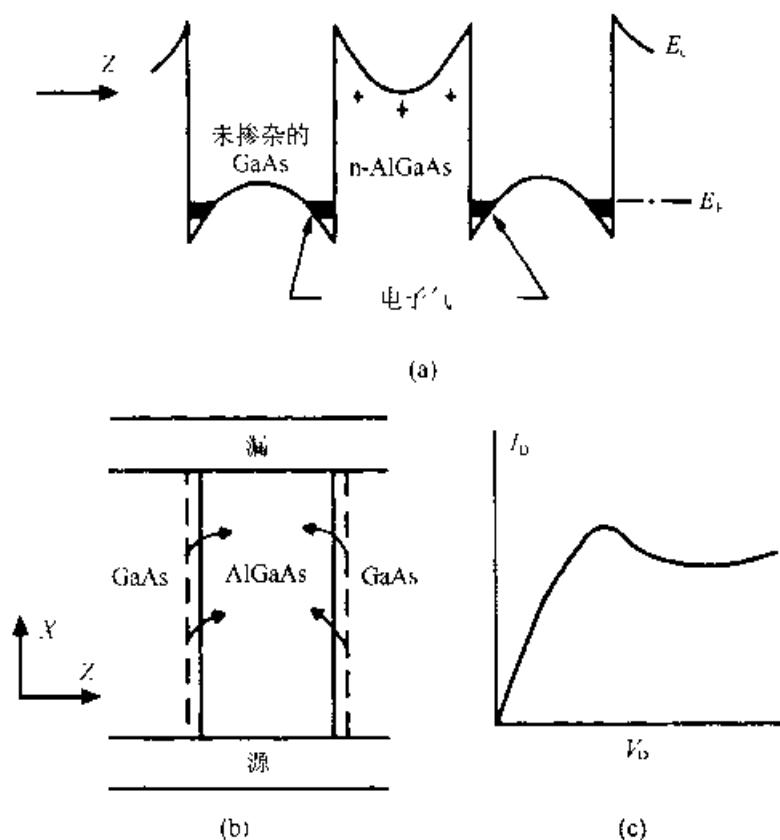


图 5.26 两端热空间转移结构：(a)多量子阱 GaAs/AlGaAs RST 结构的部分能带图；(b)在源-漏间加电场  $E_x$  后的电流方向，包括由于电子加热引起的 RST 电流；(c)相应的  $I-V_D$  特性——在足够高的  $V_D$  下大部分电子输运进入低迁移率的 AlGaAs 层，从而出现负微分电阻

$$J(x) \approx \frac{qn(x)v(T_e)}{L_w} e^{-\Phi/T_e} \quad (5.29)$$

这里， $n(x)$  为量子阱中的层密度， $L_w$  为阱的宽度， $v(T_e) = (kT_e/2\pi m^*)^{1/2}$ 。显然该电流与  $T_e$  呈指数关系。在具有导带非连续  $\Phi$  的两层间（即图 5.26(a) 中 GaAs/AlGaAs 异质界面之一）RST 的半经典处理包括在结的两边求解适当的玻尔兹曼方程，然后再利用适当的含势垒的量子反射的边条件。横向电场  $E_x$  必须通过自治求解包括电子密度  $n(z)$  和固定电荷（如 AlGaAs 中的电离杂质）在内的泊松方程获得。若由  $E_x$  产生的能带弯曲远小于异质结势垒  $\Phi$ ，玻尔兹曼方程中与  $E_x$  有关的项可以略去，在问题中只留下电场  $E_x$ 。公式(5.27)右边的碰撞项仍需要借助于蒙特卡罗技术，对 RST 的这类计算结果参见参考文献[64]。

和两端的共振隧道二极管类似，图 5.26 的两端 RST 结构可望用于高频振荡器。这种情况的优点在于电子在高(GaAs)和低(AlGaAs)迁移率层间循环的速度及  $I-V$  特性中 NDR 的数值。不幸的是，虽然热电子转移到 AlGaAs 中的时间能够

非常短，由热电子发射越过电离施主空间电荷势垒的较冷电子的返回过程却很长<sup>[77]</sup>。另一问题是 AlGaAs 中宏观陷阱的形成使得固定电荷分布不均匀：这些电势阱能够收集转移来的热载流子，在它们返回时出现较高的势垒。实际上，实空间的转移时间通常要比动量空间的转移时间长。况且，RST 振荡器所提供的最大高频功率受 NDR 的峰谷比限制，因此只有当两层的迁移率在数量级上有差别时才能获得大的 PVR(参见问题 13)。这种大的迁移率比在 RST 结构中并不比在均匀的多谷半导体中容易实现。为此，两端的 RST 振荡并不比 Gunn 振荡有更多的优点，在实验上也没更大的进展。从器件的角度看，使 RST 结构更有吸引力的是利用第三端提取转移的热载流子电流的可能性，这形成了一个 RST 晶体管(RSTT)<sup>[78]</sup>。

图 5.27 示出了用 GaAs/AlGaAs 制成的 RSTT 的剖面结构图及相应的能带图。源和漏与高迁移率的 GaAs 沟道相接触，而集电区与掺杂的 GaAs 导电层相连。并用一个高的异质结势垒使之与沟道分隔开。由相对于接地的源极的足够高的正集电极偏压感应，在源-漏沟道中感应出一定密度的电子，在  $V_D=0$  时，由于 AlGaAs 势垒，没有形成集电极电流，随着  $V_D$  的增加，开始形成漏电流  $I_D$ ，沟道电子相应地加热到了某一有效温度  $T_e(x)$ 。这一电子温度决定了越过集电区势垒的 RST 注入电流， $V_c$  的感应电场使注入电子扫进集电区产生了  $I_c$ 。这样器件通过控制源-漏沟道中的电子温度工作，进而调制了流入集电极的电流，与图 5.26 所示的两端器件不同，RST 电流被从漏电流环中移去，于是在  $I-V$  曲线中形成了很强的 NDR，在与图 5.27 类似的 GaAs/AlGaAs 器件中<sup>[79]</sup>，室温下的 PVR 达到 160。RSTT 设计上的一系列进展包括 InGaAs 沟道结构，它既和 InP 衬底晶格匹配，又和 GaAs 形成应变赝晶，充分利用了 InGaAs 中的低电子有效质量和较大的  $\Gamma-L$  谷分离的好处。更重要的是这些器件使用了与源-漏沟道的外延接触而非合金接触<sup>[80]</sup>。这类 RSTT 器件的漏电流  $I_D$  和集电极电流  $I_c$  的特性示于图 5.28； $T=300\text{K}$  时  $I_D-V_D$  特性中的 PVR 达到 7 000。另一种顶集电极的设计具有自对准的集电区<sup>[81]</sup>，避免了图 5.28 中所示的源漏接触间的垂直交叠。其结果是减少了源-漏和集电极间的寄生电容，已经有电流增益截止频率  $f_T > 50\text{GHz}$  的报道。最近还有一些有关  $\delta$  掺杂赝晶 InGaAs/GaAs RSTT 的报道<sup>[82]</sup>，它具有高的沟道迁移率  $PVR > 10^7$ ， $T=300\text{K}$  时跨导为  $23.55\text{S/mm}$ ，以及一个用 SiGe 做沟道和集电区的硅兼容的空穴类 RSTT<sup>[83]</sup>。

正如从我们讨论的两层之间的 RST 过程中可以看到的，RSTT 器件的理论模型非常复杂，和实验进行定量比较需要蒙特卡罗模拟<sup>[84, 85]</sup>。通过假设只在沿沟道纵向电场集中的某些畴中存在 RST 电流  $J(x)$  可获得一些定性的结果。在这一高场畴中，我们认为电子温度  $T_e$  是均匀的，并假设沟道中的载流子以饱和速度  $v_{so}$  运动，于是  $I_D = qn(x)Wv_{so}$ ，其中  $W$  为器件的宽度， $I_D$  的扩散分量可忽略。由

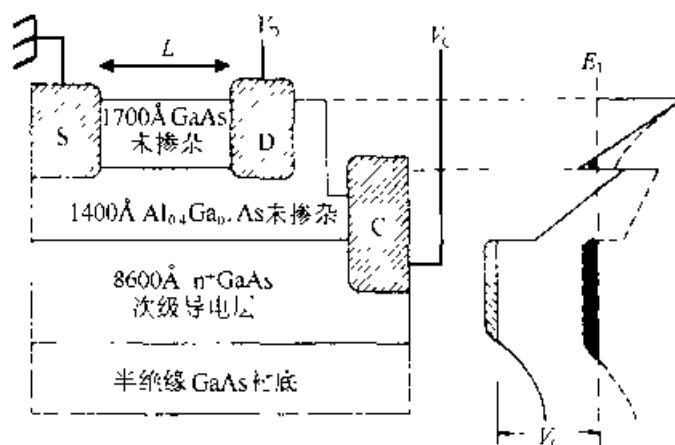


图 5.27 一端 GaAs-AlGaAs RST 晶体管的剖面图和能带图。在该图中，平带时沟道内没有电子。集电极偏压  $V_C$  感应了沟道电子浓度  $n(x)$ 。如果沟道中还有一调制掺杂的量子阱，则在  $V_C = 0$  时， $n(x)$  可能不为零。

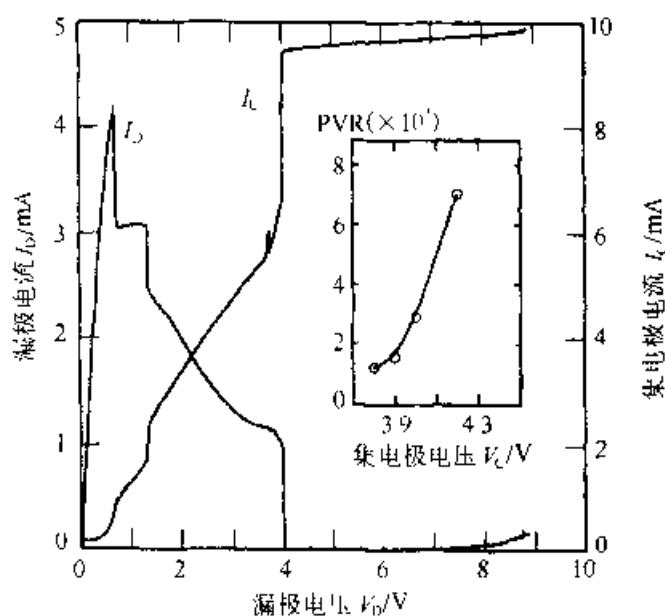


图 5.28  $T = 300\text{K}$  时实验测得的实空间转移晶体管的特性：在固定的集电极偏压  $V_C = 3.9\text{V}$  时漏电流  $I_D$  和集电极电流  $I_C$  与漏偏压  $V_D$  的关系。插图示出了漏电路的 PVR 与集电极偏压  $V_C$  的关系（引自 Mensz 等的参考文献[80]）

源漏间的电流连续，得  $dI_D/dx = -J(x)W$ 。代入公式(5.29)的  $J(x)$  可得  $n(x)$  和  $I_D(x)$  随特征长度  $\lambda$  指数下降：

$$\lambda = \frac{v_{\text{sat}} L_w}{v(T_e)} e^{-\frac{\phi(x)}{kT_e}} \quad (5.30)$$

$T_e$  高时， $\lambda$  变得很短，使扩散分量不可忽略，但指数衰减的  $I_D(x)$  仍无大的改变（参见问题 14），剩下的困难便是对于给定的漏偏压  $V_D$  估算  $T_e$ 。这可通过假设电场  $\phi$  在沟道中均匀分布，并认为只有两种能量损失机制：发射光学声子和电子 RST 到集电区来进行半解析的处理<sup>[85]</sup>。在这一模型中，足够高的  $V_D$  下，高  $T_e$  的

区域要远大于  $\lambda$ , 由公式(5.30)可见,  $I_b$  将变得很小。然而, 由蒙特卡罗研究表明, 高场下由  $k$  空间转移进入低迁移率的卫星谷是主要的散射机制, 于是使用简单的能量损失模型是有限度的。

RSTT 有趣的一点是其本征速度限制, 与之有关的两个因素是与空间电荷限制电流有关的飞行时间延迟和建立热载流子系统温度  $T_e$  所需的时间。重要的是与飞行时间延迟有关的长度并不是标准 FET 的栅长, 这是由于建立高场畴之后, 调节  $T_e$  的速度并不受源-漏渡越时间的限制。该长度是沟道中高场畴的范围加上分隔沟道和集电区的势垒厚度。RSTT 中的势垒厚度  $\sim 10^3 \text{ Å}$ , 和高  $T_e$  时的高场畴接近(问题 14)。飞行时间延迟在 1ps 的范围内, 与目前先进的传统晶体管水平接近。至于在热载流子分布中建立一等效的  $T_e$ , 相关的机制有发射光子、 $k$  空间散射、电子-电子相互作用, 在分布的高能量尾部达到准平衡时电子-电子相互作用可能是主要的散射机制。对于 RSTT 结构的蒙特卡罗模拟结果<sup>[84]</sup>再次表明, 在高电子浓度和高的工作电压下, 建立热电子系统的时间小于 1ps。

让我们简要地设想一下 RSTT 应用的可能性, 显然, 它们能够用于传统的高速晶体管, 这时的品质因素为: 跨导  $g_m = \partial I_c / \partial V_D$ (固定  $V_C$  时)和电流增益截止频率  $f_T$ 。和共振隧道器件一样, 利用其源-漏电流中的强 NDR, RSTT 可用于存储器和逻辑单元。而且, 由于 RSTT 的源-漏接触是完全对称的, 这类器件具有额外的逻辑功能。如图 5.27 所示的单个 RSTT 能够执行异或(XOR)功能。这是由于只要源-漏处于不同的逻辑值, 无论哪个为“高”均有集电极电流  $I_c$ 。本章还将在后面对相关的逻辑单元加以讨论。最后, 通过改变掺杂和集电区的设计, 在 InGaAs/InAlAs 材料系统已实现了发光的 RSTT 结构<sup>[85]</sup>。对图 5.27 的唯一改变为在 n-InGaAs 通道中的相反掺杂和在 p-InGaAs 集电极的顶上生长 p-InGaAs 有源区。如在标准的 RSTT 中, 热电子通过 RST 注入越过 InAlAs 势垒, 但随后它们在有源区中与空穴辐射复合。只要沟道中的辐射复合可忽略, 光输出对寄生的集电区空穴泄漏进入沟道不敏感。这意味着光学开关比直接由  $I_c$  决定, 于是器件的工作就像具有一定自建逻辑功能的发光二极管。

#### 5.3.4 共振热电子晶体管和双极晶体管

众所周知, 通过控制电极直接调节共振子带与发射极对准的三端 RT 结构难以制作。一种改进的方法是在热电子晶体管的发射极引入一双势垒的 RT 势<sup>[87]</sup>, 共振热电子晶体管(RHET)的能带原理图示于图 5.29。其工作原理基本上综合了共振发射极  $I_E$ ,  $V_{BE}$  特性和 HET 中的电流增益  $\beta$ 。在一固定的基极-集电极电压  $V_{BC}$  下, 可以分析集电极电流随基极-发射极电压  $V_{BE}$  的变化。当  $V_{BE}$  小时, 发射极 RT 结构在阈值之下, 发射极电流可忽略, 集电极电流  $I_c$  由越过集电区势垒  $\Phi_c$  的小的热电子发射电流组成。 $V_{BE}$  较大时, 有一共振电流流过发射区, 在比基区  $E_F$  高

$\Delta \approx qV_F$  的能量上注入热电子，在适当的设计下，满足基区中的  $\Phi_c < \Delta \leq \Gamma-L$  谷能量差，注入电子渡越基区将有一大  $\alpha_t$  并能对  $I_c$  有所贡献。如 5.3.1 节中所讨论的，大的  $\Gamma-L$  谷能量差使得 InP 衬底上的 InAlAs 异质结构有利于实现 RHET。和前面讨论的一样，电流增益  $\beta = \alpha_t / (1 - \alpha_t)$  受重掺杂基区中的热电子平均自由程的限制，室温下 InP 衬底上的 InGaAs/AlAs/InGaP RHET 结构中已有  $\beta \approx 10$  的报道<sup>[87]</sup>。最后随着发射极 RT 二极管的偏压  $V_{BE}$  超过  $V_P$ ，发射极电流下降。 $I_c$  中相应的 PVR 将几乎复制发射极二极管的 PVR，尽管随着作为注入能量函数  $\alpha_t$  的改变将在一定程度上对该结果有所影响。在  $T = 300\text{K}$  和  $T = 77\text{K}$  时 RHET 的  $I_c-V_{BE}$  特性的峰谷比都有近似为 10 的报道<sup>[87, 88]</sup>。

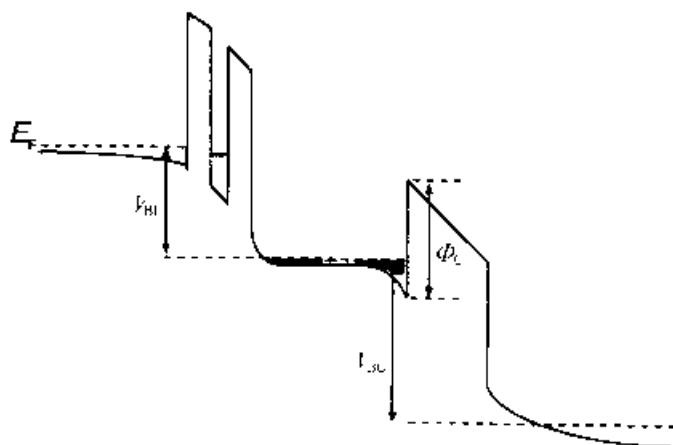


图 5.20 共振热电子器件(RHET)的能带图 发射结中 RT 二极管的共振  $I-V$  特性在集电极电流  $I_c$  中复制，产生了尖峰的  $I_c-V_{BE}$  特性

在一个 n-p-n 双极晶体管的发射结靠近发射区一侧插入双势垒 RT 二极管或几个级联的 RT 二极管可得到非常类似的特性<sup>[88]</sup>。在 InGaAs/AlInAs 上制作了这种结构，其工作原理与 RHET 类似，差别只在于，为了维持电流连续，发射极偏压  $V_{BE}$  分成了发射极 RT 二极管间的和发射区 基区 p-n 结上的两部分。只要  $V_{BE}$  小于 p-n 结上的  $V_b$  ( $V_{BE} < V_b$ )，发射极电流的增加和传统的双极晶体管类似，只是存在一个由 RT 二极管引入的较大的发射极串联电阻，并且电流增益变大。平带之上， $V_{BE} \geq V_b$  所增加的  $V_{BE}$  中的大部分电压降在 RT 二极管上，当二极管的偏压大于  $V_P$  后， $I_E$  出现一个或多个 NDR 区。结果，作为  $V_{BE}$  的函数， $I_c$  也出现峰值。由于随着  $V_{BE}$  的增加，进入发射区的空穴电流增加，NDR 区中的增益通常较低。由于进入基区的电子电流在  $V_{BE} > V_P$  时下降，从而降低了发射效率。倍频器中已用了在发射极具有两个 RT 二极管的双极晶体管的多峰  $I_c$  特性。通过在基极加一频率为  $f$  的 AC 信号并加足够的偏压使两个 RT 二极管都共振，可以产生有合理转换效率的  $3f$ (对锯齿波输入)和  $5f$ (对正弦波输入)信号<sup>[89]</sup>。

像 RSTT，单个的共振热电子和双极晶体管具有更强的逻辑功能，其原理示

于图 5.30。图 5.30(a)示出了一个具有一定 PVR 的共发射极  $I_C-V_{BE}$  特性。当  $V_{BE}=V_{moh} < V_P$  时输出  $I_C$  为高, 但当  $V_{BE}$  为 0 或  $2V_{high}$  (此时 RHET 处于负跨导区) 时变低, 结果如图 5.30(b) 所示, 在单个器件中简便地实现异或非(XNOR)功能, 发射极接地, RHET 的基极接两个输入, 当基极的输入一个为高, 另一个为低时,  $V_{out}$  为高, 室温下已实现的 XNOR 门的操作具有合理的  $V_{out}$  电压摆幅<sup>72</sup>, 采用的器件布局类似于图 5.30(b)。除了必需电阻网络外, 这些设计中的缺点之一是除非  $I_C$  特性中的 PVR 非常高, 否则当两个基极输入都为高时, 集电极的电阻仍有功率损耗。在单个器件中, 这一附加功耗可以简单地通过缩小面积、降低  $I_C$  来优化, 但在大规模电路中,  $I_C$  必须对互连电容充电, 于是难以减小  $I_C$ 。

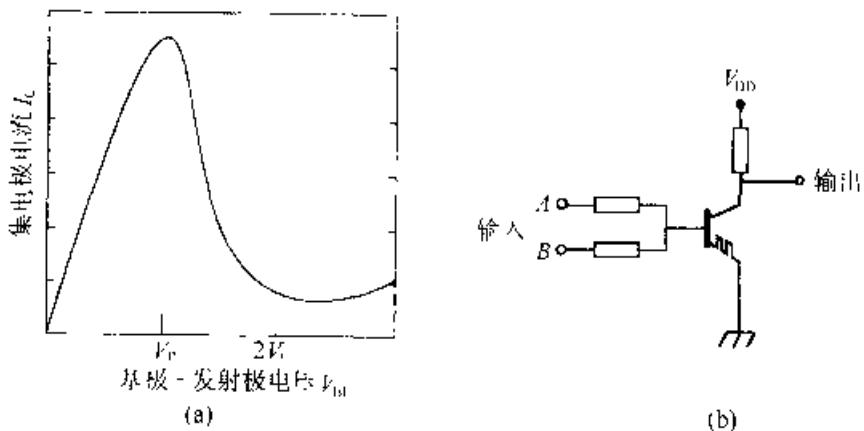


图 5.30 (a) 共振热电子晶体管共发射极连接时的  $I_C-V_{BE}$  特性。其中在  $V_{BE}>V_P$  时, RHET 呈现出大峰-谷比的负跨导; (b) 利用单个 RHET 器件构成的异或非电路, 图中示出了 RHET 发射结中的双势垒 RT 结构

## 5.4 器件应用

### 5.4.1 RT 振荡器

尽管原则上, 量子效应和热电子器件可以提供高速和多功能, 但至今技术上很少应用。在一些情况下, 主要的障碍仍是室温工作, 另外大规模制造或在标准工艺中集成非常规器件也有困难。为此, 下面讨论的许多器件应用, 只是在实验室中得到了验证。尽管在未来有一定的可能, 使它们的优越性超过传统器件而更吸引人——如在极小的器件尺度  $L$  和液氢温度  $T$  下或某种设计准则下的未来技术, 但是目前很少能充分利用量子效应和热电子器件的特点。一个可喜的例外便是利用 RT 二极管作为固态高频振荡器。两端 RT 振荡器的优点包括: 相对容易的制备、合理的输出功率和与微波隧道及渡越时间二极管相比有高的最大振荡频率  $f_{max}$ 。

图 5.31 示出了一个两端二极管振荡器最简单的等效电路, 其静态  $I-V$  特性,

包括由峰( $V_P, I_P$ )和谷( $V_V, I_V$ )两点的电压、电流所描述的一个NDR区。该等效电路已成功地用于分析隧道二极管，它的 $I-V$ 特性与图5.6所示的RT二极管相似，等效电路中阻抗的实部 $R_{eq}$ 为：

$$R_{eq} = R_s + \frac{-R_D}{1 + (\omega R_D C_D)^2} \quad (5.31)$$

其中  $R_D = (V_V - V_P)/(I_V - I_P)$  为负的二极管电阻； $C_D$  为二极管电容， $R_s$  为串联的引线电阻。对于稳态振荡， $R_{eq}$  必须为负值，于是由公式(5.31)可得截止频率 $f_{max}$  为：

$$f_{max} = \frac{1}{2\pi R_D C_D} \sqrt{\frac{R_D}{R_s} - 1} \quad (5.32)$$

为提高 $f_{max}$ ，需要使寄生串联电阻 $R_s$  和二极管电容 $C_D$  最小。 $V_P$ 之后，一个陡的电流下降及高的PVR也有助于使 $R_D$ 最小，从而提高 $f_{max}$ ，但还有一个重要的要求便是最大的高频输出功率 $P_{max}$ ，尽管 $P_{max}$ 确切的值与在 $V_P < V < V_V$  区域内实际的 $I-V$ 特性有关。通常 $P_{max} \approx (V_P - V_V)(I_P - I_V)$ ，这样PVR和高电流密度都是高性能振荡器所必需的。

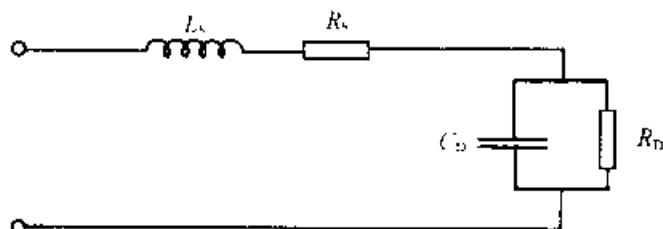


图 5.31 两端隧道二极管振荡器的简单等效电路。

其中包括了寄生的引线电阻和电感

与隧道二极管类似，公式(5.31)和(5.32)已用于设计RT二极管振荡器，其中利用了经验参数(例如，认为 $C_D$  为所测得的发射极-集电极两端的电容)，并包括了集电区传输和隧穿时间效应<sup>[19]</sup>。然而图5.31的等效电路在物理上是不完善的，RT二极管中的电流与发射区和阱中的二维子带的对准有关，稳态下，进、出阱的隧道电流密度是平衡的， $J_{in} = J_{out}$ 。对于RT二极管，不论是相干图像还是顺序图像，都很难建立等效电路。其主要困难在于不知道阱中动态存储电荷密度 $\sigma_w = qn_w$ 的能量分布。这使得不可能把 $J_{out}$ 描述为一个仅与阱和集电极静电势差 $V_c$ 有关的函数<sup>[1]</sup>。

一个合理而容易处理的模型是假设阱中的载流子平衡。于是集电极电流可看

<sup>1)</sup> 费米能级差 其真实含义是“电压”。若对于阱中的电子分布不作假设，则阱和集电区间的费米能级差将失去意义。

作是  $\sigma_w$  和  $V_c$  的函数，在稳态附近的小变化可写为如下形式<sup>1)</sup>：

$$\delta J_{out} = \frac{\delta \sigma_w}{\tau} + \frac{\delta V_c}{R_c} \quad (5.33)$$

其中  $\tau$  为阱中载流子的寿命，而集电区电阻  $R_c$  反映了由于集电区势垒形状改变、隧穿概率对阱-集电区电势差的依赖关系。存储电荷密度  $\sigma_w$  的变化及其与时间的依赖关系遵守高斯-基尔霍夫定律：

$$\delta \sigma_w = C_E \delta V_E - C_C \delta V_C, \quad \frac{\partial(\delta \sigma_w)}{\partial t} = \delta J_{in} - \delta J_{out} \quad (5.34)$$

其中  $C_E$  和  $C_C$  分别为发射区-阱和阱-集电区电容。定义  $\delta V_E + \delta V_C = \delta V$  为发射极-集电极偏压  $V$  的总变化量。

在共振隧穿附近， $J_m$  仅是  $V_L$  的函数，它决定了发射区-阱的对准， $\delta J_m = \delta V_L / R_E$ ，由该式和公式(5.33)、(5.34)可得

$$\frac{\partial(\delta \sigma_w)}{\partial t} = -\frac{\delta \sigma_w}{\tau_{eff}} + \frac{C_G \delta V}{\tau_G} \quad (5.35)$$

其中几何电容  $C_G$  和  $\tau_G$  定义为：

$$\tau_G = \frac{R_E R_C (C_E + C_C)}{R_E + R_C}, \quad C_G = \frac{R_E C_E + R_C C_C}{R_E + R_C} \quad (5.36)$$

$\tau_{eff}$  为

$$\tau_{eff} = \frac{\tau_G \tau}{\tau_G + \tau} \quad (5.37)$$

正是公式(5.37)中的等效时间常数决定了二极管的动态特性。如果所加的电压  $V$  有一跳变  $\delta V$ ，阱中的电荷密度将以指数的方式，按时间常数  $\tau_{eff}$  趋向一新定态值  $(\sigma_w + \delta \sigma_w)$ 。 $\delta \sigma_w$  的数值可用一个等效电容描述

$$\delta \sigma_w = C_{eff} \delta V = \left| \frac{C_G \tau_{eff}}{\tau_G} \right| \delta V \quad (5.38)$$

虽然，根据公式(5.36)中  $C_G$  的符号， $C_{eff}$  可取正或负值。但这一电容的值与动态变化无关。

如果从公式(5.33)中去掉  $J_{out}$  中  $\delta \sigma_w / \tau$  那一部分，RT 二极管真正进入了线性响应区，并可用另一个等效电路来严格描述，其中  $R_E$  并联  $C_E$ ， $R_C$  并联  $C_C$  之后再串联在一起。求解该等效电路给出了公式(5.35)，只是需要用  $\tau_{eff}$  替代  $\tau_G$ 。然而对于真实的 RT 二极管振荡器这并不是一种好的近似<sup>2)</sup>。在工作区中  $V_c$  大， $\tau$  的值

1) 该模型由 P. Solomon 在和我们(SL)的私人通信(1995)中提出。严格说来，参数  $\tau$  和  $R_C$  可定义为以下形式：在固定  $V_c$  下  $\tau^{-1} = (\partial J / \partial \sigma_w)$ ，在固定  $\sigma_w$  下  $R_C^{-1} = (\partial J / \partial V_c)$ 。把它们解释为寿命和电阻只是一种近似。

2) 而且关键是二极管工作在高  $V_c$  的条件下，远离平衡。与之相反的是近平衡的  $J_{out}$  可以用 Landauer 的公式描述： $\delta J_{out} = \delta V_c / R_C$ ，其中  $R_C$  是集电区势垒穿透系数  $T_C$  的函数。但在高  $V_c$  时，需要用寿命  $\tau$  而非  $R_C$  来描述量子阱中载流子的隧穿率。

要比  $\tau_0$  的小，这样  $\tau_0 \approx \tau$ 。在双势垒中集电极一侧有大的未掺杂隔层的结构中更是如此，在这种结构中，集电区势垒的透过率变得只与  $V_C$  有弱的依赖关系，相应地使公式(5.33)中的  $R_c$  变得很大。高速的关键参数是  $\tau$ ，使集电区势垒尽可能透明的同时，在  $I-V$  特性中为了 NDR 而保持尖锐的二维量子化，可使  $\tau$  优化至最小。

图 5.32 归纳了利用不同材料系统(GaAs/AlAs, InGaAs/InAlAs 和 InAs/AlSb<sup>[24]</sup>)制备的高速 RT 振荡器，实验测得的室温下的振荡性能。在  $T=300\text{K}$  时，GaAs/AlAs 中可用的功率密度  $P_{max}$  受相对较低的 PVR 的限制，InGaAs/InAlAs RT 二极管有好的输出功率，而 InAs/AlSb 器件适于亚毫米波段( $f > 3\text{GHz}$ )，并保持了固态振荡器振荡频率的纪录 712GHz<sup>[25]</sup>。没有其它的固态源能在亚毫米波段产生一定的功率。这种器件的一个可能的应用是作为高灵敏度射线探测仪中的低噪声局部振荡器。有关微波二极管的性能及应用，将在第六章中详细讨论。

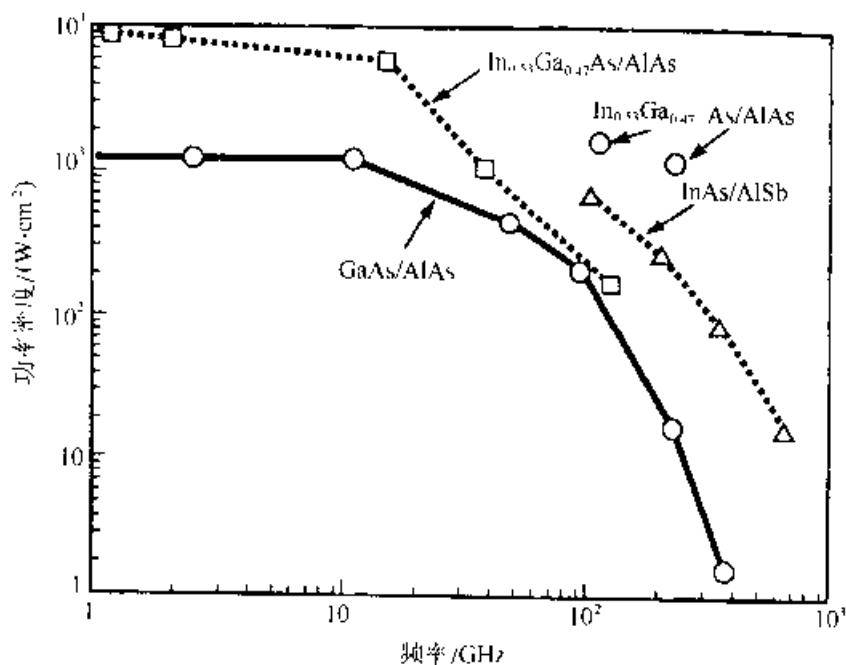


图 5.32 利用不同材料体系制成的 RT 振荡器的性能对比。InAs/AlSb 振荡器能够达到  $f_{max} \approx 1\text{THz}$ (该图得到了 E. R. Brown 的允许, 1995)

#### 5.4.2 存储器

在利用量子效应和热电子器件构成存储器电路方面已做了一些努力。单电子存储器可用图 5.5 所示的具有双稳  $I-V$  特性的非对称两端 RT 二极管构成，器件的偏压在低于  $V_P$  的双稳区中，并可用电压脉冲改变其上的存储状态。还有一种是在具有 NDR  $I-V$  特性的普通 RT 二极管上串联负载电阻  $R_L$ ，它可在直流偏压下进入有两个稳态点的区域，如图 5.33(a)所示。同样电压脉冲可用于改变存储态。这类存储器的缺点是与至少一个存储态相对应时，在 RT 二极管中有大电流流

过。结果与较大及较复杂的传统存储器设计相比，这种存储器的功耗过高。克服功耗问题的方法之一是利用多态设计增加 RT 存储器的功能。如 5.2.3 节中所讨论的，通过适当设计的具有  $N$  个二极管的级联 RT 结构，多峰的  $I-V$  特性具有几乎等值的  $N$  个电流峰，其间隔都是  $\Delta V_p$  ( $N=8$ ,  $\Delta V_p \approx 0.95V$ ) 的级联 RT 结构可参见图 5.16。如图 5.33(b) 所示，在这类结构上加一由 FET 产生的恒定的工作电流  $I_{OP}$ ，输出节点的电压  $V_{out}$  可在任何  $N+1$  个稳定电压点上。通过在瞬态写允许线上加一输入电压可实现  $V_{out}$  状态之间的转换。一旦写线禁止，级联 RT 将被调节至最近的稳定  $V_{out}$  值并始终维持下去，这样就构成了一个  $(N+1)$  态的存储器<sup>[43]</sup>。然而，这类多值存储器仍有功耗  $P_{OUT} = I_{OP}V_{out}$ ，其平均值为  $\langle P_{OUT} \rangle \approx I_{OP}\Delta V_p N/2$ ，由于  $I_{OP} > I_v$ ，要使功耗极小就需要高的 PVR，这里  $I_v$  是  $N$  个峰值中以及小的  $\Delta V_p$  中最坏情况的谷电流。而且  $\langle P_{OUT} \rangle$  随着  $N$  和  $N$  个 RT 二极管与 RC 开关时间延迟有关的积累总串联电阻的增加而变大。再者，基于多态 RT 存储器的实际电路要求不同器件间的性能严格地可重复。最后，对于存储相同数量的信息，多值存储器的好处在于能够减少单元的数目，若是  $(N+1)$  态器件替代二进制触发器，减少的系数为  $\log_2(N+1)$ 。

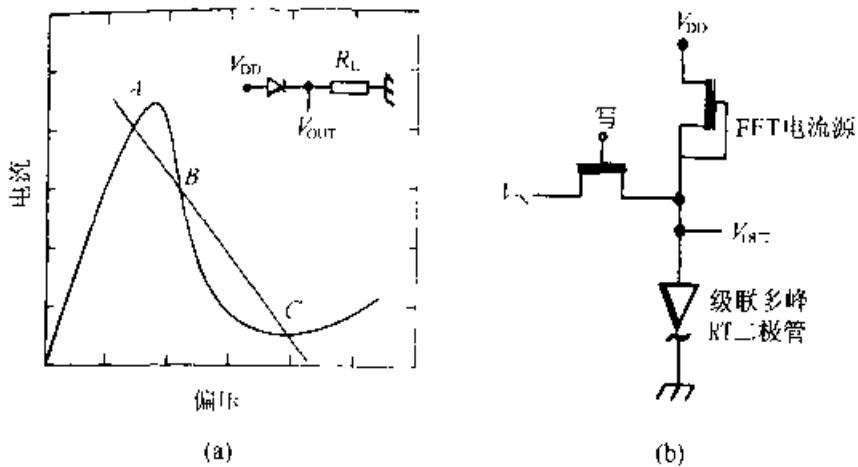


图 5.33 (a) 由一个 RT 二极管串联一个负载电阻  $R_L$  构成的双稳态存储器的原理。输出电压  $V_{out}=IR_L$  由电路处于 A 点或 C 点决定, B 点为非稳态; (b) 多值存储器的原理, 该存储器由如图 5.16 的具有多峰  $I-V$  特性的级联 RT 器件和提供恒定电流的 FET 构成(引自 Seabaugh 等的参考文献[43])

另一种不同的方法是把两个负阻器件串联起来，负阻器件可以是 RT 二极管、RSTT、RHET 或任何  $I-V$  特性中具有 NDR 的器件。实际上在 60 年代，以隧道二极管为基础<sup>[44]</sup> 提出了许多这类的器件。如果总偏压  $V_{DD}$  超过任何一个器件中出现 NDR 的临界电压的两倍左右，由于电流连续，电压在两个器件间的分配变得不稳定。其中一个器件上分到了绝大部分的外加偏压，从而确定了中间节点上的电压  $V_{out}$ 。利用图 5.34 中的负载线结构可说明这一点：工作点 A 和 C 是稳定的，而 B 是非稳的，随着  $V_{DD}$  跃过  $2V_p$ ，该系统将根据哪个器件首先出现 NDR 而

进入两个稳态点中的某一个。这是由于涨落或实际上由于  $I-V$  特性的轻微差别。两个态之间的转移可通过控制器件的参数(对于三端 RT 结构或 RSTT)或利用附加电极改变中间节点的偏压来实现。重要的是,当  $V_{DD} > 2V_P$  时流过两个串联 NDR 器件的电流与谷电流有关(见图 5.34)无论电路处于 A 点或 C 点,只要器件的 PVR 大,电流便小。

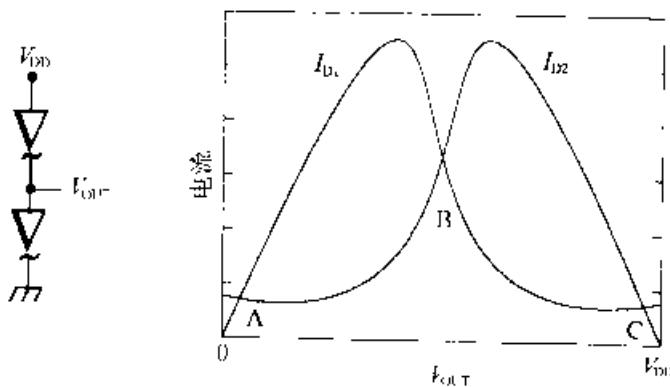


图 5.34 确定由两个相同的 NDR 器件串联成的电路工作点的示意图,点 A 和 C 为稳定,点 B 为非稳定

图 5.35(a)示出了具有附加电极的两个串联 RT 二极管构成的存储器的原理图,其附加电极与中间节点间用隧道势垒隔离。采用能够提供高的  $I-V$  特性的室温 PVR 的 InAs/AlSb/GaSb 材料体系已制成了这种器件,  $T = 77\text{K}$  下,已经用 InGaAs/InAlAs/In RHET 进行了验证<sup>[25]</sup>。如图 5.34 所示,串联 RT 二极管上加偏压  $V_{DD} > 2V_P$  后,其中的某个二极管进入谷区,于是流过一小电流。 $I \ll I_P$ ,并且  $V_{OUT}$  接近于  $V_{DD}$  或接近于地电位。为改变  $V_{OUT}$ ,在子集电区控制电极上加偏压  $V_N$ ,产生在中间节点与子集电极间流过的电流  $I_C$ 。由于这一电流是隧穿通过子集电区势垒,它随着电势差  $|V_{OUT} - V_N|$  的增大而迅速增加,当子集电极电流达到  $I_P$  时, $V_{OUT}$  转变,导致  $V_{OUT}$  随  $V_N$  变化的特性曲线中的滞回线[参见图 5.35(b)]。 $V_{OUT}$  电压摆动的幅值与 RT 二极管的  $I-V$  特性有关。如果二极管的 PVR 足够高,摆幅可能接近于  $V_{DD}$ 。相反,所需的状态开关偏压  $V_N$  与单个势垒的  $I_C$  有关,  $I_C$  是  $(V_{OUT} - V_N)$  的函数。子集电区势垒越小,为使开关中间节点达到  $I_P$  所需的  $|V_{OUT} - V_N|$  差便越小,相当于图 5.35(b)中沿水平轴向挤压了滞回环。至关重要的是,在向控制电极施加开关电压  $V_N$  脉冲之前,流过存储器的总电流被限制在低于 RT  $I-V$  特性中的谷电流的水平,而通过设计适当的子集电区,隧穿势垒可使附加子集电极的泄漏电流很小。

沿用图 5.35 的方法,基于两个 RT 二极管或 RHET 串联的存储单元要小于标准的 CMOS 设计,在  $T = 77\text{K}$  下工作的 RHET 类单元所省的面积可达一个数量级,而室温下采用 RT 二极管的存储单元所省的面积达到 2 至 4 倍,这与二极管的水平或垂直方向叠层布置有关。

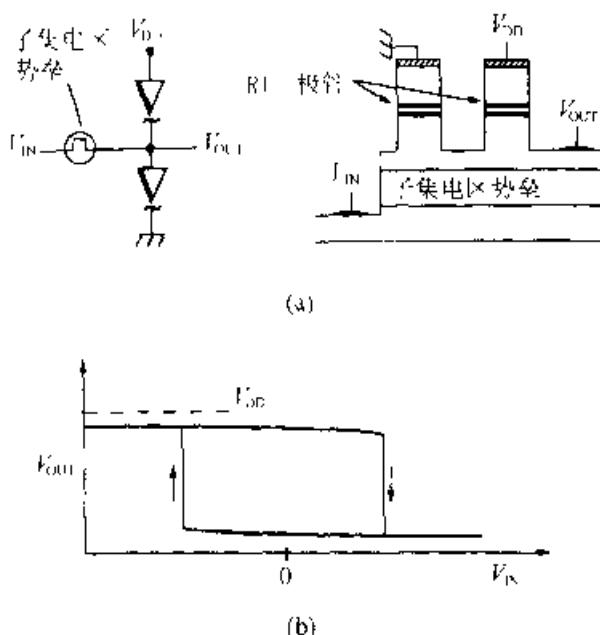


图 5.35 (a) 在两个 RT 二极管串联后在中间节点附加了子集电极以控制电压  $V_{OUT}$  的存储器的电路和剖面图。(参见 Shen 等的参考文献[92])；(b) 输入-输出特性示意图。二极管的特性决定了电压  $V_{OUT}$  的摆幅(图中环的纵向部分)，它随 PVR 的增加而增大。子集电极的两端特性  $I(V_{OUT}-V_{IN})$  决定了  $V_R$  的开启点(图中环的横向部分)

大规模存储阵列的另一方面的问题是功耗，由于需用一定的  $I_p$  对互连电容充电，并且待机功耗与谷电流有关，相应的品质因素是 PVR。通过采用复式 InAs/GaSb/AlSb RT 二极管，室温的 PVR 已接近  $20^{[92]}$ ，但为了达到可接受的功耗水平，还需要更高的 PVR。结果，在高密度存储应用领域中，用特殊材料的 NDR 类存储器显然无法与 CMOS 相抗衡。另一方面，它们可能应用于需要小量存储并能负担较大静态功耗的特定领域。

### 5.4.3 逻辑单元

除了存储器外，已提出了用 RHET 或 RSTT 构成逻辑单元的方案，并得到了一些研究小组的验证。尤其是示于图 5.30(b)的 RHET 的压缩 XNOR 功能，已被用于设计某些基本逻辑部件，如锁存器和全加器<sup>[94]</sup>。这种设计中典型的模块为三输入多逻辑门，如图 5.36 所示，其中用了三个 RHET。通过利用四电阻求和网络与第一个 RHET 的发射极-基极二极管相连。在三个输入端中如果少于两个输入端为高则工作点低于  $I_c-V_{BE}$  特性曲线中的  $V_p$  点；而若有两个或三个输入端为高，其工作点则在  $V_p$  之上[参见图 5.30(a)]。第二个 RHET 用于检测第一个 RHET 的输出是在  $V_p$  之上还是  $V_p$  之下，第三个 RHET 较大并能输出较高的  $I_c$ ，用于增大驱动逻辑门所需的输出电流。将这种多逻辑门和由两个 RHET 构成的两个 XNOR 门结合，已实现了  $T=77K$  下工作的全加器<sup>[94]</sup>。室温下工作的利用在双

极晶体管的发射结上有或没有 RT 二极管制成的混合全加器也已有报道<sup>[95]</sup>。这类设计用数目减少了的晶体管实现了所需的逻辑功能。然而，值得注意的是，RHET 和共振双极逻辑设计中减少晶体管数目的代价是需要制备额外电阻。但是，由于在微电子技术中薄膜电阻的制备需要附加的工艺步骤和设备，这类电路带来的大量节省面积的好处并不明显。再者，所有这些电阻对这类电路中开关速度，传输延迟的影响至今仍不清楚。最后，这类电路和传统硅工艺的集成是一个问题，而若在 III-V 族半导体上建立单独的量子器件逻辑电路是绝不可能与发展中的硅 CMOS 逻辑相竞争的。

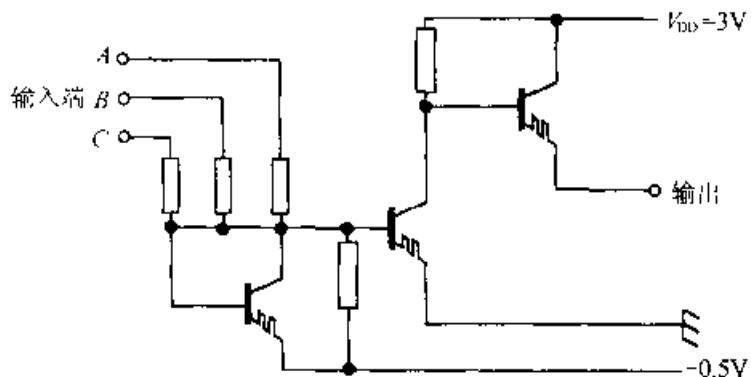


图 5.36 由三个共振热电子晶体管和一个电阻构成的三输入多逻辑门网络。输出节点前的最后一个 RHET 的面积较大以提高 IC(即驱动逻辑门)的电流(引自 Takatsu 等的参考文献[94])

当采用 Si/SiGe 异质结构后，多功能器件和传统逻辑电路的集成变得容易。如第 5.2.2 节中所讨论的，硅基 RT 二极管或晶体管<sup>[23~25, 37]</sup>，只有在低温下才有可接受的性能，这是由于 Si/SiGe 的势垒低。另一方面，最近在 Si/SiGe 实空间转移器件上已取得了进展。图 5.37 示出了 p-Si/SiGe RSTT 室温下的漏端  $I_D-V_D$  特性和集电极  $I_C-V_D$  特性<sup>[34]</sup>。器件的结构与图 5.27 所示的 GaAs/AlGaAs RSTT 相同，但是用  $\text{Si}_{0.7}\text{Ge}_{0.3}$  层形成沟道和集电区，其间由 3000 Å 的未掺杂硅势垒隔开。负的集电极偏压在沟道中感应出一定密度的空穴，其中  $V_D$  驱动源-漏电流，并对空穴加热。随着  $V_C$  的增加，漏特性出现了 RST 感应的 NDR，在  $V_C = -5.5\text{V}$  时 RVR 略大于 2。 $V_C$  的进一步增加使得由冷空穴隧穿引起的泄漏电流增加。尽管 PVR 要远差于 III-V 族的 RSTT。但足以用来实现单器件 XOR 门：其  $V_C = -4.0\text{V}$ ， $V_S = 0$  或  $-4.0\text{V}$  对应于低或高的输入，在  $T = 300\text{K}$  时栅具有 10dB 的开/关比， $T = 77\text{K}$  时的开关比为 65dB。当源、漏间距为  $L = 0.5\mu\text{m}$  时，该器件的电流增益截止频率  $f_T = 6\text{GHz}$ 。最后，模拟结果表明，通过降低势垒厚度及对结构参数的微调<sup>[34]</sup>，漏电路的 PVR 仍有很大的提高余地。

在 RSTT 中由于输入源和漏端是完全对称的，通过增加输入端的数目，甚至可以用来获得更强的逻辑功能。例如，三个输入端允许单个器件实现 ORNAND

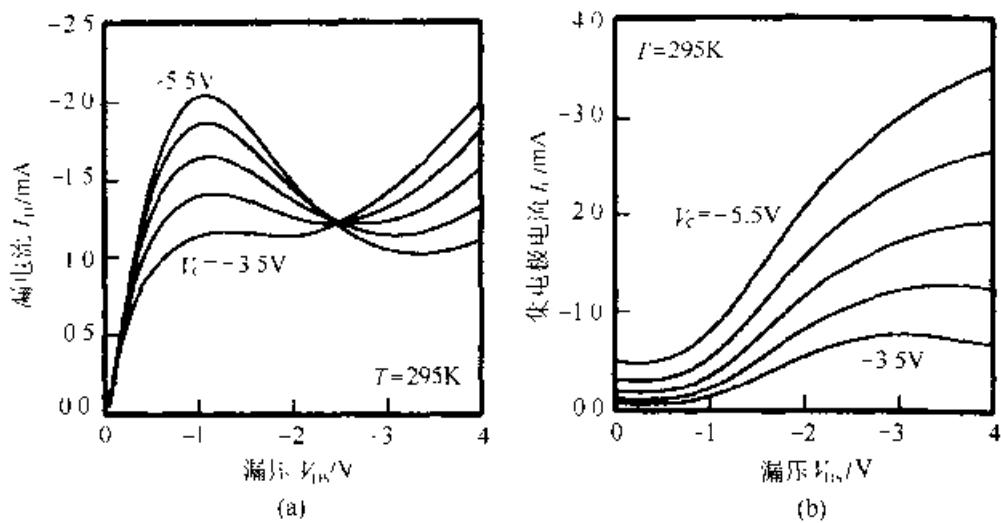


图 5.37 室温 Si/SiGe RSTT 的漏电流(a)和集电极电流(b)与源-漏偏压  $V_{LB}$  的关系,

其中  $V_C$  由  $-3.5V$  变化到  $-5.5V$ , 步长为  $-0.5V$ , 源-漏沟道长度为  $L=0.5\mu m$ ,

器件的宽度为  $10\mu m$ (引自 Mastrapasqua 等的参考文献[83])

门。根据控制输入端的高或低, 输出电流与其它两输入端间的关系为 NAND 或 OR<sup>inv</sup>。器件结构示于图 5.38(a)。为实现 ORNAND 功能, 控制输入端  $V_3$  设定为周期性边条件。在  $T=77K$ 、 $V_C=-5.0V$ 、 $V_{low}=0$ 、 $V_{high}=-3.0V$  时, 这种器件的逻辑功能示于图 5.38(b), 如果降低冷空穴泄漏电流或沟道长度  $L$ , 同样的器件可望在室温下工作。

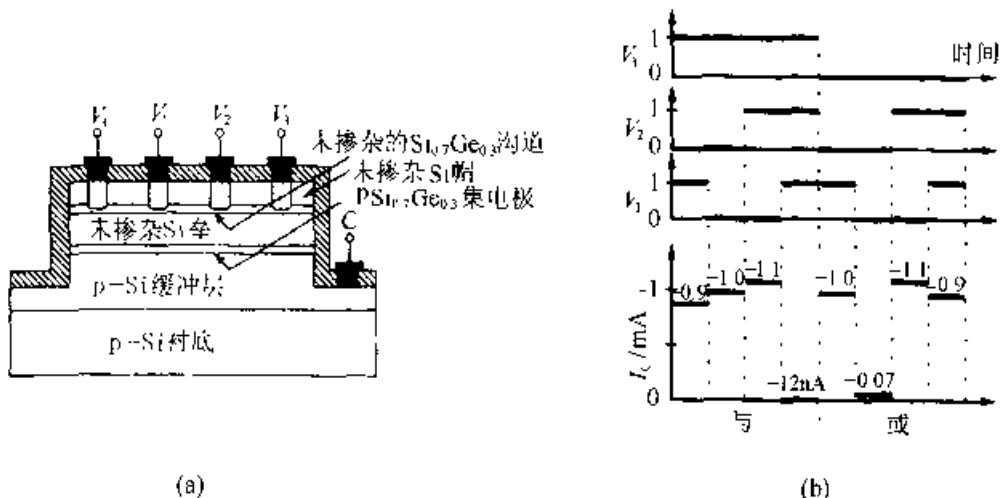


图 5.38 (a) 三输入的 Si/SiGe RSTT ORNAND 门, ORNAND 逻辑需要在  $V_3$  上加周期性的边条件。不同输入间的沟道长度  $L=1\mu m$ , 器件宽度为  $50\mu m$ ; (b) 工作在  $T=77K$  下的 ORNAND 逻辑:  $V_C=-5V$ , 输入  $V_{high}=-3V$ ,  $V_{low}=0$ (引自 Mastrapasqua 等的参考文献[83])

原则上, Si/SiGe RSTT 和硅微电子技术兼容。尽管外延淀积有源区的赝品 SiGe 层显然需要额外的工艺步骤并需减少后续工艺的热预算。所增加的工艺复杂性与由多功能而节省的面积之间的折衷将决定着硅基 RSTT 的未来。若工艺的发

展将最终使硅技术进入液氮( $T=77\text{K}$ )温区，则硅基量子效应和热载流子器件的成功机会将大大增加<sup>1)</sup>。

#### 5.4.4 量子级联激光器

正如我们所见到的，量子效应器件或热电子器件替代传统半导体工艺的前景——无论是数字逻辑和存储器芯片或模拟放大器以及开关——都受到了室温工作、器件的可重复性及制备复杂性等的制约。新型器件的优点，通常是更强的功能和更高的速度，但就目前来看，或者从可预见的未来看，这些新型器件将不会取代标准的FET和双极技术。另一方面，这类器件，如亚毫米RT二极管振荡器和库仑阻塞电流源，在某些精确的传统固态器件不涉及的应用领域有可能成功。另外，对量子器件而言，潜在的更加重要的应用领域是中红外固态激光源，工作在波长 $\lambda=4\sim12\mu\text{m}$ 范围内的器件，目前的技术依赖于低功率、低产率的铅盐器件。最近发展起来的量子级联激光器(QCL)<sup>[12, 12]</sup>，充分利用了异质结带隙工程，在器件结构中综合了共振隧穿和热电子的特点。激光出现在子带间的跃迁上，并且通过量子阱的设计使得在红外区的 $\lambda$ 是可调的。

图5.39示出了QCL增益区的一部分的能带结构及其输出特性。整个QCL结构是用MBE法生长在n-InP衬底上构成的。整个增益区包括25级的InGaAs/AlInAs耦合量子阱有源区，以及随后的一个超晶格布拉格反射器。在工作电压 $\sim10\text{V}/\text{cm}$ 下，未掺杂的耦合量子阱有源区设计成下述的2D子带结构：较高的 $E_3$ 子带波函数为 $|\chi^3(z)|^2$ 集中在第一个阱中，较低的两个子带 $E_2$ 和 $E_1$ 分别集中在第一和第二个阱中(参见图5.39)。辐射跃迁为 $E_3 \rightarrow E_2$ ，于是激光的输出能量为 $\hbar\omega = E_3 - E_2$ 。和所有的激光器一样，辐射跃迁必须和其它的 $E_3 \rightarrow E_2$ 的弛豫机制竞争。在QCL中主要的非辐射弛豫过程包括光学声子发射。这个过程相对较慢，但是由于 $\hbar\omega \gg \hbar\omega_{\text{opt}}$ ，因而 $E_3 \rightarrow E_2$ 的弛豫需要平面内的大的动量变化。另一方面，由于 $E_2 - E_1 \approx 30\text{meV} \approx \hbar\omega_{\text{opt}}$ ，于是发射光学声子的 $E_2 \rightarrow E_1$ 弛豫很快。耦合量子阱下层的超晶格(SL)满足了 $E_3$ 和 $E_2$ 间粒子数反转所必需的条件。在InGaAs/AlInAs SL布拉格反射区，阱和势垒的宽度成对调节<sup>[13]</sup>以抵消偏压并形成一个几乎平的微带结构(参见图5.39)。提供光子发射的过程为：某一有源区中处于 $E_3$ 态的某一个电子从 $E_3 \rightarrow E_2$ 辐射跃迁，然后通过发射声子从 $E_2 \rightarrow E_1$ 弛豫，从 $E_1$ 态隧穿进入最低的布拉格反射器SL的微带，最后，隧穿进入下一有源区的 $E_3$ 态，这一过程重复进行，直到电子逐一通过所有的25级并被有源区两边的掺杂的光学覆盖层收集。

为了得到光学增益，需要在QCL有源区的 $E_3$ 和 $E_2$ 态间有粒子数反转，这

1) 在任何硅基异质结构中，若势垒高于Si/SiGe中势垒 $0.2\sim0.3\text{eV}$ ，则将拓展这种器件的应用前景。

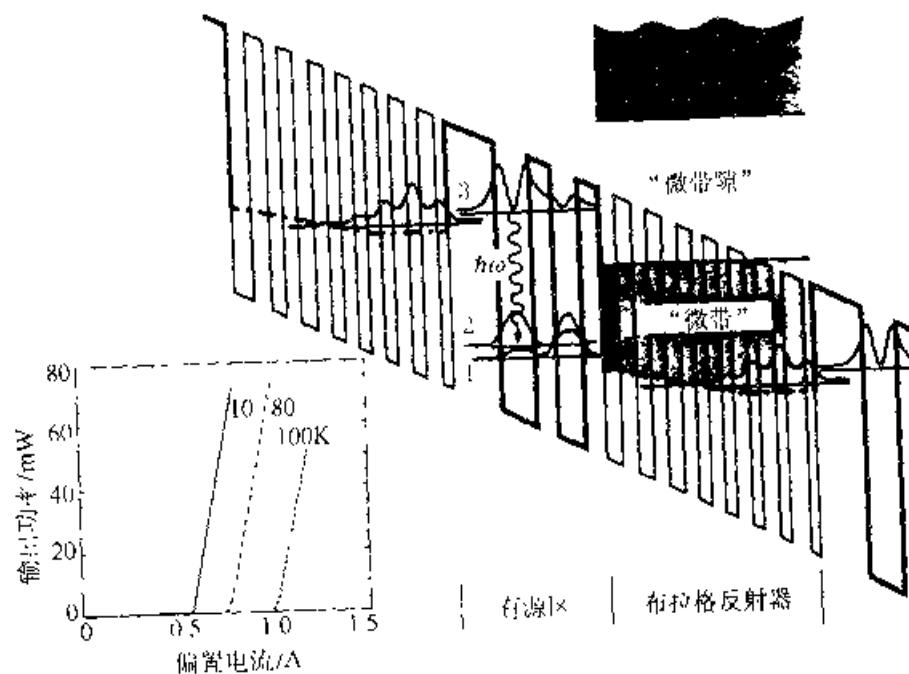


图 5.39 电场  $E_z = 8.5 \times 10^1 \text{V}\cdot\text{cm}$  下的量子-级联激光器的导带示意图。图中的波浪线示出了耦合量子阱有源区  $E_2 \rightarrow E_1$  的辐射跃迁，粗线为有源区子带波函数的模的平方。图中还示出了超晶格布拉格反射区的微带结构。由图可见，耦合量子阱中的两个较低态， $E_2$  和  $E_1$  与 SL 的微带相对齐，而  $E_3$  态则与 SL 的微带隙相对齐。在不同散热温度  $T$  下，具有解理面的激光器输出光学功率与注入电流的关系示于图的左下部(工作在脉冲模式)。在  $T = 100\text{K}$  时，阈值电流密度为  $J_{th} = 3 \times 10^1 \text{A}\cdot\text{cm}^2$ (引自 Faist 等的参考文献[97])。

在  $T = 100\text{K}$  时，阈值电流密度为  $J_{th} = 3 \times 10^1 \text{A}\cdot\text{cm}^2$ (引自 Faist 等的参考文献[97])。

需要从较低的  $E_2$  态上迅速移走电子，以及在较高的  $E_3$  态上有长的非辐射寿命。如前所述，发射光学声子能很快地腾空  $E_2$  态，而它腾空  $E_3$  的速度则相对很慢， $E_3$  态上要求长非辐射寿命的另一个原因是阻止直接隧穿出有源区。然而，由图 5.39 所示，由于  $E_3$  位于 SL 微带隙之上，直接隧穿出  $E_3$  态进入 SL 区的过程是被阻止的。即 SL 起到了 Bragg 反射器的作用(参见 5.2.4 节中有关超晶格微带结构的讨论)。

重要的是，SL 区中靠近中间的部分掺杂到了  $10^{17}/\text{cm}^3$  的水平，以便提供注入到耦合量子阱区的载流子，并且在工作条件下，器件中有电流  $J$  流过时要保持总电荷中性。为避免由  $J$  引起的空间电荷积累，需要一个正电荷库以补偿每一总电荷中性。通过图 5.39 中 QCL 的 SL 区和图 5.19 中类似的 SL 结构的对比，可以更好地理解 SL 区的作用。即使在某一偏压下，SL 和相邻的阱间发生共振而非进入由 Kazarinov 和 Suris 首先提出的 NDR 区。由较高的  $E_3$  态隧穿进入连续带的过程将起到阻止粒子数反转的作用。此外，在有相当的电流时，在非掺杂的 SL 中将不能保持常数电场。使用掺杂的 SL 区是关键的设计创新，并因此制备出了第一个 QCL<sup>[54]</sup>。结果，QCL 的设计依靠 SL 区抑制从辐射跃迁的上

能级隧穿进入连续带的过程。为达到这一目的，SL 区被设计成了微带隙在  $E_3$  态附近的电子布拉格反射器(参见图 5.39)。注意到由于有效布拉格反射要求在 SL 区中有很准确的缓变层厚，这对能带结构模型和 MBE 的层间控制都提出了严格的要求。

相应的一个  $\lambda=4.5\mu\text{m}$ 、工作在脉冲模式下、具有解理面的激光器特性示于图 5.39(左下方)。在  $T=140\text{K}$  时工作在连续模式下，而在室温下为脉冲模式的优化 QCL 结构最近已有报道<sup>[99]</sup>。虽然输出功率很高，但阈值电流密度  $J_{\text{th}}$  随温度迅速增加，在  $T=100\text{K}$  下达到  $3\times 10^3\text{A/cm}^2$ 。如果把  $E_3 \rightarrow E_2$  的辐射跃迁视为原子的二能级系统，高温下性能的退化可归因于粒子数反转的减少，这是由于温度引起的来自于掺杂 SL 区的电子对  $E_2$  能级的回填所引起的<sup>[99]</sup>。真实的情况肯定更加复杂。最近对 QCL 增益的理论分析表明，存在非抛物型的共平面子带时，热电子效应非常重要<sup>[100]</sup>。确实，平均来看，无论是以平面运动中一定的能量分布隧穿进入  $E_3$  态的电子，还是那些非辐射弛豫至子带  $E_2$  的电子起初都是很热的，对于  $\lambda=4.5\mu\text{m}$  的跃迁，其能量在子带底之上  $\hbar\omega-\hbar\omega_{\text{eff}} \approx 250\text{meV}=3000\text{K}$ 。如果平面子带的色散关系是非抛物型的(在远离子带极小处肯定如此)， $\hbar\omega=E_3-E_2$  随平面能量变化，于是增益与这些子带上热电子分布之差有关。在由掺杂 SL 提供的每个 QCL 周期高或低的薄层载流子浓度极限  $n_0$  下，热电子分布的形状完全不同。当  $n_0 \ll 10^{11}/\text{cm}^2$  时，电子-电子碰撞的几率低，分布函数非麦克斯韦形式，主要的散射机制为在同一子带中的光学声子发射。假设从 SL 微带隧穿进入较高的  $E_3$  子带的电子分布是准平衡的，具有晶格温度  $T$  是合理的<sup>1)</sup>。一次  $E_3 \rightarrow E_2$  的非辐射带间跃迁之后，较低子带上的电子具有高的动能。于是它们接连发射光学声子，并部分逃逸到了 SL 微带库中。相应的分布成为一个准分离的阶梯，其占据几率沿  $E_2$  子带底的方向降低，等效温度便好像是负的了。

在一系列晶格温度  $T$  下， $n_0$  低时计算得到的增益谱示于图 5.40(a)。即使  $T=300\text{K}$  时，增益峰也相当大。注意到这里假设没有  $E_3$  和  $E_2$  子带间完全的粒子数反转， $\xi=n_3/n_2=1$ 。没有激光时， $\xi$  由非辐射动力学决定，即  $\xi$  是  $E_3 \rightarrow E_2$  的非辐射跃迁的几率与载流子离开  $E_2$  子带的几率之比。在低浓度区，增益谱中峰值波长与温度无关。据我们所知，这一区域仍没有在实验上实现。

另一方面，在高  $n_0$  极限下计算得到的增益谱<sup>[101]</sup>中也出现了一段正增益区，这里假设热电子的麦克斯韦分布是合理的，但增益峰很低。而且在较高  $T$  下，增益峰向长波方向移动。这些效应在现有的 QCL 结构中已观察到。在高浓度区，正增益范围内的  $n_2 > n_3$  全是由非抛物性引起的。事实上，如果在相应的两个子带上引入准费米能级  $E_{F3}$  和  $E_{F2}$  来描述热电子的分布，则正增益出现在  $\hbar\omega < E_{F3} - E_{F2}$  时，该条件在传统的半导体激光器理论中是熟知的。相反，低浓度极限下存在的

1) 这一假设意味着在 QCL 级间的输运具有足够快的能量弛豫。

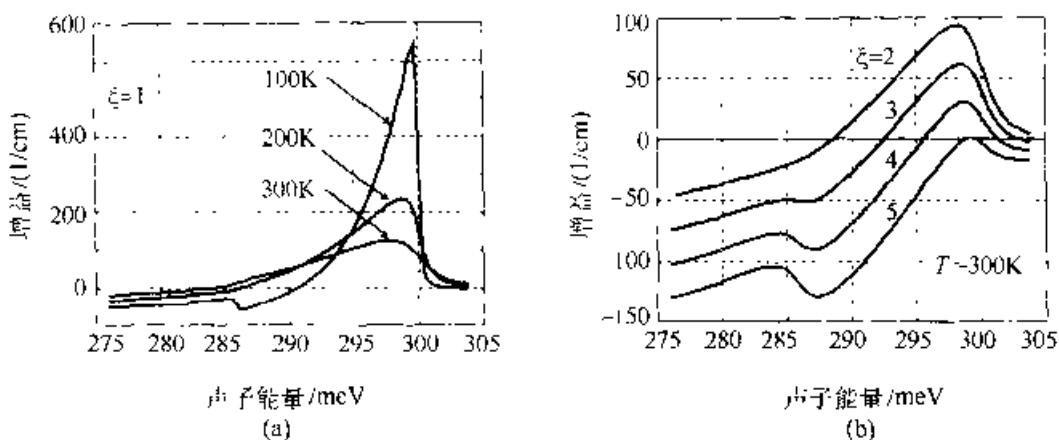


图 5.40 (a) 低浓度极限下, 量子级联激光器在不同晶格温度下的增益谱, 其中假设子带  $E_3$  和  $E_2$  间的总数没有反转,  $\xi=1$ 。计算中采用了以下参数:  $E_2=138\text{meV}$ ,  $E_3=438\text{meV}$ , 共平面的有效质量  $m_x=0.051m_0$ ,  $m_y=0.075m_0$ ,  $n_s=5\times10^9/\text{cm}^2$ ,  $J=800\text{A}/\text{cm}^2$ ; (b) 室温下, 不同布居反转数  $\xi$  的增益谱

正增益不依赖于非抛物性并能持续到远离完全的粒子数反转时<sup>[106]</sup>。低  $n_D$  时对几个  $\xi$  值计算得到的室温下的增益谱示于图 5.40(b)。优化 QCL 性能的方法预计在低浓度区。

## 5.5 总结与展望

本章中, 我们回顾了量子效应和热电子器件方面的一些最新研究进展。尽管按某些标准(并不是所有的)这类器件中的某些方面已非常成功, 但至今仍未发现有大规模商业应用。一二十年前, 这种状况可能归因于这一领域尚不成熟, 并需要进一步发展。但是在共振隧道二极管和热电子晶体管的第一次实验演示已过去了四分之一世纪的今天, 前述的原因已不再成立, 这将不可避免地面对最基本的问题: 这些器件有什么优点?

可以肯定, 奇特器件研究以其在科学上取得的成就而自豪, 发现了引人注目的新物理现象<sup>[102]</sup>, 其中分数量子霍尔效应便是一个最重要的例子, 并且许多以前不清楚的方面也得到了解释。与电子器件相关的基本效应, 如异质结中的隧穿、弹道输运、载流子加热越过势垒的电荷注入等, 不再是只有在低温下才有能辨别出的特性。它们目前已是可重复的现象, 在利用这些现象的器件中可实现很好的开/关比。尽管有这些成功, 但对于奇特器件的研究, 却大多持怀疑态度。尽管全世界已作了相当大的努力, 但仍没有制成这些器件, 那我们为什么还要在前景不被看好的领域进行投资?

以我们的观点看, 无论是共振隧穿还是热电子器件, 作为单独应用的技术, 成功的可能性确实很小。换言之, 它们在和其它技术联合使用上潜力很大, 如光

电集成电路，它可能从引入共振隧穿或热电子效应的超快功能器件中得益。最近发展起来的量子级联激光器更有助于证明这一观点，因为它在中红外波段内( $\lambda > 4\mu\text{m}$ )具有好的性能。而且这类激光器可得到极好的频率特性，其调制频率超过100GHz。通常相信在计算机或通讯应用上，光最终将替代电流作为信息信号的载体，这是目前半导体器件革新的主要动力。当然，电子学的“无光”年代仍远未结束，而设想各种奇异器件在未来电路演化上的可能应用是一件有趣的事。这类新电路的工作可能无需发射、吸收或光的转换。

半导体电子学的发展总是和材料科学及其技术的进步紧密相关的。电子学的第一次革命是晶体管替代真空管，这基于半导体的掺杂，并依赖于新发现的纯净晶体的生长方法。20世纪50年代以前，半导体不能用“掺杂”这一术语——它们是不“纯净”的。今天从不包含不希望的外来粒子浓度的角度看，通常在器件中使用的半导体比真空管中的真空更干净。

其后，晶体管电子学的发展与两个方面取得的进展相联系：一是光刻分辨率的进展和离子注入掺杂带来的器件设计规则的微细化，二是层状晶体生长及选择掺杂技术的发展，这类技术的杰出代表是MBE和MOCVD，它们在掺杂和化学组分上达到了单原子层的精度。

在这两个领域中，第一方面无疑在商业领域具有更大的冲击力，而第二方面主要体现在新系统开发的器件物理领域。在未来，这样的角色也可能会颠倒过来。具有纳米分辨率的新型光刻技术的发展将在探索介观器件的各种物理效应上确立地位，而外延生长的器件，尤其是和光电器件集成在一起的异质结晶体管将获得商业应用。这种角色转换是否会发生？何时发生？可能将取决于经济和技术的因素。我们相信异质结构电子学的重大应用将与其在硅电子学中的应用有关。

工业发展的动力将激发出从基本原理上开发电子系统中所用器件的新途径，而不再是靠不断缩小线条特征尺寸的传统途径。在未来，当集成电路的速度和器件的封装密度主要受互连线的延迟和功率限制，而不是受晶体管本身的限制时，小型化的进程将面临越来越小的回报。进一步的发展便可能需要电路工作在液氮温区和/或严重依赖于宽带光子和电子的互连。在硅微电子学领域中，光学互连的实现需要能够在硅衬底上生长或融合外来异质结构岛的混合材料系统。从过去硅与GaAs之爭的角度看，我们认为，硅是GaAs的最终用户，在这一方案中，目前在通用的数字和模拟电子学中，量子效应器件和热电子器件无竞争力，但却可能在小型的、多功能的特殊应用组件的新型器件上占有一席之地，在微电子的主要分支中增加重要的功能。

## 附录 5.A 态密度和费米积分

考虑  $d$  维空间中 ( $d=1, 2$  或  $3$ ) 单粒子的相空间。它包括  $2d$  个坐标轴，相应于粒子的  $d$  个空间坐标与  $d$  个动量坐标。一个超维体积  $V^d$  在相空间包含了  $2V^d/(2\pi\hbar)^d$  个不同的态是量子统计的一个基本原则，其中，在分子中的因子  $2$  起源于自旋简并。所以在相空间的态密度由下式给出：

$$1 \text{ 维: } 2dLdp/(2\pi\hbar) \quad (\text{A1a})$$

$$2 \text{ 维: } 2dAd^2p/(2\pi\hbar)^2 \quad (\text{A1b})$$

$$3 \text{ 维: } 2dVd^3p/(2\pi\hbar)^3 \quad (\text{A1c})$$

式中  $dL$ 、 $dA$  和  $dV$  分别代表尺度元、面积元和体元。

固体能带理论保持了同样的表达式 (A1(a)~A1(c))。此时它们描述的是在每个带中的态密度。当然， $p$  不再是电子动量，而是晶格动量(在本章中用波矢  $k$  表示， $p=\hbar k$ )。因为平衡时不同态的占据几率仅依赖于它们的能量，所以可将态密度表示为能量的函数。如果我们定义  $N(E)$  为能量小于  $E$  的能带中态的数目，则对不同维  $d$  的态密度为：

$$1 \text{ 维: } g^{(1D)}(E) = L^{-1}dN/dE \quad (\text{A2a})$$

$$2 \text{ 维: } g^{(2D)}(E) = A^{-1}dN/dE \quad (\text{A2b})$$

$$3 \text{ 维: } g^{(3D)}(E) = V^{-1}dN/dE \quad (\text{A2c})$$

注意到对不同的维数，态密度有不同的单位(在  $d$  维下为  $\text{cm}^{-d} \cdot \text{eV}^{-1}$ )。 $g(E)$  的完备形式的表达式只能在最简单的能带结构，如各向同性能带  $E(p)=E(p)$  下获得。对各向同性的抛物能带结构， $E=p^2/2m^*$  ( $m^*$  是有效质量)， $N(E)$  可通过计算从带底到某一晶格动量  $p$  的态直接求得：

$$1 \text{ 维: } N(E) = 2pL/(2\pi\hbar) = L(2m^*E)^{1/2}/\pi\hbar \quad (\text{A3a})$$

$$2 \text{ 维: } N(E) = 2\pi p^2 A/(2\pi\hbar)^2 = A(m^*E)/\pi\hbar^2 \quad (\text{A3b})$$

$$3 \text{ 维: } N(E) = 2(4\pi p^3/3)V/(2\pi\hbar)^3 = V(2m^*E)^{3/2}/(3\pi^2\hbar^3) \quad (\text{A3c})$$

将式(A3a)~(A3c)代入相应的  $g(E)$  表达式中，可得到下面的态密度：

$$1 \text{ 维: } g^{(1D)}(E) = (m^*/2E)^{1/2}/(\pi\hbar) \quad (\text{A4a})$$

$$2 \text{ 维: } g^{(2D)}(E) = m^*/(\pi\hbar^2) \quad (\text{A4b})$$

$$3 \text{ 维: } g^{(3D)}(E) = m^{*3/2}(2E)^{1/2}/(\pi^2\hbar^3) \quad (\text{A4c})$$

在系统中实际的电子密度  $n$ (单位长度、面积或体积)可通过对态密度与费米-狄拉克占据几率  $f_{\text{FD}}(E-E_F)$  的乘积的积分(如式(5.10))获得。所得的通用方程为：

$$n = \int_{-\infty}^{\infty} g(E) f_{\text{FD}}(E - E_F) dE; f_{\text{FD}}(E) = (e^{-E/kT} + 1)^{-1} \quad (\text{A5})$$

它提供了电子密度  $n$  和费米能级  $E_F$  之间的关系。一般来说，这个关系包含了一个  $s$  阶的费米积分：

$$F_s\left(\frac{E_F}{kT}\right) = \frac{1}{\Gamma(s+1)} \int_0^{\infty} \frac{E^s dE}{1 + e^{(E-E_F)/kT}} \quad (\text{A6})$$

其中  $\Gamma$  是伽玛函数： $\Gamma(1/2) = \pi^{1/2}$ ,  $\Gamma(1) = 1$ ,  $\Gamma(s+1) = s\Gamma(s)$ 。从式(A4a)~(A4c)可得，对 3D, 2D 和 1D 系统的费米积分的阶参数  $s$  分别是  $1/2$ ,  $0$  和  $-1/2$ 。费米积分的解析解只在整数  $s$  下才可求出，因此，对 3D 和 1D 系统，(A5)式必须进行数值估算。另一方面，在 2D 情形下，态密度是常数，相应的费米积分是  $F_0(\eta) = \ln(1 + e^\eta)$ ，于是可得：

$$n = \left(\frac{m^* k T}{\pi \hbar^2}\right) F_0\left(\frac{E_F}{kT}\right) - \left(\frac{m^* k T}{\pi \hbar^2}\right) \ln(1 + e^{E_F/kT}) \quad (\text{A7})$$

其中对数前的因子  $(m^* k T / \pi \hbar^2)$  是 2D 子带的有效态密度。类似的计算给出了式(5.12)，注意到式(A5)中积分下限对应于一合适的能量零点。在体半导体中，该零点为导带底，在一个量子阱中，该点是一给定的 2D 子带的底[参阅式(5.12)]。

## 附录 5.B 在具有散射的超晶格中的漂移速度

在紧束缚近似下，取一超晶格(SL)，沿 SL 的  $z$  方向的色散由式(5.22)给出。考虑在恒定电场  $E$  作用下，初始状态为在  $k_z=0$  处电子的运动。作为  $k_z$  的函数，能带速度为：

$$v(k_z) = -\frac{2T'd}{\hbar} \sin(k_z d) \quad (\text{B1})$$

式中， $d$  是 SL 的周期， $T'$  是由式(5.24)定义的传输积分(直接计算表明  $T'$  是一个负值)。因为  $\hbar(dk_z/dt) = qE$ ，所以加速度  $a(t)$  由下式给定：

$$a(t) = \frac{dv}{dt} = \frac{dv}{dk_z} \cdot \frac{dk_z}{dt} = -\frac{2T'd'}{\hbar^2} \cos(k_z d) q E \quad (\text{B2})$$

另一方面，由  $\hbar k_z = m^*(k_z)v(k_z)$  定义的有效质量  $m^*(k_z)$  为：

$$m^*(k_z) = -\frac{\hbar^2 k_z}{2T'd \sin(k_z d)} \quad (\text{B3})$$

对式(B3)取  $k_z \rightarrow 0$  的极限，可获得在最小微带底的有效质量  $m_{SL}^*$  为： $m_{SL}^* = (\hbar^2 / 2T'd^2)$ 。用  $m_{SL}^*$  表示的微带宽  $\Delta$  为：

$$\Delta = \frac{2\hbar^2}{m_{SL}^* d} \quad (\text{B4})$$

将式(B3)代入到式(B2)，有：

$$a(k_z) = \frac{1}{m_{SL}^*} \cos(k_z d) q E \quad (\text{B5})$$

最后, 将式(B5)代入到 Esaki Tsu 的平均漂移速度表达式  $v_0$ [式(5.25)], 可得<sup>[11]</sup>:

$$\begin{aligned} v_0 &= \int_{t=0}^{\infty} e^{-i\omega t} a[k_i(t)] dt = \frac{q\phi}{m_S^*} \int_{t=0}^{\infty} e^{-i\omega t} \cos\left(\frac{q\phi d}{\hbar}t\right) dt \\ &= \frac{q\phi\tau}{m_S^*} \cdot \frac{1}{1 + (q\phi\tau d/\hbar)^2} \end{aligned} \quad (\text{B6})$$

该结果等价于式(5.26)。注意到, 不考虑散射的情形下( $\tau \rightarrow \infty$ ), 平均漂移速度趋于 0。这时粒子是局域化的, 进行着纯振荡运动。这是如第 5.2.4 节所讨论的著名的布洛赫振荡。

## 附录 5.C 接触和超晶格

考虑夹在掺杂电极之间的  $N$  个相同周期的超晶格(SL)。假设电压加在电极之间, 电流流过 SL。对于足够小的电流, 与电流相关的空间电荷效应可以忽略。可以设想在超晶格内有一个均匀的电场如图 5.41(a)所示。真实情况示于图 5.41(b): 所加电压主要降在第一和最后一个势垒上, 而中间部分的超晶格对器件的  $I-V$  特性的影响很小。这是量子力学中共振传输和非相干衰减间巨大差别的一种体现。

为了估算这个差别, 考虑图 5.42 示出的两个相关的过程。图 5.42(a)示出的是一个对称耦合的量子阱系统, 用一个高度为  $V_0$ , 宽度为  $L_B$  的隧穿势垒隔开。在势阱间不存在隧穿的情形下(即在  $V_0 \rightarrow \infty$  的极限下), 每个阱中会有一个如图所示的量子化能级  $E_0$ 。势阱间的隧穿将使得  $E_0$  分裂成对称态和反对称态的两个能级态。对称(较低的)态和反对称(较高的)态间的分裂是  $\hbar\omega$ 。近似有  $\hbar\omega \approx E_0 e^{-\kappa L_B}$ , 其中  $\kappa = [2m(V_0 - E_0)/\hbar^2]^{1/2}$ ,  $m$  是电子质量。如果在  $t=0$  时, 一个电子被放置在左势阱中, 它将在势阱间以特征频率  $\omega$  振荡。在一个“短的”时间  $\tau_1 = \pi/\omega$  之后, 电子出现在右势阱中的概率为 1。

通常, 考虑一个电子初始处于一个单势阱的亚稳态  $E_0$  上的逃逸过程。如图 5.42(b)所示, 该势阱被同样高度为  $V_0$ 、宽度为  $L_B$  的势垒与连续态隔开。逃逸概率表示态有一个有限寿命  $\tau_2$ , 因而有一个能级宽度  $\Gamma = \frac{\hbar}{\tau_2} \approx E_0 e^{-2\kappa L_B}$ [参见式(5.5)]。因为在隧穿问题中  $e^{-2\kappa L_B}$  是很小的量, 所以典型情况下  $\Gamma \ll \hbar\omega$ 。因此, 寿命  $\tau_2$  可能是“长”的, 大约比  $\tau_1$  长几个数量级。

在耦合量子阱系统中, 能级分裂  $\hbar\omega$  类似于在超晶格问题中的微带宽  $\Delta$ 。它描述了分离态之间的共振透射率, 共振透射比表面上类似的向连续态非相干衰减要快得多。在超晶格中, 为获得如图 5.41(a)所示的常数电场, 超晶格的第一个和最

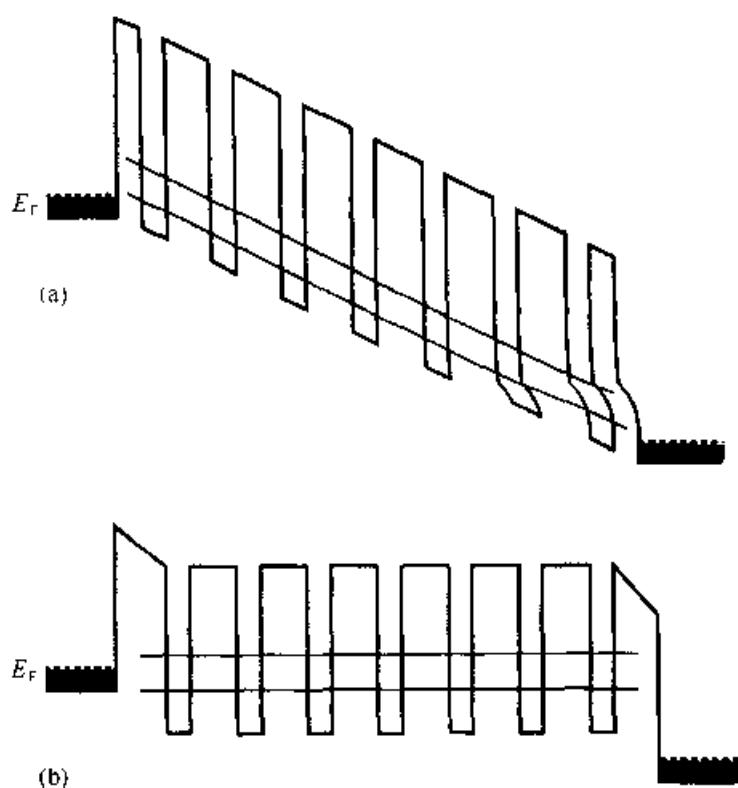


图 5.41 偏压下夹有掺杂电极层的超晶格的示意图。(a) 实验上所希望的均匀电场能够扩展进入超晶格, 这要求第一势垒和最后的势垒要足够薄; (b) 超晶格势垒相同时的电场分布, 这时第一势垒和最后的势垒对电流有一较大的阻抗

后一个势垒必须是阻抗匹配的, 即使第一和最后一个势垒的  $2\kappa L_B$  等于中间超晶格势垒的  $\kappa L_B$ 。在一级近似下, 这可以通过使第一个势垒和最后一个势垒变窄约 2 倍实现。在许多超晶格输运实验中, 常见的问题是难以实现该条件。

## 附录 5.D 相干晶体管基区输运

一般说来, 每个双极或热电子弹道晶体管由一个基极输运因子  $\alpha$  表征,  $\alpha$  是频率  $\omega$  的复函数:

$$\alpha = \left| \frac{\partial I_C}{\partial I_E} \right|_{V_{BC}} = e^{-\omega\tau} |\alpha| \quad (D1)$$

在  $\alpha$  的位相因子中的时间  $\tau$  是基区渡越时间。实际上, 所有的晶体管工作在足够低的频率下,  $\omega\tau \ll 1$ 。在一个优化设计的双极晶体管中,  $|\alpha|$  与 1 的偏离在低频下是可忽略的, 这是因为基区宽度要比扩散长度短得多。更加仔细地考虑  $|\alpha|=1$  的情形, 复数电流增益  $\beta(\omega)$  变为:

$$\beta = \frac{\alpha}{1 - \alpha} = \frac{e^{-\omega\tau}}{1 - e^{-\omega\tau}} = \frac{e^{-\omega\tau/2}}{2i} \cdot \frac{1}{\sin(\omega\tau/2)} \quad (D2)$$

在低的  $\omega$  下, 电流增益与频率的关系表示为:

$$|\beta'| = \frac{1}{2\sin(\omega\tau/2)} \approx \frac{1}{\omega\tau} \quad (D3)$$

电流增益的模随  $\omega$  衰减。这种衰减(通常称为10dB每十倍频或3dB每倍频)一般可在晶体管的微波特性中观察到。将式(D3)外插到增益为1, 可获得截止频率  $f_1 = (2\pi\tau)^{-1}$ 。

但是应该注意, 式(D2)和式(D3)预言了高于  $f_1$  的高增益区。这些是“相干”增益峰, 相应于在基区的少子密度波周期的整数倍。观察这些峰的必要条件是  $|\alpha|$  在高频下近似保持为1。事实上, 所有这些条件可归结为在  $f = 2\pi f_1 p$  时  $|\beta'| > 1$ , 其中  $p$  是一个整数, 也就是在该频率下  $|\alpha| > 0.5^{1/p}$ 。然而, 实现这样的条件是极其困难的。如果基区输运是扩散的, 在高于  $f_1$  的频率下,  $|\alpha| \ll 1$ 。如在5.3.2节中所讨论的, 弹道输运提供了解决这个问题的一种可能途径。另一种可能途径是在一个特别的阶梯式基区结构中利用直接漂移替代随机扩散输运。

## 习 题

1. 对如图5.1(a)所示的对称量子阱, 求解有限势

阱的问题, 得到以势阱长度  $L$ 、势垒高度  $V_0$  和量子质量  $m^*$  为函数的  $E_n < V_0$  的束缚能级及波函数  $\chi_n(z)$ 。如果电子质量  $m^* = 0.067m_0$  ( $m_0$  是自由电子质量), 势阱宽度  $L = 100 \text{ \AA}$ , 高度  $V_0 = 300 \text{ meV}$ , 求出势阱中包含的量子能级数。以上参数是以  $\text{Al}_{0.33}\text{Ga}_{0.67}\text{As}$  异质结作为势垒的 GaAs 势阱中电子系统的近似值。

2. (a) 推导一个质量为  $m^*$  的粒子入射在一个高度为  $V_0$ 、宽度为  $L_B$  的势垒上的透射概率  $T(E)$ , 如图5.1(b)所示。作近似后得到式(5.6), 直接求出指数上的因子。对一个质量  $m^* = 0.067m_0$ , 以动能  $E = 50 \text{ meV}$  运动的 GaAs 电子, 其入射在一个  $100 \text{ \AA}$  厚的  $\text{Al}_{0.33}\text{Ga}_{0.67}\text{As}$  势垒上(势垒高度  $V_0 \approx 300 \text{ meV}$ ), 估算  $T(E)$  值。  
 (b) 如果入射粒子动能  $E > V_0$ ,  $T(E)$  又是多少? 应该发现, 只要  $E$  不是比  $V_0$  大许多, 完全透射即  $T(E) \sim 1$ , 只发生在  $E$  的某些依赖于  $L_B$  和  $V_0$  的特定值上。要注意到, 经典情形下, 这样一个粒子总是完全透射的。  
 3. 在一个对称双势垒形成的势阱模型中, 估算由于向外隧穿引起的最低两个能

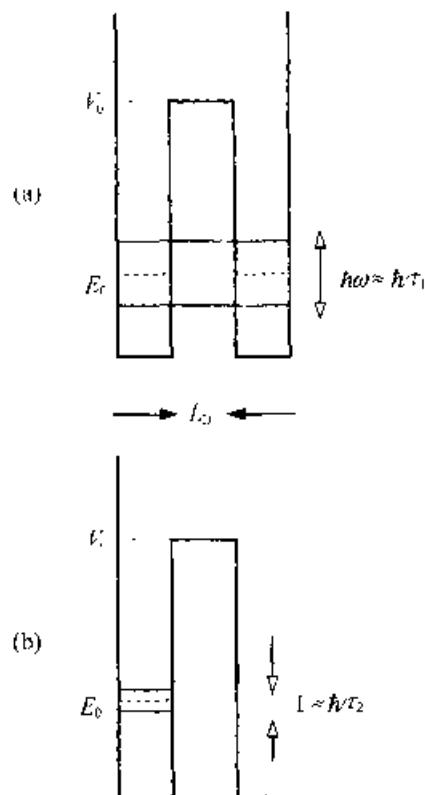


图 5.42 相干振荡和非相干延迟, 耦合量子阱(a)和单量子阱(b)被约束在相同的隧穿势垒中, 但耦合量子阱中的相干振荡周期小于单量子阱中  
亚稳定的寿命

级的能量展宽  $\Delta E_1$  和  $\Delta E_2$ 。有关参数为势阱宽度  $L = 100 \text{ \AA}$ 、势阱厚度  $L_w = 70 \text{ \AA}$ 、势垒高度  $V = 300 \text{ meV}$ 、有效质量  $m^* = 0.067 m_e$ 。考虑电子是一半经典粒子，约束在双势垒势阱中来回跳跃，从势阱中逃逸的隧穿概率由式(5.6)给出，求其寿命。

4. (a) 已知模型的能带图示于图 P1，假设所加偏压  $V$  在势垒和势阱中线性下降，且没有电场穿透到掺杂的电极中。计算电压  $V$  的供给函数  $N(V)$ 。可假定  $T = 0$  和在发射极和势阱层中  $m^* = 0.067 m_e$ 。  
 (b) 在二维载流子隧穿进一维量子线子带的情形下(对这样一个系统的实验版本参看图 5.11)，计算相应的  $N(V)$ 。

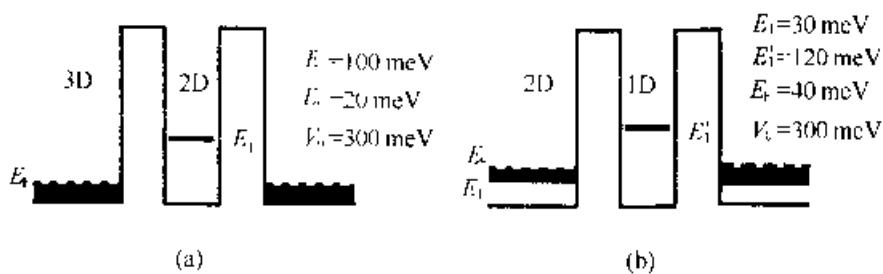


图 P1

5. 真实的半导体色散关系  $E(k)$  一般是非抛物线的，经常还是各向异性的，因此有效质量  $m^*$  随能量和  $k$  相对于晶轴的方向变化。作为一个对真实情况的类比，采用前一个问题的从 3D 到 2D 的双势垒 RT 能带图，但假定有效质量[因而也是平面内的  $E(k_\perp)$  曲线]在发射极和势阱中是不同的，即  $m_E^* \neq m_W^*$ 。共振电流峰作为有效质量失配时(也就是，如果  $2m_E^* = m_W^*$  时)的函数如何变化？要估算该效应可能的大小，假定  $m^* = 0.4$  但在势阱中 2D 子带是无色散的( $m_W^* \rightarrow \infty$ ，这对于在某些 p 型 RT 结构中轻空穴子带的平面内色散情况来说，与实际相差不多)，则相对于  $m_E^* = m_W^*$  的情况， $V_v$  移动有多大？

6. 假定在一个二端 RT 器件中，第一共振峰的峰谷电流完全是由热辅助的隧穿第二子带形成，使  $PVR \approx e^{(E_2 - E_1)/kT}$ 。假如你有机会引入一附加层，如图 P2 所示，该层和中间阱的导带边之间的不连续值为  $\Delta$ ，并位于  $L_w/4 \leq z \leq 3L_w/4$ ，这时 PVR 将提高多少？可将这附加层视为对无限势阱波函数  $\chi_n(z) \approx \sin(n\pi z/L_w)$  的一级微扰。这一技巧已被用于 n-In<sub>0.53</sub>Ga<sub>0.47</sub>As/AlAs 双势垒 RT 结构中，其做法是在 In<sub>0.53</sub>Ga<sub>0.47</sub>As 阵中增加一窄的 InAs 层。

7. 考虑一平板电容器的静电问题，其中中间板代表一个二维电子气(2DEG)。顶极板(发射极)加电压  $V_F$ ，相应的单位面积电荷密度为  $\sigma_F$ ，而底极板(集电极)

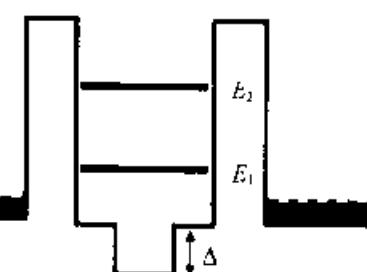


图 P2

和中间的 2DEG 接地(如图 P3 所示)。设底电极板和中间极板的电荷密度分别是  $\sigma_c$  和  $\sigma_{2D}$ ,  $\sigma_c + \sigma_{2D} = -\sigma_F$ ,

(a) 如果忽略 2DEG 的动能, 利用使极板间电场 ( $E \equiv \epsilon_0 \mathcal{E}^2 / 2$ , 其中  $\epsilon_0$  是介电常数,  $\mathcal{E}$  是电场) 中储存的能量极小化, 证明所有感应电荷集中在中间极板上, 即  $\sigma_c = 0$ ,  $\sigma_{2D} = -\sigma_F$ 。

(b) 若包括作为  $\sigma_{2D}$  函数的 2DEG 动能  $E_{2D}$ (取  $T=0$ )。通过使总能量极小化, 证明比率  $\sigma_c / \sigma_{2D} = C_c / C_Q$ , 其中  $C_c = \epsilon_0 / d$  是单位面积上集电极的几何结构电容,  $C_Q$  是式(5.20)给出的量子电容。作为一个结果, 证明在发射极节点看到的电容的等效电路如图 P3(右)所示。



图 P3

8. 如果每个二极管有势垒  $L_B = 70 \text{ \AA}$  和势阱厚度  $L = 100 \text{ \AA}$ , 预测一个垂直级联的 RT 结构(串联链中有  $N=5$  个 RT 二极管)的  $I-V$  峰值的近似位置。在问题 1 中我们已知在 RT 势阱的子带能级为  $E_1$  和  $E_2$ , 其中量子阱宽度  $L=100 \text{ \AA}$ 。取在覆盖区的费米能级为  $E_F = 20 \text{ meV}$ ,  $T=0$ , 并假定在势垒外部电极上没有电压降。
9. 假设有一超晶格, 周期  $d=100 \text{ \AA}$ , 最低的微带宽度  $\Delta_1=10 \text{ meV}$ , 具有(5.22)式描述的色散关系。对于一个电场  $\mathcal{E}=10^3 \text{ V/cm}$ , 一个载流子完成一个周期的最小散射时间  $\tau$  是多少? 相应的布洛赫振荡频率  $f$  是多少? 所需的散射时间  $\tau$  实际是多少? (粗略的参考尺度是低场迁移率  $\mu=e\tau/m^*$ , 在高纯度的体 GaAs 中在低温下可能达到  $10^5 \text{ cm}^2/\text{V}\cdot\text{s}$ )。
10. 考虑一个如图 5.20 所示的圆柱形量子点, 其中平面内约束势是抛物线型的,  $V(\mathbf{r}_\perp) = m^* \omega^2 \mathbf{r}_\perp^2 / 2$ , 我们定义  $\Delta E$  为量子点相邻的低激发能级之间的能级分离差,  $\Delta E = \hbar\omega = E_{1(m+1)} - E_{1m}$ 。我们已看到  $\Delta E$  和充电能  $U=q^2/2C_w$  确定阈值附近的电流台阶的间距。证明  $U/\delta E$  与量子点的有效半径无关。假定  $C_w$  是几何电容, 并推导能观察到单电子充电效应时  $d$ (集电极势垒厚度)的条件。
11. 计算在温度为 0K 时, 在发射极费米能级为  $E_F$ 、势垒高度为  $\Phi$ 、势垒宽度为  $L_B$  的条件下, 在图 5.22(b)中注入热电子分布的有效能量宽度  $\Delta E_z$ , 可利用(5.5)式的近似透射系数公式。对典型的 GaAs/AlGaAs HET, 参数为:  $E_F \approx 50 \text{ meV}$ ,  $\Phi = 250 \text{ meV}$ ,  $L_B = 100 \text{ \AA}$ , 比较在  $T=0$  和  $T=300 \text{ K}$  时的  $\Delta E_z$ 。

12. 一个能量为  $E$  的一维粒子被势垒高度为  $\Phi$  的方形势垒在  $E > \Phi$  的条件下反射的情形已在问题 2(b) 中考虑。发现除  $E > \Phi$ ,  $T(E) \neq 0$  (所以  $R(E) \neq 0$ ) 之外, 能量的分离值  $E$  依赖于势垒厚度。为减小  $R(E)$ , 考虑一高度为  $\Phi$  的光滑墙形势垒, 在某一特征长度  $a$  内逐渐变化:

$$V(z) = \Phi(1 - e^{-z/a})^{\gamma}$$

- (a) 证明反射系数  $R(E)$  为:

$$R(E) = \frac{\sinh^2[\pi a(k-q)]}{\sinh^2[\pi a(k+q)]}$$

其中  $E = \hbar^2 k^2 / 2m$ ,  $E - \Phi = \hbar^2 q^2 / 2m$ 。当然方形势垒应该是  $a \rightarrow 0$  的极限情形。

(b) 考虑  $ka \gg 1$  的情形, 这对应于  $a$  是许多个晶格常数值的情形。证明  $R(E) \rightarrow e^{-4\pi a k}$ , 因此, 即使入射电子在相当低的能量下, 只要  $a$  足够大, 反射几乎可以完全消失。

13. 考虑忽略与传输电子有关的电场情形下 RST 的一个简单模型。假定一个如图 5.26 所示的周期性多层结构, 其窄能隙层的宽度为  $d_1$ , 宽能隙层的宽度为  $d_2$ 。在不同层中的有效质量和迁移率分别为  $m_1$ 、 $m_2$ 、 $\mu_1$  和  $\mu_2$ , 其中  $\mu_1 > \mu_2$ 。取每个电子到品格的能量损失率正比于  $(T_e - T)/\tau$ , 其中两层的  $\tau$  相同。进一步假设两层的有效电子温度  $T_e$  相同, 因此当电子在两层之间跳跃时, 平均来看没有能量传输。总的电子密度固定,  $n = n_1 + n_2$  是常数。

- (a) 推导能量平衡方程;

- (b) 用  $T_e$  和势垒高度  $\Phi$  表示比率  $n_1/n_2$ ;

- (c) 在  $\epsilon' = \epsilon'(T_e)$ ,  $J = J(T_e)$  的参数形式下推导电流-电场特性, 并在参数的一定范围内画出  $J(\epsilon')$ 。在源漏电流-电场特性中, 为获得高的 NDR, 哪些是必须的?

14. 在式(5.30)中关于沟道电流  $I_D$  转换成 RST 集电极电流表达式的推导中, 忽略了  $I_D$  的扩散分量。若保留该项则使得  $I_D = qn(x)Wv_{st} + qWDdn(x)/dx$ , 其中  $D$  是扩散系数,  $W$  是器件的宽度, 根据式(5.30)给出的  $\lambda$  和比率  $D/v_{st}$ , 求出新的特征衰减长度  $\lambda'$ 。对于一个 GaAs/AlGaAs RSTT 结构, GaAs 量子阱的  $L_w = 200 \text{ \AA}$ , 异质结构势垒  $\Phi = 0.2 \text{ eV}$ ,  $T_e \geq 1500 \text{ K}$ ,  $D = 100 \text{ cm}^2/\text{s}$  (对热电子是适当的), 通过估算衰减长度  $\lambda$  和  $\lambda'$ , 求修正的大小。

## 参 考 文 献

- [1] At the time of writing, the Semiconductor Research Council roadmap predicts continuous improvement in device performance to the year 2015, at which point the minimum lithographic size would reach below 1000 Å and the DRAM memory size would reach 16 Gb. See J. F. Freedman, "Comments on the National Technology Roadmap for semiconductors," in Future Trends in Microelectronics: Reflections on the Road to Nanotechnology, S. Luryi, J. Xu, and A. Zaslavsky, Eds., Kluwer, Dordrecht, 1996.

- [2] H. Sakaki, "Scattering suppression and high mobility effect of size-quantized electrons in ultrafine semiconductor wire structures," Jap. J. Appl. Phys. 19, 1730 (1980);  
Y. Araiwa and H. Sakaki, "Multidimensional quantum well laser and temperature dependence of its threshold current," Appl. Phys. Lett. 40, 139 (1982).
- [3] U. Meirav, M. A. Kastner, and S. J. Wind, "Single electron charging and periodic conductance resonances in GaAs nanostructures," Phys. Rev. Lett. 65, 771 (1990);  
L. P. Kouwenhoven, N. C. van der Vaart, A. T. Johnson, W. Kool, C. J. P. M. Harmans, J. G. Williamson, A. A. M. Staring, and C. T. Foxon, "Single electron charging effects in semiconductor quantum dots," Z. Phys. B 85, 367 (1991).
- [4] This problem is treated in all textbooks on quantum mechanics. For a particularly thorough discussion, see C. Cohen-Tannoudji, B. Diu, and F. Laloë, *Quantum Mechanics*, Vol. 1, Ch. I, Wiley Interscience, New York, 1977.
- [5] B. Ricco and M. Ya. Azbel, "Physics of resonant tunneling; the one-dimensional double-barrier case," Phys. Rev. B 29, 1970 (1984).
- [6] M. Jonson and A. Grinberg, "Effect of inelastic scattering on resonant and sequential tunneling in double barrier heterostructures," Appl. Phys. Lett. 51, 1729 (1987).
- [7] S. V. Meshkov, "Tunneling of electrons from a two-dimensional channel into the bulk," Zh. Eksp. Teor. Fiz. 91, 2252 (1986) [Sov. Phys. JETP 64, 1337 (1986)].
- [8] S. Luryi, "Frequency limit of double-barrier resonant tunneling oscillators," Appl. Phys. Lett. 47, 490 (1985).
- [9] L. L. Chang, L. Esaki, and R. Tsu, "Resonant tunneling in semiconductor double barriers," Appl. Phys. Lett. 24, 593 (1974).
- [10] A. Zaslavsky, D. C. Tsui, M. Santos, and M. Shayegan, "Magnetotunneling in double-barrier heterostructures," Phys. Rev. B 40, 9829 (1989).
- [11] V. J. Goldman, D. C. Tsui, and J. E. Cunningham, "Evidence for LO-phonon-emission-assisted tunneling in double-barrier heterostructures," Phys. Rev. B 36, 7635 (1987).
- [12] N. S. Wingreen, K. W. Jacobsen, and J. W. Wilkins, "Resonant tunneling with electron-phonon interaction; an exactly solvable model," Phys. Rev. Lett. 61, 1396 (1988);  
F. Chevoir and B. Vinter, "Calculation of phonon-assisted tunneling and valley current in a double-barrier diode," Appl. Phys. Lett. 55, 1859 (1989).
- [13] M. C. Payne, "Transfer Hamiltonian description of resonant tunneling," J. Phys. C 19, 1145 (1986);  
T. Weil and B. Vinter, "Equivalence between resonant tunneling and sequential tunneling in double barrier diodes," Appl. Phys. Lett. 50, 1281 (1987).
- [14] An extensive discussion is available in M. Büttiker, "Coherent and sequential tunneling in series barriers," IBM J. Res. Develop. 32, 63 (1988).
- [15] See, for example, S. K. Diamond, E. Ozbay, M. Rodwell, D. M. Bloom, Y. C. Pao, E. Wolak, and J. S. Harris, "Fabrication of 200-GHz  $I_{max}$  resonant-tunneling diodes for integrated circuit and microwave applications," IEEE Electron Dev. Lett. 10, 101 (1989).
- [16] V. J. Goldman, D. C. Tsui, and J. E. Cunningham, "Observation of intrinsic bistability in resonant tunneling structures," Phys. Rev. Lett. 58, 1256 (1987).
- [17] E. Ozbay and D. M. Bloom, "110-GHz monolithic resonant-tunneling-diode trigger circuit," IEEE

Electron Dev. Lett. 12, 180 (1991).

- [18] E. R. Brown, C. D. Parker, A. R. Kalawa, M. J. Manfra, and K. M. Molvar, "A quasi-optical resonant-tunneling diode oscillator operating above 200 GHz," IEEE Trans. Microwave Theory Tech. 41, 720 (1993).
- [19] E. R. Brown, "High speed resonant-tunneling diodes," in Heterostructures and Quantum Devices, N. G. Einspruch and W. R. Frensley, Eds., Academic Press, New York, 1994.
- [20] M. Sweeny and J. Xu, "Resonant interband tunneling diodes," Appl. Phys. Lett. 54, 546 (1989); J. R. Soderstrom, D. H. Chow, and T. C. McGill, "New negative differential resistance device based on resonant interband tunneling," Appl. Phys. Lett. 55, 1094 (1989).
- [21] E. E. Mendez, J. Nocera, and W. I. Wang, "Conservation of momentum, and its consequences, in interband resonant tunneling," Phys. Rev. B 45, 3910 (1992).
- [22] R. Beresford, L. Luo, K. Longenbach, and W. I. Wang, "Resonant interband tunneling through a 110 nm InAs quantum well," Appl. Phys. Lett. 56, 551 (1990).
- [23] H. C. Liu, D. Landheer, M. Buchanan, and D. C. Houghton, "Resonant tunneling in Si/Si<sub>1-x</sub>Ge<sub>x</sub> double barrier structures," Appl. Phys. Lett. 52, 1809 (1988).
- [24] Z. Matutinovic-Krstelj, C. W. Liu, X. Xiao, and J. C. Sturm, "Evidence for phonon absorption-assisted electron resonant tunneling in Si/Si<sub>1-x</sub>Ge<sub>x</sub> diodes," Appl. Phys. Lett. 62, 603 (1993).
- [25] G. Schuberth, G. Abschleiter, E. Gornik, F. Schaffler, and J. F. Luy, "Resonant tunneling of holes in Si/Si<sub>1-x</sub>Ge<sub>x</sub> quantum-well structures," Phys. Rev. B 43, 2280 (1991).
- [26] U. Gennser, V. P. Kesan, D. A. Syphers, T. P. Smith II, S. S. Iyer, and E. S. Yang, "Probing band structure anisotropy in quantum wells via magnetotunneling," Phys. Rev. Lett. 67, 3828 (1991).
- [27] A. Zaslavsky, K. R. Milkove, Y. H. Lee, B. Ferland, and T. O. Sedgwick, "Strain relaxation in silicon germanium microstructures observed by resonant tunneling spectroscopy," Appl. Phys. Lett. 67, 3921 (1995).
- [28] S. Y. Chou, D. R. Allee, R. F. W. Pease, and J. Harris, Jr., "Observation of electron resonant tunneling in a lateral dual-gate resonant tunneling field-effect transistor," Appl. Phys. Lett. 55, 176 (1989); K. Ismail, D. A. Antoniadis, and H. I. Smith, "Lateral resonant tunneling in a double-barrier field effect transistor," Appl. Phys. Lett. 55, 589 (1989).
- [29] M. A. Reed, W. R. Frensley, R. J. Matyi, J. N. Randall, and A. C. Seabaugh, "Realization of a three terminal resonant tunneling device: the bipolar quantum resonant tunneling transistor," Appl. Phys. Lett. 54, 1034 (1989).
- [30] A. R. Bonnefond, D. H. Chow, and T. C. McGill, "Inverted base-collector tunnel transistors," Appl. Phys. Lett. 47, 888 (1985).
- [31] S. Luryi, "Quantum capacitance devices," Appl. Phys. Lett. 52, 501 (1988).
- [32] F. Beltram, F. Capasso, S. Luryi, S. N. G. Chu, and A. Y. Cho, "Negative transconductance via gating of the quantum well subbands in a resonant tunneling transistor," Appl. Phys. Lett. 53, 219 (1988).
- [33] C. J. Goodings, H. Mizuta, J. Cleaver, and H. Ahmed, "Variable area resonant tunneling diodes using implanted in-plane gates," J. Appl. Phys. 76, 1276 (1991).
- [34] T. K. Woodward, T. C. McGill, and R. D. Burnham, "Experimental realization of a resonant tunneling transistor," Appl. Phys. Lett. 50, 451 (1987).

- [35] M. Dellow, P. H. Beton, M. Henini, P. C. Main, L. Eaves, S. P. Beaumont, and C. D. W. Wilkinson, "Gated resonant tunneling devices," *Electron. Lett.* 27, 134 (1991);  
P. Gueret, N. Blanc, R. Germann, and H. Rothuisen, "Confinement and single-electron tunneling in Schottky-gated, laterally squeezed double-barrier quantum well heterostructures," *Phys. Rev. Lett.* 68, 1896 (1992).
- [36] V. R. Kolagunta, D. B. Janes, G. L. Chen, K. Webb, M. R. Melloch, and C. Youtsey, "Self-aligned sidewall gated resonant tunneling transistors," *Appl. Phys. Lett.* 69, 374 (1996).
- [37] S. Luryi and F. Capasso, "Resonant tunneling of two dimensional electrons through a quantum wire," *Appl. Phys. Lett.* 47, 1347 (1985); erratum, *ibid.* 48, 1693 (1986).
- [38] A. Zaslavsky, K. R. Milkove, Y. H. Lee, K. K. Chan, F. Stern, D. A. Grützmacher, S. A. Rishton, C. Stanis, and T. O. Sedgwick, "Fabrication of three-terminal resonant tunneling devices in silicon-based material," *Appl. Phys. Lett.* 64, 1699 (1994).
- [39] A. Zaslavsky, D. C. Tsui, M. Santos, and M. Shayegan, "Resonant tunneling of two-dimensional electrons into one-dimensional subbands of a quantum wire," *Appl. Phys. Lett.* 58, 1410 (1991).
- [40] L. N. Pfeiffer, K. W. West, H. L. Stormer, J. P. Eisenstein, K. W. Baldwin, D. Gershoni, and J. Spector, "Formation of a high-quality two-dimensional electron gas on cleaved GaAs," *Appl. Phys. Lett.* 56, 1697 (1990).
- [41] C. Kurdak, D. C. Tsui, S. Parihar, M. B. Santos, H. Manoharan, S. A. Lyon, and M. Shayegan, "Surface resonant tunneling transistor: a new negative transconductance device," *Appl. Phys. Lett.* 64, 610 (1994).
- [42] F. Capasso, K. Mohammed, and A. Y. Cho, "Resonant tunneling through double barriers, perpendicular quantum transport phenomena in superlattices, and their device applications," *IEEE J. Quantum Electron.* QE-22, 1853 (1986).
- [43] A. C. Seabaugh, Y.-C. Kao, and H. T. Yuan, "Nine-state resonant tunneling diode memory," *IEEE Electron Dev. Lett.* 13, 479 (1992).
- [44] For a complete discussion see G. Bastard, *Wave Mechanics Applied to Semiconductor Heterostructures*, Ch. I, Wiley, New York, 1988.
- [45] L. V. Keldysh, "Effect of ultrasound on the electron spectrum of a crystal," *Fiz. Tverd. Tela* 4, 2265 (1962) [Sov. Phys. Solid. State 4, 1658 (1963)].
- [46] L. Esaki and R. Tsu, "Superlattice and negative differential conductivity in semiconductors," *IBM J. Res. Develop.* 14, 61 (1970).
- [47] L. Esaki and L. L. Chang, "New transport phenomenon in a semiconductor 'superlattice'," *Phys. Rev. Lett.* 33, 493 (1974);  
K. K. Choi, B. F. Levine, R. J. Malik, J. Walker, and C. G. Bethea, "Periodic negative conductance by sequential resonant tunneling through an expanding high-field superlattice domain," *Phys. Rev. B* 35, 4172 (1987).
- [48] A. Sibille, J. F. Palmer, H. Wang, and F. Mollot, "Observation of Esaki-Tsu negative differential velocity in GaAs/AlAs superlattices," *Phys. Rev. Lett.* 64, 52 (1990);  
H. T. Grahn, K. von Klitzing, K. Ploog, and G. Dohler, "Electrical transport in narrow-miniband semiconductor superlattices," *Phys. Rev. B* 43, 12094 (1991).
- [49] H. M. James, "Electronic states in perturbed periodic systems," *Phys. Rev.* 76, 1611 (1949).

- [50] The extent of Wannier-Stark wavefunctions over a finite number of SL periods allows for their observation by photocurrent measurements, see E. E. Mendez, F. Agulló-Rueda, and J. M. Hong, "Stark localization in GaAs/GaAlAs superlattices under an electric field," *Phys. Rev. Lett.* **60**, 2426 (1988).
- [51] R. Kazaninov and R. Suris, "Possibility of the amplification of electromagnetic waves in a semiconductor with a superlattice," *Fiz. Tekh. Poluprovodn.* . 5. 797 (1971) [Sov. Phys. Semicond. 5, 707 (1971)].
- [52] J. Faist, F. Capasso, D. L. Sivco, C. Sirtori, A. L. Hutchinson, and A. Y. Cho, "Quantum cascade laser," *Science* **264**, 533 (1994).
- [53] H. C. Liu and G. C. Aers, "Resonant tunneling through one-, two-, and three-dimensionally confined quantum wells," *J. Appl. Phys.* **65**, 4908 (1989).
- [54] B. Su, V. J. Goldman, and J. E. Cunningham, "Observation of single electron charging in double-barrier heterostructures," *Science* **255**, 313 (1992); "Single-electron tunneling in nanometer-scale double-barrier heterostructure devices," *Phys. Rev. B* **46**, 7644 (1992).
- [55] T. Schmidt, M. Tewordt, R. H. Blick, R. J. Haug, D. Pfannkuche, K. von Klitzing, A. Forster, and H. Luth, "Quantum-dot ground states in a magnetic field studied by single electron tunneling spectroscopy on double-barrier heterostructures," *Phys. Rev. B* **51**, 5570 (1995).
- [56] An extensive discussion is available in H. Grabert and M. H. Devoret, Eds., *Single Charge Tunneling; Coulomb Blockade Phenomena in Nanostructures*, Plenum Press, New York, 1992. In particular, the chapter by D. V. Averin and K. K. Likharev is devoted to device applications.
- [57] T. A. Fulton and G. J. Dolan, "Observation of single electron charging effects in small junctions," *Phys. Rev. Lett.* **59**, 109 (1987).
- [58] G. Zimmerli, R. L. Kautz, and J. M. Martinis, "Voltage gain in the single-electron transistor," *Appl. Phys. Lett.* **61**, 2616 (1992).
- [59] L. P. Kouwenhoven, A. T. Johnson, N. C. van der Vaart, C. J. Harmans, and C. T. Foxon, "Quantized current in a quantum dot turnstile using oscillating tunnel barriers," *Phys. Rev. Lett.* **67**, 1626 (1991).
- [60] H. Pothier, P. Lafarge, C. Urbina, D. Esteve, and M. H. Devoret, "Single-electron pump based on charging effects," *Europhys. Lett.* **17**, 249 (1992);  
J. M. Martinis, M. Nahum, and H. D. Jensen, "Metrological accuracy of the electron pump," *Phys. Rev. Lett.* **72**, 904 (1994).
- [61] C. A. Mead, "Tunnel-emission amplifiers," *Proc. IRE* **48**, 359 (1960).
- [62] K. Seeger, *Semiconductor Physics*, 2nd ed., Springer Verlag, Berlin, 1982;  
E. Scholl, "Theory of oscillatory instabilities in parallel and perpendicular transport in heterostructures," in *Negative Differential Resistance and Instabilities in 2D Semiconductors*, N. Balkan, B. K. Ridley, and A. J. Vickers, Eds., Plenum, New York, 1993, pp. 37-51.
- [63] P. J. Price, "Monte Carlo calculation of electron transport in solids," in *Semiconductors and Semimetals*, Vol. 14, Academic Press, New York, 1979, pp. 249-308;  
C. Moglestue, *Monte Carlo Simulation of Semiconductor Devices*, Chapman & Hall, London, 1993.
- [64] A thorough discussion of real-space transfer effects is available in a review article by Z. S. Gribnikov, K. Hess, and G. A. Kosinovsky, "Nonlocal and nonlinear transport in semiconductors: real space transfer effects," *J. Appl. Phys.* **77**, 1337 (1995).

- [65] M. Heiblum, M. I. Nathan, D. Thomas, and C. M. Knoedler, "Direct observation of ballistic transport in gallium arsenide," *Phys. Rev. Lett.* 55, 2207 (1985);  
M. Heiblum, I. Anderson, and C. M. Knoedler, "DC performance of ballistic tunneling hot-electron-transfer amplifiers," *Appl. Phys. Lett.* 49, 207 (1986).
- [66] K. Seo, M. Heiblum, C. M. Knoedler, J. Oh, J. Panulapati, and P. Bhattacharya, "High-gain pseudo-morphic InGaAs base ballistic hot-electron devices," *IEEE Electron Dev. Lett.* 10, 73 (1989).
- [67] T. S. Morse, A. C. Seabaugh, E. A. Beam III, J. N. Randall, "Room temperature operation of a resonant-tunneling hot electron transistor based integrated circuit," *IEEE Electron. Dev. Lett.* 14, 411 (1993).
- [68] A. A. Grinberg and S. Luryi, "Electron transmission across interface of different one-dimensional crystals," *Phys. Rev. B* 39, 7166 (1989).
- [69] J. R. Hayes, A. F. J. Levi, and W. Wiegmann, "Hot electron spectroscopy," *Electron. Lett.* 20, 851 (1984);  
A. F. J. Levi, J. R. Hayes, P. M. Platzmann, and W. Wiegmann, "Injected hot-electron transport in GaAs," *Phys. Rev. Lett.* 55, 2071 (1985).
- [70] A. Palevski, M. Heiblum, C. P. Umbach, C. M. Knoedler, A. N. Broers, and R. H. Koch, "Lateral tunneling, ballistic transport, and spectroscopy of a two dimensional electron gas," *Phys. Rev. Lett.* 62, 1776 (1989);  
A. Palevski, C. P. Umbach, and M. Heiblum, "A high gain lateral hot-electron device," *Appl. Phys. Lett.* 55, 1421 (1989).
- [71] J. Spector, H. L. Stormer, K. W. Baldwin, L. N. Pfeiffer, and K. W. West, "Ballistic electron transport beyond 100  $\mu\text{m}$  in 2D electron systems," *Surf. Sci.* 228, 283 (1990);  
A. Yacoby, U. Sivan, C. P. Umbach, and J. M. Hong, "Hot ballistic transport and phonon emission in a two dimensional electron gas," *Phys. Rev. Lett.* 66, 1938 (1991).
- [72] For example, see J. Song, B. W.-P. Hong, C. J. Palmstrom, B. P. van der Gaag, and K. B. Chough, "Ultra-high-speed InP/InGaAs heterojunction bipolar transistors," *IEEE Electron Dev. Lett.* 15, 94 (1994).
- [73] A. A. Grinberg and S. Luryi, "Coherent transistor," *IEEE Trans. Electron. Dev.* 40, 1512 (1993).
- [74] Z. S. Gribnikov, "Negative differential conductivity in a multilayer heterostructure," *Fiz. Tekh. Poluprovodn.* 6, 1380 (1972) [Sov. Phys. Semicond. 6, 1204 (1973)].
- [75] K. Hess, H. Morkoc, H. Shichijo, and B. G. Streetman, "Negative differential resistance through real space electron transfer," *Appl. Phys. Lett.* 35, 469 (1979).
- [76] M. Keever, H. Shichijo, K. Hess, S. Banerjee, L. Witkowski, H. Morkoc, and B. G. Streetman, "Measurements of hot-electron conduction and real space transfer in GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As heterojunction layers," *Appl. Phys. Lett.* 38, 36 (1981).
- [77] N. Z. Vagidov, Z. S. Gribnikov, and V. M. Ivastchenko, "Modeling of electron transport in real space in GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As heterostructures (with low and high values of  $x$ )," *Fiz. Tekh. Poluprovodn.* 24, 1087 (1990) [Sov. Phys. Semicond. 24, 684 (1990)].
- [78] A. Kastalsky and S. Luryi, "Novel real-space hot-electron transfer devices," *IEEE Electron. Dev. Lett.* 4, 331 (1983);  
S. Luryi, A. Kastalsky, A. C. Gossard, and R. H. Hodel, "Charge injection transistor based on real

- space hot-electron transfer," IEEE Trans. Electron. Dev. 31, 832 (1984).
- [79] A. Kastalsky, R. Bhat, W. K. Chan, and M. Koza, "Negative-resistance field-effect transistor grown by organometallic chemical vapor deposition," Solid State Electron. 29, 1073 (1986).
- [80] P. M. Mensz, P. A. Garbinski, A. Y. Cho, D. L. Sivco, and S. Luryi, "High transconductance and large peak-to valley ratio of negative differential conductance in three-terminal InGaAs/InAlAs real space transfer devices," Appl. Phys. Lett. 57, 2558 (1990).
- [81] M. R. Hueschen, N. Moll, and A. Fischer-Colbrie, "Improved microwave performance in transistors based on real-space electron transfer," Appl. Phys. Lett. 57, 386 (1990);  
G. L. Belenky, P. A. Garbinski, S. Luryi, P. R. Smith, A. Y. Cho, R. A. Hamm, and D. L. Sivco, "Microwave performance of top-collector charge injection transistors on InP substrates," Semicond. Sci. Technol. 9, 1215 (1994).
- [82] C. L. Wu, W. C. Hsu, M. S. Tsai, and H. M. Shieh, "Very strong negative differential resistance real space transfer transistor using a multiple  $\delta$ -doping GaAs/InGaAs pseudomorphic heterostructure," Appl. Phys. Lett. 66, 739 (1995).
- [83] M. Mastrapasqua, C. A. King, P. R. Smith, and M. R. Pinto, "Charge injection transistor and logic elements in Si/Si<sub>1-x</sub>Ge<sub>x</sub> heterostructures," in Future Trends in Microelectronics: Reflections on the Road to Nanotechnology, S. Luryi, J. Xu, and A. Zaslavsky, Eds., Kluwer, Dordrecht, 1996.
- [84] I. G. Kizilyalli and K. Hess, "Physics of real-space transfer transistors," J. Appl. Phys. 65, 2005 (1989).
- [85] A. A. Grinberg, A. Kastalsky, and S. Luryi, "Theory of hot-electron injection in CHINT/NERPET devices," IEEE Trans. Electron. Dev. 34, 409 (1987).
- [86] M. Mastrapasqua, S. Luryi, G. L. Belenky, P. A. Garbinski, A. Y. Cho, and D. L. Sivco, "Multi terminal light emitting logic device electrically reprogrammable between OR and NAND functions," IEEE Trans. Electron. Dev. 40, 1371 (1993);  
G. L. Belenky, P. A. Garbinski, S. Luryi, M. Mastrapasqua, A. Y. Cho, R. A. Hamm, T. R. Hayes, E. J. Laskowski, D. L. Sivco, and P. Smith, "Collector-up light-emitting charge transistor in n-InGaAs/InAlAs and n-InGaAs/InP/p-InGaAs," J. Appl. Phys. 73, 8618 (1993).
- [87] N. Yokoyama, K. Imamura, S. Muto, S. Hiyamizu, and H. Nishi, "A new functional resonant-tunneling hot electron transistor (RHET)," Jap. J. Appl. Phys. 24, L-853 (1985);  
N. Yokoyama, K. Imamura, H. Ohnishi, T. Mori, S. Muto, and A. Shibatomi, "Resonant tunneling hot electron transistor (RHET)," Solid State Electron. 31, 577 (1988).
- [88] For a review of resonant tunneling bipolar transistor research see F. Capasso, S. Sen, and F. Beltram, "Quantum-effect devices," in High-Speed Semiconductor Devices, S. M. Sze, Ed., Wiley, New York, 1990, pp. 465-520.
- [89] S. Sen, F. Capasso, A. Y. Cho, and D. L. Sivco, "Multiple state resonant tunneling bipolar transistor operating at room temperature and its application as a frequency multiplier," IEEE Electron. Dev. Lett. 9, 533 (1988).
- [90] E. R. Brown, J. R. Soderstrom, C. D. Parker, L. J. Mahoney, K. M. Molvar, and T. C. McGill, "Oscillations up to 712 GHz in InAs/AlSb resonant-tunneling diodes," Appl. Phys. Lett. 58, 2291 (1991).
- [91] W. F. Chow, Principles of Tunnel Diode Circuits, Wiley, New York, 1964.

- [92] J. Shen, G. Kramer, S. Tehrani, H. Goronkin, and R. Tsui, "Static random access memories based on resonant interband tunneling diodes in the InAs/GaSb/AlSb material system," IEEE Electron. Dev. Lett. 16, 178 (1995).
- [93] T. Mori, S. Muto, H. Tamura, and N. Yokoyama, "A static random access memory cell using a double-emitter resonant-tunneling hot electron transistor for gigabit-plus memory applications," Jap. J. Appl. Phys. 33, 790 (1994).
- [94] M. Takatsu, K. Imamura, H. Ohnishi, T. Mori, T. Adachihara, S. Muto, and N. Yokoyama, "Logic circuits using resonant tunneling hot electron transistors (RHET's)," IEEE J. Solid-State Circ. 27, 1428 (1992);  
N. Yokoyama, H. Ohnishi, T. Mori, M. Takatsu, S. Muto, K. Imamura, and A. Shibauchi, "Resonant hot electron transistors," in Hot Carriers in Semiconductor Nanostructures; Physics and Applications, J. Shah, Ed., Academic Press, New York, 1992, pp. 443-467.
- [95] A. C. Seabaugh and M. A. Reed, "Resonant-tunneling transistors," in Heterostructures and Quantum Devices, N. G. Einspruch and W. R. Frensley, Eds., Academic Press, New York, 1994.
- [96] S. Luryi, P. Mensz, M. R. Pinto, P. A. Garbinski, A. Y. Cho, and D. L. Sivco, "Charge injection logic," Appl. Phys. Lett. 57, 1787 (1990);  
K. Imamura, M. Takatsu, T. Mori, Y. Bamba, S. Muto, and N. Yokoyama, "Proposal and demonstration of multi-emitter HBTs," Electron. Lett. 30, 459 (1994).
- [97] J. Faist, F. Capasso, C. Sirtori, D. L. Sivco, A. L. Hutchinson, and A. Y. Cho, "Vertical transition quantum cascade laser with Bragg confined excited state," Appl. Phys. Lett. 66, 538 (1995).
- [98] C. Sirtori, J. Faist, F. Capasso, D. L. Sivco, and A. Y. Cho, "Narrowing of the intersubband absorption spectrum by localization of continuum resonances in a strong electric field," Appl. Phys. Lett. 62, 1931 (1993).
- [99] J. Faist, F. Capasso, C. Sirtori, D. L. Sivco, J. N. Baillargeon, A. L. Hutchinson, and A. Y. Cho, "High power mid-infrared ( $\lambda = 5\mu\text{m}$ ) quantum cascade lasers operating above room temperature," Appl. Phys. Lett. 68, 3680 (1996).
- [100] V. B. Gofinkel, S. Luryi, and B. Gelmont, "Theory of gain spectra for quantum cascade lasers and temperature dependence of their characteristics at low and moderate carrier concentrations," IEEE J. Quantum Electron. 32, 1995 (1996).
- [101] B. Gelmont, V. B. Gofinkel, and S. Luryi, "Theory of the spectral line shape and gain in quantum wells with intersubband transitions," Appl. Phys. Lett. 68, 2171 (1996).
- [102] D. C. Tsui, H. L. Stormer, and A. C. Gossard, "Two-dimensional magnetotransport in the extreme quantum limit," Phys. Rev. Lett. 48, 1559 (1982).
- [103] L. V. logansen, "Errors in papers on resonant electron tunneling in finite superlattices," Pis'ma Zh. Tekh. Fiz. 13, 1143 (1987) [Sov. Tech. Phys. Lett. 13, 478 (1987)].
- [104] S. Luryi, A. A. Grinberg, and V. B. Gofinkel, "Heterostructure bipolar transistor with enhanced forward diffusion of minority carriers," Appl. Phys. Lett. 63, 1537 (1993).
- [105] T. P. E. Broekaert, W. Lee, and C. G. Fonstad, "Pseudomorphic  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{AlAs}/\text{InAs}$  resonant tunneling diodes with peak-to-valley current ratios of 30 at room temperature," Appl. Phys. Lett. 53, 1545 (1988).

# 6 有源微波二极管

Heribert Eisele, George I. Haddad

The University of Michigan, Ann Arbor

## 6.1 引言

两端器件是最早用于固态微波振荡器中的器件。从器件结构的提出到 60 年代初报道第一个实验结果，这期间，主要解决的是一些关键技术问题（见文献[1]中的评论文章）。研究这种器件结构和电路是为了能将之用于放大器和振荡器等应用领域。然而，由于噪声特性极好的高速、高频三端器件的迅速发展，实际上已将两端器件从低噪声前置放大器到毫米波段高端频率应用领域中彻底排挤出去了。另外，与最好的两端器件振荡器相比，用三端器件制成的振荡器的频率已越来越高，并且可提供相近或更高的射频（RF）输出功率和直流到射频（DC 到 RF）的转换效率。不过，在系统应用方面，使用两端器件仍然能使每个器件或单位面积器件上或单位体积电路上产生出最高的功率水平，特别是在毫米波和更高频率的工作频段。除了两端器件，在系统应用中使用的许多大功率放大器中仍使用电子管，三端器件在这种应用中只获得很有限的成功，两端器件在产生大的 RF 功率和制作低噪声的本地振荡器时仍然成为首选器件。另外，这些器件的脉冲工作方式克服了热限制并使 RF 功率的峰值提高了一个数量级以上。在本章中，我们将注意力集中在这些器件基本的功率产生能力上，并讨论那些工作频率在 30GHz 以上，即在毫米波段或更高频段的系统应用方面已经或即将得到广泛应用的器件的特点和性能。表 6.1 列出了最常用波导的波段标记符号、频率范围和内部尺寸。这些波段标记符号已被广泛使用，在许多场合已与是否采用波导电路关系不大。

表 6.1 通常使用的工作于 10 GHz 以上的矩形波导的波段符号、频率范围和内部尺寸

波导带定义	频率范围/GHz	矩形波导(EIA)	内部尺寸/mm
X	8.2~12.4	90	22.86×11.43
Ku	12.4~18	62	15.799×7.899
K	18~26.5	42	10.668×5.334
Ka	26.5~40	28	7.112×3.556
Q	33~50	22	5.690×2.845

续表

波导带定义	频率范围/GHz	矩形波导(EIA)	内部尺寸/mm
U	40~60	19	4.775×2.388
V	50~75	15	3.759×1.880
E	60~90	12	3.099×1.549
W	75~110	10	2.540×1.270
F	90~140	98	2.032×1.016
D	110~170	96	1.651×0.826
G	110~220	95	1.295×0.648
Y	170~260	94	1.092×0.546
J	220~235	93	0.864×0.432

### 6.1.1 使用两端器件的振荡器

图 6.1(a) 示出一个两端负阻器件与一个作为负载的谐振电路相连接的简化等效电路。两端器件单位面积的导纳  $Y_D$  由负的电导  $G_D$  和电纳  $jB_D$  来表示，它主要来源于器件的“冷电容” $C_D$ 。对于面积为  $A$  的器件，串联电阻  $R_s = \rho_s/A$  描述了器件(包括接触、封装等)的综合损耗以及负载电路的综合损耗， $\rho_s$  表示等效接触电阻的电阻率。振荡频率  $f_o$  ( $\omega_o = 2\pi f_o$ ) 比负载的谐振频率稍高一点，其中

$$\frac{1}{\omega_o C_R} < \omega_o L_R \quad (6.1)$$

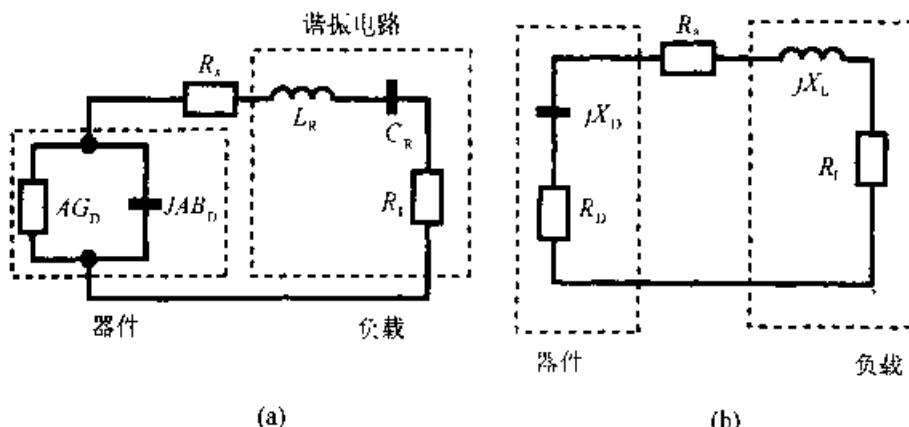


图 6.1 连接到负载上的一个两端器件做成的振荡器的简化等效电路

在该频率下，利用

$$R_D = \frac{G_D}{A(G_D^2 + B_D^2)} \quad (6.2)$$

$$X_D = -\frac{1}{\omega_o C_D} = \frac{-B_D}{A(G_D^2 + B_D^2)} \quad (6.3)$$

以及

$$X_L = \omega_0 L_L = \omega_0 \left[ L_R - \frac{1}{\omega_0^2 C_R} \right] \quad (6.4)$$

可进一步简化器件的等效电路[见图 6.1(b)]。器件导纳  $Y_D$  是若干参数的非线性函数，这些参数包括振荡频率  $f_0$ ，工作点偏压，器件中 RF 信号的幅值以及器件温度等。在  $f_0$  处满足振荡条件 ( $Z_D = R_D + jX_D \equiv Z_1 = R_1 + jX_L$ ，其中  $Z_L$  为从器件看去的负载阻抗) 的前提是

$$R_D + R_s + R_L = 0 \quad (\text{实部}) \quad (6.5a)$$

和

$$\frac{-1}{\omega_0 C_d} + \omega_0 L_L = 0 \quad (\text{虚部}) \quad (6.5b)$$

谐振电路在有载时的 Q 因子值为：

$$Q = \frac{\omega_0 L_R}{R_1} \quad (6.6)$$

它依赖于电路结构，其值通常在 20~200 之间。在大多数毫米波波段的应用中，作为负载的谐振电路包含一个具有调谐元件的波导谐振腔，但是使用微波带状线路的振荡器也已经研制出来<sup>[2]</sup>。在较低频率下，包含集总元件或同轴线的电路更普遍一些，文献[1]中给出了一些例子。

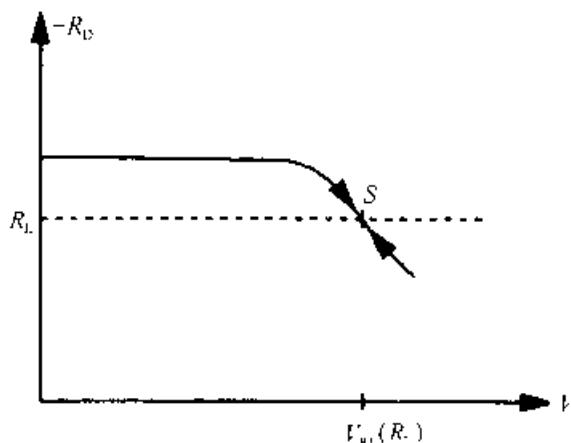


图 6.2 两端器件的负阻与 RF 电压  
依赖关系的定性示意

当器件刚加上直流偏压时，并不会出现任何的振荡，同时器件电阻的绝对值  $|R_D|$  高于负载电阻  $R_1$  (如图 6.2 所示)。于是，一直存在于器件中具有各种频率的噪声成分将分别受到谐振电路放大和过滤，其中满足谐振频率的 RF 电压成分  $V_{RF}$  由于受到放大而不断增加，器件的负阻不断减小，最终使得振荡条件得到满足，即 RF 幅值和振荡频率达到图 6.2 中所示的稳定工作点  $S$ 。器件在 RF 电压  $V_{RF}$  下产生的 RF 功率为

$$P_{RF}(\text{Gen}) = -\frac{1}{2} A G_D V_{RF}^2 \quad (6.7)$$

通常，两端器件要求负载电阻  $R_L$  较低，但实际选定的值是折衷的结果，特别是在毫米波波段，即： $R_1$  越低，器件的面积  $A$  越大，且产生的 RF 功率越高。然而，对于将具有高特征阻抗(例如  $50\Omega$ )同轴线的实际负载转换成器件负载阻抗  $Z_1$  的电路，或为输出波导与器件之间提供耦合的电路来说，电路耗损会随着  $R_1$  的降低而增加。这些损耗相当于等效电路中一个非常高的串联电阻  $R_s$ ，因而会减小实际到达负载的 RF 输出功率  $P_{RF}(R_L)$ ；

$$P_{RF}(R_L) = \frac{1}{2} A^* (G_D^2 + B_D^2) V_{RF}^2 R_L \quad (6.8)$$

由方程(6.5a)所示的振荡条件以及方程(6.2)、(6.3)和(6.4)决定了器件面积  $A$ :

$$A = \frac{1}{R_L} \left[ -\frac{G_D}{G_D^2 + B_D^2} - \rho_s \right] \quad (6.9)$$

如果  $-\frac{G_D}{G_D^2 + B_D^2} < \rho_s$ , 振荡终止, 没有 RF 功率产生。

负载阻抗的实部( $=R_L$ )通常在  $0.25\sim10\Omega$  的范围内。所以, 阻抗匹配和稳频就要求谐振电路  $Q$  高, 损耗低, 而且要求制造技术能将未耗尽器件层、接触和封装中的串联电阻以及损耗降至最低。一般地, 负载电阻  $R_L$  取  $1\Omega$  作为参考值来比较不同的两端器件的性能, 它能使波导腔中各种两端器件性能的预计值和测量值符合得非常好。

## 6.1.2 制造技术

在本章的后面将会看到, 不同器件 DC 到 RF 的转换效率从略大于 20% 到小于 1%。结果是, 大部分 DC 输入功率在器件中耗散为热能。大多数情况下, 靠近器件有源区的接触也可以用于散热, 因而, 工作于毫米波波段的两端器件一般采用台面结构。另外, 在这些频率下工作的器件要做得很薄, 以便减小衬底中由趋肤效应带来的损耗。连体散热器(将散热器作为器件不可分割的一部分)技术在毫米波波段器件中的使用很普遍。为减小衬底中的损耗, 大部分的衬底在制造时要去掉。

早期的制造技术采用气相外延法生长层状结构, 掺杂分布则由杂质扩散和离子注入来决定。工艺的第一步是在整个样品上腐蚀出几个小孔, 使之穿透外延层进入衬底。适当选择孔的深度, 以便在移去衬底时用来标定厚度。分子束外延(MBE)、金属有机物化学汽相沉积(MOCVD)和化学束外延(CBE)等高级生长技术出现后, 可以在器件的外延层和衬底之间引入一层晶格匹配的止蚀层。这样, 衬底就可以完全除去, 并可以精确控制台面的高度和大小。为了更好地散热, 已经发展出来在连体散热器或金刚石散热器上制造无衬底器件的技术, 这些在文献中多有描述。对 Si<sup>[3]</sup>、GaAs<sup>[4, 5]</sup>、InP<sup>[6, 7]</sup>都发展出了选择性刻蚀技术, 它们分别采用 p<sup>-</sup>重掺杂硅、晶格匹配的 Ga<sub>x</sub>Al<sub>1-x</sub>As 和 In<sub>0.53</sub>Ga<sub>0.47</sub>As 层作止蚀层。无衬底器件的特点是产额、可重复性和性能都得到了提高。

图 6.3 画出了这些制造技术的基本步骤。以做在连体散热器上的 GaAs IMPATT(碰撞电离雪崩渡越时间)或 TUNNETT(隧穿注入渡越时间)二极管的批量制造过程可作为例子<sup>[8]</sup>。在这种二极管中, 大部分的热量是在 p-n 结附近产生的(见 6.2 节), 而且, 通常 p<sup>-</sup>重掺杂区被置于外延层的顶部。第一步, 用作 p 欧

姆接触的金属(Ti/Pt/Au)被蒸发或溅射到表面上，然后在这些金属层上电镀一厚层金以形成连体散热器。样品被置于一个载体上，载体可提供附加的机械支持并在随后的工艺步骤中保护散热层。衬底在 1:19 的  $H_2O_2 : NH_4OH$  选择性腐蚀剂中被腐蚀掉<sup>[4, 5]</sup>，而该腐蚀剂对  $Ga_xAl_{1-x}As$  (当  $x > 0.4$  时) 止蚀层的腐蚀不明显。在  $Ga_xAl_{1-x}As$  上很难形成欧姆接触，所以  $Ga_xAl_{1-x}As$  层在 HF 中被选择性腐蚀掉，而 HF 不腐蚀 GaAs。在 GaAs 表面光刻出窗口，在窗口处沉积金属(Ni/Ge/Au/Ti/Au)以便在  $n^+$  重掺杂层上形成  $n$  欧姆接触。去掉接触区之外的金属和光刻胶后，再用一次光刻，在接触之上选择性电镀几微米厚的金以形成一个良好的键合层。在非选择性腐蚀液中腐蚀二极管的台面时，该接触垫层可作为掩模。当样品从载体上拿下来后，对欧姆接触进行退火，并将样品切割成一个个二极管，然后对二极管进行封装以便用于适当的 RF 电路。

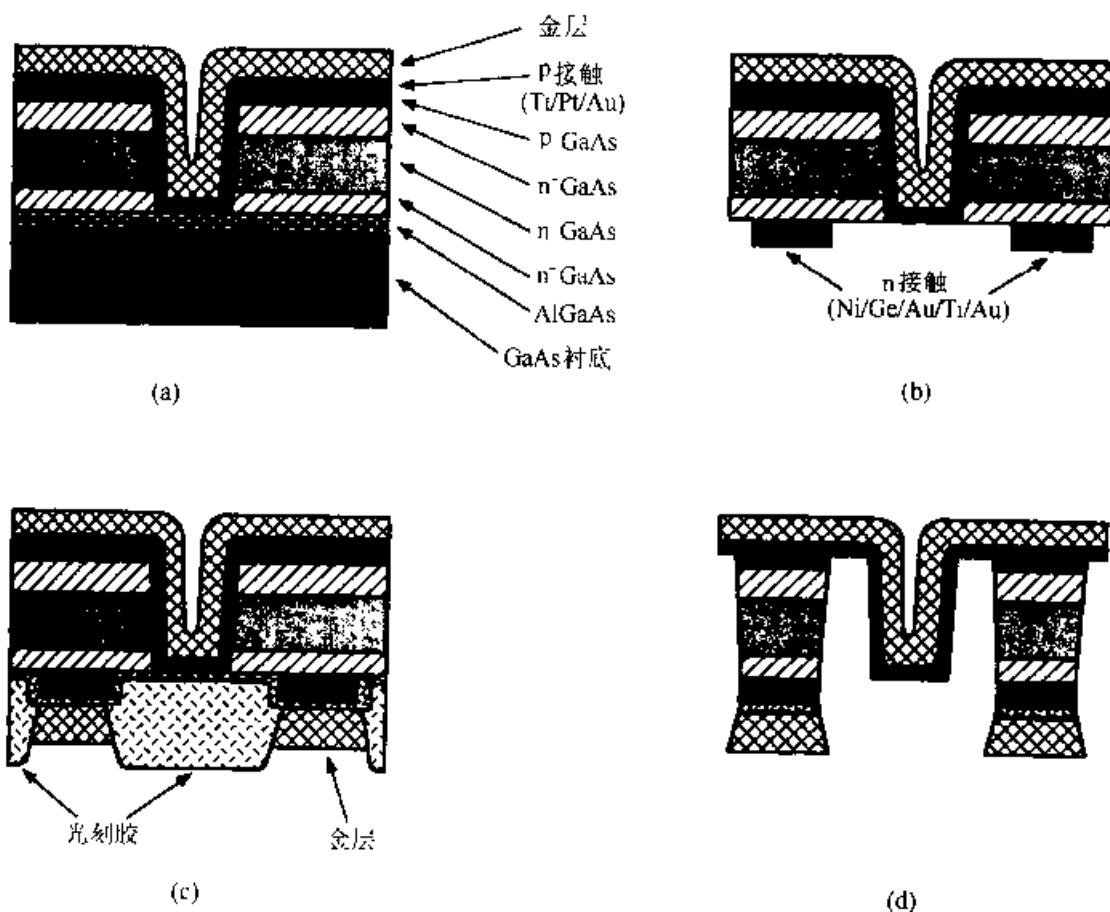


图 6.3 置于连体散热器上的 GaAs IMPATT 或 TUNNETT 二极管的制造步骤。(a) 确定岛状区、蒸镀 p 型欧姆接触及散热器镀金( $\approx 20\mu m$ )；(b) 减薄衬底、移去止蚀层、蒸镀 n 型欧姆接触；(c) 欧姆接触上镀金；(d) 退火和台面腐蚀后的最终的二极管(引自 Kamoua 等之文献[6] 和 Eisele 等之文献[9])

图 6.4(a)示出了 IMPATT 二极管和 Gunn 器件的典型的封装。它由一个带螺纹的镀金铜盘、一个氧化铝环和一个用于密封的顶盖组成，其中铜盘可以拧到 RF 电路中去。将器件焊接到或热压到环内的一个底托上，将金带热压到器件上以

及氧化铝环顶部的金属层上，环的高度和直径取决于器件以及工作频率，其典型值标注在图 6.4(a)上。这种封装在高达 94GHz 的工作频率下仍可使用，而它的寄生效应可用集总元件来近似，如图 6.4(b)所示。选择不同的金带配置可减小寄生电感的影响，金带呈“星形”配置的情况下寄生电感最小，而在只有一条金带横跨的配置下寄生电感最大。如果用石英环替代氧化铝环，封装的有效频率范围可延伸到 110GHz，乃至更高。但是，由于很多工作对于 100GHz 以上的器件仍处于实验阶段，因而通常使用一种寄生效应低、有两到四个托脚、工作在毫米波波段的高端乃至亚毫米波波段的开放式封装<sup>[7, 10~13]</sup>。

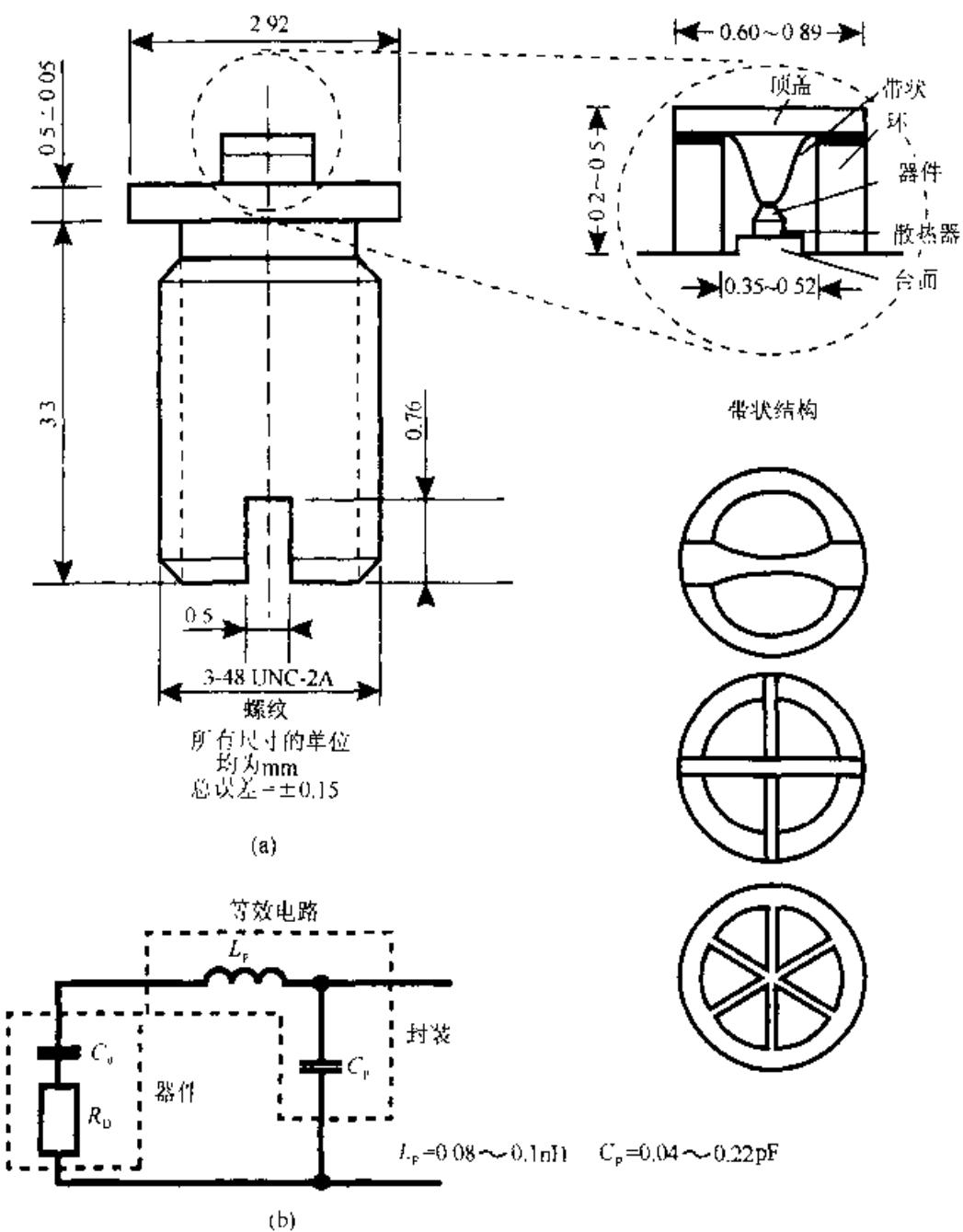


图 6.4 (a)毫米波两端器件的密封封装；(b)寄生元件的等效电路

### 6.1.3 微波电路

人们研究了多种不同的电路配置以用于两端器件振荡器。在毫米波频段，波导电路非常普遍。图 6.5 给出了波导电路的典型配置<sup>[2, 11]</sup>。在微波频段使用同轴线的振荡器电路的例子可在文献[1]中找到。

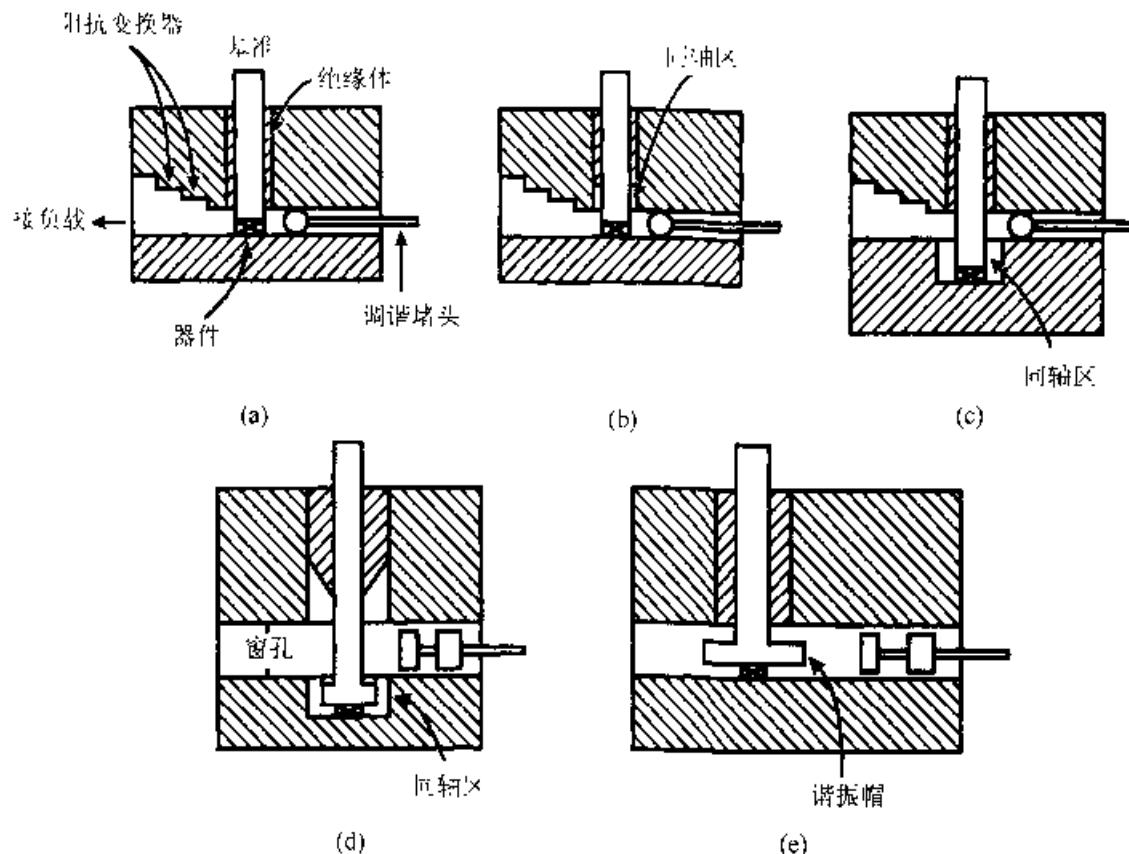


图 6.5 两端器件振荡器波导电路举例(引自 Kono 之文献 [11])

### 6.1.4 噪声

振荡器输出谱的噪声包括幅值的涨落(AM 噪声)和振荡频率的涨落(FM 噪声)。图 6.2 中给出的稳定工作点  $S$  对振荡幅值构成了很强的限制作用。因此，在两端器件中 FM 噪声占有主导地位。FM 噪声可以用有效频率调制  $\Delta f_{\text{rms}}$  与相对于振荡频率  $f_o$  的偏离值  $f_m$  来描述。正如在频谱分析器上所看到的，它对应于噪声与载波之比  $N/C|_{\text{FM}}$ ：

$$\frac{N}{C}|_{\text{FM}} = \frac{\Delta f_{\text{rms}}^2}{2f_o^2} \quad (6.10)$$

为了比较不同的两端器件振荡器的噪声性能，采用 FM 噪声度量值  $M$  更合适些：

$$M = \frac{\Delta f_{\text{rms}}^2 Q^2}{f_o^2 k T_o B} P_{\text{RF}} \quad (6.11)$$

其中  $T$  为绝对温度,  $B$  为带宽。谐振电路的带负载时的  $Q$  因子从波导装置中定出, 如图 6.6(a) 所示。扫描振荡器将功率为  $P_i$  的信号输入到要测试的振荡器(OUT)中, OUT 维持输入信号与扫描振荡器锁定的最大连续频率范围  $\Delta f$ , 由下式决定<sup>[14]</sup>:

$$Q = \frac{2f_c}{\Delta f} \sqrt{\frac{P_i}{P_{RF}}} \quad (6.12)$$

另一种做法示于图 6.6(b)。来自 OUT 的信号在一个可调谐的低损耗回授堵头处被反射并通过耦合器以  $P$  反注 OUT。如果回授堵头的位置移动多于半个波导波长  $\lambda_g$ , 则振荡频率可从下限值连续变化到上限值。这个最大调谐范围, 即自注入锁定范围, 便成为方程(6.12)中的  $\Delta f$ 。

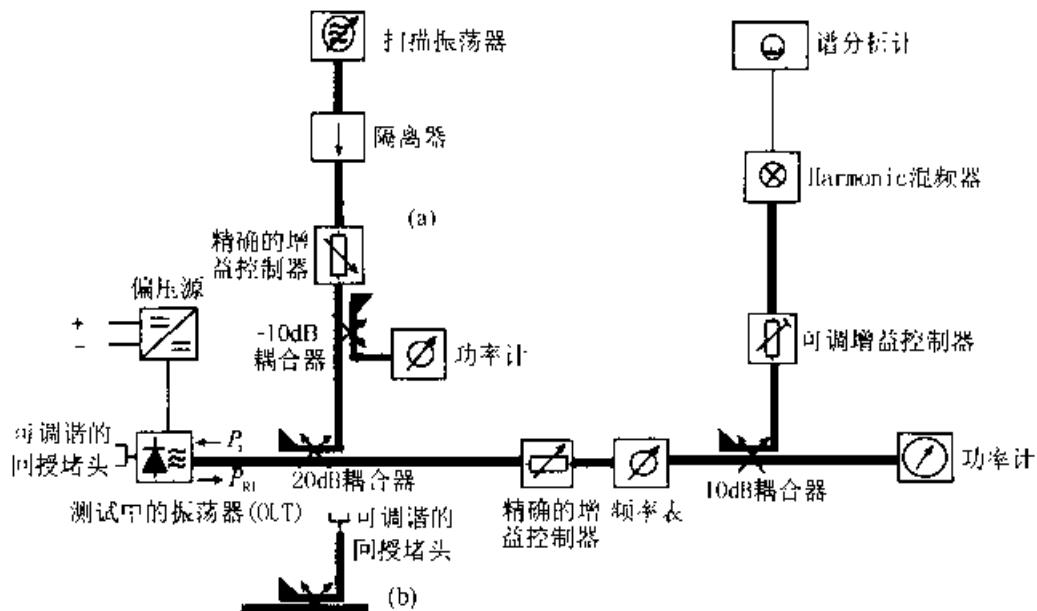


图 6.6 测量振荡器锁定范围  $\Delta f$  和  $Q$  因子的波导测试装置。

(a) 采用扫描振荡器的注入锁定; (b) 自注入锁定

## 6.2 渡越时间二极管

这是一类广泛应用的二极管器件, 包括了 IMPATT 二极管、BARITT 二极管和 TUNNETT 二极管等。其中 IMPATT 二极管是两端器件中功能最强的之一, BARITT 和 TUNNETT 二极管可用于本地振荡器和非常灵敏的自振荡混波器, 噪声非常低。一些更加奇特的器件, 如 QWITT(量子阱注入渡越时间)器件<sup>[15]</sup>和 DOVATT(双速雪崩渡越时间)二极管<sup>[16]</sup>也属于这类器件, 但其基本的工作原理不同, 这里不加论述。

### 6.2.1 工作原理

各种渡越时间二极管共有的机制是能动态地产生负阻。如图 6.7 所示，在限定的窄区域(产生区)中产生一个载流子(如电子)波包(packet)，然后注入到邻近的全耗尽区(漂移区)中。可产生和注入载流子的有几种机制，包括：

1. 越过势垒的热离子发射。该势垒可由正偏的 p-n 结或肖特基结，或由一个异质结来形成。异质结中有一层材料的带隙比中性区和漂移区的带隙要宽。这是产生 BARITT 二极管的机制。

2. 势垒的隧穿。在很高的电场下，假如该势垒区足够窄并且有合适的能态存在，则电子能够从一个反偏 p<sup>+</sup>-n<sup>-</sup> 结的价带隧穿到导带。另外，也能隧穿薄的异质结势垒或共振隧穿双势垒。这种机制分别产生了 TUNNETT 二极管和 QWITT 器件。

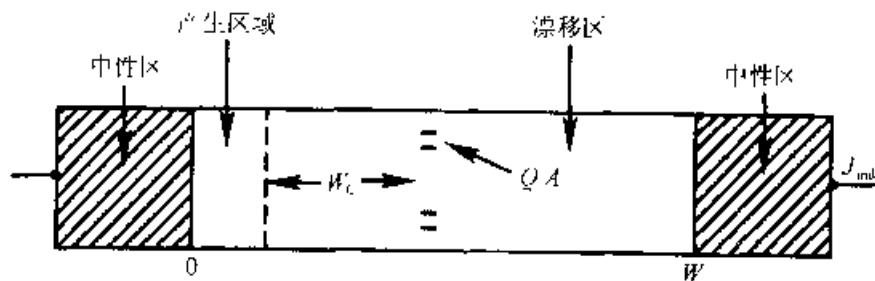


图 6.7 一个负阻渡越时间二极管的纵向部分的示意图

3. 碰撞电离产生的雪崩倍增。在强电场中，处于能量足够高能级上的电子或空穴能产生新的电子-空穴对。这种机制产生了 IMPATT 二极管。

4. 在很高的频率下，隧穿机制和雪崩机制都存在，这样就会出现一个混合模式。这种机制产生了 MITATT(隧穿雪崩混合渡越时间)二极管。

漂移区内，在  $W$  处的电荷脉冲  $Q$  在高场作用下以漂移速度  $v_Q$  传播，并在外电路产生电流。外电路中相应的电流密度  $J_{sd}$  由 Ramo-Shockley 定理给出<sup>[1]</sup>：

$$J_{sd} = \frac{Q}{W} \left[ v_Q - \frac{W_c}{W} \frac{dW}{dt} \right] \quad (6.13)$$

在理想条件下，二极管总是穿通的，而且漂移区的电场总是足够高，使得载流子能以饱和速度  $v_Q = v_s$  运动。6.4 节给出了 GaAs 和 InP 的速度-电场关系特性，在这些半导体材料中，获得饱和速度的条件为  $\mathcal{E} \gg \mathcal{E}_{th}$ 。于是方程(6.13)约化为：

$$J_{sd} = \frac{Q}{W} v_s \quad (6.14)$$

由于机制相同，渡越时间二极管基本的功率生产能力可用一个简单的统一的

大信号分析来估计算。在所假设的大信号条件下，可以对所有渡越时间二极管的电流和电压波形取同一近似，如图 6.8 所示。二极管上的电压  $V_T$  为：

$$V_T = V_{DC} + V_{RF} \sin(\omega t) \quad (6.15)$$

其中， $V_{DC}$ 、 $V_{RF}$  和  $\omega$  分别为 DC 电压、RF 电压的振幅和固频率。电流脉冲由注入相位角  $\Theta_M$  和脉冲的宽度角  $\Theta_W$  表示。诱导电流脉冲由电流密度  $J_{max}$  和漂移区中的渡越角  $\Theta_D$  ( $=\omega W/v_s$ ) 来表示。

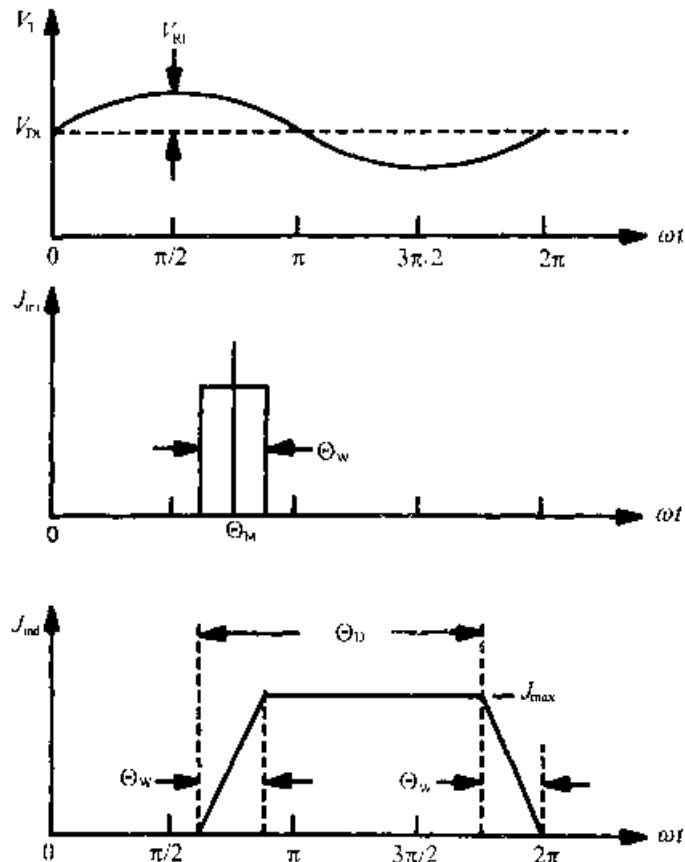


图 6.8 渡越时间二极管理想的电压和电流波形

从后边对每种类型二极管的讨论中可以看到，注入机制的特性决定了相位  $\Theta_M$ ，在 RF 周期中载流子是在  $\Theta_M$  处产生并注入的。面积为  $A$  的二极管中产生的 RF 功率可由下面的积分求得：

$$P_{RF} = -\frac{A}{2\pi} \int_0^{2\pi} J_{ind}(\omega t) V_{RF} \sin(\omega t) d(\omega t) \quad (6.16)$$

该式可简化为

$$P_{RF} = AV_{RF}J_{DC} \frac{\sin(\Theta_W/2)\cos(\Theta_M + \Theta_D) - \cos(\Theta_M)}{(\Theta_W/2)} \quad (6.17)$$

其中利用了  $J_{DC} = \frac{1}{2\pi} \int_0^{2\pi} J_{ind}(\omega t) d(\omega t) = \frac{J_{max}}{2\pi} \Theta_D$  (6.18)

二极管的本征 DC 到 RF 的转换效率  $\eta$  为：

$$\eta = \frac{P_{RF}}{P_{DC}} = \frac{V_{RF}}{V_{DC}} \sin(\theta_w/2) \frac{\cos(\theta_m + \theta_d) - \cos(\theta_m)}{\theta_d} \quad (6.19)$$

该式表明，在任何渡越时间二极管中都希望载流子注入脉冲很尖( $\theta_w \rightarrow 0$ )。在 IMPATT 二极管中，大多是在  $V_{RF}$  通过零时产生载流子。所以， $\theta_m = \pi$ ，而最佳的  $\eta$  出现在  $\theta_d \approx 0.7420\pi$ ，接近  $3/4\pi$ 。在 TUNNETT 或 BARITT 二极管中，产生载流子最多的时候大约是在  $V_{RF}$  达到它的最大值时。所以， $\theta_m = \pi/2$ ，而最佳  $\eta$  出现在  $\theta_d \approx 1.4303\pi$ ，约  $\frac{3}{2}\pi$  时。

## 6.2.2 功率产生能力的估计

为了在一级近似下估计出 IMPATT 和 TUNNETT 二极管的功率产生能力，我们假设基本的二极管结构如图 6.9 所示，其中有一窄层 n-掺杂层将两个本征层分开。在 IMPATT 二极管中，典型的临界电场  $E_c < 1 \text{ MV/cm}$ ，雪崩区宽度  $x_A > 50 \text{ nm}$ ，而在 TUNNETT 二极管中，通常  $E_c > 1.5 \text{ MV/cm}$ ， $x_A < 30 \text{ nm}$ 。在 MITATT 二极管中则有  $1 \text{ MV/cm} < E_c < 1.5 \text{ MV/cm}$ ， $30 \text{ nm} < x_A < 50 \text{ nm}$ 。图 6.10 给出了直流偏压为  $V_{DC}$  时，统一大信号分析中相应的近似电场分布：

$$V_{DC} = (E_{cA} - E_{cD})x_A + E_{cD}(x_A + x_D) \quad (6.20)$$

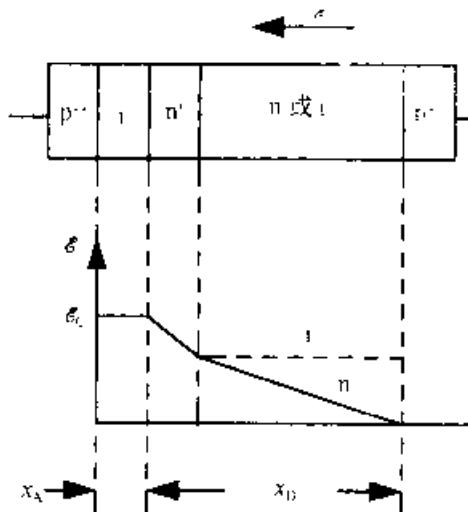


图 6.9 单漂移渡越时间二极管层状结构和电场分布示意

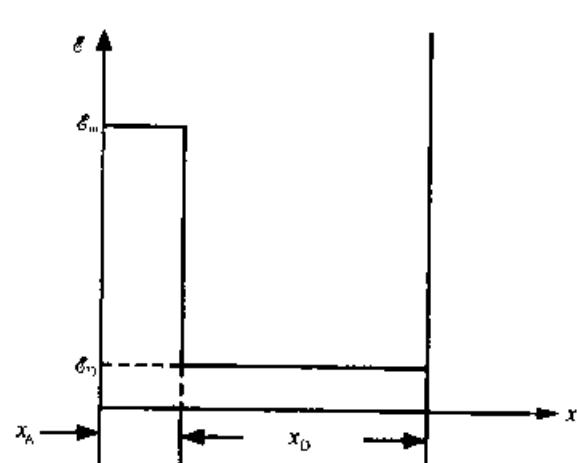


图 6.10 渡越时间二极管统一的大信号分析使用的近似场分布

最佳渡越角  $\theta_d$  决定了漂移区的宽度  $x_D$ ：

$$x_D = \frac{\Theta_d}{2\pi} \frac{v_s}{f} \quad (6.21)$$

二极管的导纳  $Y_0$  可以由诱导电流密度的基波分量  $J_1$  和二极管两端的 RF 电压  $V_{RF}$  推出：

$$\begin{aligned}
J_1(\omega t) &= \frac{1}{\pi} \left| \int_{-\pi/2}^{\pi/2} J_{\text{mc}}(\omega t) \cos(\omega t) d(\omega t) \right| \cos(\omega t) \\
&= \frac{1}{\pi} \left| \int_{-\pi/2}^{\pi/2} J_{\text{dc}}(\omega t) \sin(\omega t) d(\omega t) \right| \sin(\omega t) \\
&= \frac{J_{\text{dc}} \sin(\Theta_w/2)}{\pi (\Theta_w/2)} \{ [-\sin \Theta_M + \sin(\Theta_M + \Theta_D)] \cos(\omega t) \\
&\quad - [\cos \Theta_M - \cos(\Theta_M + \Theta_D)] \sin(\omega t) \}
\end{aligned} \tag{6.22}$$

用  $J_{\text{DC}}$  替换  $J_{\text{max}}$  有：

$$\begin{aligned}
J_1(\omega t) &= \frac{2J_{\text{DC}}}{\Theta_D} \frac{\sin(\Theta_w/2)}{(\Theta_w/2)} \{ [-\sin \Theta_M + \sin(\Theta_M + \Theta_D)] \cos(\omega t) \\
&\quad + [\cos \Theta_M - \cos(\Theta_M + \Theta_D)] \sin(\omega t) \}
\end{aligned} \tag{6.23}$$

对于 IMPATT 二极管， $\Theta_M \approx \pi$ ,  $\Theta_D \approx 0.75\pi$ , 在  $\Theta_w \rightarrow 0$  下，基波分量变为

$$J_1(\omega t) = \frac{8J_{\text{DC}}}{3\pi} \left[ -\frac{1}{2}\sqrt{2} \cos(\omega t) + \left( 1 + \frac{1}{2}\sqrt{2} \right) \sin(\omega t) \right] \tag{6.24}$$

单位面积上的导纳  $Y_1$  为：

$$Y_1 = \frac{-J_1}{jV_{\text{RF}}} = \frac{8J_{\text{DC}}}{3\pi V_{\text{RF}}} \left[ -1 - \frac{1}{2}\sqrt{2} + j\frac{1}{2}\sqrt{2} \right] \tag{6.25}$$

二极管的总导纳  $Y_D$  也必须包括耗尽层电容(冷电容)  $C_C$ ，单位面积的  $C_C$  为：

$$C_C = \frac{\epsilon_s}{x_D + x_A} \tag{6.26}$$

于是

$$Y_D = G_D + jB_D = \frac{8J_{\text{DC}}}{3\pi V_{\text{RF}}} \left[ -1 - \frac{\sqrt{2}}{2} + j\frac{\sqrt{2}}{2} \right] + \frac{j\omega\epsilon_s}{x_D + x_A} \tag{6.27}$$

对于 TUNNETT 二极管， $\Theta_M \approx 0.5\pi$ ,  $\Theta_D \approx 1.5\pi$ , 在  $\Theta_w \rightarrow 0$  下，基波分量变为

$$J_1(\omega t) = \frac{4J_{\text{DC}}}{3\pi} [-\cos(\omega t) - \sin(\omega t)] \tag{6.28}$$

单位面积的导纳  $Y_1$  则为

$$Y_1 = \frac{-J_1}{jV_{\text{RF}}} = \frac{4J_{\text{DC}}}{3\pi V_{\text{RF}}} (-1 - j) \tag{6.29}$$

同样，考虑耗尽层电容  $C_C$  后有：

$$Y_D = G_D + jB_D = \frac{4J_{\text{DC}}}{3\pi V_{\text{RF}}} (-1 - j) + \frac{j\omega\epsilon_s}{x_D + x_A} \tag{6.30}$$

为了估计  $V_{\text{RF}}$  和  $J_{\text{DC}}$ ，用图 6.10 表示  $V_{\text{DC}}$  下的近似电场分布。对于 IMPATT 二极管， $x_A$  为雪崩区的宽度， $\epsilon_m^e$  为该区域上电场的最大值。对于 TUNNETT 二极管， $x_A$  为载流子产生层的宽度， $\epsilon_m^e$  为该区电场的最大值。在 IMPATT 二极管中，设与场有关的电离率为  $\alpha(\epsilon^e)$ ，则击穿条件为<sup>[1]</sup>：

$$\int_0^{x_A} \alpha(\epsilon^e(x)) dx = 1 \tag{6.31}$$

很重要的一点是，要保持漂移区产生的载流子很少，因为这些载流子会干扰图 6.8 所示波形的位相关系。所以，我们假设：

$$\int_{x_A}^{x_D} \alpha[\varepsilon(x)] dx = 0.1 \quad (6.32)$$

并且在 IMPATT 二极管的雪崩区，有

$$\int_{x_D}^{x_A} \alpha[\varepsilon(x)] dx = 0.9 \quad (6.33)$$

其中，电离率  $\alpha(\varepsilon) = A_i e^{-(b/\varepsilon)^m}$ 。对于 GaAs，在  $T=500\text{K}$  时， $A_i = 3.85 \times 10^5 \text{cm}^{-2}$ ， $b = 6.85 \times 10^5 \text{V/cm}$ ， $m=2$ 。这样就有

$$A_i e^{-(b/\varepsilon_D)^2} x_D = 0.1 \quad (6.34)$$

以及

$$A_i e^{-(b/\varepsilon_m)^2} x_A = 0.9 \quad (6.35)$$

从方程(6.34)得到

$$\varepsilon_D = \frac{b}{\sqrt{\ln \left[ \frac{A_i x_D}{0.1} \right]}} \quad (6.36)$$

它决定了 IMPATT 或 TUNNETT 二极管漂移区电场的大小。而

$$x_A = \frac{0.9}{A_i} e^{(b/m)^2} \quad (6.37)$$

决定了雪崩区的宽度。在 IMPATT 二极管中，当  $\varepsilon_m = 800\text{kV/cm}$  时， $x_A = 48\text{nm}$ 。实验结果<sup>[9]</sup>表明，在 GaAs TUNNETT 二极管中，使隧穿发生的电场一般在  $\varepsilon_m = 1.8\text{MV/cm}$  左右，而载流子产生区的等效宽度为  $x_A = 15\text{nm}$ 。

当电荷脉冲  $Q$  离开载流子产生区，开始通过漂移区时，电子的空间电荷会改变漂移区的电场分布。这种情况示于图 6.11 中。载流子浓度为  $n(x)$  的有源区中，电场的变化  $\Delta\varepsilon'$  可以从泊松方程计算出来：

$$\Delta\varepsilon'(x) = \varepsilon(x) - \varepsilon(0) = -\frac{q}{\epsilon_s} \int_0^x n(x') dx' \quad (6.38)$$

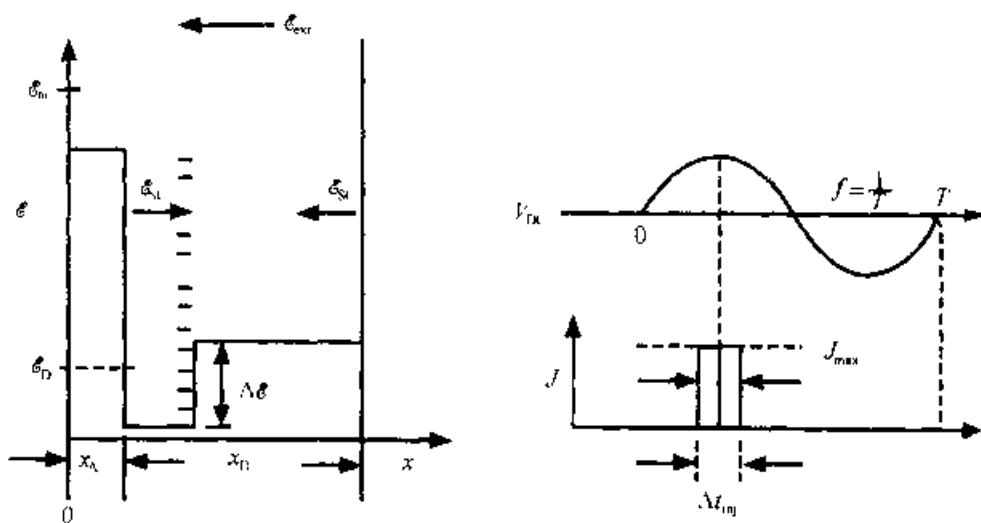
而漂移区中的电场变化由下式计算：

$$\Delta\varepsilon = \Delta\varepsilon'(x_D) - \varepsilon'(x_D + x_A) - \varepsilon'(x_A) = -\frac{q}{\epsilon_s} \int_{x_A}^{x_D+x_A} n(x') dx' \quad (6.39)$$

考虑到漂移区的总电荷  $Q$  为：

$$Q = A J_{\max} \Delta t_{\max} = q A \int_{x_A}^{x_D+x_A} n(x') dx' \quad (6.40)$$

$$\Delta\varepsilon = -\frac{q}{\epsilon_s} \frac{J_{\max} \Delta t_{\max}}{q} \quad (6.41)$$

图 6.11 为估计空间电荷效应和  $J_{DC}$  所使用的近似电场和电流脉冲

在漂移区， $|\Delta\phi|$ 一定要小于漂移区电场  $\phi_0$ ，这个条件将偏置电流密度

$$J_{DC} = \frac{J_{max}\Delta t_{inj}}{T} = J_{max}\Delta t_{inj}f \quad (6.42)$$

限制为

$$J_{DC} \leq \epsilon_s \phi'_D f \quad (6.43)$$

在 IMPATT 二极管中，总电压  $V_T$  低于  $V_{DC}$ ，而且，当电荷脉冲通过漂移区时，有源区每一点的电场都会下降。为使载流子的速度维持在饱和漂移速度  $v_s$ ，整个漂移区的电场要维持在  $\phi > \phi_s$ 。这就将 RF 电压  $V_{RF}$  限制到约为  $0.5V_{DC}$ 。在 TUNNETT 二极管中，当电荷脉冲差不多通过漂移区的  $2/3$  时，RF 电压达到它的极小值，所以

$$V_{RF} = V_{DC} - V_{min} = \left( \frac{2}{3} \phi_D - \phi_s \right) (x_A + x_D) \quad (6.44)$$

表 6.2 归纳了不同频率下 IMPATT 和 TUNNETT 二极管的重要参数，其中，设 GaAs 材料的  $\phi_s = 3\text{kV/cm}$ ，有效漂移速度  $v_s = 5 \times 10^6 \text{cm/s}$ 。

表 6.2 IMPATT 和 TUNNETT 二极管在不同的中心频率  $f$  下的重要参数

$f/\text{GHz}$	$x_D/\mu\text{m}$	$\phi_D/(\text{kV cm})$	$J_{DC}/(\text{kA/cm}^2)$	$V_{DC}/\text{V}$	$V_{RF}/\text{V}$	$V_{RF}/V_{DC}$
IMPATT 二极管						
33	0.57	295	10.3	20.7	10.3	0.5
44	0.43	303	15.2	16.8	8.4	0.5
60	0.31	313	21.4	13.7	6.8	0.5
TUNNETT 二极管						
100	0.38	307	35.0	14.2	7.9	0.55
150	0.25	321	54.8	10.7	5.6	0.52
200	0.19	331	75.5	8.9	4.4	0.5

至此，我们已获得方程(6.27)或方程(6.30)所需要的一切参数，用这两个方程可以求出二极管导纳，也获得了方程(6.7)所需要的参数，用这个方程可以估计二极管所产生的 RF 功率。从方程(6.8)和方程(6.9)可以看到，总串联电阻  $R_s$  会减小实际能送到负载上的 RF 功率。未耗尽区的串联电阻、二极管缓冲区和接触区的趋肤效应、封装中的损耗，以及阻抗转换电路都会对总串联电阻  $R_s$  有贡献。然而，在毫米波频段下工作时，该串联电阻的大小主要由重掺杂的 p 型和 n 型接触区的欧姆接触电阻所决定。于是，从表 6.3 至表 6.8，在所有的计算中，该串联电阻的电阻率均假定为  $1.5 \times 10^{-6} \Omega \cdot \text{cm}$ ，该值取自 W 波段的 GaAs IMPATT 二极管的有关文献报道<sup>[16]</sup>。计算结果按  $R_L = 1.0\Omega, 1.5\Omega, 2.0\Omega$  列表。直流输入功率中半数以上在二极管中耗散为热量，热阻  $R_{th}$  可用来估计结的工作温度高出环境温度的值。热阻的分析基于扩展近似分析方法<sup>[17]</sup>，并假定使用 GaAs TUNNETT 二极管制造中所使用的金属化设计方案<sup>[18]</sup>。图 6.12 是 GaAs IMPATT 二极管热阻估计值和具有类似金属化设计的 GaAs IMPATT 二极管热阻测量值的对比。除了工作于 200GHz 的非常小的、其直径差不多与金属层厚度是同一量级的 TUNNETT 二极管以外，其它二极管必须被置于金刚石散热器（200°C 时金刚石热导率为  $11\text{W/cm} \cdot \text{K}$ ）上，使结的工作温度低于 200°C。如果采用连体散热器的话，即将二极管置于镀金的铜块或铜柱（铜的热导率为  $3.9\text{W/cm} \cdot \text{K}$ ）上时，则需要减小 DC 输入功率和优化 RF 功率。这样一来，从 DC 到 RF 就难以实现很高的转换效率。

表 6.3 中心频率为 33GHz 的 IMPATT 二极管性能预测

$R_s$ $\Omega$	$d_D$ $\mu\text{m}$	$I_{DS}$ $\text{mA}$	$R_e$ $\text{m}\Omega$	$P_{DC}$ $\text{W}$	$P_{RF}$ $/\text{W}$		$\eta$ %	金刚石		铜	
					Gen.	负载		$R_{th}/$ $(\text{K}/\text{W})$	$\Delta T$ $/\text{K}$	$R_{th}/$ $(\text{K}/\text{W})$	$\Delta T$ $/\text{K}$
1.0	124	1359	12.3	28.1	10.2	10.1	35.8	5.85	164	15.1	422
1.5	102	905.7	18.4	18.7	6.78	6.70	35.8	7.57	142	19.5	364
2.0	88.3	679.3	24.5	14.0	5.08	5.03	35.8	9.14	128	22.9	322

表 6.4 中心频率为 44GHz 的 IMPATT 二极管性能的预测

$R_s$ $\Omega$	$d_D$ $\mu\text{m}$	$I_{DS}$ $\text{mA}$	$R_e$ $\text{m}\Omega$	$P_{DC}$ $\text{W}$	$P_{RF}$ $/\text{W}$		$\eta$ %	金刚石		铜	
					Gen.	负载		$R_{th}/$ $(\text{K}/\text{W})$	$\Delta T$ $/\text{K}$	$R_{th}/$ $(\text{K}/\text{W})$	$\Delta T$ $/\text{K}$
1.0	93.2	1037	22.0	17.4	6.32	6.19	35.5	8.51	148	21.6	376
1.5	76.1	691.2	33.0	11.6	4.21	4.13	35.5	11.1	129	27.3	317
2.0	65.9	518.4	44.0	8.72	3.16	3.09	35.5	13.6	118	32.2	281

表 6.5 中心频率为 60GHz 的 IMPATT 二极管性能的预测

$R_L$ /Ω	$d_{L1}$ /μm	$I_{DC}$ /mA	$R_s$ /mΩ	$P_{DC}$ /W	$P_{RF}$ /W		$\eta$ /%	金刚石		铜	
					Gen.	负载		$R_{th}/(K/W)$	$\Delta T/K$	$R_{th}/(K/W)$	$\Delta T/K$
1.0	67.8	772.8	11.5	10.6	3.83	3.69	34.9	13.0	138	31.2	329
1.5	55.4	515.2	62.5	7.05	2.55	2.46	34.9	17.3	122	39.5	278
2.0	48.0	386	83.1	5.28	1.91	1.81	34.9	21.3	112	46.9	248

表 6.6 中心频率为 100GHz 的 TUNNETT 二极管性能的预测

$R_L$ /Ω	$d_{L1}$ /μm	$I_{DC}$ /mA	$R_s$ /mΩ	$P_{DC}$ /W	$P_{RF}$ /mW		$\eta$ /%	金刚石		铜	
					Gen.	负载		$R_{th}/(K/W)$	$\Delta T/K$	$R_{th}/(K/W)$	$\Delta T/K$
1.0	26.4	191.4	274	2.72	320	255	9.35	52.6	143	96.6	262
1.5	21.7	127.6	111	1.82	213	170	9.35	72.7	132	124	226
2.0	18.7	95.71	548	1.36	160	127	9.35	91.8	125	149	203

表 6.7 中心频率为 150GHz 的 TUNNETT 二极管性能的预测

$R_L$ /Ω	$d_{L1}$ /μm	$I_{DC}$ /mA	$R_s$ /Ω	$P_{DC}$ /W	$P_{RF}$ /mW		$\eta$ /%	金刚石		铜	
					Gen.	负载		$R_{th}/(K/W)$	$\Delta T/K$	$R_{th}/(K/W)$	$\Delta T/K$
1.0	14.8	93.6	9.878	1003	111	61.0	6.08	135	136	203	203
1.5	12.0	62.4	1.32	669	74.0	40.7	6.08	190	127	266	178
2.0	10.4	46.8	1.76	502	55.5	36.0	6.08	213	122	323	162

表 6.8 中心频率为 200GHz 的 TUNNETT 二极管性能的预测

$R_L$ /Ω	$d_{L1}$ /μm	$I_{DC}$ /mA	$R_s$ /Ω	$P_{DC}$ /mW	$P_{RF}$ /W		$\eta$ /%	金刚石		铜	
					Gen.	负载		$R_{th}/(K/W)$	$\Delta T/K$	$R_{th}/(K/W)$	$\Delta T/K$
1.0	6.96	28.7	3.91	256	26.9	5.75	2.25	487	125	575	147
1.5	5.69	19.2	5.91	171	17.9	3.83	2.25	694	118	778	133
2.0	4.92	14.4	7.89	128	13.4	2.88	2.25	892	114	970	124

到现在为止，在这种二极管的大信号分析中，我们没有考虑下列事实，即在  $V_{DC}$  下一定要有负阻才能产生振荡。如图 6.1 所示，实际需要的阻抗要高于大信号条件下的阻抗。我们采用 IMPATT 二极管的小信号理论<sup>[5]</sup> 来估计相应的电流密度。小信号负阻  $R_{L1}$  由下式给出：

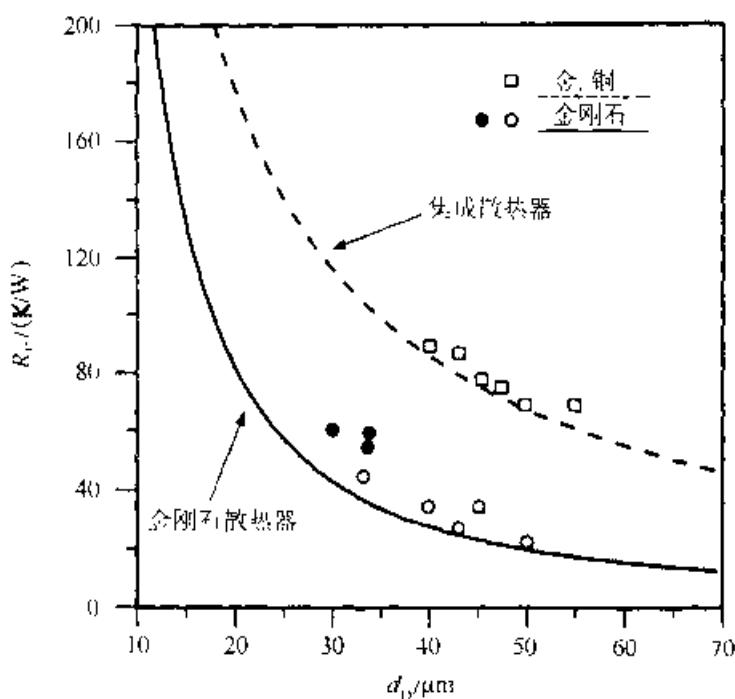


图 6.12 置于金剛石散热器和连体散热器上的二极管的热阻  $R_{th}$  随二极管直径的变化的预期值。置于金剛石散热器上的 GaAs W 波段 (●)、V 波段 (○) IMPATT 二极管和置于连体散热器之上的 GaAs V 波段 IMPATT 二极管 (□) 的热阻的测量值 (引自 Eisele 和 Haddad 之文献 [18])

$$R_D = \frac{x_d}{\omega \epsilon_s A} \frac{1 - [(\cos \Theta_D)/\Theta_D]}{1 - (\omega^2/\omega_a^2)} \quad (6.45)$$

其中  $\omega_a$  为雪崩谐振频率, 由下式给出:

$$\omega_a^2 = \frac{3J_{DC}v_s}{\epsilon_s} \frac{d\alpha}{d\epsilon^2} \quad (6.46)$$

为了使 33 GHz、44 GHz 和 60 GHz 频率下的  $R_D$  的绝对值比大信号条件 ( $\alpha' = 0.25/\text{V}$ ) 下的值高出 50%, 电流密度应分别为  $6.8 \text{ kA/cm}^2$ 、 $12 \text{ kA/cm}^2$  和  $22.4 \text{ kA/cm}^2$ 。假设表 6.2 中给出的大信号电流密度被部分地叠加在直流偏置电流的电流密度上。于是,  $P_{DC}$  的大小和结工作温度的增加都远远高于表 6.3~表 6.5 中所预计的, 而且相应的 DC 到 RF 转换效率下降。在 TUNNETT 二极管中, 我们可以定义一个等价的有效雪崩谐振频率<sup>[17]</sup>:

$$\omega_{a,\text{eff}}^2 = \omega_a^2 + \frac{3v_s}{\epsilon_s} \frac{dg_T}{d\epsilon^2} \quad (6.47)$$

其中  $g_T$  表示隧穿产生率。对 TUNNETT 二极管而言, 方程(6.47)中第二项是主要的, 而且, 相应的小信号阻抗模型<sup>[19]</sup>预言了电流密度剧烈减小后负阻的存在。因此, 估计表 6.6~表 6.8 中工作于 100 GHz、150 GHz 和 200 GHz 下的 TUNNETT 二极管的性能时所受到的影响, 比估计 33 GHz、44 GHz 和 60 GHz 下工作的 IMPATT 二极管的性能时所受到影响要小。

如果电子和空穴都能对二极管的负阻有所贡献的话，则可以得到更高的 RF 功率。图 6.13 就是有这种特点的双漂移二极管的层状结构示意图。阻抗  $Z_D$  和偏压  $V_{Dx}$  都近似加倍，器件面积加倍后仍可与同样的负载电阻  $R_L$  匹配。面积加倍后，偏置电流  $I_{Dx} = A J_{Dx}$  也加倍，而且理论上得到的功率是单漂移结构 RF 输出功率的 4 倍 ( $P_{RF} = \eta V_{Dx} I_{Dx}$ )。然而在实际的二极管中，由于热学和电学上的限制，RF 输出功率只有理论值的一半。

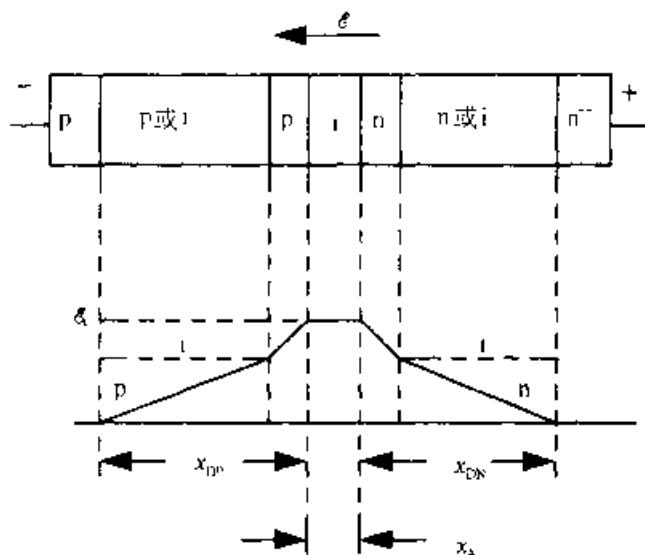


图 6.13 双漂移渡越时间二极管的层状结构和电场分布示意图

总之，表 6.3～表 6.8 的估计表明，统一的大信号分析作为一个简单的工具可以用来估计渡越时间二极管基本的功率产生能力。然而，当频率更高时，形成雪崩的时间以及雪崩区的渡越时间就会在 RF 周期中占有很大一部分比例。另外，在非常短的隧穿和漂移区里，载流子动力学和量子力学效应变得很重要，需要加以考虑。因此，需要更加复杂的模拟程序来估计渡越时间二极管的性能<sup>[20]</sup>。这些估计与同样结构二极管的实验结果符合得非常好<sup>[21]</sup>。

### 6.2.3 连续波工作模式下的二极管性能

从报道来看，采用 IMPATT 二极管能使单器件固态振荡器在连续波(CW)工作模式下获得最大功率。硅 IMPATT 二极管 RF 功率(以及相应的 DC 到 RF 转换效率)的测量值为：44 GHz 下 2.5 W(10%)<sup>[2]</sup>，60 GHz 下 2.5 W(13.5%)<sup>[2]</sup>，97GHz 下 1.06 W(10%)<sup>[42]</sup>。早期的工作表明，在 200 GHz 以上，硅 IMPATT 可以获得很高的 RF 功率，例如，245 GHz 下 50 mW<sup>[12]</sup>，255 GHz 下 12 mW<sup>[12]</sup>，285 GHz 下 7.5 mW<sup>[10]</sup>，361 GHz 下 0.2 mW<sup>[12]</sup>。60 GHz 以下，GaAs IMPATT 二极管一般比 Si IMPATT 二极管有更好的性能，其 RF 功率(以及相应的 DC 到 RF 的转换效率)的测量值为：33 GHz 下 3.0 W(22%)<sup>[22]</sup>，44 GHz 下 2.7 W(18.6%)<sup>[22]</sup>，60 GHz 下 1.7 W(15%)<sup>[12]</sup>。对于 Si 和 GaAs IMPATT 二极管，通过设计、优化掺杂分布(如图 6.14 所示)，并用 MBE 或 VPE 来生长，可以获得最

大的 RF 功率。

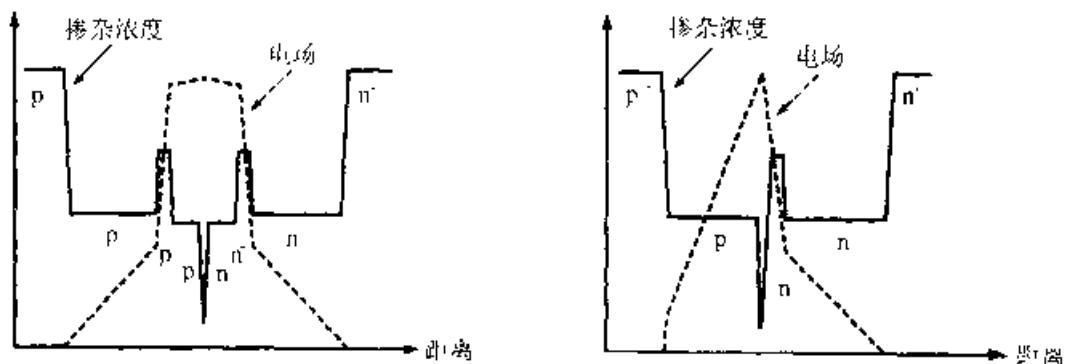


图 6.14 高功率、高效率双漂移 IMPATT 二极管的掺杂分布示意图

当初人们认为, GaAs IMPATT 二极管的工作频率会被限制在 60 GHz 以下, 因为这种二极管在 60 GHz 以上工作的效率比在较低频率(如 33 GHz)下的工作效率要低得多。然而, 单漂移均匀分布结构在 W 波段的实验结果为: 95 GHz 下 320 mW (6%)<sup>[16]</sup>, 双漂移结构在 D 波段的实验结果为: 144 GHz 下 100 mW (5%)<sup>[23]</sup>, 这些结果表明, 在 60GHz 以上的频率下工作, 性能优良。不过, Si IMPATT 二极管有更好的性能, 这是由于漂移区的饱和速度较高。硅的饱和速度为

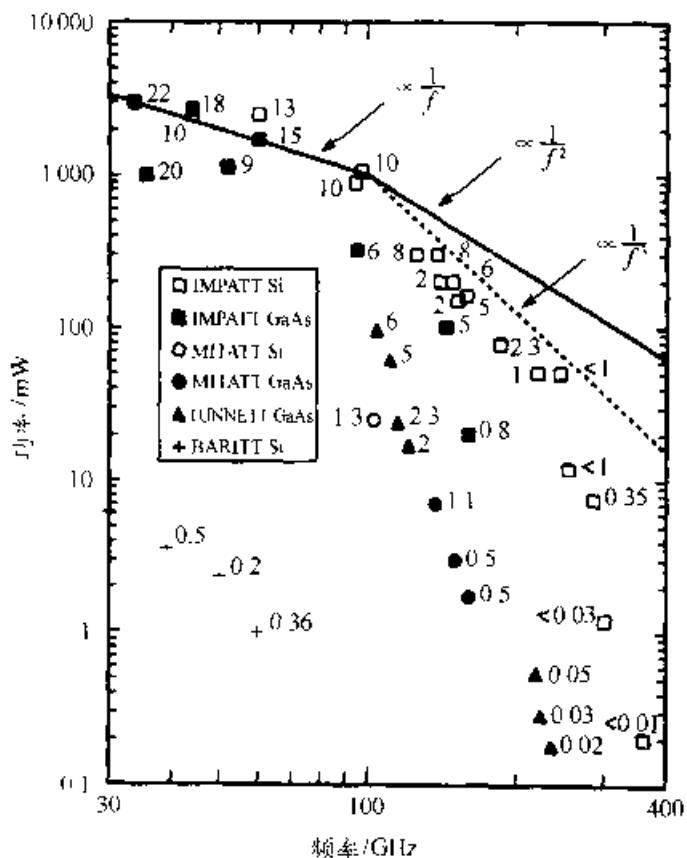


图 6.15 在频率范围 30~400GHz CW 模式下的渡越时间二极管目前水平的 RF 功率 符号旁边的数字表示 DC 到 RF 的转换效率(%)

$(6\sim 8) \times 10^6 \text{ cm/s}$ , 而 GaAs 的则为  $(3.5\sim 5) \times 10^6 \text{ cm/s}$ 。与 Si 相比, GaAs 的电离率在高场下具有更加明显的饱和趋势<sup>[25, 26]</sup>。例如, GaAs 双漂移 Read 低-高-低 IMPATT 二极管的一个报道结果为 144 GHz 下 RF 功率 100 mW, 相应的 DC 到 RF 的转换效率为 5%<sup>[23]</sup>, 而 Si 双漂移 Read 低-高-低 IMPATT 二极管的报道结果则为 138.5 GHz 下 300 mW(8.1%), 148 GHz 下 200 mW(6.2%)<sup>[27]</sup>。图 6.15 总结了包括 BARITT 二极管<sup>[28, 29]</sup>和 MITATT 二极管<sup>[28, 29]</sup>在内的一些渡越时间二极管目前的最好性能。

#### 6.2.4 噪声

雪崩过程的统计特性使 IMPATT 二极管的 RF 电流具有很大的散粒噪声成分。所以通常认为, 用 IMPATT 二极管做成的振荡器噪声太大。这一点也由厘米波波段的实验结果所证实。然而在毫米波频段, 有两个效应可以降低振荡器中的噪声。一方面, 雪崩区占有源区很大一部分, 而且注入电流中的统计涨落被平均掉了<sup>[30]</sup>。另一方面、在 RF 周期中, 雪崩区的载流子不再被全部扫尽<sup>[31]</sup>, 雪崩过程可以从雪崩区中那些残余的电子和空穴开始, 这就使涨落更少。实验结果证实了这一点。有效雪崩区较长的 GaAs 单漂移均匀掺杂 IMPATT 二极管的 FM 噪声测量值 M 与 W 波段 InP Gunn 二极管的可以比拟<sup>[16]</sup>。Si IMPATT 二极管的 FM 噪声比 GaAs IMPATT 二极管的 FM 噪声至少高 6~10dB。然而, Si IMPATT 二极

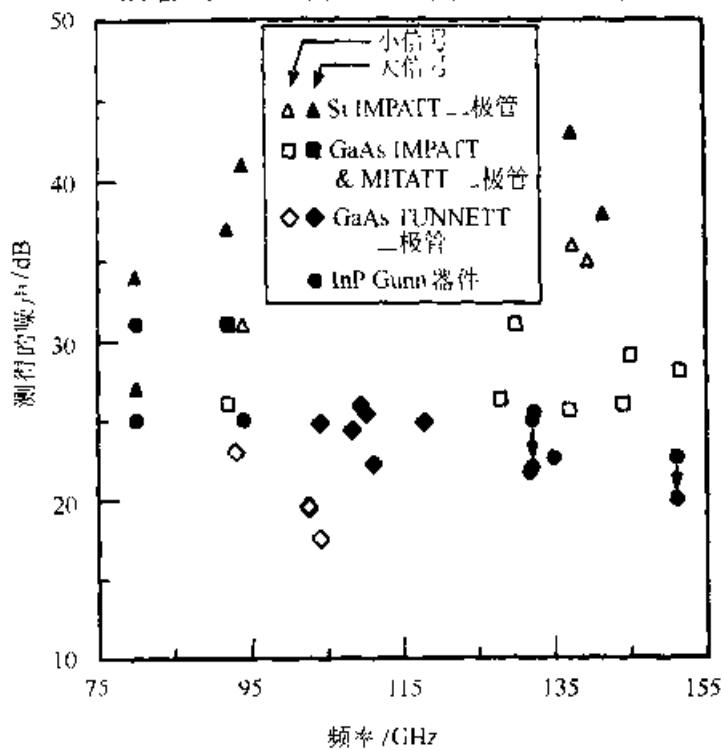


图 6.16 用不同的两端器件构成的工作于 75~155GHz 的毫米波频率范围内的自激振荡器的 FM 噪声 M 的比较

管的  $1/f$  噪声却相当小<sup>[31]</sup>，因此，它更适于用在像汽车防撞系统那样的多普勒雷达应用中。如图 6.16 所示，由两端器件组成的各种振荡器中，用 TUNNETT 二极管做成的自激振荡器具有最低的 FM 噪声。GaAs TUNNETT 二极管的 RF 功率为：104 GHz 下 100 mW，111 GHz 下 64 mW<sup>[32]</sup>，这些与 GaAs Gunn 器件的结果<sup>[33]</sup>差不多，但其 DC 到 RF 的转换效率为：104 GHz 下 5.9%，111 GHz 下 5.3%。这差不多是 GaAs Gunn 器件的两倍。图 6.16 中，在两种不同的工作模式间作了区分：在小信号模式中，被测量的 RF 功率不超过 RF 功率最大值的 10%，而在大信号模式中，受测 RF 功率至少为 RF 功率最大值的 80%。

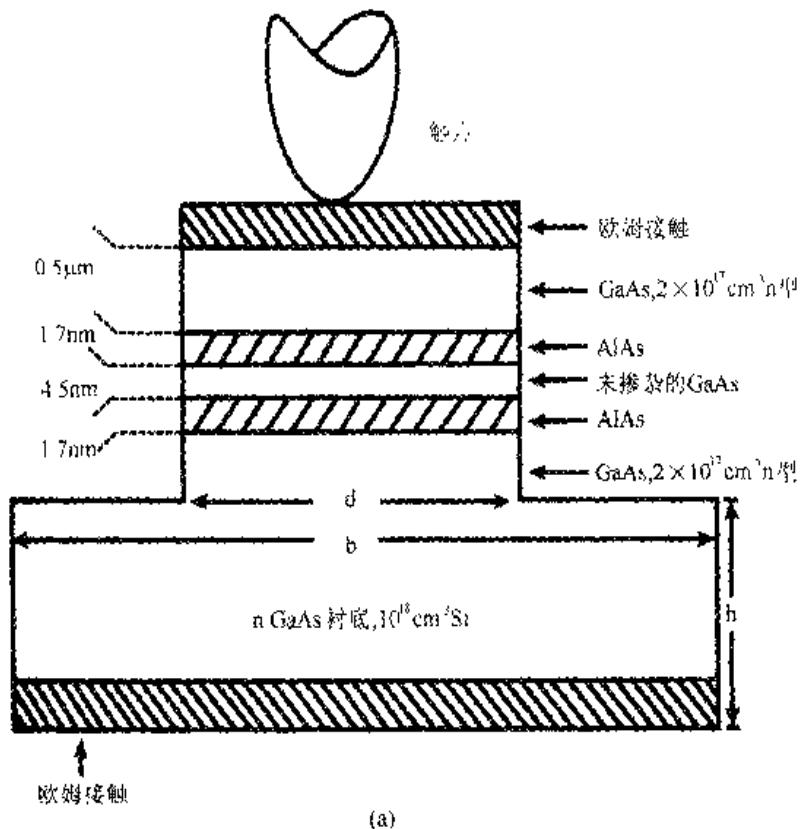
### 6.2.5 脉冲工作模式下的二极管性能

用脉冲来驱动器件可以克服热学上的限制，得到的 RF 功率也明显要高得多。例如，对单个 Si IMPATT 二极管做的实验的结果为：35 GHz 下 28 W<sup>[33]</sup>，96 GHz 下 42 W(8%)<sup>[32]</sup>，140 GHz 下 5.6 W<sup>[32, 33]</sup>，其中，脉冲宽度在 100 ns 的量级(50~200ns)，占空度在 0.25%~1.0% 之间。较早一些的工作<sup>[32]</sup>获得过下列结果：130 GHz 下 6.5 W，217 GHz 下 1W，240 GHz 下 620 mW，其中，脉冲宽度 100 ns，脉冲重复频率 25 kHz。用脉宽 300~500 ns 的长脉冲驱动单个 GaAs IMPATT 二极管得到的结果为：35 GHz 下 8.6 W(16%)<sup>[32]</sup>，40 GHz 下 16 W(15%)(占空度为 5%)<sup>[34]</sup>，94 GHz 下 1.7 W(10%)。

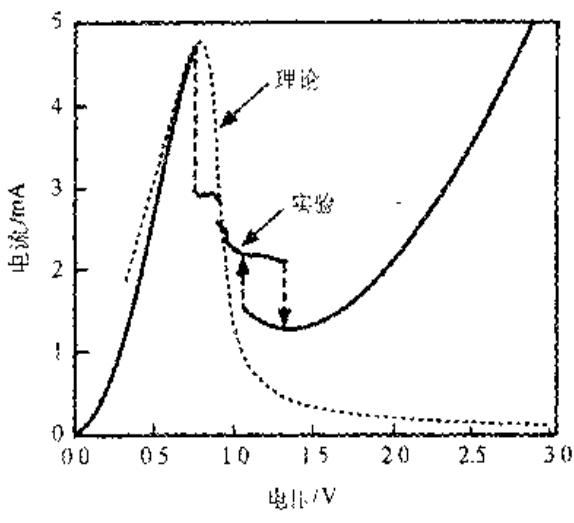
## 6.3 共振隧穿二极管

人们早已知道 Ge、GaAs 和其它材料中重掺杂 p-n 结的  $I-V$  特性具有宽带负阻的反常现象。1958 年 Esaki 发现可以用带间隧穿来解释这个现象<sup>(35)</sup>。最早的一些负阻振荡器是用隧穿二极管制成的，并且一直到毫米波波段都能产生 RF 功率。1974 年实验又给出了另一种隧穿机制<sup>[36]</sup>，即，双异质势垒的共振隧穿。这种机制的工作原理如下：一层薄的( $<20\text{nm}$ )、具有较窄带隙的半导体材料(如 GaAs、InAs 或 InGaAs)，即所谓的量子阱，夹在两层很薄的( $<10\text{nm}$ )具有较宽带隙的半导体材料(如 AlGaAs 或 AlAs、AlSb、AlAs)之间。图 6.17 示出了一个用于实验的共振隧穿二极管(RTD)的层状结构和  $I-V$  特性。

如果量子阱的厚度接近电子的德布罗意波长的量级，阱中电子就被限制在分立的能级上( $E_1, E_2$  等)。图 6.18(a)给出了偏压  $V=0$  时热平衡状态的情况。当偏压增加时，阴极一侧接近势垒的地方形成一个积累区，在阳极一侧靠近势垒的地方形成耗尽区。只有很少的电子能隧穿通过双势垒。一旦偏压达到某个值，使阴极一侧导带中被占据的能态与阱中  $E_1$  空能态齐平，共振就发生了。在这一点，许多电子能够隧穿通过左边势垒进入阱中，并接着隧穿通过右边势垒进入阳极一侧导



(a)



(b)

图 6.17 (a) 表面 AlAs/GaAs/AlAs 谐振隧穿二极管的截面图;  
(b)  $I-V$  特性的测量值和理论值(引自 Brown 等人之文献[37])

带中未被占据的能量。图 6.18(d)中所示  $I-V$  特性中的电流峰值  $I_p$  的发生条件为:

$$V_{\perp} > \frac{2E}{q} + \Delta V_{\perp} \quad (6.48)$$

其中  $\Delta V_{\perp}$  描述了势垒附近积累区和耗尽区的电压降。

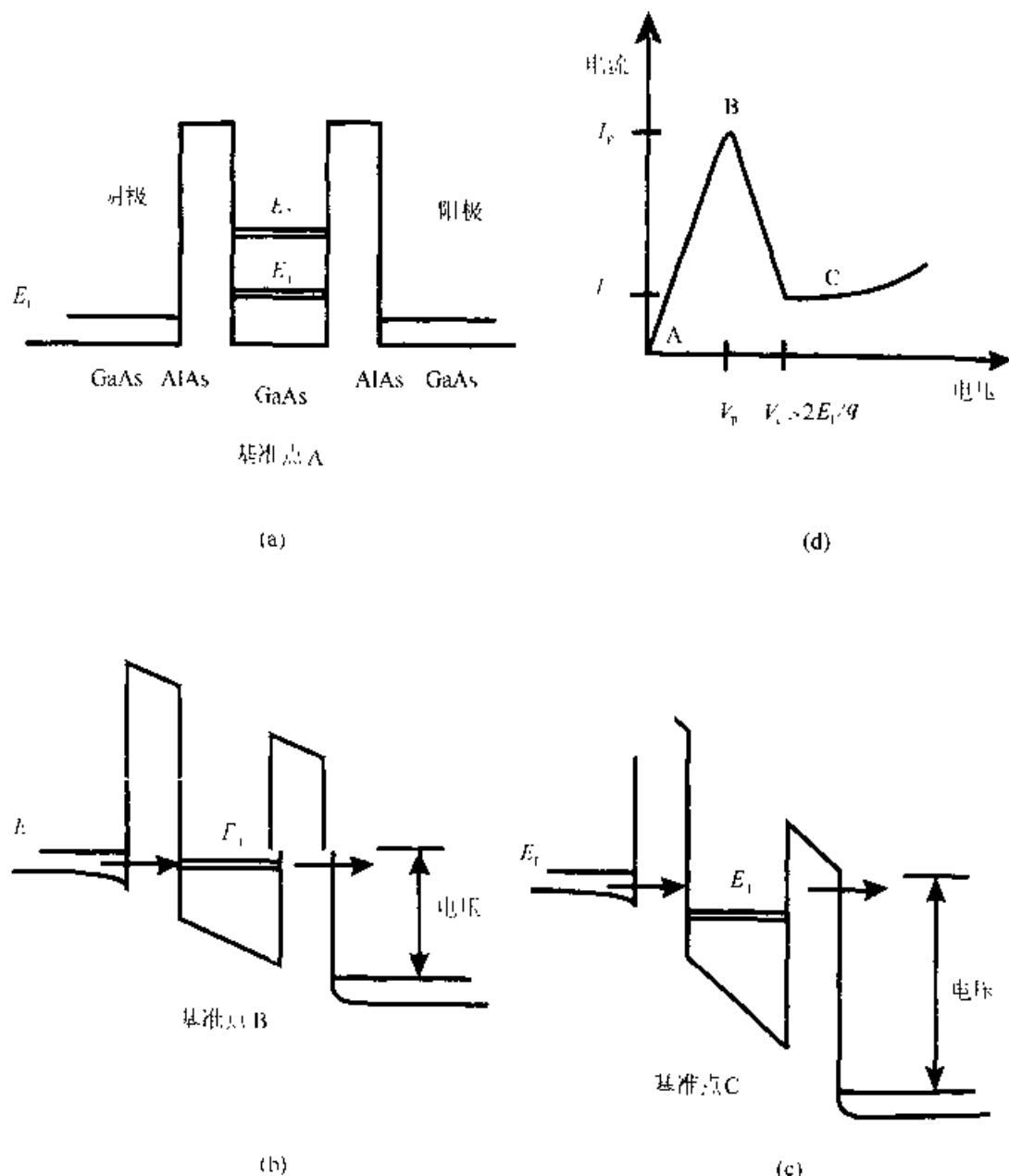


图 6.18 (a) ~ (c) 在三个偏压 A、B、C 下的能带图; (d) 一个 GaAs/AlAs 双异质势垒的  $I$ - $V$  特性

当  $V$  进一步增加时, 图 6.18(a)中左边的导带边上升高过  $E_F$ , 能够隧穿通过势垒的电子数剧减。位于  $V$ 、谷底处的电流  $I$ , 源于过剩载流子电流组分, 它随偏压的增加而增加。势垒材料中较高能谷(例如 AlAs 中的 X 谷)的隧穿以及声子协助或杂质协助隧穿(非弹性散射)对这个电流有贡献。对于  $T = 300K$  下的不同材料系统, 典型的峰-谷电流比  $I_p/I$  在大约 2~24 的范围内。共振隧穿是一个非常快的量子力学过程, 实验结果<sup>[3]</sup>和模拟<sup>[4]</sup>显示, 响应时间常数小于 0.3ps。所以, 在简

单分析 RTD 产生功率的能力时可以忽略这个时间常数。我们也可以忽略通过整个二极管耗尽区的渡越时间  $\tau_D$ ，耗尽区从 n 型掺杂阴极一直到 n 型掺杂阳极区：

$$\tau_D = \frac{W}{\tau_Q} \quad (6.49)$$

与本章所讨的其它两端器件相比，RTD 的负阻在从  $f=0\text{Hz}$  开始的一个非常宽的频率范围内都存在。所以，图 6.1(a) 所示振荡器电路需要增加偏置电路，如图 6.19 所示。

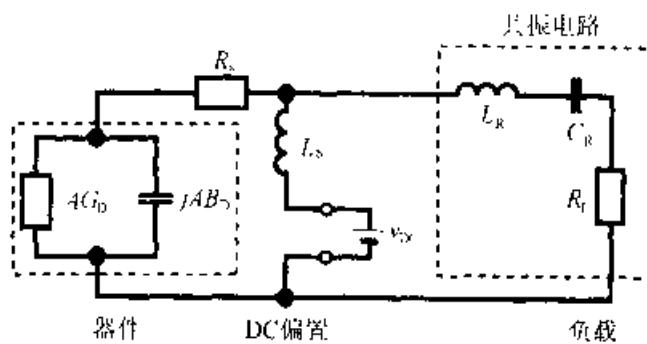


图 6.19 连接在一个偏置电路和一个负载上的共振隧穿二极管做成的振荡器的简化等效电路

为简单起见，如图 6.20 所示，我们将  $I-V$  特性曲线线性化，以便分析产生功率的能力，其中， $V_p$  和  $V_v$  表示峰电压和谷电压，而峰电流和谷电流密度分别为  $J_p$  和  $J_v$ 。如果二极管的偏压为  $V_{DC}=\frac{1}{2}(V_p+V_v)$ ，即  $J_{DC}=\frac{1}{2}(J_p+J_v)$ ，则 RF 电压最大值  $V_{RF}$  变为：

$$V_{RF} = \frac{1}{2} \Delta V = \frac{1}{2}(V_v - V_p) \quad (6.50)$$

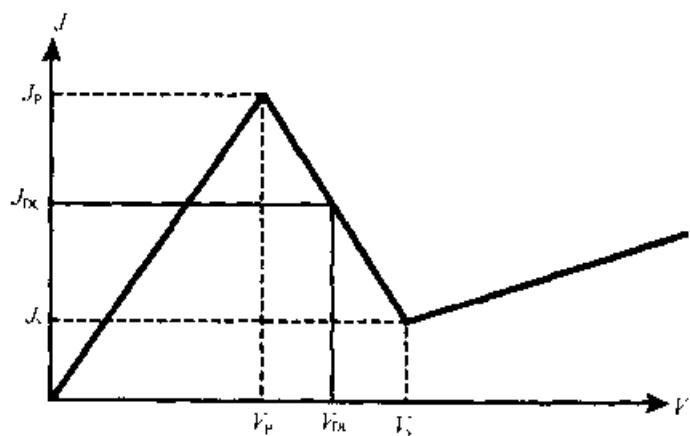


图 6.20 一个 RTD 的  $I-V$  特性的线性简化

单位面积的大信号电导  $G_D$  由下式给出：

$$G_D = \frac{J_v - J_p}{V_v - V_p} \quad (6.51)$$

而单位面积二极管的电纳  $B_D$  由耗尽区单位面积电容  $C_D$  表示：

$$B_D = \omega C_D = \omega \frac{\epsilon_0}{W} \quad (6.52)$$

现在我们应用方程(6.9)和(6.8)来分别得到二极管面积  $A$  和 RF 输出功率  $P_{RF}$ 。在低频下， $P_{RF}$  接近极限：

$$P_{RF} = \frac{1}{8} A (J_p - J_v) (V_v - V_p) \quad (6.53)$$

相应的 DC 到 RF 的转换效率  $\eta$  为：

$$\eta = \frac{P_{RF}}{P_{DC}} = \frac{1}{2} \frac{(J_p - J_v)(V_p - V_v)}{(J_p + J_v)(V_v + V_p)} = \frac{1}{2} \frac{\left(\frac{J_p}{J_v} - 1\right) \left(\frac{V_v}{V_p} - 1\right)}{\left(\frac{J_p}{J_v} + 1\right) \left(\frac{V_v}{V_p} + 1\right)} \quad (6.54)$$

对于  $V_v/V_p=2$ ,  $J_p/J_v=4$  以及  $V_v/V_p=2$ ,  $J_v/J_p=19$  的情况,  $\eta$  分别为 10% 和 15%。到目前为止, 我们只考虑了负载电阻为  $R_L$  的 RF 电路如何限制 RF 功率。从 Esaki 隧穿二极管我们知道, 固有的宽带负阻导致偏置电路的振荡。正如我们从下面的分析中看到的, 这些不稳定性进一步限制了 RTD 的 RF 输出功率。因为, 与 Esaki 隧穿二极管的  $I-V$  特性很相似, 我们能够用 Hines 的分析来讨论短路稳定性<sup>[46]</sup>。该分析假定, 对于图 6.19 所示偏置电路的配置有:

$$\frac{L_s(A^2 G_D^2)}{(AC_D)} < -R_s(AG_D) < 1 \quad (6.55)$$

方程(6.55)的第一个不等式简化为对二极管面积  $A$  的一个限制:

$$A < -\frac{\rho_s C_D}{L_s G_D} \quad (6.56)$$

这个面积  $A$  要小得多, 重新整理一下方程(6.9):

$$R_L = \frac{1}{A} \left( \frac{-G_D}{G_D^2 + B_D^2} - \rho_s \right) \quad (6.57)$$

我们看到, 二极管一定要有比以前假设的  $1\Omega$  大得多的负载电阻  $R_L$  来满足方程(6.5)给出的振荡条件。结果, 这个稳定条件将方程(6.8)中的  $P_{RF}$  严格地限制为:

$$P_{RF}(R_L) = -\frac{1}{2} A [G_D - \rho_s(G_D^2 + B_D^2)] V_{RF}^2 \quad (6.58)$$

图 6.17 所示实验用的 AlAs/GaAs/AlAs RTD 的  $I-V$  特性可以用  $\Delta V = 0.5\text{V}$ ,  $J_p=40\text{kA/cm}^2$ ,  $J_v/J_p=3.5$  和  $W=70\text{nm}$  近似描述。利用这些参数, 我们能就图 6.21 所示的两种情形对 RF 功率和二极管面积进行比较: (a) 只有 RF 电路限制  $P_{RF}$ , 偏置电路可以发生振荡、(b) 偏置电路的稳定性限制  $P_{RF}$ , 偏置电路

不能发生振荡。在这两种情形中，假设  $\rho_s = 1 \times 10^{-6} \Omega \cdot \text{cm}^2$  以解释主要在欧姆接触中的损耗。

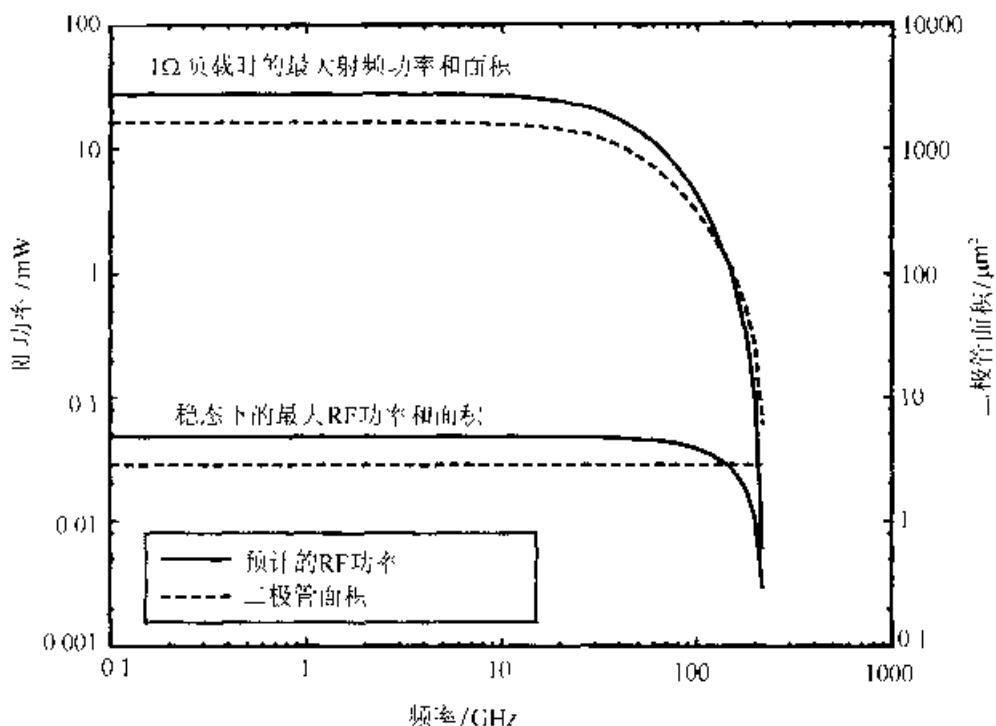


图 6.21 顶部曲线： $R_L = 1\Omega$  匹配情况下，RF 输出功率和二极管面积的估计值。底部曲线： $L_c = 0.1\text{nH}$  下获得稳定性时，RF 输出功率和二极管面积的预计值。这里假设图 6.17 中的二极管有线性的 I-V 特性

图 6.22 总结了从 AlAs/GaAs/AlAs、AlAs/InGaAs/AlAs 和 AlSb/InAs/AlSb 材料 RTD 获得的最好的实验结果<sup>[45, 46, 47]</sup>。如图 6.17(a)所示，高达 712GHz 的振荡电路中所用的 RTD 一般不封装，类似肖特基混频器和变容二极管那样采用点接触方式进行接触<sup>[21]</sup>。所以，这些振荡电路不同于图 6.5 所示的振荡电路。在 30~200GHz 频率范围内，从 AlAs/GaAs/AlAs RTD 测量的 RF 功率在维持偏置电路的稳定性时与图 6.21 的预计值符合得非常好。报道的 AlSb/InAs/AlSb RTD 的最高振荡频率高达 712GHz<sup>[48]</sup>。RTD 作为本地振荡器被成功地用于具有 SIS(超导-绝缘-超导)结的亚毫米波接收器中<sup>[49]</sup>，而且有工作报道了提高偏置电路稳定性的非常有前途的方法<sup>[50]</sup>。然而，由于电压摆幅  $\Delta V$  较小，RTD 的 RF 功率与系统应用方面的要求相比还很低，有一些工作对功率组合进行了努力。例如 25 个并联 RTD 在 1.18GHz 振荡频率下产生了 5mW RF 输出功率<sup>[46]</sup>。另一方面，小的电压摆幅  $\Delta V$  使 RTD 成为高速、高复杂性的逻辑电路应用中的主要选择对象，这些逻辑电路中，多态电路中的一个 RTD 能替代几个常规晶体管<sup>[51]</sup>。

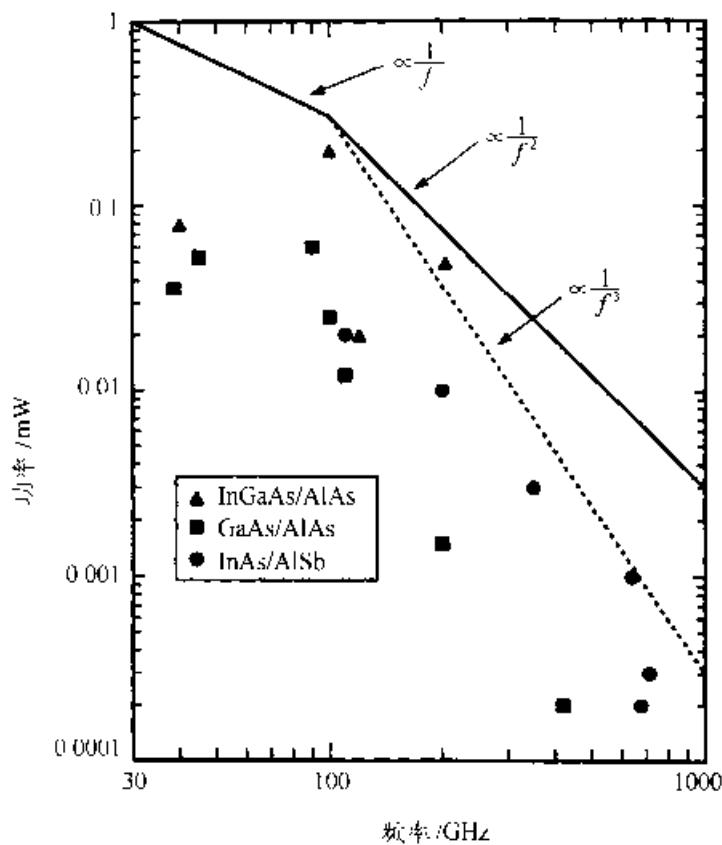


图 6.22 频率范围 30~1000GHz 内共振  
隧穿二极管目前水平的 RF 功率

## 6.4 转移电子器件

### 6.4.1 工作原理

转移电子器件(TED)利用了某些半导体特殊的体材料特性。它们是单极器件，而且一般地也没有 IMPATT 和 TUNNETT 二极管中所见到的醒目的二极管 p-n 特性。用于振荡器的 TED 具有低噪声和中等 RF 输出功率的特性。所以它们非常适合用于接收机和发射机中的本地振荡器。作为体器件，TED 要求这种半导体材料具有特殊的能带结构，这种结构可见于几种材料中，主要是 II-V 族和 I-VI 族化合物半导体(见文献[1] p. 648 的列表)。

这些半导体在导带中有一个以上的能谷，且满足下述标准，这些标准是由 Ridley 和 Watkins<sup>[44]</sup>以及 Hilsum<sup>[45]</sup>(RWH)独立地提出的：

1. 导带中至少要有两个能谷。
2. 导带中高能谷的能量最小值(谷底)必须要比最低能谷(主能谷)的谷底高出几倍的电子热运动的能量，以使得电子在开始时处于最低能谷中。
3. 导带中高能谷的谷底与主能谷的谷底的能量差( $\Delta E$ )一定要小于带隙能量

$E_k$ , 以避免在这种器件中出现显著的碰撞电离。

4. 电子从一个导带能谷向另一个能谷转移所需的时间必须要比一个工作周期短得多。

5. 高能谷的有效质量和态密度一定要比主能谷的高许多。有效质量更高将使高能谷中的迁移率比主能谷中的迁移率低得多。

在图 6.23 所示的简化能带结构中, 电子开始时处于导带的主能谷中。通过施加一个外场  $\mathcal{E}$  等手段, 电子可获得更多的能量, 如果  $\mathcal{E} < \mathcal{E}_{th}$ , 则大多数电子仍留在主能谷, 其中  $\mathcal{E}_{th}$  表示阈值电场, 如果  $\mathcal{E} > \mathcal{E}_{th}$ , 则许多电子会散射(转移)到高能谷中去。高能谷中的有效质量较大, 使迁移率减小(见文献[1]), 从而电子平均漂移速度  $v$  减小(参见图 6.24)。当电子获得很大的能量即  $\mathcal{E} \gg \mathcal{E}_{th}$  时, 大多数电子转移到高能谷中, 它们就具有了较高的有效质量和较低的迁移率。在达到一个最小值后, 平均漂移速度又随电场的增加开始增加。 $\mathcal{E} > \mathcal{E}_{th}$  时平均漂移速度的减小产生了一个迁移率的微分为负值的区域。如果高能谷的电子运动到  $\mathcal{E} < \mathcal{E}_{th}$  的区域, 则它们会失去能量并散射回主能谷中。

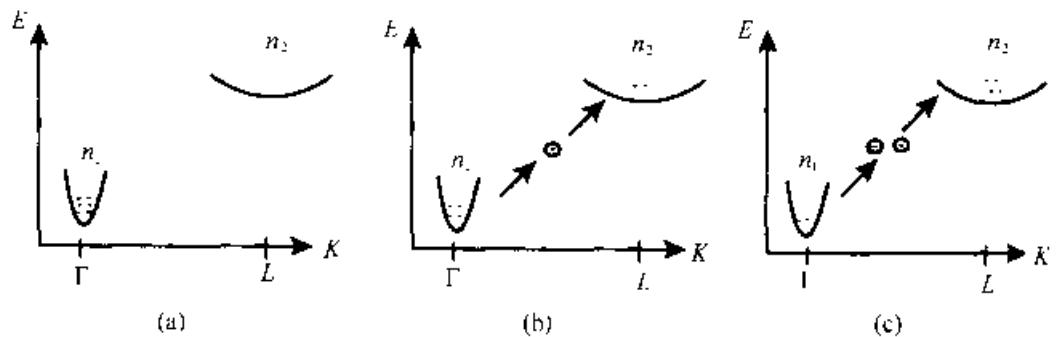


图 6.23 一种两能谷的直接带隙半导体材料的简化能带图。

图中给出了  $\mathcal{E} < \mathcal{E}_{th}$  (a),  $\mathcal{E} > \mathcal{E}_{th}$  (b) 和  $\mathcal{E} \gg \mathcal{E}_{th}$  (c) 条件下的电子转移情况

Gunn 是第一个从实验上在 GaAs 和 InP 体材料中观察到电流振荡的人, 这种现象随后用转移电子效应来解释<sup>[2], [3]</sup>。因此, 这类器件一般就称为 Gunn 器件。已知的具有转移电子效应的十多种半导体材料中, 只有 GaAs 和 InP 在系统应用中找到了广泛的应用。GaAs 和 InP 的导带中有三个能谷, 在器件工作在毫米波频段下所要求的掺杂浓度下, 高场迁移率要比低场迁移率低许多。因此, 电子的漂移速度  $v$  在电场大于  $\mathcal{E}_{th}$  后将单调递减。图 6.25 给出了 GaAs 和 InP 的简化能带图, 图 6.26 是它们的速度-电场关系图。表 6.9<sup>[2]~[4]</sup> 总结

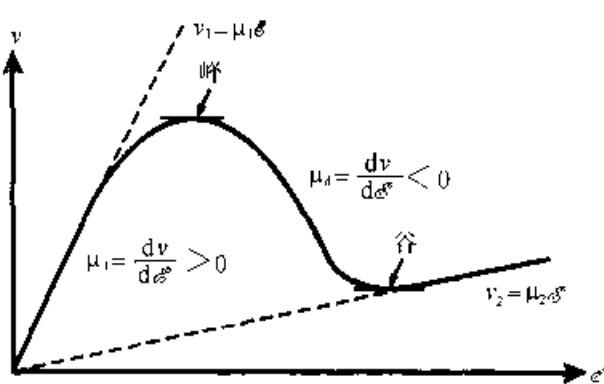


图 6.24 图 23 中的两能谷半导体的  
电子速度-电场关系曲线

了 GaAs 和 InP 的一些材料特性。电子在电场中得到或失去能量要花费一定的时间，这就解释了这些器件所受到的一个基本的物理频率的限制。

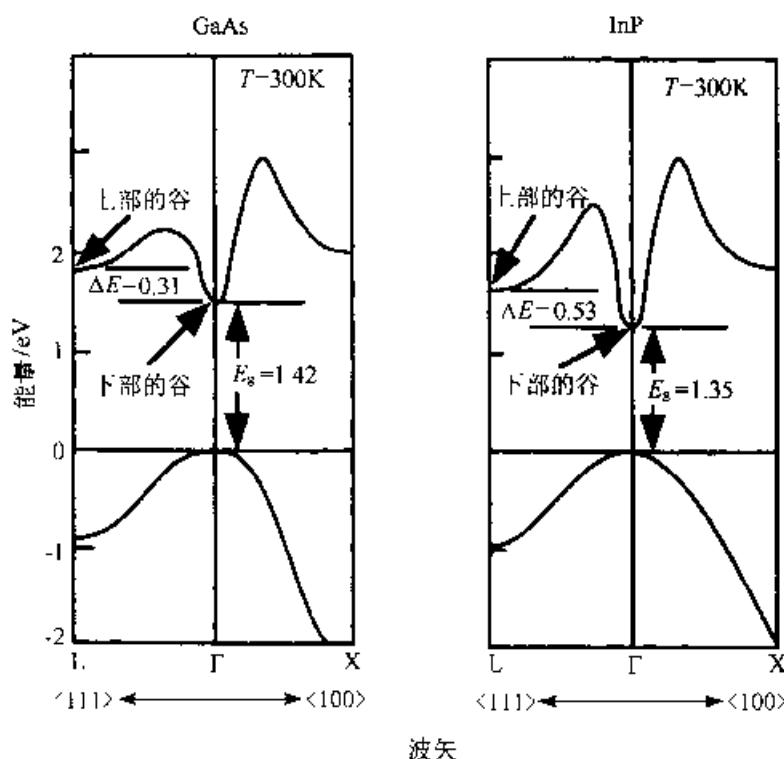


图 6.25 三能谷半导体材料 GaAs 和 InP 的简化能带图

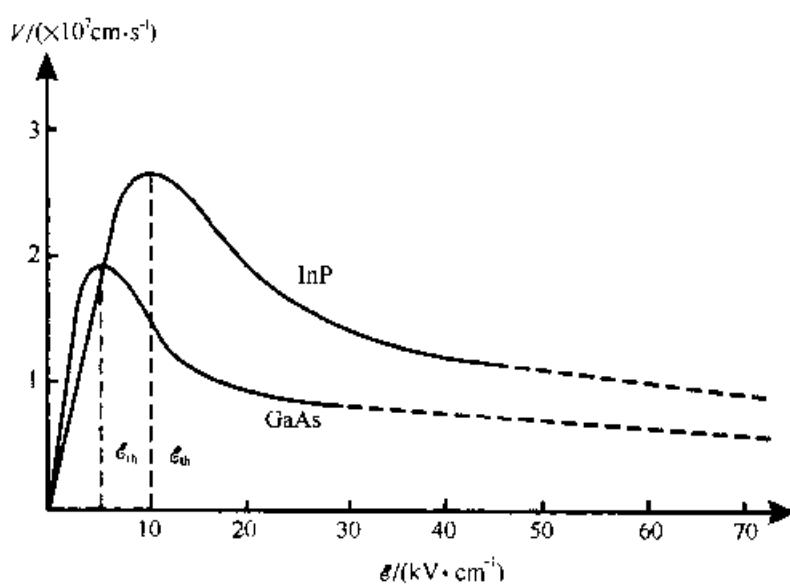


图 6.26 三能谷半导体材料 GaAs 和 InP  
的电子速度-电场关系曲线

表 6.9 与 GaAs 和 InP TED 相关的半导体材料特性( $T = 300\text{K}$ )

特性	半导体	
	GaAs	InP
能带隙/eV	1.42	1.34
低场迁移率/(cm <sup>2</sup> /V·s)	5 000	3 000
热导率/(W/cm·K)	0.46	0.68
速度的峰-谷比	2.2	3.5
阈值电场 $E_{th}$ /(kV/cm)	3.5	10.5
击穿电场( $N_D = 10^{16}/\text{cm}^3$ 时)/(kV/cm)	400	500
等效渡越速度/(cm/s)	$0.7 \times 10^7$	$1.2 \times 10^7$
$V_T$ 的温度依赖性/K <sup>-1</sup>	0.0015	0.001
在 $2E_{th}$ 时扩散系数和迁移率之比	72	142
由碰撞引起的能量弛豫时间/ps	0.4~0.6	0.2~0.3
谷间弛豫时间/ps	—	0.25
加速-减速时间/ps	1.5	0.75
(能量时间常数)		

After Waddinger, Ref. 52; Fank et al., Ref. 53; Eddison, Ref. 54.

除去器件工作在频率较低的微波频段等一些不常见的情形外，体材料的负微分迁移率本身不会导致静态的负微分电阻而产生 RF 功率，正如在共振隧穿二极管[图 6.17(b)]中所见得到那样。基于负微分迁移率的机制可以产生动态负电阻，这在下面将有论述。在均匀掺杂浓度  $N_D$ ，电场  $\mathcal{E}$ ，平均微分迁移率  $\bar{\mu}_d$  情况下的半导体材料的某一个区域中，以速度  $v$  运动的任何空间电荷起伏  $Q(x, t)$  均按指数律增长(或衰减)，这一点可以从麦克斯韦方程中导出：

$$Q(x, t) = Q(x - vt, 0) \exp\left(-\frac{t}{\tau}\right) \quad (6.59)$$

其中

$$\tau = \frac{\epsilon_s}{\sigma} = \frac{\epsilon_s}{|q| N_D \bar{\mu}_d} \quad (6.60)$$

$$\bar{\mu}_d = \frac{dv}{d\mathcal{E}} \quad (6.61)$$

在低电场  $\mathcal{E}$  下， $\bar{\mu}_d > 0$ ，电荷起伏衰减，时间常数  $\tau = \tau_D$ ， $\tau_D$  为介质弛豫时间。在高场下， $\bar{\mu}_d < 0$ ，电荷起伏能够增长。只有当在器件长度  $l$  这个最大传输距离的增长因素非常大，电荷起伏的增长才可达到相当显著的水平。所以条件

$$\frac{l}{v\tau} = \frac{l |q| N_D \bar{\mu}_d}{\epsilon_s v} > 1 \quad (6.62)$$

必须被满足。对于 GaAs 和 InP 来说，该条件相当于

$$N_D l > 1 \times 10^{12} / \text{cm}^2 \quad (6.63)$$

工作于毫米波频段的典型的 Gunn 器件的  $N_D l$  之积在  $1 \times 10^{12} / \text{cm}^2$  和  $3 \times$

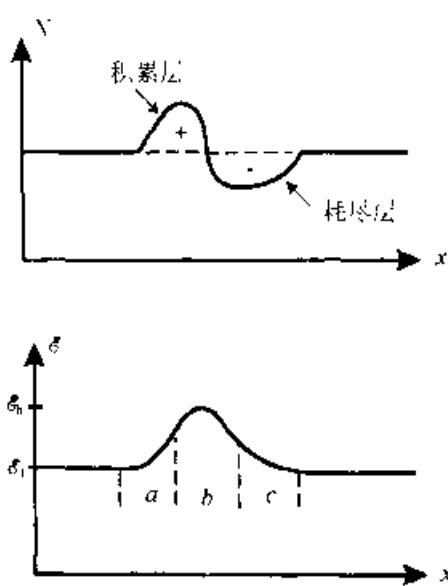


图 6.27 一个偶极畴的载流子浓度分布和电场分布

$10^{12} / \text{cm}^2$  之间，而有源区的掺杂浓度  $N_D$  超过  $10^{15} / \text{cm}^3$ 。对于  $N_D > 10^{15} / \text{cm}^3$  的掺杂浓度，空间电荷的起伏一般能增长并发展成所谓的偶极畴，偶极畴中积累层和耗尽层靠在一起。图 6.27 给出了均匀条件下的这种偶极畴中的载流子分布和电场分布。低场区中的电子在恒定的电场  $\mathcal{E}_1$  中以恒定的速度  $v_1$  运动。在“a”区中电子在较高场中加速直至运动到“b”区。在“b”区，电子被转移到高能谷中，速度慢了下来，以致被积累区所俘获。在“c”区中的电子失去了能量，并转移回较低的能谷。它们的平均速度现在高于“b”区中电子的平均速度，因而“c”区电子被耗尽。偶极畴在阴极形成、发展并传播通过有源区后，畴两端的电压降增加，并且，在恒定的偏压下，它使畴以外的电压降降低。这个电压降等价于畴外电场  $\mathcal{E}_1$  的减小，并一般会阻止有源区形成新畴。因为很少有电子被积累层所俘获或者逃离耗尽层，它也限制了已有畴的生长。到达阳极的畴便解体，并产生外电路中的电流。电流和电压之间的位相差导致了动态负阻，并在合适的电路中产生 RF 功率。

在微波频段工作的转移电子器件的不同工作模式已有研究和报道<sup>[55]</sup>。然而，如下所述，在毫米波频段，有限的谷间转移时间和畴形成时间占据了 RF 周期中相当大的一部分。在这种情况下，畴将形成和发展并抑制新畴的形成，但如前面所叙述的那样，在它们到达阳极之前不会出现稳定状态。所以，工作模式之间的界限变得模糊起来，器件一般工作在一种近似渡越时间模式下，其工作频率  $f_{op}$  由下式给出：

$$f_{op} = \frac{v_1}{l} \quad (6.64)$$

在有源区扩散系数为常数时，有效渡越速度  $v_T = v(\mathcal{E}_1) = v_D(\mathcal{E}_1)$  可从 Butcher 的等面积法则中求出<sup>[56]</sup>，如图 6.28 所示。

$$\int_{\mathcal{E}_1}^{\mathcal{E}_2} [v(\mathcal{E}) - v_D] d\mathcal{E} = 0 \quad (6.65)$$

如果工作频率  $f_{op}$  稍微不同于方程(6.64)，则畴会提前或延迟到达阳极。与渡

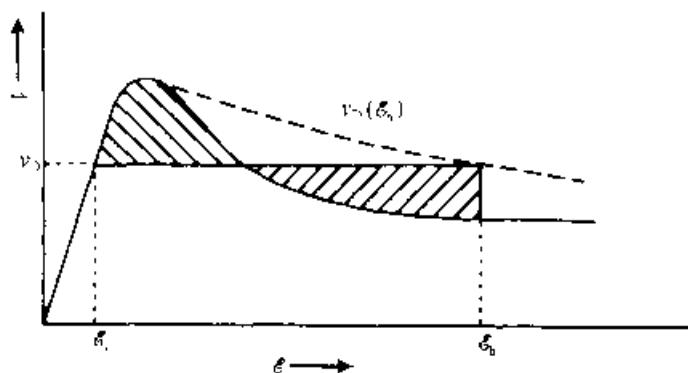


图 6.28 转移电子器件中的等面积法则

越时间二极管相类似，因瞬的解体而形成的电流脉冲仍会产生一个负阻和 RF 功率。所以，可以在很宽的带宽下工作。另外，如图 6.28 所示，较高的偏压会增加器件中的电场，而较高的电场又会减小瞬速  $v_s$ 。由于较高的电场还将减小死区的范围，因而会增加瞬运动的有效空间。

图 6.29 给出了具有良好 RF 性能的几种转移电子器件的典型结构和掺杂分布。最先研究的是三区均匀掺杂和二区均匀掺杂结构，这是因为它们容易在比较传统的生长系统中制备，如液相或气相外延(LPE 或 VPE)。三区均匀掺杂结构<sup>[6]</sup>是在两个用作欧姆接触的高掺杂  $n^+$  区中夹有一个  $n^-$  掺杂有源区。因为低阻合金接触可以在  $n$  型 GaAs 和 InP 上形成，所以可以省略阴极一侧的高掺杂区，只需用 VPE 或 LPE 制备出二区均匀掺杂的结构即可。高级生长技术如 MOCVD，金属有机物分子束外延(MOMBE)和 CBE 的出现，可以生长出更为复杂的结构。运用这些技术，可将图 6.29 中所示的渐变掺杂分布和异质结势垒融入器件结构中并经过适当的设计使某一特别频率下的器件性能得到优化或者延伸转移电子器件的频率极限。计算机模拟结果显示，在三区均匀掺杂结构中，从阴极接触区进入有源区的低能量“冷”电子需要一些时间才能获得足够的能量以转移到高能谷中。对于一个 InP 材料制成的有源区掺杂浓度为  $1 \times 10^{16}/\text{cm}^3$  的三区均匀掺杂结构，在 95GHz 下的蒙特卡罗模拟结果<sup>[6]</sup>示于图 6.30。示于图 6.31 的是 GaAs 和 InP 有限的能量弛豫时间与电子能量的函数关系，在  $1.7\mu\text{m}$  长的有源区的开始部分产生了一个很大的死区。位置  $x$  由下式给出：

$$Z(x) = R(x) + jX(x) = \frac{\int_x^l \mathcal{E}(x') dx'}{\frac{A}{l} \int_x^l J(x') dx'} \quad (6.66)$$

可见  $Z(x)$  的实部，即器件电阻  $R(x)$ ，作为位置  $x$  的函数，在很大一部分有源区上保持为正，并对该区损耗作出贡献，而只在一小部分有源区上负阻对 RF 功率的产生作出贡献。另外，电场的峰值出现在阳极附近，且在很高的 DC 偏压下，电场足够大以致能够引发雪崩击穿。对于 GaAs 和 InP，图 6.31 中的依赖于

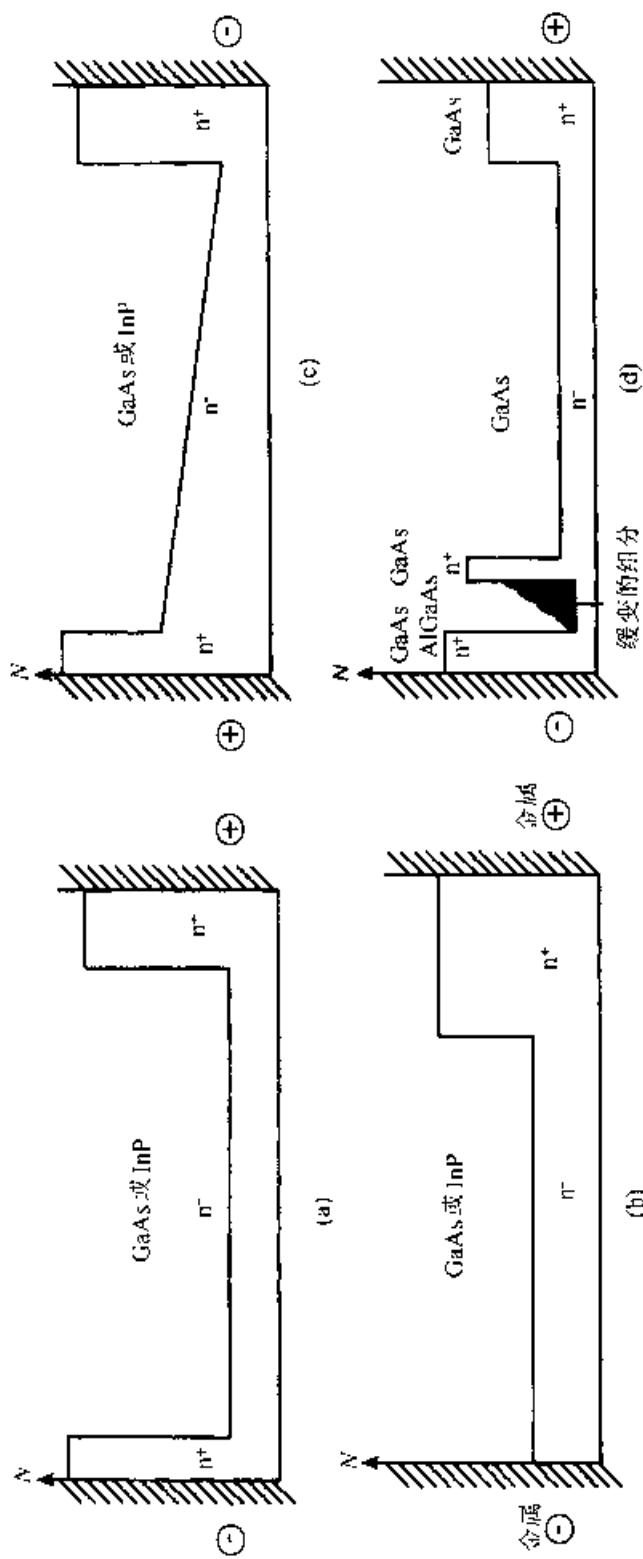


图 6.29 不同的转移电子器件的结构。(a) 三区均匀掺杂; (b) 两区均匀掺杂; (c) 三区渐变掺杂; (d) 异质结势垒阳极

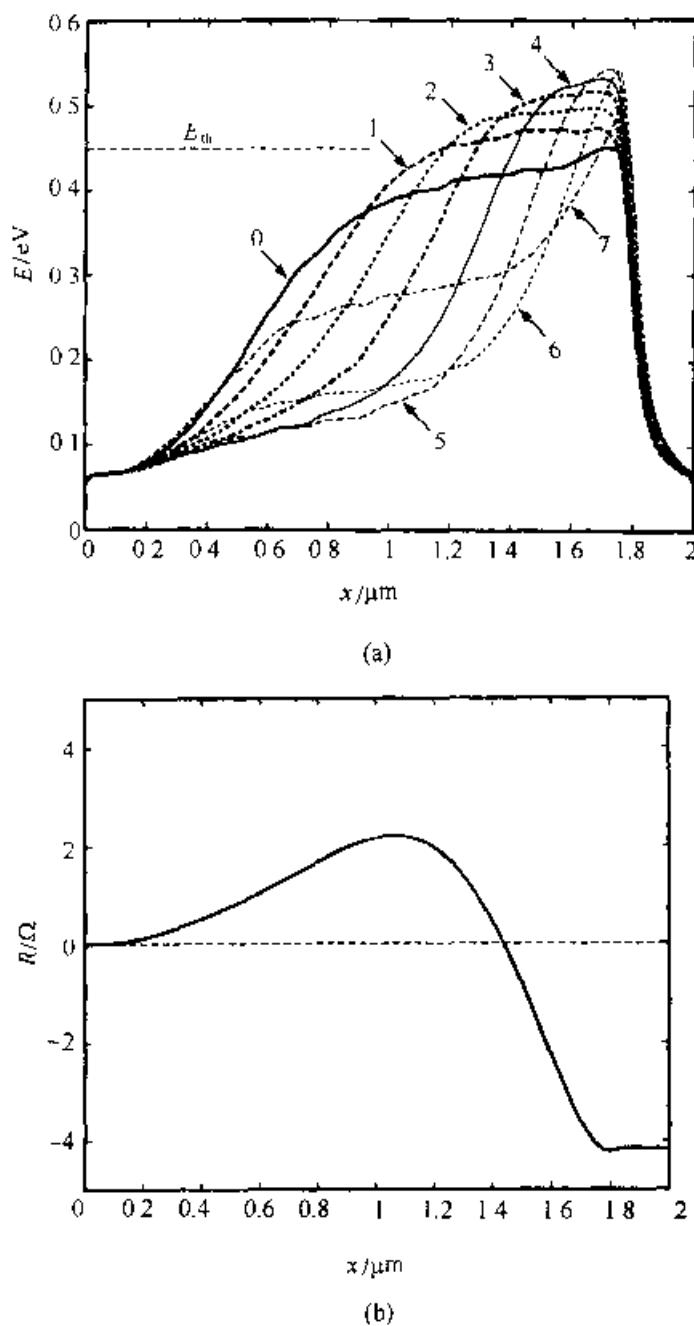


图 6.30 作为位置  $x$  的函数的平均电子能量  $E$ (a) 和二极管电阻  $R$ (b) 的演变  
情况(有源区从  $0.1\mu\text{m}$  到  $1.8\mu\text{m}$ ):  $f=95\text{GHz}$ ,  $V_d=1.0\text{V}$ ,  $V_{bias}=5.0\text{V}$ ,  
 $I_{bias}=474\text{mA}$ ,  $T=500\text{K}$ 。图(a)给出了一个 RF 周期中  $\omega t=n\pi/8$ ,  $n=0, \dots, 7$  时的电子能量的分布

能量大小的能量弛豫时间导致了有效转移时间常数(参见表 6.9)。对于 GaAs 转移电子器件为 100 GHz、对于 InP 转移电子器件为 200GHz 的基频模式限制可以从这些有效转移时间常数中估计出来。下面，我们将讨论一些能帮助减小空间死区或扩大有用的频率范围，使之接近或突破这些基频模式限制的解决办法。

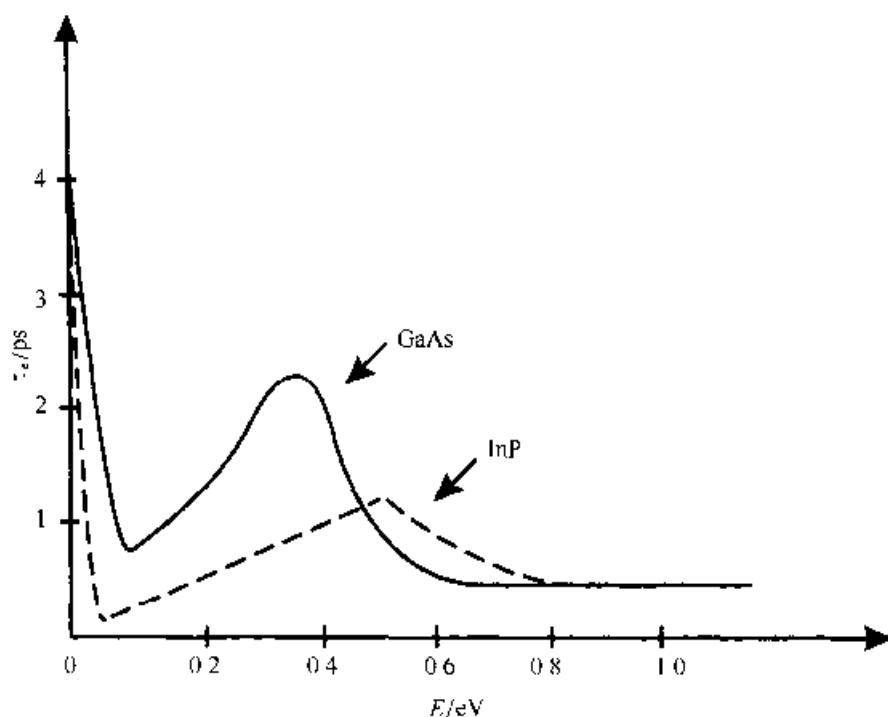


图 6.31 GaAs 和 InP 中能量弛豫时间与电子能量的函数关系

(引自 Rolland 等人之文献[24])

#### 6.4.2 阴极欧姆接触

通常，转移电子器件工作于封装顶部的全高波导空腔内的谐振帽之中。这种配置示于图 6.5(e)中，这种配置的改进包括使用减高波导或某种机制去调节谐振帽及器件封装相对于波导底部的位置。在一个减高后的耦合波导式空腔中，Gunn 器件的基频模式工作频率可高达毫米波频率。例如对于一个 GaAs Gunn 器件，频率为 84 GHz<sup>[58]</sup>，基频模式下工作的 GaAs Gunn 器件的 RF 功率(以及相应的 DC 到 RF 的转换效率)的实验结果为，35 GHz 下 420 mW(6%)<sup>[13]</sup>，45 GHz 下 280 mW<sup>[13]</sup>，60 GHz 下 150 mW，以及 70 GHz 下 110 mW(2.8%)<sup>[34]</sup>。频率限制的特点是，工作在基模下的器件的 DC 到 RF 转换效率急剧下降。

然而，通过从这种本质上是非线性的器件中提取高次谐波，转移电子器件的这个频率限制可以扩展。在对一个有谐振帽的全高度波导腔进行适当的改进后，二次谐波的功率提取是最成功的。这种波导的大小适合于二次谐波频率，但却妨碍了基波的传播。如果在这种电路中谐振帽的边缘电容和器件电容之和与偏置柱的电感在频率为输出频率的一半时发生谐振[见图 6.5(e)]，这个信号就不能传播。而且，该器件在基频模式下主要表现为电抗性负载。这种电抗性负载引起了器件中大的电压摆幅，从而导致强烈的非线性工作状态。合适大小的谐振帽以及共轴柱可提供在二次谐波频率下的波导的阻抗匹配，而位于空腔一侧的回授堵头则

提供功率调谐。实验观察到，二次谐波下工作比基频模式下工作具有更高的频率稳定性，因为基频模式下的谐振电路在二次谐波下与负载的耦合大大削弱。如果要完成大范围的调频，具有精密机械尺寸的更为复杂的电路是必需的。例如，对于二次谐波功率提取，对 GaAs Gunn 器件 RF 功率(和相应的 DC 到 RF 转换效率)的测量结果为 83 GHz 下 123 mW(3.1%)，94 GHz 下 96 mW(2.7%)<sup>[43]</sup>。

在 InP 器件中，10.5 kV/cm 这样的更高阈值电场(见表 6.9，要求比同样长度的 GaAs 器件有更高的偏置电压。所以，RF 功率在低频下受到热学上的限制，需要使用长的有源区。对于毫米波段下的短有源区，InP 器件的优点就清楚地显现出来了。这种情况下，较小的惯性能量时间常数将导致高达 200 GHz 的基频模式限制。除了较高的频率限制外，InP 有较大的能谷间隔 0.53 eV(见图 6.25)。它减小了转移机制对温度的依赖和有效渡越速度对温度的依赖(见表 6.9)。结果，InP Gunn 器件中 DC 到 RF 转换效率和振荡频率对温度的依赖较小。来自类似的置于连体散热器上的 InP Gunn 器件的结果表明，在基频模式下，RF 功率(和相应的 DC 到 RF 转换效率)为 80 GHz 下 200 mW(5%)，94 GHz 下 150 mW(3.5%)<sup>[81]</sup>，在二次谐波模式下则为 180 GHz 下 7 mW，206 GHz 下 3.2 mW<sup>[60]</sup>。

### 6.4.3 限流阴极接触

部分退火后的欧姆接触显著地减小了半导体 GaAs 和 InP 上金属的肖特基势垒的高度(0.6~0.9 eV)，但仍然残留下一个很小的势垒(<200 meV)。如果这样的接触在二区结构[见图 6.29(b)]的阴极一侧形成，且施加反向偏压，这个势垒就会在偏压之下的阴极接触处引起高场区。越过这个势垒注入到有源区的电子具有较高的能量，而且在这个高场之下，电子较快地转移到高能谷中。这个较快的转移减小了死区。浅的肖特基势垒也限制了流入阴极有源区电流的大小。热离子发射和热离子场发射对电流都有贡献，在这种情况下，作为势垒两端电压  $V_s$  的函数，电流密度可近似为

$$J_e(V_s) = J_e \left[ \exp \left( -\frac{qV_s}{nkT} \right) - \exp \left( \frac{(1-n)qV_s}{kT} \right) \right] \quad (6.67)$$

其中， $J_e = A^* T^2 \exp(-\phi_{Bn}/kT)$ <sup>[31]</sup>。作为阴极处的边界条件之一，电流限制使器件有源区中的电子近似满足适用于饱和电子速度  $v_s$  的电流谷条件<sup>[24, 61]</sup>：

$$\bar{J}(t) = J_e = nqv_s \quad (6.68)$$

同时，在整个有源区上有一个很大的空间电荷波叠加在几乎为常数的电场上<sup>[24]</sup>。这种工作模式在基频模式以及二次谐波模式下能产生非常高的 RF 功率。相应的 DC 到 RF 的转换效率是到目前为止的报道中的最高值。利用这种技术得到的 RF 功率(及相应的 DC 到 RF 转换效率)为，基频模式下，35 GHz 下大于

500 mW (15%), 44 GHz 下大于 350 mW (13%), 57 GHz 下 380 mW (10.6%)<sup>[13, 62]</sup>, 以及在二次谐波模式下, 94 GHz 下 175 mW (7%), 138 GHz 下 65 mW (2.6%)<sup>[63]</sup>。这些器件是置于连体散热器上的。如果置于金刚石散热器上, 应该可从器件中获得更高的 RF 功率。置于连体散热器上具有很高 RF 功率的器件也可在市场上买到。

正如我们可以从方程(6.67)中看到的, 反向流过浅肖特基势垒的电流在本质上强烈地依赖于温度<sup>[1]</sup>。然而这种高效模式减小了对 DC 输入的要求, 并能提供更高的阻抗。结果, 器件的尺寸可以做大, 这样, 热阻较低, 从而有源区温度也较低。在最大 RF 输出功率之下典型的温度增量保持在 100K 以下<sup>[62, 64]</sup>。有源区低的工作温度保证了对于 56 GHz<sup>[62]</sup> 和 94 GHz<sup>[62, 63]</sup> 下工作的器件在 -30°C 到 70°C, 以及对于 140 GHz<sup>[64]</sup> 下工作的器件在 0°C 到 50°C 这样宽的温度范围内的可靠性和优良的温度稳定性。作为例子, 一个 D 波段 Gunn 器件的性能随温度变化的情况示于图 6.32 中。

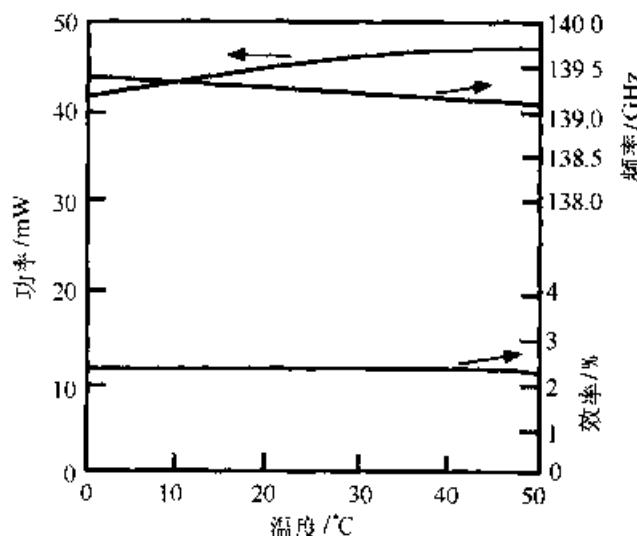


图 6.32 一个 D 波段 InP Gunn 器件的 RF 性能的测量值与外界温度变化的关系(引自 Crowley 等人之文献[64])

#### 6.4.4 漸变有源区

阴极较低的掺杂浓度  $N_D$ , 逐渐线性变化到阳极较高的掺杂浓度, 这样的掺杂分布可以显著地降低阳极附近的峰值电场, 并增加阴极附近的电场<sup>[6]</sup>。这两个效应对器件的工作大有益处, 同时增加了器件的 DC 到 RF 转换的效率和 RF 输出功率。阳极附近较低的电场减小了该区的功率耗散, 并允许较高的偏压而不至于引起碰撞电离和雪崩击穿。阴极附近较高的电场使很大一部分电子在较短的距离内转移到高能谷中, 这就等价于死区较短。很大一部分电子位于高能谷就使整个有源区上电子的平均速度降低, 结果, 使得渐变掺杂分布的结构与具有相似掺

杂浓度的均匀掺杂分布结构相比，可以工作于较低的电流密度之下。实际上对于同样的器件长度而言，较低的平均电子速度和较短的死区降低了最优工作频率。然而，效率更高的工作状态使频率上限得以延伸，并允许有源区更短。已进行了对 GaAs 和 InP 材料的具有渐变掺杂分布的结构的研究。

在 GaAs 材料系统中，RF 功率(及 DC 到 RF 的转换效率)，对于置于连体散热器上的器件而言，为 31.2 GHz 下 345 mW(6.8%)、34.9 GHz 下 325 mW(6.6%)<sup>[6]</sup>；对于置于金刚石散热器上的器件而言，为 116 mW(4.5%)<sup>[65]</sup>。置于金刚石散热器上的器件的有源区工作温度非常低，在 150°C 以下，而且基频模式工作频率可高达 84 GHz(33 mW, 1.7%)<sup>[66]</sup>。经适当设计的渐变掺杂分布的 InP Gunn 器件到目前为止在所有的 Gunn 器件中具有最高的 RF 功率。对于置于金刚石上的器件，基频模式工作频率可达 163 GHz，而 RF 功率为 102 GHz 下 185 mW、131.5 GHz 下 134 mW、151 GHz 下 62 mW，最大 DC 到 RF 的转换效率高达 2.5%，发生在 132 GHz 左右<sup>[67]</sup>。二次谐波模式下，在 283 GHz 频率下测得的 RF 输出功率大于 0.3 mW<sup>[7]</sup>。如图 6.33 所示，置于金刚石散热器上的 InP Gunn 器件在很宽的 DC 输入功率范围内都允许在单模下工作。也观察到了极好的调谐性，这是在基频模式下工作所预期的。图 6.34 给出了图 6.33 所示器件在接近最大偏压下，频宽大于 4.5GHz 的范围内的调谐性能。振荡频率根据回授堵头

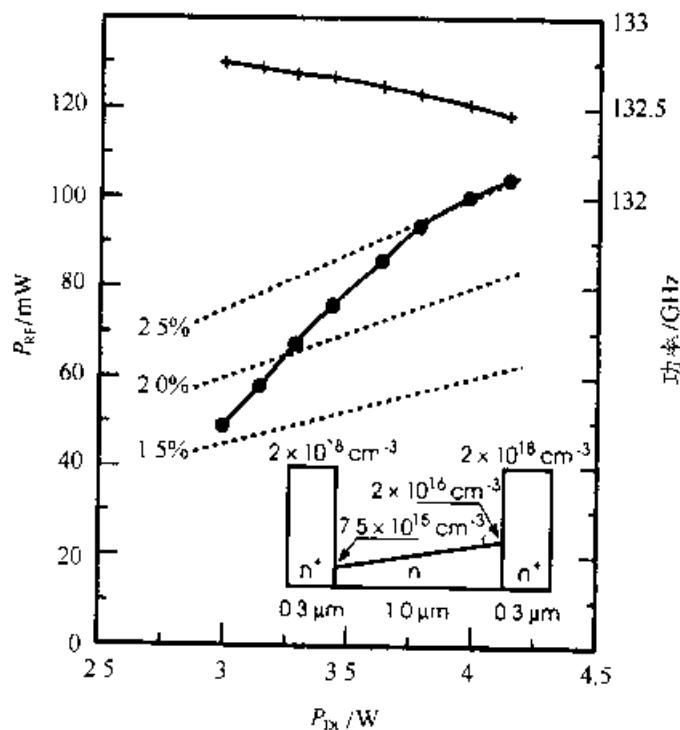


图 6.33 一个 1D 波段 InP Gunn 器件的 RF 特性与偏压的关系(●输出功率，+振荡频率，-等效率线)(引自 Eisele 和 Haddad 之文献[67])

的位置，几乎是线性变化的。同授堵头在这种全高波导谐振腔空腔中是惟一的调谐部件[见图 6.5(e)]。

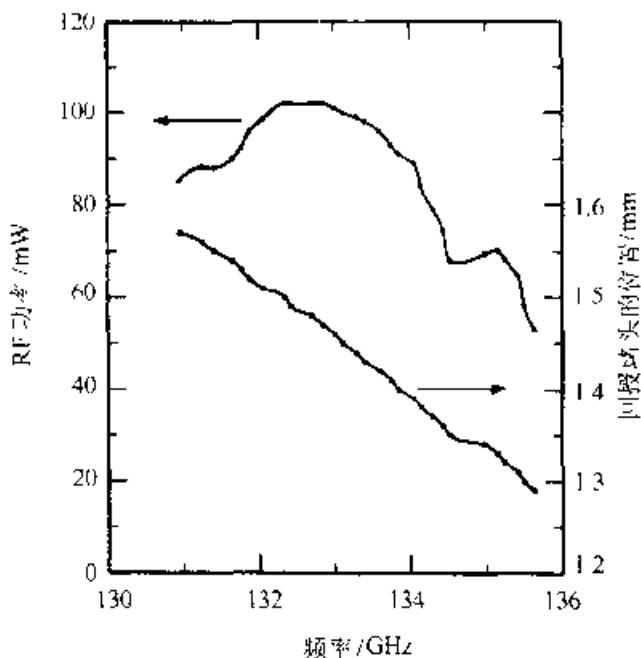


图 6.34 图 6.33 中的 D 波段 InP Gunn 器件在最大偏压附近的机械调谐特性

渐变掺杂分布提高了 DC 到 RF 转换效率，而且，与具有电流限制阴极接触的器件相似，DC 输入功率的减小导致有源区工作温度的较低，特别是当器件置于金刚石散热器上时<sup>[66, 67]</sup>。

#### 6.4.5 越过同质结或异质结势垒的注入

热电子越过势垒的注入可减小有源区中的死区，为了提高效率，但也是为了避免 GaAs Gunn 器件中的冷态启动问题，GaAs 器件中试验过几种新技术，如平面掺杂势垒(planar-doped barrier)、驼状阴极(camel cathode)和异质结势垒。事实证明，越过异质结势垒注入是最成功的，在 AlGaAs/GaAs 系统中使用可提高效率和频率上限<sup>[58, 68]</sup>。图 6.35 给出了晶格匹配的 GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As 和 InP/In<sub>x</sub>Ga<sub>1-x</sub>As<sub>y</sub>P<sub>1-y</sub> 材料系统构成同型异质结的能带图。在这两种材料系统中，可在很大的组分范围内生长晶格匹配的薄层，因而其带隙宽度或导带偏移可以适当地被调整。

从 GaAs 到带隙较宽的 AlGaAs，材料结构组分的线性变化使第一个势垒消失。在有源区(GaAs)的开始部分，如图 6.29(d)所示的尖峰掺杂使从 AlGaAs 层到 GaAs 区域的界面处的凹槽减小或消失。在合适的偏压下，热电子从导带中约 200meV 高的台阶上射入有源区。这种设计的优化要求有更高级的模拟方法，如

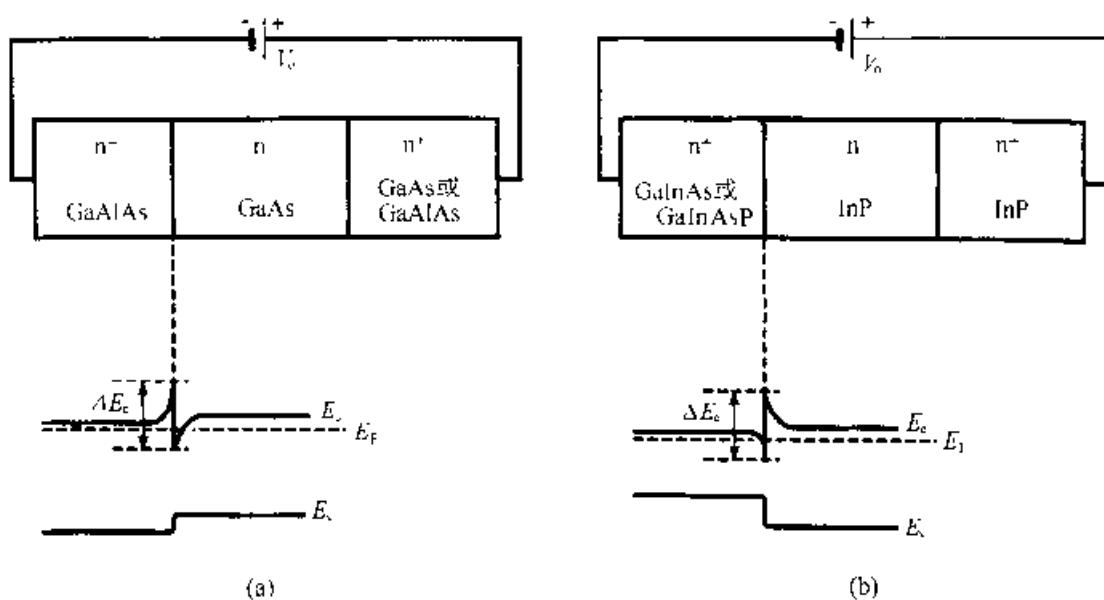


图 6.35 偏压为 0 时, GaAs/AlGaAs 和 InP/InGaAsP 材料系统同型异质结的能带图

系统蒙特卡罗模拟技术。使用减高后耦合波导空腔[见图 6.5(b)]作振荡器, 在 77.6GHz 基频模式下测量的 RF 输出功率为 71mW, 相应的 DC 到 RF 的转换效率为 2.8%。这种 Gunn 器件至少在 84GHz 以下能够低噪声工作<sup>[58]</sup>。基频模式工作的特点是<sup>[67]</sup>, 通过简单地调节回授堵头的位置可以得到大于 6 GHz 的调谐带宽<sup>[58]</sup>。

与 GaAs/AlGaAs 材料系统相比, 如图 6.35 所示, 晶格匹配的 InGaAsP 的带隙比 InP 要窄, 所以, 电子不能射入有源区。然而, InGaAsP 材料系统在很宽的组分范围内可以与 InP 实现晶格匹配, 这样就可以使带隙或导带偏移在很大范围内变化。结果, 在阴极可以进行适当的限流注入设计。理论预计, 在保持 InP 器件相对于 GaAs 器件而言有较高的频限的同时, 在 W 波段和 D 波段频率下, DC 到 RF 的转换效率显著提高<sup>[61, 68]</sup>。

我们已经看到, 有几种不同的方法可使电子加速并较快地转移到高能谷中。较短的转移时间减小了死区, 增加了效率, 并可使较短的有源区获得较高的工作频率。然而, 减小了的死角区增加了渡越时间, 实际上, 对于同样长度的有源区, 它降低了器件的最优工作频率。有限的转移时间还导致了频率的物理上限。另外, 如果电子得到太多的能量, 并且(或者)有源区太短, 长的能量弛豫时间使电子不能失去足够能量以转移回低能谷中。在这种结构中, 难以形成畴, 而且, 器件两端之间的动态电阻在所有的频率下都为正。

图 6.36 总结了 GaAs 和 InP Gunn 器件在 30~300GHz 频率范围内的最好的实验结果。

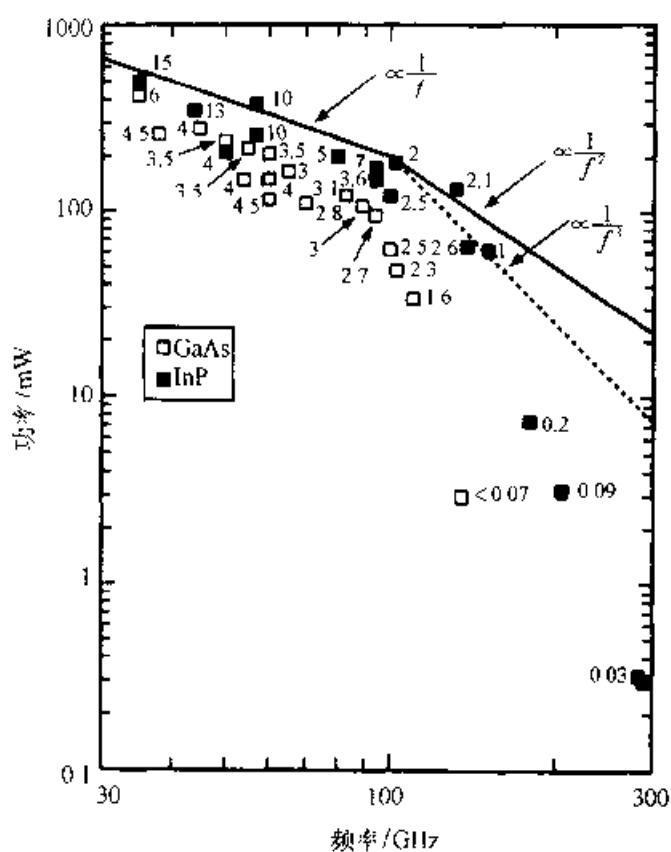


图 6.36 30~300GHz 频率范围内 CW 模式下，转移电子器件目前水平的 RF 功率。符号旁边的数字表示 DC 到 RF 的转换效率(%)

表 6.10 用 GaAs 或 InP 士米波 Gunn 器件制作的自激振荡器的相位噪声

材料系统	位相噪声/dBc/Hz	载波频率/kHz	振荡频率/GHz	RF 输出功率/mW	参考文献
GaAs	< -80*	100	77	>40*	58
GaAs	-70	100	80	55	70
GaAs	-100	1000	80	55	70
GaAs	-120	10000	80	55	70
GaAs	-80	100	94	10	31
GaAs	-105	1000	94	10	31
InP	-75	100	94	20	31
InP	100	1000	94	20	31
InP	< -108	500	132	120	67
InP	< -103	500	151	58	67

\* 报道的典型值，相应的 RF 输出功率没有提及。

### 6.4.6 噪声

电子的热噪声在转移电子器件中是一个占主导地位的效应。如果 TED 采用亚临界值  $N_D l < 1 \times 10^{12}/\text{cm}^2$  设计，并工作在放大器中<sup>[1]</sup>，则小信号噪声值  $M$  趋向于渐进极限  $M_0$ ：

$$M_0 = \frac{qD}{k|\mu_d|T_e} \quad (6.69)$$

其中，扩散系数  $D$  和微分迁移率  $|\mu_d|$  的比为一个关键的因素。InP 的这个比值为 142，GaAs 的这个比值为 72(约 3dB，见表 6.9)，InP 优于 GaAs。对于单位面积电导为  $G_D$  的振荡器(临界值  $N_D l > 1 \times 10^{12}/\text{cm}^2$ )，如果我们引入等效微分迁移率  $\mu_{\text{eff}}$ ：

$$\mu_{\text{eff}} = \frac{|G_D|}{qN_D} \quad (6.70)$$

我们可以定义大信号噪声值  $M$ ：

$$M = \frac{qD}{k\mu_{\text{eff}}T_e} \quad (6.71)$$

Gunn 器件在载波频率附近的噪声性能主要由闪烁噪声成分支配，其典型的折角频率在 100 kHz 到 1MHz 范围。由方程(6.10)可以预计，在偏离载波频率值较高时，它每增加 10 倍，位相噪声降低 -20dB。

尽管从方程(6.71)预测，相对于 GaAs 而言，用 InP Gunn 器件制作的振荡器的  $M$  较低，但实验结果显示，两者之间的差别较小。图 6.16 比较了 75~155GHz 的频率范围内各种两端器件的 FM 噪声值。如图所示，GaAs 和 InP Gunn 器件中大信号 FM 噪声值通常都在 25 dB 以下<sup>[31, 54, 67, 70]</sup>。一些具有限流接触的 InP 器件，在载波频率附近有超量的闪烁噪声。Gunn 器件做成的振荡器，工作于二次谐波模式下时产生的相位噪声较低，但产生噪声大小却相似，因为基频模式下，在不带电阻性负载的电路中可以获得高得多的 Q 值。

## 6.5 总结与展望

### 6.5.1 Si 器件和 GaAs 器件

前面我们讨论了两端微波器件的特点、性能和功率产生能力。由于材料生长技术、精细的器件制造技术和电路改进方面的进步，使两端器件在过去 20 年取得了巨大的成就。如果单个器件不能满足系统应用中的功率需求，则需要在电路中将几个器件组合在一起。例如，采用了 16 个 Si IMPATT 二极管作为输出级的功率组合器电路，在 44 GHz CW 工作模式下可以向负载输送 20W 的 RF 功率<sup>[71]</sup>。

又如，一个功率组合器电路的输出端采用 8 个 GaAs IMPATT 二极管在 60.5~62.5 GHz CW 工作模式下可以向负载输送 5.9~6.5 W 的 RF 功率<sup>[72]</sup>。相应的总的 DC 到 RF 的转换效率在 3.8%~4.2% 之间，在文献[2]和文献[73]中，可以找到对各种功率组合技术的评述。两端器件在频率增至约 100 GHz（对于 GaAs Gunn 器件和 IMPATT 二极管则约为 60GHz）的过程中性能的退化，如图 6.15 和图 6.36 所示，符合了  $P \propto f^2$  常数的规则（文献[1]第 589~592 页和第 671 页中有解释），这是典型的热学限制所致。这个特点清楚地表明，Gunn 器件和 IMPATT 二极管技术在这个频段内已经很成熟了。100 GHz 以上，在大多数器件中，性能的退化要比  $P \propto f^2$  常数=这一规则（文献[1]）对电子学限制所预计的要陡得多。这种类型的退化既表明了基本的物理限制又表明提高性能的潜力。60GHz 和 100GHz 之间的 GaAs IMPATT 二极管以及 160GHz 以上的 Si IMPATT 二极管的性能的显著提高是可以实现的。

### 6.5.2 InP 和其它材料

InP Gunn 器件可以工作在高达 163GHz 的基频模式下。所以，InP 或含异质结势垒的 InP 是大有前途的材料，不仅在 100 GHz 左右或大于 100 GHz 的基频模式下具有很好性能的器件结构是这样，对于在二次谐波模式下、频率高达 320 GHz 都能产生显著 RF 功率的其它器件结构也是这样。InP 正在成为应用于高功率毫米波 IMPATT 二极管的大有前途的材料<sup>[74]</sup>。在所有这些材料中，对散热的适当处理是一个重要的因素，采用合适的金刚石散热器技术对于产生最大的 RF 输出功率和长期工作的可靠性都是必须的。另外，可采用功率组合技术以增加 RF 功率。例如，一个功率组合器电路中采用 4 个 InP Gunn 器件在 98.6GHz CW 工作模式下可传输给负载 260 mW 的 RF 功率<sup>[71, 75]</sup>。

大有希望应用于高功率两端器件的其它材料系统包括宽带隙材料，如金刚石、SiC 和 GaN。这些材料有良好的材料特性，诸如，击穿的临界电场较高、热导性较高、允许工作温度较高，预计载流子漂移速度也较高。然而，在开发系统应用的器件之前，必须要在这些材料的质量和制造技术上有重大的突破和提高。

### 6.5.3 平面电路和单片集成

一般波导电路都坚固耐用、散热容易并可提供很高的 Q 值。所以，为获得最高 RF 输出功率，人们倾向于使用这种电路。然而，由于它们体积大，在大多数情况下，需单独进行加工、组装和测试，因而不能实现低成本的大规模生产。因此，对于需要实现大规模生产的系统，如应用于无线通信（高速数据传输）或汽车防撞等方面的系统来说，必须采用与之完全不同的途径。用各种 IMPATT 二极管和 Gunn 器件进行混合集成以及单片集成技术已经得到发展。例如：(1) 使用 InP

Gunn 器件的混合波导带状线路振荡器具有优异的性能。RF 功率(及相应的 DC 到 RF 转换效率)为 94GHz 下 52mW(3.5%)<sup>[76]</sup>, 但也有 81GHz 下 40mW(1.4%) 的结果<sup>[4, 71]</sup>。这些结果认为可与微波电路中相类似的 Gunn 器件的结果相比拟。(2)GaAs 双漂移均匀掺杂 IMPATT 二极管成功地与在聚酰亚胺上的微波带状线路进行了集成, 重复性很好。在双二极管推挽配置情况下得到的 RF 功率(及相应的 DC 到 RF 的转换效率)为 58.5GHz 下 1.1W(10%) 和 1.2W(8.5%)<sup>[77]</sup>。与金属或金刚石相比, 半导体材料 Si、InP 和 GaAs 的导热率相当低(分别为 1.45、0.68 和 0.46W/cm·K)。所以毫米波段的完全单片集成面临严重的热学上的限制, 高效率 IMPATT 二极管比中等效率 Gunn 器件更适合集成。文献[2]汇集了有关约 68GHz 频率以下的集成 Gunn 器件的报道。

用 GaAs 双漂移均匀掺杂 IMPATT 二极管单片集成的振荡器在 V 波段频率下的实验结果是, RF 功率(及相应的 DC 到 RF 的转换效率)为 58.1GHz 下 110mW(14.5%)、64.3GHz 下 100mW(12.5%)<sup>[77]</sup>。用 Si IMPATT 二极管单片集成的振荡器有各种各样的配置。自从 1986 年以来, 在这些电路所包含的基本的技术, 即使用高阻硅衬底技术<sup>[78]</sup>已经使 SIMMWIC(硅单片毫米波集成电路)技术出现了巨大进步。与天线单片集成的 IMPATT 二极管振荡器的例子有: 与一个缝隙天线集成的双漂移硅 IMPATT 二极管振荡器在 79GHz 下辐射的 RF 功率为 1mW<sup>[79]</sup>, 与一个偶极子天线集成的双漂移硅 IMPATT 二极管振荡器在 75.66GHz 下辐射的 RF 功率(及相应的 DC 到 RF 的转换效率)为 6.6mW(0.58%)<sup>[80]</sup>。经过进一步的改善提高后, 有望得到更高的 RF 功率和更高的工作频率。几个天线模块的准光学功率组合可用来增加辐射的 RF 功率。这些组合技术的评述可参见文献[81]。

## 习 题

- 设计一个工作于 180GHz 频率下的单漂移 GaAs TUNNETT 二极管。  
 (a) 假设参数与用于表 6.2~表 6.8 的参数相同( $\epsilon_s/\epsilon_0 = 12.87$ )。估计它的 RF 输出功率和 DC 到 RF 的转换效率;  
 (b) 如果器件制造中将欧姆接触做得不太好, 使总的特征接触串联电阻为  $\rho_c = 2.0 \times 10^{-6} \Omega \cdot \text{cm}^2$ , 对二极管输出功率和转换效率有何影响?
- 利用下列参数,  $v_D = 5.5 \times 10^6 \text{ cm/s}$ ,  $\epsilon_s/\epsilon_0 = 12.61$ ,  $\mathcal{E}_m = 1000 \text{ kV/cm}$ ,  $\mathcal{E}_c = 5 \text{ kV/cm}$ ,  $A_t = 5.29 \times 10^6 \text{ cm}^2$ ,  $b = 3.20 \times 10^6 \text{ V/cm}$ , 以及  $m=1$ 。设计一个工作在 77GHz 之下的 InP 单漂移 IMPATT 二极管。如果特征接触电阻为  $2 \times 10^{-6} \Omega \cdot \text{cm}^2$ , 有多少 RF 输出功率输送到一个  $1\Omega$  的负载上?
- 对一个用 InP Gunn 器件制作的自激振荡器, 用谱分析器测量得到, 偏离载波 500kHz 下, 位相噪音为  $-106 \text{ dBc/Hz}$ (带宽为 1Hz 时), 用该功率计测得

120GHz 下的 RF 输出功率为 120mW。试问，器件的等效频率噪声调制为多少？使用一个  $-20\text{dB}$  耦合值的耦合器和一个可忽略损失的背短路电路所作的自注入锁定实验得到 30MHz 的总锁定范围。并请将该器件的噪声大小 M 与这个频率范围内其它的发表结果进行比较(见图 6.16)。

4. 文献[43]中的 AlAs/GaAs/AlAs RTD 的  $I$ - $V$  特性可用  $V_p = 0.6\text{V}$ ,  $V_v = 0.8\text{V}$ ,  $J_p = 1.5 \times 10^6 \text{A/cm}^2$  以及  $J_s = 1.09 \times 10^5 \text{A/cm}^2$  近似。
  - (a) 对于直径为  $4\mu\text{m}$ , 耗尽层宽度  $75.7\text{nm}$ , 以及总的接触(串联)电阻  $\rho_s = 5.0 \times 10^{-7}\Omega \cdot \text{cm}^2$  的二极管, 请估计出在 1GHz、100GHz 和 500GHz 频率下该二极管不稳定的 RF 输出功率及相应的 DC 到 RF 的转换效率;
  - (b) 如果设总的接触(串联)电阻、耗尽层宽度相同, 偏置电路的串联电感为  $0.15\text{nH}$ , 200GHz 下该 RTD 结构的稳定的 RF 输出功率和相应的二极管面积是多少?

## 参 考 文 献

- [1] S. M. Sze, Physics of Semiconductor Devices, 2nd Ed., Wiley, New York, 1981.
- [2] K. Chang, Handbook of Microwave and Optical Components, Vol. 2, Wiley, New York, 1990.
- [3] E. Kasper and J.-F. Luy, "State of the art and future trends in silicon IMPATT diodes for mm-wave seeker requirements," in Proceedings of the Military Microwaves 90, London, United Kingdom, 1990, p. 293.
- [4] B. Bayraktaroglu and H. D. Shih, "Integral packaging for millimeter-wave GaAs IMPATT diodes prepared by molecular beam epitaxy," Electron. Lett. 19, 327 (1983).
- [5] H. Eisele, "Selective etching technology for 94-GHz GaAs IMPATT diodes on diamond heat sinks," Solid State Electron. 32, 253 (1989).
- [6] R. Kamoua, H. Eisele, and G. I. Haddad, "D band (110 GHz-170GHz) InP Gunn devices," Solid-State Electron. 36, 1547 (1993).
- [7] H. Eisele and G. I. Haddad, "D-band InP Gunn devices with second-harmonic power extraction up to 290 GHz," Electron. Lett. 30, 1930 (1994).
- [8] E. E. Palik, V. M. Bermudez, and O. J. Glembocik, "Ellipsometric study of the etch-stop mechanism in heavily doped silicon," J. Electrochem. Soc. 132, 135 (1985).
- [9] H. Eisele, C. Kidner, and G. I. Haddad, "A CW GaAs TUNNETT diode source for 100 GHz and above," in Proceedings of the 22nd European Microwave Conference, August 24-27, 1992, Helsinki, Finland, p. 467.
- [10] M. Ino, T. Ishibashi, and M. Ohmori, "CW oscillation with p'pn' silicon IMPATT Diodes in 200 GHz and 300 GHz bands," Electron. Lett. 12, 148 (1976).
- [11] H. J. Kuno, "IMPATT devices for generation of millimeter waves," in Infrared and Millimeter Waves, Vol. 1, K. Button, ed., Academic Press, New York, 1979, Ch. 2.
- [12] K. Chang, W. F. Thrower, and G. M. Hayashibara, "Millimeter wave silicon IMPATT sources and combiners for the 110-260 GHz range," IEEE Trans. Microwave Theory Techn. MTT-29, 1278 (1981).

- [13] Y. E. Ma, "Millimeter-wave active solid-state devices," in Millimeter Wave Technol. I, SPIE 544, 1983, p. 93.
- [14] K. Kurokawa, "Noise in synchronized oscillators," IEEE Trans. Microwave Theory Techn. MTT-16, 234 (1968).
- [15] S. M. Sze, High Speed Semiconductor Devices, Wiley, New York, 1990.
- [16] H. Eisele, "GaAs W-band IMPATT diodes: the first step to higher frequencies," Microwave J. 34(5), 275 (1991).
- [17] L. W. Holway and M. G. Adlerstein, "Approximate formulas for the thermal resistance of IMPATT diodes compared with computer calculations," IEEE Trans. Electron. Dev. ED-24, 156 (1977).
- [18] H. Eisele and G. I. Haddad, "Enhanced performance in GaAs TUNNETT diode oscillators above 100 GHz through diamond heat sinking and power combining," IEEE Trans. Microwave Theory Techn. MTT-42, 2498 (1994).
- [19] M. E. Elta and G. I. Haddad, "Mixed tunneling and avalanche mechanisms in p-n junctions and their effects on microwave transit-time devices," IEEE Trans. Electron. Dev. ED-25, 694 (1978).
- [20] C.-C. Chen, R. K. Mains, G. I. Haddad, and H. Eisele, "Structure and simulation of GaAs TUNNETT and MITATT devices for frequencies above 100 GHz," in Proceedings of the Fourteenth Biennial Cornell Conference, August 2-4, 1993, Ithaca, New York, p. 194.
- [21] H. Eisele, C.-C. Chen, R. K. Mains, and G. I. Haddad, "Performance of GaAs TUNNETT diodes as local oscillator sources," in Proceedings of the Fifth International Symposium of Space Terahertz Technology, May 10-May 13, 1994, Ann Arbor, Michigan, p. 622.
- [22] E. C. Nichenke, "GaAs: key to defense electronics," Microwave J. 28(9), 24 (1985).
- [23] M. Tscherowitz and J. Freyer, "140 GHz GaAs double-read IMPATT diodes," Electron. Lett. 31, 582 (1995).
- [24] P. A. Rolland, M. R. Friscourt, D. Lippens, C. Dalle, and J. L. Nieruchalski, "Millimeter wave solid-state power sources," in Proceedings of the International Workshop on Millimeter Waves, Rome, April 2-4, 1986, p. 125.
- [25] M. Wollitzer, J. Buchler, F. Schaffler, and J.-F. Luy, "D-band Si IMPATT diodes with 300mW CW output power at 140 GHz," Electron. Lett. 32, 122 (1996).
- [26] U. Gutlich, "BARITT Dioden fur das V-Band," Mikrowellen Mag. 13, 37 (1987).
- [27] H. Presting, J. F. Luy, F. Schaffler, and J. Puchinger, "Silicon Ka band low-noise BARITT diodes for radar system applications grown by MBE," Solid State Electron. 37, 1599 (1994).
- [28] J.-F. Luy, H. Jorke, H. Kibbel, A. Casel, and E. Kasper, "Si/SiGe heterostructure MITATT diode," Electron. Lett. 24, 1386 (1988).
- [29] M. Poobl, W. Bogner, and L. Gaul, "CW GaAs MITATT source on copper heat sink up to 160 GHz," Electron. Lett. 30, 1316 (1994).
- [30] W. Harth, W. Bogner, L. Gaul, and M. Classen, "A comparative study on the noise measure of millimeter wave GaAs IMPATT diodes," Solid-State Electron. 37, 427 (1994).
- [31] C. Dalle, P. A. Rolland, and G. Lleti, "Flat doping profile double-drift silicon IMPATT for reliable CW high-power high efficiency generation in the 94-GHz-window," IEEE Trans. Electron. Dev. ED-37, 235 (1990).
- [32] D. M. Brookbanks, A. M. Howard, and M. R. B. Jones, "Si IMPATTs exhibit low noise at mm-

- waves,"Microwaves RF 22(2), 68 (1983).
- [33] S. J. J. Teng and R. E. Goldwasser, "High performance second harmonic operation W band Gunn devices,"IEEE Electron. Dev Lett. EDL-10, 412 (1989).
- [34] M. G. Adlerstein and S. L. G. Chu "GaAs IMPATT diodes pulsed at 40GHz,"Digest of the 1984 IEEE MTT-S International Microwave Symposium, May 30-June 1, 1984, San Francisco, California, p. 481.
- [35] L. Esaki, "New phenomenon in narrow germanium p-n junctions,"Phys. Rev. 109, 603 (1958).
- [36] L. L. Chang, L. Esaki, and R. Tsu, "Resonant tunneling in semiconductor double barriers", Appl. Phys. Lett. 24(12), 593 (1974).
- [37] E. R. Brown, W. D. Goodhue, T. C. L. G. Sellner, and C. D. Parker, "Fundamental oscillations up to 200 GHz in resonant tunneling diodes and new estimates of their maximum oscillation frequency from stationary-state tunneling theory,"J. Appl. Phys. 64(3), 1519(1988).
- [38] J. S. Scott, J. P. Kaminski, M. Wanke, S. J. Allen, D. H. Chow, M. Lui, and T. Y. Liu, "Terahertz frequency response of an  $In_{0.52}Ga_{0.47}As/AlAs$  resonant tunneling diode,"Appl. Phys. Lett. 64(15), 1995(1996).
- [39] R. K. Mains and G. I. Haddad, "Time dependent modeling of resonant-tunneling diodes from direct solution of the Schrodinger equation," J. Appl. Phys. 61(7), 3564(1988).
- [40] M. E. Hines, "High frequency negative-resistance circuit principles for Esaki diode applications," Bell Syst. Tech. J. 39, 477 (1960).
- [41] A. Rydberg, H. Gronquist, and E. Kollberg, "A theoretical and experimental investigation on millimeter-wave quantum well oscillators," Microwave Opt. Technol. Lett. 1, 333 (1988).
- [42] E. R. Brown, T. C. L. G. Sellner, C. D. Parker, W. D. Goodhue, and C. L. Chen, "Oscillations up to 420 GHz in GaAs/AlAs resonant tunneling diodes," Appl. Phys. Lett. 55(17), 1777 (1989).
- [43] E. R. Brown, J. R. Soderstrom, C. D. Parker, L. J. Mahoney, K. M. Molvar, and T. C. McGill, "Oscillations up to 712 GHz in InAs/AlSb resonant tunneling diodes,"Appl. Phys. Lett. 58(20), 2291 (1991).
- [44] R. Blundell, D. C. Papa, E. R. Brown, and C. D. Parker, "Resonant tunneling diode as an alternative I/O for SIS receiver applications," Electron. Lett. 29, 288 (1993).
- [45] M. Reddy, R. Y. Yu, H. Kroemer, M. J. W. Rodwell, S. C. Martin, R. E. Muller, and R. P. Smith, "Bias stabilization for resonant tunnel diode oscillators,"IEEE Microwave Guided Wave Lett. MG WL-5, 219 (1995).
- [46] K. D. Stephan, S. -C. Wong, E. R. Brown, K. M. Molvar, A. R. Calawa, and M. J. Manfra, "5-mW parallel connected resonant tunneling diode oscillator," Electron. Lett. 28, 1411 (1992).
- [47] F. Capasso, S. Sen, F. Beltram, L. M. Lunardi, A. S. Vengurlekar, P. R. Smith, N. J. Shah, R. J. Malik, and A. Y. Cho, "Quantum functional devices:resonant-tunneling transistors, circuits with reduced complexity and multiple valued logic,"IEEE Trans. Electron Dev. ED-36, 2065 (1989).
- [48] B. K. Ridley and I. B. Watkins, "The possibility of negative resistance effects in semiconductors," Proc. Phys. Soc. Lond. 78, 293 (1961).
- [49] C. Hilsum, "Transferred electron amplifiers and oscillators," Proc. Inst. Radio Eng. 50, 185(1962).
- [50] J. B. Gunn, "Microwave oscillation of current in II-VI semiconductors,"Solid-State Commun. 1, 88 (1963).

- [51] J. B. Gunn, "Instabilities of current in  $\text{InN}$  semiconductors," *IBM J. Res. Develop.* 8, 141 (1964).
- [52] L. Wandinger, "mm Wave InP Gunn devices: status and trends," *Microwave J.* 24(3), 71 (1981).
- [53] B. Fank, J. Crowley, D. Tringali, and L. Wandinger, "Basics and recent applications of high-efficiency millimeter wave InP Gunn diodes," in *Proceedings of the First International Conference on Indium Phosphide and Related Materials for Advanced Electronic and Optical Devices*, Norman, Oklahoma, March 20-23, 1989, SPIE 1144, 1989, p. 531.
- [54] I. G. Eddison, "Indium phosphide and gallium arsenide transferred-electron devices," *Infrared and Millimeter Waves*, Vol. 11, *Millimeter Components and Techniques*, Part I, Academic Press, New York, 1984, p. 1.
- [55] J. A. Copeland, "LSA oscillator diode theory," *J. Appl. Phys.* 38, 3096 (1967).
- [56] P. N. Butcher, "Theory of stable domain propagation in the Gunn effect," *Phys. Lett.* 19, 516 (1965).
- [57] J. F. Caldwell and F. E. Roxtoczy, "Gallium arsenide Gunn diodes for millimeter-wave and microwave frequencies," in *Proceedings of the 4th International Symposium on GaAs and Related Compounds*, Denver, Colorado, 1972.
- [58] I. Dale, J. R. P. Stephens, and J. Bird, "Fundamental-mode graded gap Gunn diode operation at 77 and 84 GHz," in *Proceedings of the Microwaves 94 Conference*, London, United Kingdom, October 25-27, 1994, p. 248.
- [59] M. A. di Forte-Poisson, C. Brylinski, N. Proust, D. Pons, M. Secoué, P. Arsène Henry, M. Calligaro and J. Lacombe, "LP-MOCVD InP Gunn devices developed for 94 GHz millimeter range operation," in *Proceedings of the First International Conference on Indium Phosphide and Related Materials for Advanced Electronic and Optical Devices*, Norman, Oklahoma, March 20-23, 1989, SPIE 1144, 1989, p. 551.
- [60] A. Rydberg, "High efficiency and output power from second and third-harmonic millimeter-wave InP-TED oscillators at frequencies above 170 GHz," *IEEE Electron. Dev. Lett. EDL-11*, 439 (1990).
- [61] M. R. Friscourt, P. A. Rolland, and M. Pernick, "Heterojunction cathode contact transferred-electron oscillators," *IEEE Electron Dev. Lett. EDL-6*, 197 (1985).
- [62] B. Fank, J. Crowley, and C. Hang, "InP Gunn diode sources," *Millimeter Wave Technology* I, SPIE 544, 1983, p. 22.
- [63] J. D. Crowley, C. Hang, R. E. Dalrymple, C. Hang, D. R. Tringali, F. B. Fank, and L. Wandinger, "InP Gunn diodes serve millimeter wave applications," *Microwaves RF* 33(3), 143 (1994).
- [64] J. D. Crowley, C. Hang, R. E. Dalrymple, D. R. Tringali, F. B. Fank, L. Wandinger, and H. B. Wallace, "140 GHz indium phosphide Gunn diode," *Electron. Lett.* 30, 499 (1994).
- [65] J. Ondria and R. L. Ross, "Improved performance of fundamental and second-harmonic MMW oscillators through active doping concentration contouring," in *1987 IEEE MTT-S Digest*, p. 977.
- [66] K. Akamatsu, A. Yokohata, S. Kato, N. Ohkubo, and M. Ohmori, "High-efficiency millimeter wave GaAs Gunn diodes operating in the fundamental mode," in *Digest of the Nineteenth International Conference on Infrared and Millimeter Waves*, Sendai, Japan, October 17-20, 1994, p. 89.
- [67] H. Eisele and G. I. Haddad, "High-performance InP Gunn devices for fundamental-mode operation in Dband (110-170 GHz)," *IEEE Microwave Guided Wave Lett. MGWL-5*, 385 (1995).
- [68] N. R. Couch, H. Spooner, P. H. Beton, M. J. Kelly, M. E. Lee, P. K. Rees, and T. M. Kerr, "High-

- performance, graded AlGaAs injector, GaAs Gunn diodes at 94 GHz," IEEE Electron. Dev. Lett. EDL-10, 288 (1989).
- [69] R. Kamoua, "Heterojunction D-band (110 GHz-170GHz) InP Gunn devices," Solid-State Electron. 37, 269 (1994).
- [70] D. C. Smith, T. J. Simmons, and M. R. B. Jones, "A comparison of the performance of millimeter wave semiconductor oscillator devices and circuits," Digest of the 1983 IEEE MTT-S International Microwave Symposium, May 31-June 3, Boston, Massachusetts, p. 127.
- [71] D. F. Peterson and D. P. Klemmer, "Multiwatt IMPATT power amplification for EHF applications," Microwave J. 32(4), 107 (1989).
- [72] M. K. Powers, J. McClymonds, D. Vye, and T. Arthur, "Solid-state power amplifier for 61.5 GHz," NASA Tech. Briefs 16(8), 31(1992).
- [73] K. Chang and C. Sun, "Millimeter wave power-combining techniques," IEEE Trans. Microwave Theory Techn. MTT-31, 91 (1983).
- [74] H. Eisele, C-C. Chen, G. O. Munns, and G. I. Haddad, "The potential of InP IMPATT diodes as high-power millimeter-wave sources: first experimental results," Digest of the 1996 IEEE MTT-S International Microwave Symposium, June 17-21, San Francisco, California, p. 529.
- [75] J. J. Sowers, J. D. Crowley, and F. B. Fank, "CW InP Gunn diode power combining at 90 GHz," Digest of the 1982 IEEE MTT-S International Microwave Symposium, June 15-17, Dallas, Texas, p. 503.
- [76] C. Kim, C. Dunnrowicz, J. Crowley, B. Fank, and L. Wandinger, "Millimeter-wave tunable Microstrip InP Gunn oscillators," Microwave J. 32(4), 91 (1989).
- [77] B. Bayraktaroglu, "Monolithic IMPATT technology," Microwave J. 32(4), 73 (1989).
- [78] J. Büchler, E. Kasper, P. Russer, and K. M. Strohm, "Silicon high-resistivity-substrate millimeter wave technology," IEEE Trans. Microwave Theory Techn. MTT-34, 1516 (1986).
- [79] A. Stiller, E. M. Biebl, J. F. Luy, K. M. Strohm, and J. Büchler, "A Monolithic integrated millimeter wave transmitter for automotive applications," IEEE Trans. Microwave Theory Techn. MTT-43, 1654 (1995).
- [80] M. Singer, A. Stiller, K. M. Strohm, J. F. Luy, and E. M. Biebl, "A SIMMWIC 76-GHz front end with high polarizing purity," in Digest of the 1996 IEEE MTT S International Microwave Symposium, June 17-21, San Francisco, California, p. 1079.
- [81] J. C. Wiltse and J. W. Mink, "Quasi optical power combining of solid-state sources," Microwave J. 35 (2), 144 (1992).

# 7 高速光子器件

Tien Pei Lee

Bell Communications Research, Red Bank, New Jersey

S. Chandrasekhar

Lucent Technologies, Holmdel, New Jersey

## 7.1 引言

在过去的十年中，陆上和海底光纤远程通信系统的迅速发展，为在进入下一世纪的时候建立现代化的光子网络铺平了道路。由于光缆的低造价和光子器件的高比特率，使传输每比特信号的相对成本不断降低，我们预计，在数年内，新的传输和分布设施将全部以光缆为基础建立。另外，也有可靠迹象表明，由于因特网(全球信息网)用户数目的增加，宽带服务的需求将会增加。单模光纤的带宽估计可达  $30\text{THz}$ ( $1\text{THz} = 10^{12}\text{Hz}$ )。基于光纤的光子网络就可以提供信息时代所需要的宽带服务。这些服务包括教育、远程通信、可视会议、交互式数据库服务(例如，银行、商店、图书馆、计算机网络)、高分辨率电视(HDTV)、广播娱乐服务，以及其他我们现在还想像不到的服务。

20世纪70年代后期的早期光学传输系统的比特率是  $45\text{Mbit/s}$ 。到80年代中期，传输速度则增加至  $400\text{Mbit/s}$  到  $1.7\text{Gbit/s}$  之间。最近，同步光学网络系统SONET使用  $155\text{Mbit/s}$ 、 $622\text{Mbit/s}$  和  $2.5\text{Gbit/s}$  的传输率，用于新型办公室之间及长距离通信方面。在不久的将来具有  $10\text{Gbit/s}$  传输率的SONET系统将会面世。

高于  $10\text{Gbit/s}$  以后，可行的技术途径为采用波分复用(WDM)方法的多波长技术，以探究光纤的低损耗传输窗口中极宽光学带宽( $30\text{THz}$ )。WDM系统的总传输容量为比特率和WDM信道数之积。图7.1示出了这个关系。实线分别对应  $1\text{Gbit/s}$ 、 $10\text{Gbit/s}$ 、 $100\text{Gbit/s}$  和  $1\text{Tbit/s}$ ( $1\text{Gbit/s} = 10^9\text{bit/s}$ ,  $1\text{Tbit/s} = 10^{12}\text{bit/s}$ )的总传输容量。图7.1包括了布设的商用单道系统(图中标出了布设年代)和已有报道的实验室中进行的WDM传输实验和网络实验(图中标出了发表年代)。如图所示，单道系统的传输率每两年翻一番，到1991年已达  $2.5\text{Gbit/s}$ 。增长传输容量的传统方法是通过增加更多的波长信道来实现的。于1985至1990年之间在实验室完成的早期WDM实验，即采用了100个波长信道。但最近的发展趋势则

如图 7.1 中箭头所示，是通过提高每个波长信道的传输速率来增加总传输容量的。1996 年，具有 1.1Tbit/s 的总传输容量的 WDM 传输实验已有报道<sup>[1-3]</sup>。另外，在光学网络中波长可作为动态路由信号。最近，已经演示了几个可重构的光学网络测试系统<sup>[4]</sup>。这些系统的传输容量用实心方块示于图 7.1 中。

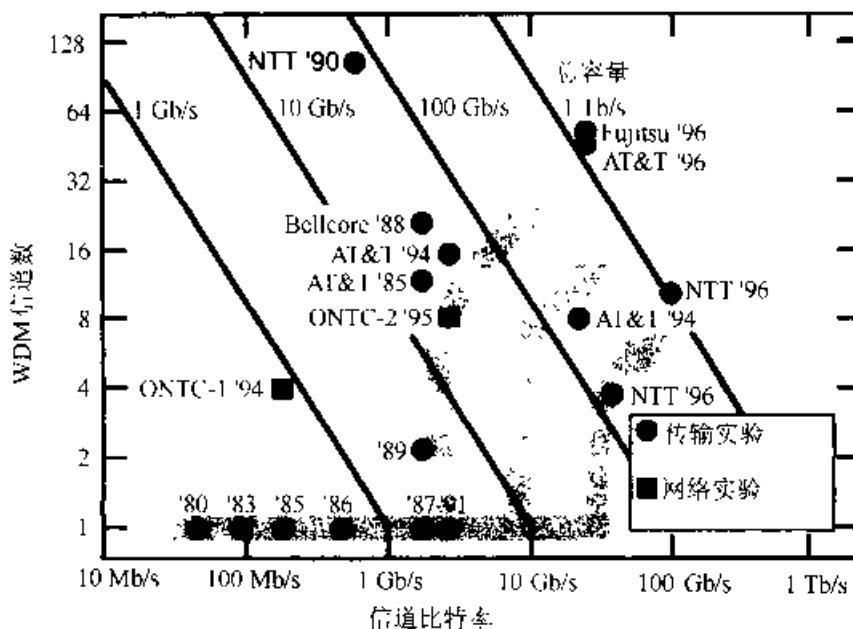


图 7.1 光波系统性能的演变趋势

过去十年中光波系统的飞速进步部分可以归因于新型半导体材料和高速光子器件中的技术进步。量子阱和应变层量子阱激光器展现了比常规的双异质结激光器更为优良的性能。过去三十年来，半导体激光器的阈值电流降低了 1 000 倍，这归功于新的材料生长技术，如金属有机物化学气相沉积(MOCVD)和分子束外延(MBE)，以及这两种技术的变种。用这些技术可以生长非常薄的薄层，甚至薄到一个单原子层。用组分交替变化的薄层的堆积方法形成的量子阱和超晶格可从根本上改变材料的能带结构。组分交替变化的薄层之间可做到晶格常数的轻微失配而无应变弛豫，因而可以进一步提高这些材料的光学性能<sup>[5]</sup>。使用这些材料，激光器已经实现了低阈值电流、高输出功率、非常高的调制速率、低频率周期，以及窄的激光线宽。

至于光接收器，在过去十年中努力的方向是发展 10Gbit/s 以上极高速的接收器，以及发展光电集成电路(OEIC)<sup>[6]</sup>。尽管波导探测器和金属-半导体-金属(MSM)探测器因其低电容和易集成而成为被看好的结构，但 p-i-n 结构依然是最简单且性能最好的器件结构。外延生长技术的进步使人们能制造出更好的晶体管，如异质结双极晶体管(HBT)和调制掺杂 FET(MODFET)等。基于长波长材料的 MODFET 与 p-i-n 光二极管兼容，适于光电集成。使用高性能的晶体管作为前置放大器，OEIC 接收器的灵敏度就可以与 p-i-n FET 混合接口的灵敏度相匹配(参见图 7.2)。用雪崩光二极管(APD)、外差式相干接收器和掺铒光纤放大器(EDFA)可实现接收器灵敏度的进一步提高。

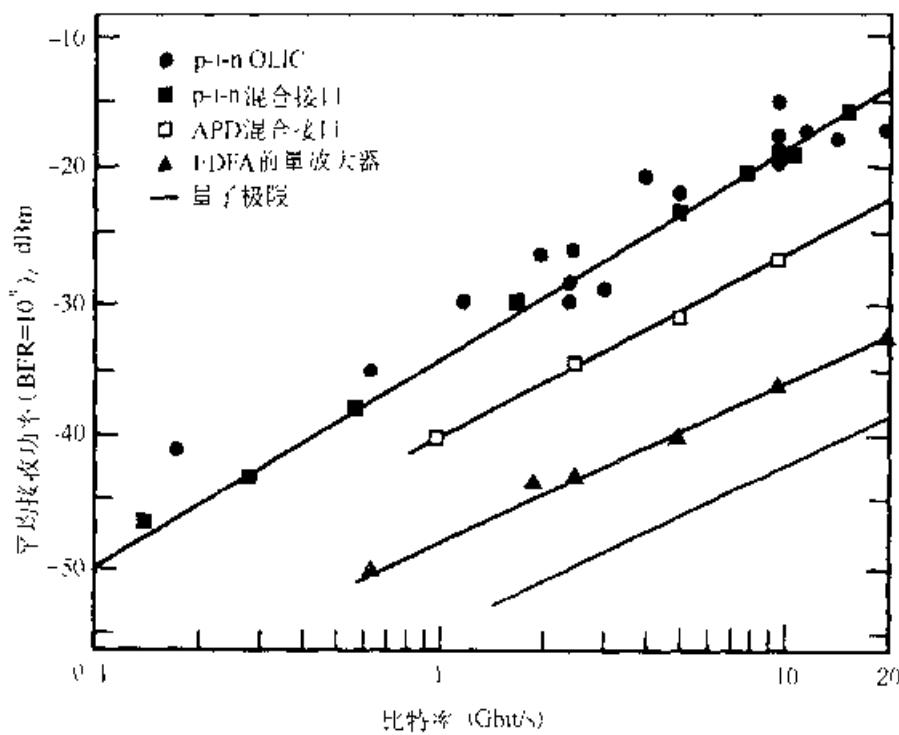


图 7.2 光接收器灵敏度与信号比特率的函数关系

在数字通信应用方面，经常使用的是廉价的发光二极管(LED)。对于采用多模光纤的短链接情形，LED 能够以 200Mbit/s 的传输率工作。LED 的基本结构和工作原理比激光器简单得多，这一点在许多著作中已有描述<sup>[7, 8]</sup>，在本章中，我们将介绍高速光子器件目前的研究情况，即激光器、光学传输器中的光子集成电路(PIC)和光接收器中的光电集成电路(OEIC)。

本章的结构安排如下：第 7.2 节将简短介绍关于激光器设计、工作原理和特性的基本知识。7.3 节讨论量子阱和应变量子阱激光器的基本原理及优点。7.4 节介绍各种先进的激光器的结构，包括亚毫安阈值电流激光器、无冷却激光器、高速 DFB 激光器及光子集成电路(PIC)中的外调制集成激光器、可调谐激光器和多波长激光器阵列等。7.5 节讨论光接收器 OEIC，7.6 节是一个简短的总结和展望。

## 7.2 激光器的设计及其基本工作原理

### 7.2.1 半导体激光器材料

正如将在 7.2.2 节中要介绍的，制造双异质结激光器的最重要环节就是半导体材料的选择。要求这种材料能在希望的波长上发光并且晶格常数与衬底匹配以利于外延生长。

最常用的衬底材料是 GaAs 和 InP。前者适于的波长范围为 0.8~0.9μm，后者适于的波长范围则在 1.1~1.65μm。三元 AlGaAs 合金与 GaAs 的晶格常数近

乎匹配。因为 AlGaAs 的带隙比 GaAs 的大，因而它可用来在双异质结激光器中作载流子限制层。这一点我们将在 7.2.2 节中讨论。AlGaAs 中 Al 的比例达到 30%，其带隙就会足够大，使注入的电子和空穴限制在 GaAs 有源层。AlGaAs 合金也可以用作有源层来制作短波长器件如光盘用的激光器。然而，如果 Al 的组分比例超过 0.45，则电子与空穴的复合将变为间接复合，不能产生光子。

在主要用于光纤通信的长波波段，InP 是合适的衬底材料。为了与 InP 的晶格常数 ( $a = 5.87 \text{ \AA}$ ) 相匹配，通常使用四元合金  $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$  作为匹配材料。在与 InP 晶格匹配的情况下 ( $y = 2.2x$ )，InGaAsP 带隙  $E_g(\text{eV})$  可写为<sup>[9]</sup>：

$$E_g = 1.35 - 0.72y + 0.12y^2 \quad (7.1)$$

这个关系绘于图 7.3 中。这种材料系统覆盖了从  $0.92\mu\text{m} \sim 1.65\mu\text{m}$  整个波段。因为光子能量  $E$  近似等于带隙的能量，所以激光波长  $\lambda$  可由  $E_g = hc/\lambda$  得到。其中， $h$  为普朗克常数， $c$  为真空中的光速。如果  $E_g$  以 eV 为单位，那么以  $\mu\text{m}$  为单位表示的激光波长由下式给出：

$$\lambda = \frac{1.24}{E_g} \quad (7.2)$$

对于限制层，其组分的选择要使带宽大于有源区的带宽约 200meV。

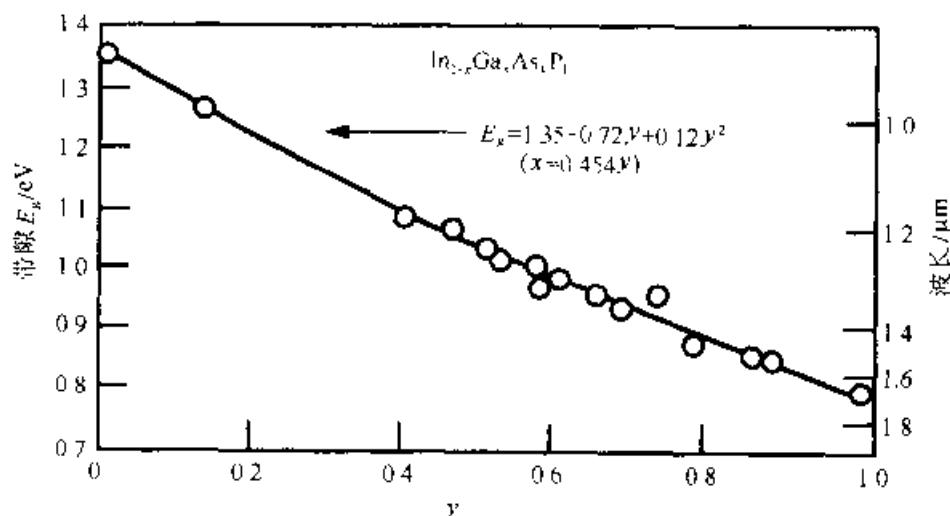


图 7.3 InGaAsP 四元合金的能带隙(及发射光波长)随组分的变化情况(引自 Nahory 等人之文献[9])

这些薄膜层的生长主要采用液相外延(LPE)方法。但在最近几年，已用 MOCVD 法生长出这些材料薄膜，其均匀性要比用 LPE 法生长的好得多。另外，薄膜层厚度薄于  $100 \text{ \AA}$  的多量子阱(MQW)结构也是用 MOCVD 法生长的。多量子阱激光器已制作出来，其性能要比双异质结激光器的性能优良。在 7.3 节将对量子阱器件作进一步讨论。

## 7.2.2 双异质结构

在典型的半导体激光器的激射区中包含一个双异质结构(DH)<sup>[10]</sup>，如图 7.4

(a)所示。在这种结构中,由带隙能量较小的半导体材料(如GaAs)做成厚度小于电子和空穴的扩散长度的有源层,有源层被夹在带隙较宽的半导体材料,如AlGaAs做成的两个限制层之间,构成“三明治”结构。限制层的宽带隙将注入的电子限制在有源层内,从而使辐射复合得以有效发生。另外,在双异质结构中,由于有源层的高反射率还可构成一个平面波导,将光场限制在有源层附近,从而使得内部损耗显著减小。因为若没有该波导的存在,光场将向高损耗介质中扩展,从而增大内部损耗。图7.4(b)中一并示出了载流子和光学限制效应。阈值电流密度随有源层厚度的减小而按比例地减小,直到有源层薄得无法限制光场为止。在 $0.85\mu\text{m}$ 波段发光的AlGaAs/GaAs激光二极管,其归一化的阈值电流密度约为 $5\text{kA}/\text{cm}^2 \cdot \mu\text{m}$ ,而对于在 $1.3\sim155\mu\text{m}$ 波段发光的InGaAsP/InP激光器,这个值约为 $3.5\text{kA}/\text{cm}^2 \cdot \mu\text{m}$ 。人们发现,有源层厚度在 $0.1\sim0.2\mu\text{m}$ 的器件,其阈值电流密度最低。

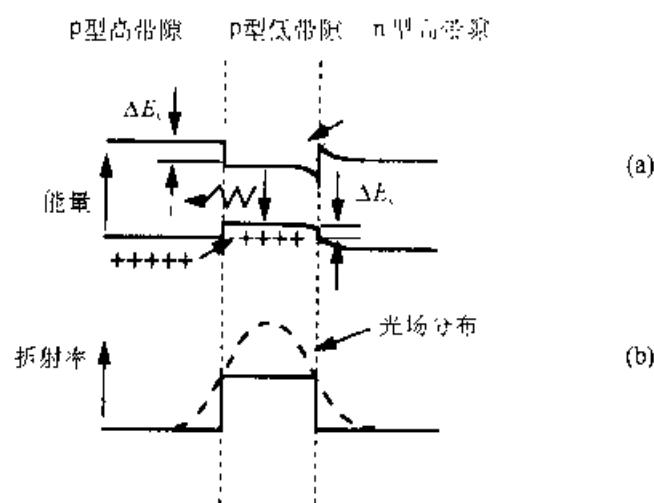


图7.4 双异质结激光器中的载流子限制效应(a), 和光学限制效应(b)

### 7.2.3 增益导引和折射率导引激光器

为了实现CW(连续波)室温下工作状态,采用条形几何结构在横向对载流子进行限制。如图7.5(a)所示,这些结构通过用 $\text{SiO}_2$ 膜作接触掩模将电流限制在约 $10\mu\text{m}$ 宽的窄条状接触区中。因为波导是由光学增益的横向变化来提供的,所以这种窄的条形几何结构也被称作增益波导结构。采用这种结构的双异质结AlGaAs/GaAs激光器已得到广泛的使用。这种结构的变型是脊型波导结构,如图7.5(b)所示,这种结构可提供弱折射率导引。

由于广泛使用的石英光纤在 $1.55\mu\text{m}$ 波长范围内损耗最小,而且零色散发生在 $1.3\mu\text{m}$ 波长处,因此用于光纤通信的半导体激光器的主要发展方向集中在InGaAsP/InP材料系统研究方面。1976年报道了第一例波长大于 $1\mu\text{m}$ 、CW室温工作的激光器。现在四元材料激光器涵盖了整个 $1.1\sim1.65\mu\text{m}$ 波长范围。由于InP

基材料的氧化速率很慢，因而有可能进行腐蚀和外延再生长来制造所谓的折射率导引激光器。在这种结构中，InGaAsP 有源区在纵向和横向均被较宽带隙的 InP 所包围。这种折射率导引结构，即所谓掩埋式异质结(BH)，比增益导引结构的横模稳定性要好。图 7.6 是几种最常使用的 BH 激光二极管的示意图。关于长波长激光器的详细讨论，可参阅文献[11]。

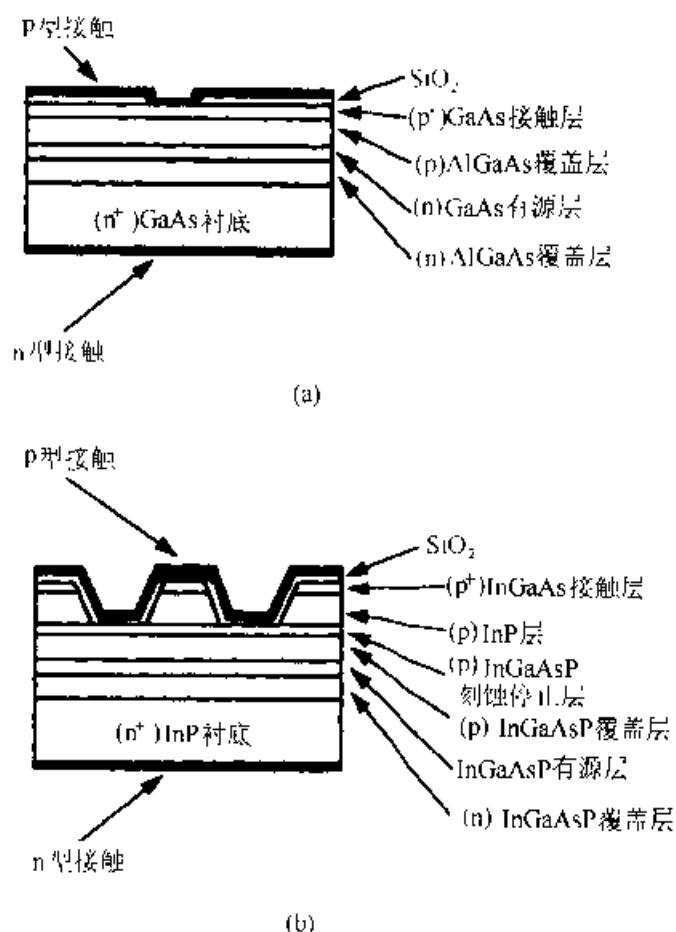


图 7.5 增益波导激光器的剖面图：(a)条形几何结构激光器；(b)脊形波导结构激光器

#### 7.2.4 纵模

**法布里 珀罗(Fabry-Perot)激光器** 图 7.5 和图 7.6 所示的激光腔是法布里 珀罗腔，其反射镜是由半导体晶片的解理面构成，镜面损耗与波长无关。当达到激光阈值时，在腔中所有历经了一个完整周期相位程( $2\pi$  的整数倍)的光场将会发生振荡。这将产生法布里-珀罗腔激光的纵模。这些模的波长满足方程

$$\lambda_m = \frac{2n_g L}{m} \quad (7.3)$$

其中， $n_g$  是介质的群折射率， $L$  是腔长， $m$  为模数(整数)，相邻模的间距为：

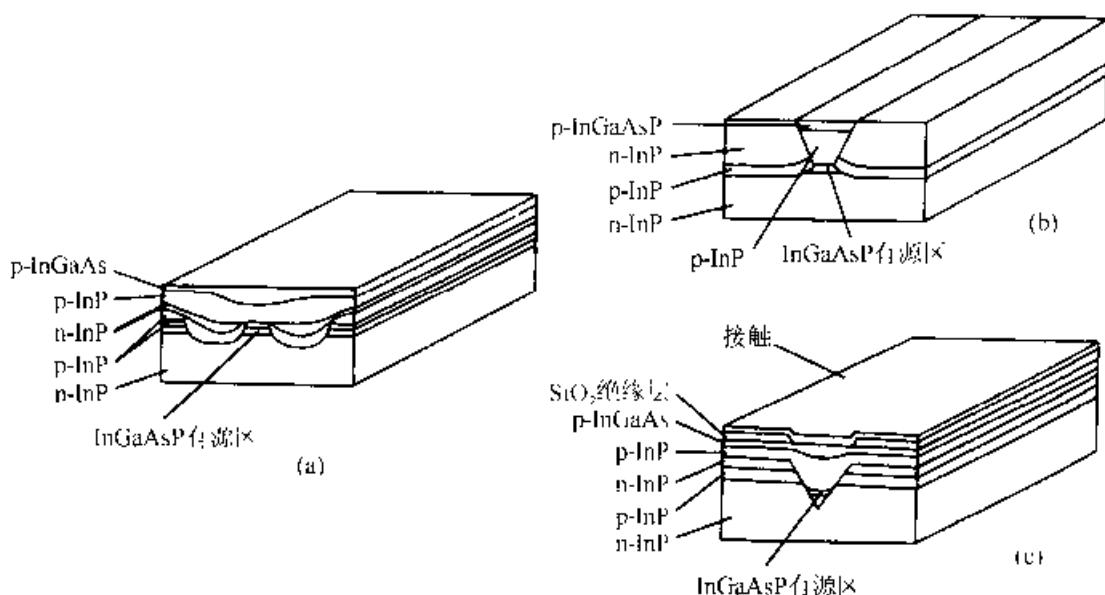


图 7.6 通常使用的折射率双异质结激光器。(a) 双沟道平面掩埋式异质结构(DCPBH);  
(b) 平面掩埋异质结构; (c) 沟道衬底掩埋月牙型结构(CSBC)

$$\Delta\lambda = \lambda_m - \lambda_c = \frac{\lambda_c^2}{2n_g L} \quad (7.4)$$

每个起源于自发辐射成模的模式都会由于光学增益的增加而变大，其中光学增益的增加是由于注入电流的增加而引起的。由于态密度的抛物线型，增益可近似表示为<sup>[2]</sup>：

$$g_m = g_p - \frac{(\lambda_r - \lambda_c)^2}{\lambda_c^2} \quad (7.5)$$

其中， $\lambda_r$  为增益峰值  $g_p$  处的波长， $\lambda_c$  则表征了增益谱的宽度。模  $m$  的稳定光子密度  $S_m$  可表示为<sup>[12]</sup>：

$$S_m = \frac{\gamma N / \tau}{(c/n_g) [\Gamma (\alpha_c + \alpha_m - g_m)]} \quad (7.6)$$

在方程(7.6)中， $\gamma$  为自发辐射因子<sup>[12]</sup>， $N$  为载流子密度， $\tau$  为载流子寿命， $c$  为真空中的光速， $n_g$  为群折射率， $\Gamma$  为光学限制因子， $\alpha_c$  为自由载流子损耗， $\alpha_m = (1/2L)\ln(1/R_1R_2)$ ，为镜面损耗（其中， $L$  为腔长， $R_1$  和  $R_2$  是镜子的反射系数）。从方程(7.6)可见，每个模的功率反比于损耗与模增益之差。因而，最靠近增益曲线峰值的模有最大的功率（主模）。当电流增至阈值以上时，主模功率比边模功率的增加要快。图 7.7(a)示出了基于多模速率方程模型的计算结果<sup>[12]</sup>。图 7.7(b)是 1.3 μm InGaAsP 激光器在三个不同电流下实验测得的模谱<sup>[13]</sup>。实验结果与计算结果符合得很好。

**分布反馈激光器** 多模法布里-珀罗激光器只对比特率为 1 Gbit/s 以下的系统有用。对于高级的光波系统，诸如，几个 Gbit/s、波分复用系统和相干光波系统而言，单频激光器是必需的。单频振荡可通过在激光器微腔内集成一个选频光栅

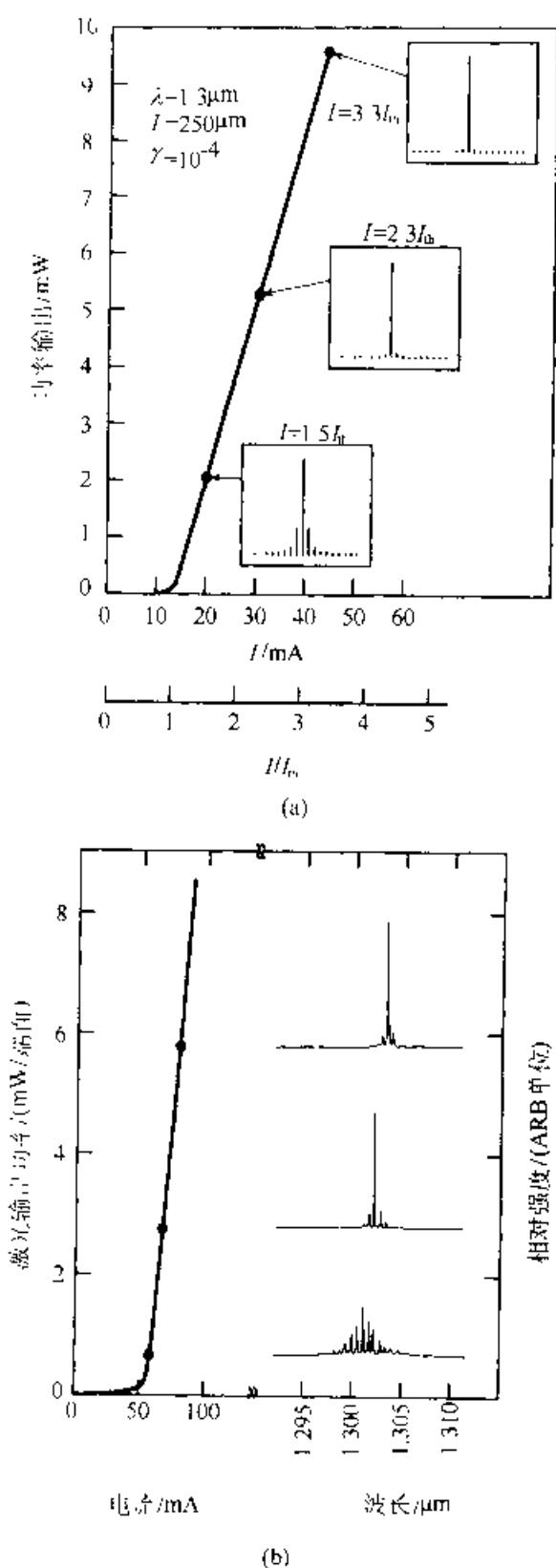


图 7.7 (a) 一个具有法布里-珀罗腔的 InGaAsP 激光器的功率输出和模式谱  
(引自 Lee 等人之文献[12]); (b) 测量值(引自 Nelson 等人之文献[13])

元件来实现。80年代的主要成就便是高性能单频激光器的实现。半导体激光器中使用了分布反馈(DFB)激光器的概念<sup>[2]</sup>，分布反馈激光器<sup>[3, 4]</sup>和分布布拉格反射(DBR)激光器<sup>[5]</sup>首次在AlGaAs/GaAs激光器中得到实现，之后同样的概念用于InGaAsP/InP激光器<sup>[6]</sup>。

在DFB激光器中，在紧邻有源层的波导层中设置光栅区，如图7.8(a)所示，而在DBR激光器中光栅则在被泵浦的有源区之外(沿着腔的长度方向)，如图7.8(b)所示。在文献[11]中有关于DFB和DBR激光器的详细分析。DBR激光器的基本工作原理在概念上可以通过下述考虑理解，即，在波长 $\lambda_B$ 也就是布拉格波长处，反射得到增强， $\lambda_B$ 与光栅周期 $A$ 的关系如下：

$$\lambda_B = \frac{2n_{\text{eff}}A}{m} \quad (7.7)$$

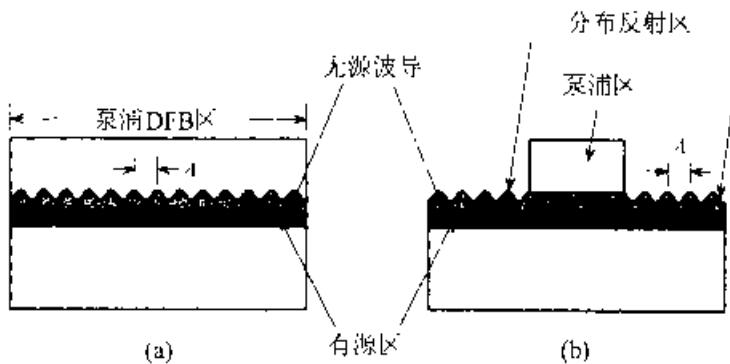


图 7.8 (a) 分布反馈(DFB)激光器和  
(b) 分布布拉格反射(DBR)激光器的示意图

其中， $n_{\text{eff}}$ 为模的有效折射率， $m$ 为光栅衍射级数。在布拉格波长处的模有最小的损耗，因而有最低的阈值增益，它成为主要激励。DFB激光器的工作更加复杂，但却可以定性地作如下理解：光栅区有一个周期性变化的折射率，它能够使两个相对传播的行波耦合起来。在接近布拉格波长之处，耦合最大。在没有端面反射的理想情况下，纵模在 $\lambda_B$ 附近对称地分布，其波长为

$$\lambda = \lambda_B \pm \left| \frac{m + \frac{1}{2}}{\frac{2n_k L_{\text{eff}}}{\lambda_B^2}} \right| \quad (7.8)$$

其中， $m$ 为模数， $L_{\text{eff}}$ 为有效光栅长度。由于存在着因光栅结构引起的周期性折射率变化，而出现了一个由波长带定义的终止带，在这个带中，该周期性结构的透过率为零，结果，反射变得最大。通常，在终止带中只有方程(7.8)中的两个低级模( $m=0$ )，而且，由于对称性，这两个波长的模的振荡可同时发生。然而，实际上，由于解理过程的随机性会导致不同的端面相位，使模增益的简并解除，并产生一个单模工作状态。端面的不对称性可通过用高反射膜或抗反射膜覆盖一个端

面来进一步增强以提高单频产额。

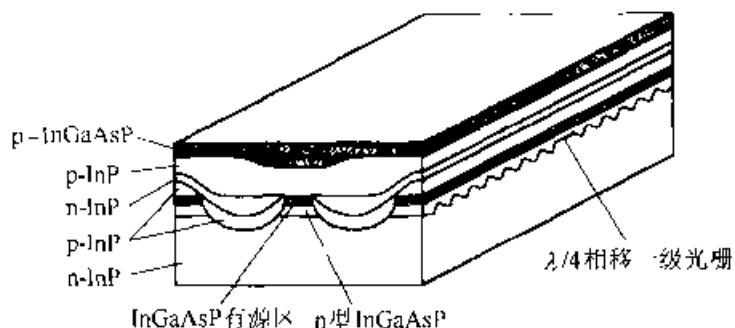


图 7.9 一个  $\lambda/4$  相移 DFB DCPBH 激光器的示意图

另一种得到高单频产额的方法是，在DFB激光器的光栅中加入一个  $\lambda/4$  波长相移<sup>[18~20]</sup>。图 7.9 为  $\lambda/4$  波长相移 DFB 激光器的示意图。这种结构中，一个  $\lambda/4$  相移被引入光栅波纹中，位于两个面都用抗反射膜覆盖的激光器腔体的中心。这种情况下，布拉格波长处的模有最低的阈值增益，因而有最强的激励。图 7.10(a) 是一个  $1.5\mu\text{m}$  GaInAsP  $\lambda/4$  相移 DFB 激光器在阈值以上的输出光谱。侧模抑制比优于  $40\text{dB}$ 。图 7.10(b) 示出电流刚好低于阈值时的输出光谱，从中可以观察到终止带。

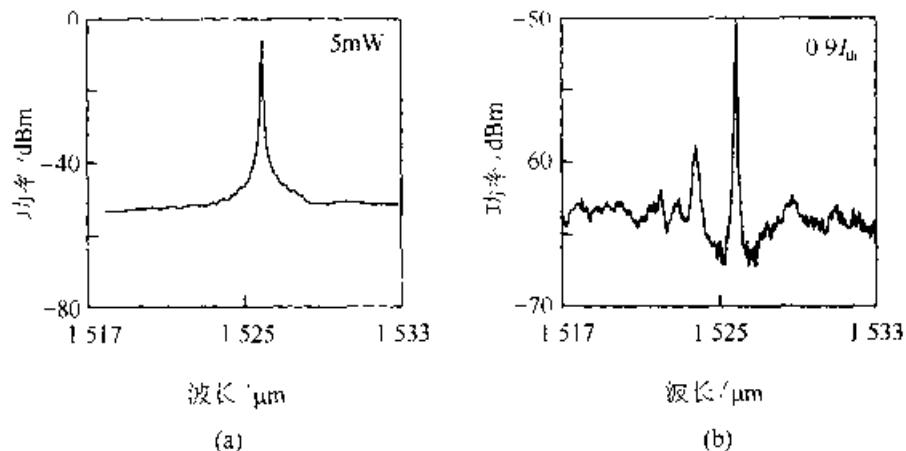


图 7.10 一个  $\lambda/4$  相移 DFB 激光器在 5mW(a)，和在  $0.9I_{th}$ (b)下的输出谱

### 7.2.5 调制特性

通过对注入激光器的电流进行调制，可以很方便地调制半导体激光器的强度。调制速度可以高达数十吉赫(GHz)，因为受激辐射很大程度地缩短了载流子寿命。在这一节里，我们将讨论半导体激光器的调制特性。特别强调了它的高速性能和长波长 InGaAsP 激光二极管的局限。

通过分析速率方程可以很好地理解半导体激光器的动力学特性。为了简化分析，我们假设：

1. 只有单模存在。

2. 可以忽略载流子扩散。
3. 载流子的注入是均匀的，并且光子密度沿腔体的涨落可以忽略不计。
4. 增益按  $g=g_0/(1+\epsilon S)$  饱和，其中， $S$  为光子密度， $\epsilon$  是一个表征非线性增益随光子密度变化的参量。

在上述假设下，速率方程具有以下简单形式：

$$\frac{dN}{dt} = \frac{I}{qV} - \frac{N}{\tau_n} - \frac{v_g \Gamma A (N - N_{tr}) S}{1 + \epsilon S} \quad (7.9)$$

$$\frac{dS}{dt} = \gamma \frac{\Gamma N}{\tau_n} - \frac{S}{\tau_p} + \frac{v_g \Gamma A (N - N_{tr}) S}{1 + \epsilon S} \quad (7.10)$$

在方程(7.9)和方程(7.10)中， $v_g = c/n_g$  为群速度， $A$  为微分增益( $=dg/dN$ )， $N_{tr}$  为透明载流子密度，它定义为在激光器介质中，光学增益等于损耗时的载流子密度， $V$  是有源区的体积， $\tau_n$  和  $\tau_p$  分别为载流子复合的寿命和光子的寿命。在小信号调制下， $I=I_0+ie^{j\omega t}$ ， $N=N_0+ne^{j\omega t}$ ，和  $S=S_0+se^{j\omega t}$ ，并忽略小的乘积项  $ns$ 、 $s^2$  和其它相对于  $1/\tau_p$  为小的项。方程(7.9)和(7.10)很容易求解，得到光子转移函数的形式如下：

$$\frac{S(\omega)}{S(0)} = \frac{\omega_n^2}{\omega_n^2 - \omega^2 + j\omega\gamma_d} \quad (7.11)$$

其中， $\omega$  为角频率， $\omega_n$  由下式近似得到<sup>[21]</sup>：

$$\omega_n = \sqrt{\frac{v_g \Gamma A S_0}{\tau_p (1 + \epsilon S_0)}} \quad (7.12)$$

$\gamma_d$  由下式近似得到：

$$\gamma_d = \frac{\epsilon S}{\tau_p} \quad (7.13)$$

方程(7.11)表明，转移函数在

$$\omega = j \frac{\gamma_d}{2} \pm \sqrt{\omega_n^2 - \frac{\gamma_d^2}{4}} \quad (7.14)$$

处有一个极点。

方程(7.14)中的第一项为阻尼项，第二项为出现响应峰值处的频率，它被定义为弛豫振荡频率。

图 7.11 给出了使用方程(7.11)在非线性增益参数为  $\epsilon=0$  和  $\epsilon=1.3 \times 10^{-23} \text{ m}^4$  下计算得到的小信号响应曲线。注意，峰值响应的幅度随  $\epsilon$  的增加而减小，这表明起源于非线性效应的增益饱和。方程(7.12)表明，一直到最大值，弛豫共振频率都正比于输出功率的平方根，之后，共振频率由于非线性增益的缘故而减小。图 7.12 是对于各种  $\epsilon$  值，峰值响应频率对输出光学功率关系的一个理论计算<sup>[22]</sup>。很重要的一点是，峰值响应频率可通过下述办法得到增加：

1. 在增益介质，如在量子阱有源区中，增大微分增益  $A$ 。
2. 缩短光子寿命，如在短腔激光器中那样。
3. 减小非线性增益系数<sup>[23~25]</sup>。

然而，实际上的限制可归因于寄生电容和与某种特别的激光结构有关的电感的存在。寄生电容来源于激光器 p-n 结和掩埋式异质结激光器中的阻塞电流结。电感则源于封装内部激光器芯片的连线。因而，要达到激光器的本征高频响应，这些寄生因素必须降至最低。在 7.4.3 节中将讨论各种高速激光器结构。

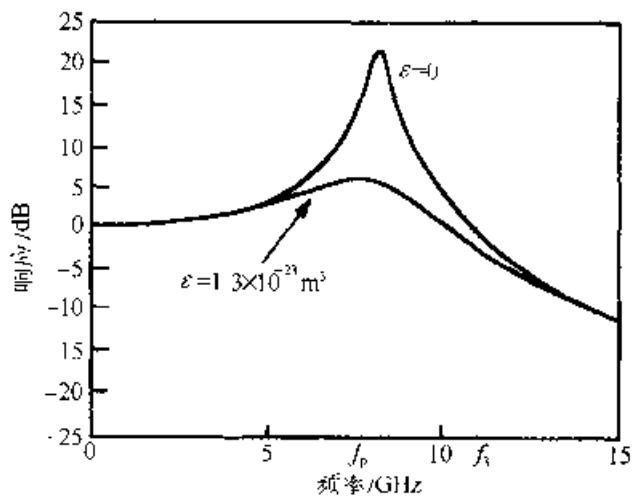


图 7.11 小信号激光器的调制响应。它显示了由于增益饱和引起的阻尼效应。 $f_p$  为响应曲线峰值处的频率， $f_3$  为 3dB 调制带宽(引自 Bowers 和 Pollack 之文献[22])

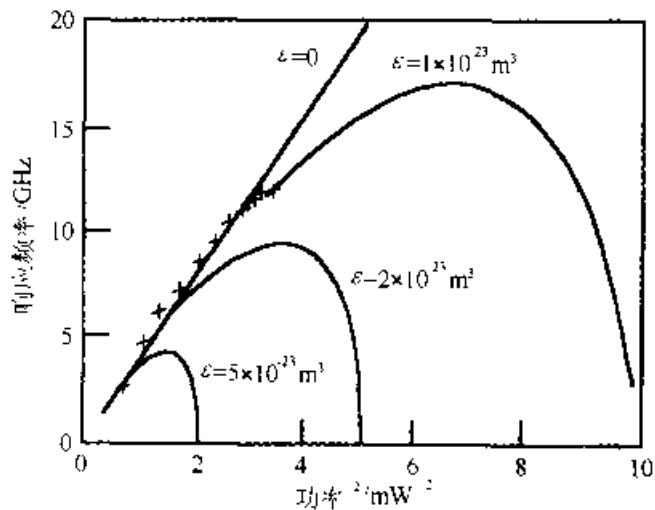


图 7.12 振荡频率与 $(\text{功率})^{1/2}$ 的关系，它显示了增益饱和效应。实线为理论计算，符号X表示测量值(引自 Bowers 和 Pollack 之文献[22])

### 7.2.6 频率啁啾

通过注入电流对强度进行调制时，增益变化也会使增益介质的折射率产生变化，进而导致频率的调制。这个效应即为直接电流调制引起的频率啁啾。折射率包

括了实部和虚部，即， $n = n' - jn''$ ，增益的变化  $\Delta g = -4\pi\Delta n''/\lambda$  与频率的变化  $\Delta\nu/\nu = \Delta n'/n$  通过依赖频率变化的材料常数  $\alpha$  联系在一起， $\alpha$  定义为：

$$\alpha = -\left(\frac{4\pi}{\lambda}\right)\left(\frac{dn'/dN}{dg/dN}\right) \quad (7.15)$$

其中， $dN$  为载流子密度的增量， $\alpha$  为通常所言的线宽增强因子<sup>[26]</sup>。

用光子速率方程(7.10)并在直流工作点附近展开，在直接电流调制下频率啁啾  $\Delta\nu$  与输出功率的变化的关系为：

$$\Delta\nu(t) = -\left(\frac{\alpha}{4\pi}\right)\left(\frac{d}{dt}\ln P(t) + \kappa P(t)\right) \quad (7.16)$$

其中， $P(t)$  为光学功率随时间变化的函数， $\kappa$  为参数，它由下式给出：

$$\kappa = \frac{2\Gamma\varepsilon}{\eta_a h\nu V} \quad (7.17)$$

其中， $V$  是激光器有源区的体积。对于正弦调制，方程(7.16)的 RF 成分变为

$$\frac{\Delta\nu}{\Delta P} = -\frac{j\alpha}{2}\frac{f}{P} + \kappa \quad (7.18)$$

方程(7.18)表明，当调制频率很高时，频率啁啾随  $\alpha$  增加而增加，并且当频率增加时，它会变得更糟。当光学功率变化很大时，如在弛豫振荡期间，它也会变得更糟。弛豫振荡的强烈阻尼作用将减小频率啁啾的大小。因子  $\alpha$  反比于微分增益，并强烈地依赖于材料和工作频率。这一点我们将在下节进一步讨论。方程(7.18)中的第二项，在低频下将成为主要项，是一个绝热啁啾，通过增加激光器有源区的体积，可将它减至最小。商用 DFB 激光器的典型啁啾宽度在 1~2Gbit/s 的调制速率下为 0.4~0.6nm。尽管这个数量的啁啾还可使在波长 1.55μm 的单模光纤中以 2.5Gbit/s 的速率调制下传输距离达几百公里，但由于单模光纤中的色散，在 10Gbit/s 的速率下，传输距离则仅为几公里。色散起源于通过光纤的不同波长的光波具有不同的群速度。源子激光器直接电流调制下的频率啁啾所引起的光脉冲中的不同波长会引入脉冲扩展，这一点反过来会引起邻近脉冲的干涉，并使传输信号的质量降低。

### 7.2.7 激光器线宽

在 CW 工作状态下，典型的半导体激光器具有洛伦茨线型，在 1mW 的输出功率下，线宽约 100MHz。测量的线宽值比经典理论的预计值多出一个因子 50<sup>[26]</sup>。如 7.2.5 节所述，线宽的展宽归因于激射频率随增益的变化。在 CW 工作状态下激光器增益上的涨落归因于半导体激光器的自发辐射。这个自发辐射是频率噪声的起源，它引起了线宽展宽。

在附 7.A 中，推导出了修正后的线宽公式，它可表示为

$$\Delta\lambda = v_g^2 \left| \frac{\eta_{sp} h \nu}{8\pi P_o} \right| \alpha_n (\alpha_m + \alpha_r) (1 - \alpha^2) \quad (7.19)$$

其中,  $v_g$  是群速度,  $\eta_{sp}$  ( $= 2 \sim 3$ ) 是自发辐射因子。线宽增强因子  $\alpha$  由方程(7.15) 定义。 $\alpha$  的值在  $2 \sim 6$  之间, 它取决于材料系统和器件结构。应该注意, 线宽反比于输出功率, 因为当激光功率增加时, 自发辐射变得相对较小。当激光器腔长增长时, 线宽也要下降, 因为反射镜损耗  $\alpha_r$  降低了。

对于 DFB 激光器, 可以通过把受激光波长调谐到增益峰值的短波长一侧, 使线宽变窄, 因为这样可以使激光器有较大的微分增益, 因而有较小的  $\alpha$  值。同理, 量子阱激光器的线宽倾向于更窄一些, 这是由于它们比 DH 激光器的微分增益更高一些。最好的量子阱激光器的线宽在  $100\text{kHz} \sim 1\text{MHz}$  范围内, 而常规的 DH 激光器的线宽至少比上述值大一个量级。

### 7.2.8 波长的调谐

波长的调谐可由下述方法实现: (1) 采用一个包含有可调波长的滤波片的外腔; (2) 单片集成多电极 DFB 和 DBR 激光器。使用一个衍射光栅滤波片、一个光电滤波片和一个声光 acousto-optic 滤波片的外腔的可调谐激光器已经制造出来。采用外腔的好处在于可实现大的可调范围, 因为半导体增益宽度很宽。不利之处在于波长调谐是分立的, 并且外腔的安置也要有极高的机械稳定性。

连续波长调谐已由单片集成多电极 DFB 和 DBR 激光器实现。其原理是, 注入的自由载流子使吸收边发生移动, 进而, 由 Kramers-Kronig 关系改变折射率, Kramers-Kronig 关系描述了折射率和带边附近吸收的关系。通过改变有效折射率而改变布拉格波长, 进而实现波长的调谐。

载流子引起的折射率的改变可近似表示为

$$\Delta n_{\text{eff}} = \Gamma \left| \frac{dn'}{dN} \right| \Delta N \quad (7.20)$$

其中,  $\Gamma$  (对于 DH 激光器,  $\Gamma = 0.3 \sim 0.5$ ) 为光学模限制因子, 对于  $1.3\mu\text{m}$  的 InGaAsP 激光器,  $dn'/dN = -(2.8 \pm 0.6) \times 10^{-26}\text{cm}^3$ 。 $dn'$  为折射率实部的变化,  $\Delta N$  为注入载流子密度的增量。

波长调谐的范围可估计如下:

$$\frac{\Delta\lambda}{\lambda} = \frac{\Delta n_{\text{eff}}}{n_{\text{eff}}} \quad (7.21)$$

实际上, 最大折射率变化约为 1%, 这样调谐范围可估计为  $10 \sim 15\text{nm}$ 。关于可调谐激光器的详细讨论见 7.4.5 节。

### 7.3 量子阱和应变层量子阱激光器

采用 MBE 和 MOCVD 方法生长的量子阱结构半导体激光器的性能得到了显著的提高<sup>[28~30]</sup>。采用这些生长技术，可以生长出质量很高的极薄有源层，其厚度可以和受限载流子的德布罗意长度( $\lambda = h/p$  或  $200\sim300\text{ \AA}$ )相比。量子限制会导致激光器性能的显著提高。如，相对于常规双异质结构激光器而言，阈值电流减小、输出功率高、速度极高。

量子阱中能带的量子化使得发射波长的调整也成为可能。在 20 世纪 80 年代中期，人们对将发射波长扩展超过  $0.88\mu\text{m}$  颇感兴趣。这个波长对应着 GaAs 的带隙。在 GaAs 量子阱中加入少量的 In 之后，发射波长可增至  $0.98\mu\text{m}$ ，这可用于掺铒光纤放大器的泵浦激光器。InGaAs 和 GaAs 之间的失配导致的少量应变，只要应变层在临界厚度以内，并不会降低器件的可靠性。相反，有应变层量子阱器件比无应变体材料器件的性能更好。

常规的半导体激光器由双异质结组成，并已经商品化。尽管为了限制电子和光场，DH 激光器的有源层做得更薄( $1000\sim3000\text{ \AA}$ )，其电子学和光学特性却与体材料相同。另一方面，在量子阱激光器中，有源层可以做得很薄( $\sim 100\text{ \AA}$ )。在层的生长方向上，电子能量发生量子化，形成分立能级。假设一个无限深势阱，限制能级由下式给出：

$$E_n = \frac{\hbar^2}{2m^*} \left| \frac{n\pi}{L_z} \right|^2 \quad (7.22)$$

其中， $\hbar$  为约化普朗克常数， $m^*$  为电子有效质量， $L_z$  为量子阱厚度， $n$  为整数。对于价带，也有一个类似的表达式。图 7.13 给出了一维量子阱中导带上的两个最低能级。态密度函数从能量的抛物线型函数变为台阶状函数，如图 7.14 所示。因为态密度是常数，而不是从零慢慢增加，一些能量几乎相同的电子可以和能量几乎相同的空穴进行复合。这就使得微分增益比常规双异质结中的微分增益要大。对于激光器特性而言，意义很显著。第一，在台阶状结构中，约化了的态密度要求较

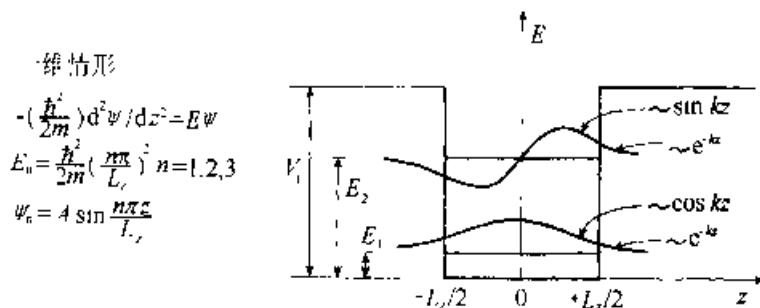


图 7.13 一个无限深量子阱中的波函数和能量子带

少的电子就可以达到透明( $N_c$ 值很小)，从而导致低的阈值电流密度。第二，微分增益  $A (= dg/dN)$  比体材料的要大得多[方程(7.19)]<sup>[29]</sup>，从而导致高速度[方程(7.14)]和窄线宽[方程(7.19)]。第三，增益谱宽度的增加可通过优化激光腔设计以扩展从最低能态到较高能态的激射波长范围来实现。

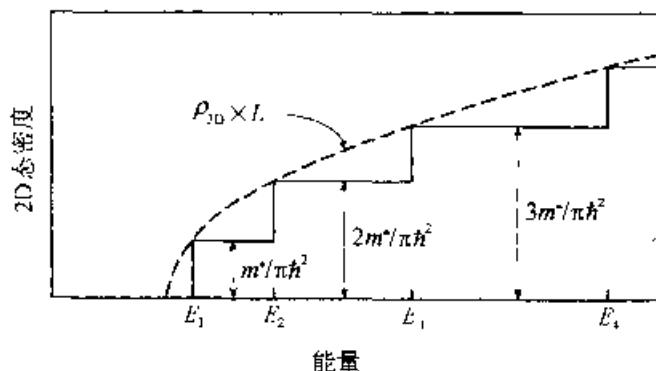


图 7.14 一个受二维约束的量子阱的态密度  
与体半导体态密度的比较

用 GaAs/AlGaAs 材料系统早已成功地制造出量子阱激光器。早期工作的综述可见文献[28]和文献[30]。有报道指出，可以做到低于  $65\text{A}/\text{cm}^2$  的阈值电流密度和亚毫安量级阈值电流。最近，用 InGaAs/InGaAsP 多量子阱(MQW)系统，制作  $1.3\mu\text{m}$  和  $1.5\mu\text{m}$  波长范围激光器的工作已取得了显著的进展<sup>[31, 32]</sup>。MQW 激光器结构的例子示于图 7.15。图 7.15(a)是分别限制异质结构(SCH)多量子阱激光器的草图，其中，有四个 InGaAs 量子阱与 InGaAsP 垒层交替排列在 InP 包层之间来构成有台阶状折射率变化的波导<sup>[31]</sup>。有源区为被  $300\text{\AA}$  厚的 InGaAsP ( $1.3\mu\text{m}$ , 未掺杂) 垒层所隔开的 4 个  $80\text{\AA}$  厚 InGaAs 量子阱(未掺杂)所构成。有源区的能带图示于图 7.15(b)。n 型和 p 型 InP 包层用 S( $10^{18}/\text{cm}^3$ ) 和 Zn( $10^{17}/\text{cm}^3$ ) 掺杂。图 7.15(c)给出了折射率渐变的分别限制异质结构(GRIN-SCH)，其中波导的折射率渐变是通过使多重包层的带隙能量按小台阶状增加来达到<sup>[32]</sup>。GRIN-SCH 结构比 SCH 结构能更有效地限制载流子和光场。因而，使阈值电流密度降低。这些结构的波导损耗也很低，可用它制造高输出功率且窄激光线宽所需的长腔。

尽管  $\text{In}_x\text{Ga}_{1-x}\text{As}$  在  $x=0.53$  时与 InP 的晶格是匹配的，但当  $x<0.53$  时的张应变和  $x>0.53$  时的压应变都可引起双轴应变。如图 7.16 所示。当  $x<0.53$  时，晶格在生长平面( $x, y$ )的方向被拉伸，结果晶格常数在  $z$  方向减小。相反，当  $x>0.53$  时，晶格在生长平面内被压缩，晶格常数沿  $z$  方向被拉伸。可以假设<sup>[52]</sup>，在双轴应变情况下，价带结构可得到修正，而导带断续得以增加<sup>[33]</sup>。图 7.17 中给出了  $\text{In}_x\text{Ga}_{1-x}\text{As}$  修正了的能带结构，这种修正源于压应变和张应变，同时，保持发射波长在  $1.5\mu\text{m}$ 。在无应变的情形下(图 7.17 中图)。重空穴和轻空穴在布里渊区中

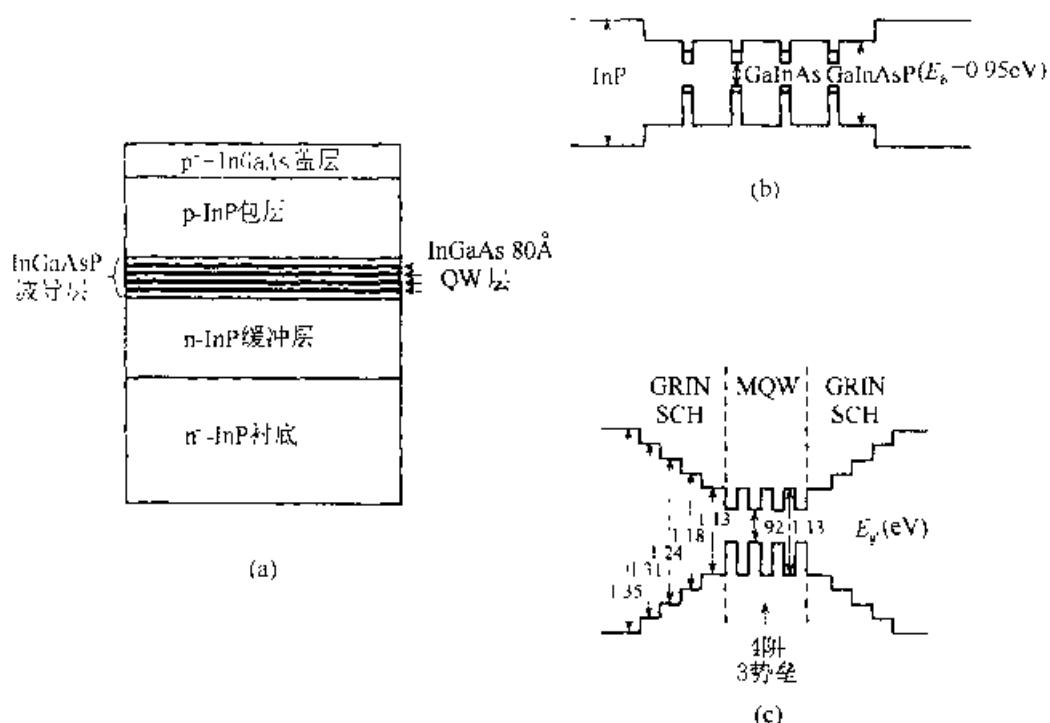


图 7.15 (a)一个 InGaAs/InGaAsP 多量子阱激光器结构的剖面图;(b)(a)中示出的 SCH MQW 层的能带示意图(引自 Koren 等人之文献[31]);(c)GRIN-SCH-MQW 结构的能带图,这种结构用几层带隙逐渐增加的薄层来近似得到折射率的渐变

(引自 Kasukawa 等人之文献[32])

心是简并的。重空穴的有效质量远远大于导带电子的有效质量,而轻空穴的有效质量则与电子的相近。光学跃迁发生在导带与重空穴带之间。在压应变情况下(图 7.17),重空穴带上移。在  $x-y$  平面内重空穴的有效质量减小。光学跃迁为横电(TE)模。在双轴张应变的情况下(图 7.17),轻空穴带上移,面内有效质量保持很小,光学跃迁为横磁(TM)模。小的空穴有效质量减小了粒子数反转所需的载流子密度。另外,空穴子带的分裂减小了非辐射俄歇复合和价带内的吸收。这些效应,连同压应变层中导带断续的增强,减小了激射阈值电流,提高了应变层 MQW 激光器的量子效率。

为估计阈值电流密度的减小情况,我们考虑对称的导带和价带结构,这是一种最好的情形,即  $m_v = m_c = m$  ( $m_v$  和  $m_c$  分别为空穴和电子的有效质量)。对于一个具有对称能带结构的量子阱激光器,每个阱的透明载流子面密度  $N_{tr}^s$ ,为<sup>[34]</sup>:

$$N_{tr}^s = \frac{4\pi mkT}{h^2} \ln(2) \quad (7.23)$$

上式的推导见附录 7.B。对于一个具有非对称能带结构(即  $m_v > m_c$ )的量子阱激光器,通过对数值解进行拟合,每个量子阱的透明载流子面密度  $N_{tr}^s$  可近似用一个公式表达如下:

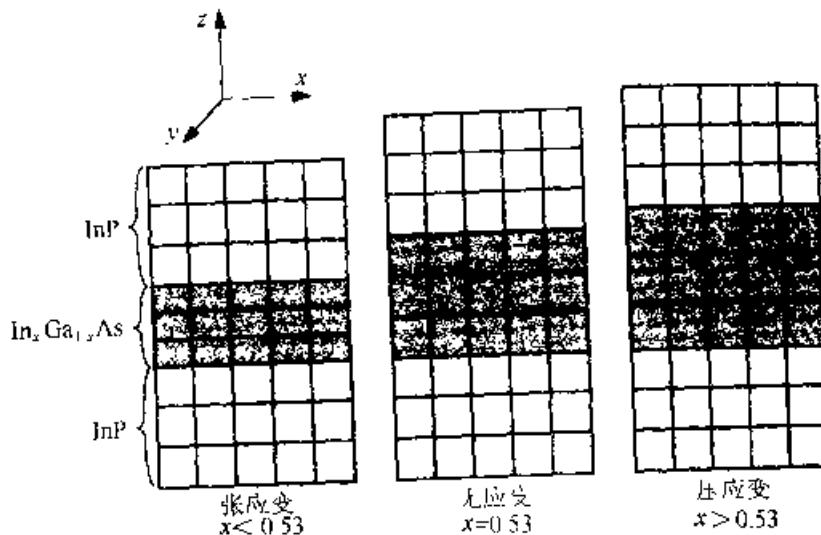
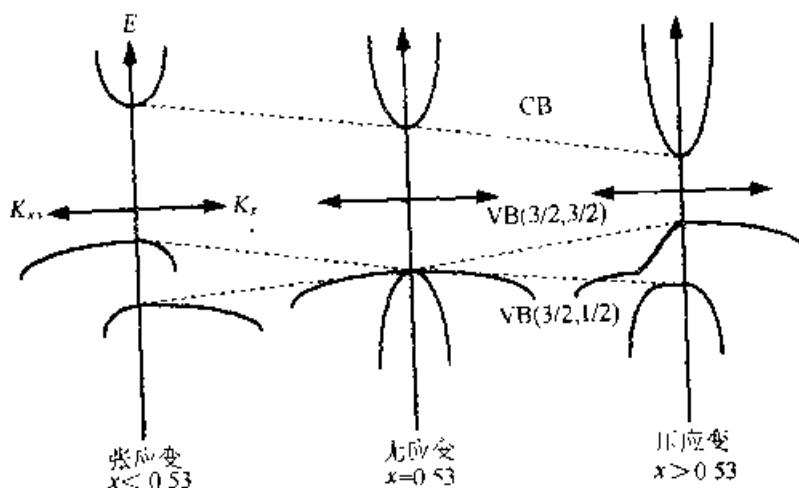


图 7.16 无应变层和有应变层的晶格结构示意图

图 7.17 张应变和压缩下  $\text{In}_x\text{Ga}_{1-x}\text{As}$  的修正的能带结构

$$N_u^a = \left[ \sqrt{\frac{m_v}{m_e}} + \frac{2m_e}{m_e + m_v} \right] \frac{N_u^a}{2} \quad (7.24)$$

假设  $m_e = 0.041m_0$ ,  $m_v = 0.70m_0$  ( $m_0$  为自由电子的质量)。无应变量子阱激光器的透明载流子面密度比应变量子阱激光器的要大一个因子 3。

在附录 7.B 中也表明, 由于态密度是台阶状变化, 导带、价带中最低能量子带间的跃迁所产生的每个量子阱的增益是有限的, 并由下式给出<sup>[34]</sup>:

$$G_{\max} = \frac{8\pi^3 h\nu |M_1|^2}{\epsilon_s v_g h^3} \frac{m_e m_v}{m_e + m_v} \frac{1}{L_z} \quad (7.25)$$

其中  $|M_1|^2$  为跃迁矩阵元,  $\epsilon_s$  为材料的介电常数。这样, 具有非对称导带和价带结构的激光器比具有对称能带结构的激光器最大增益还大一倍。即  $G_{\max}^a = 2G_{\max}^s$ 。透明时的最大微分增益为:

$$\frac{dG_{\max}}{dN} = \frac{\pi^2}{\ln(2)} \frac{v |M_\tau|^2}{\epsilon_s v_g kT} \quad (7.26)$$

方程(7.26)的推导在附录7.B中给出。随着电子和空穴有效质量之间的不对称性的减小，微分增益在增加，并在  $m_e = m_v$  时达到最优。由于在应变层量子阱激光器中微分增益增大，调制带宽将会增强，线宽增强因子减小，因而线宽和频率啁啾将会减小。而且，阈值电流在体激光器中正比于  $T^{3/2}$ ，在应变层量子阱激光器则只能正比于  $T$ [方程(7.23)]。因而，应变层量子阱激光器的阈值电流的温度敏感性会减小。

图7.18总结了发光波长均为  $1.5\mu\text{m}$  的压应变和张应变单量子阱激光器，每个量子阱的阈值电流密度的报道值<sup>35</sup>。与无应变量子阱激光器相比，阈值电流密度明显小得多。当压应变增加时，面内空穴有效质量单调下降，对于阈值电流的减小产生作用。然而，当压应变较大时，为维持波长  $1.5\mu\text{m}$  的光发射，InGaAs阱的厚度变得非常薄。结果，阱厚度的波动就会变得较大，从而减小增益。于是，就需要阈值电流密度大一些。这个效应可通过用较宽带隙的InGaAsP来做厚度较大的量子阱来补救。

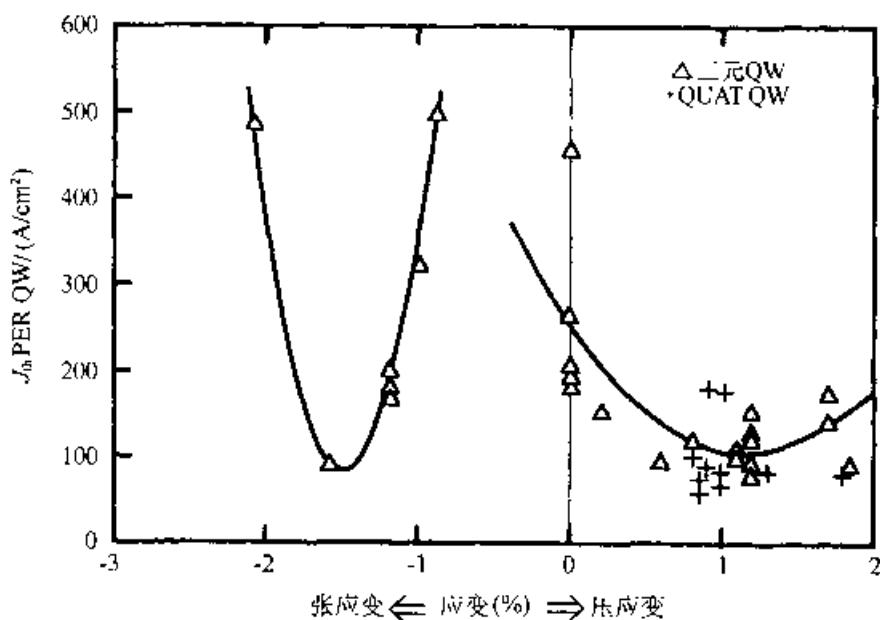


图 7.18  $1.5\mu\text{m}$  波长 InGaAsP QW 激光器中阈值电流密度随应变的变化关系的总结

注意，在图7.18中，对于应变为0到1%之间的张应变层，量子阱激光器没有低阈值区。这是由于下述事实造成的：对于特定的阱厚，出现能带混合效应，使重空穴有效质量增加。当应变增加超过1%，而且阱厚也同时增加，轻空穴和重空穴带的分离足可，以减小能带混合，结果，便减小了空穴质量。于是，阈值电流显著减小。对于较大的应变，阱厚会宽于临界厚度，在一些情况下会引起失配位错。因而，阈值电流密度的增加可归因于晶体中大应变导致的缺陷的生成。

除了阈值电流密度的减小以外，有报道表明，应变层 MQW 激光器的量子效率高达 82%，而且阈值电流随温度的增加很小<sup>[36]</sup>。而且，1.3 μm 应变层 MQW 激光器的功率可高达 380 mW，而 1.5 μm 应变层 MQW 激光器的功率则可超过 300 mW<sup>[38, 37]</sup>。采用 MQW 和应变层 MQW 结构，许多高级激光器和光子集成电路 (PIC) 就有可能用于未来各种系统应用中。这一点在下面的小节中会有描述。

## 7.4 高级激光器结构和光子集成电路 (PIC)

### 7.4.1 亚毫安阈值电流激光器

为了用应变层量子阱获得低的阈值电流，激光器腔的体积一定要尽量减小，因而，窄线条和短腔长是必须的。因为短腔长激光器中，反射镜损耗占主要地位，所以要采用高反射率反射镜（用电介质镀膜以减小镜面损耗）。另外，采用掩埋式异质结构 (BH) 或半绝缘平面掩埋式异质结构 (SI-PBH) 可将漏电流减至最小。对于压应变和张应变量子阱激光器，阈值电流可小于 1 mA<sup>[38~41]</sup>。表 7.1 总结了文献中报道的结果。在 100 °C 时阈值电流可以保持在 10 mA 以下。

表 7.1 亚毫安阈值电流激光器小结

结 构	$I_{th}/\text{mA}$	应 变	参考文献
DCPBH	0.9	压应变	38
SI-BH	0.9	压应变	39
BH	0.88	压应变	41
SI-BH	0.8	压应变	40
SI-BH	0.62	张应变	40

### 7.4.2 无冷却激光器

应变层量子阱激光器中小阈值电流也使由焦耳热引起的结温升高较小。加上俄歇复合的减小，阈值电流应该随温度升高增加很慢。这就产生了不需要在外界温度较高时用帕尔帖热电冷却器对结进行降温的激光器。这样的激光器可降低成本，提高可靠性。

常规的四元 InGaAsP 量子阱激光器已经就阱的数量、垒的成分、应变大小和阱厚等方面进行了优化以提高激光器在 -40 °C 到 85 °C 温度下的工作性能。这个温度范围是通信设备在自然环境下的工作温度范围。InGaAsP 激光器在高温下的困难是由于当温度升高时，电子容易通过势垒层漏掉的缘故，这是因为 InGaAsP 量子阱的导带偏移较小 ( $\Delta E_c = 0.4 \Delta E_g$ )。最近发现，与 InGaAsP 量子阱相比，AlGaInAs 应变层量子阱的导带偏移要大 ( $\Delta E_c = 0.7 \Delta E_g$ )<sup>[42]</sup>。所以，即使在高温下，

电子也可以限制在阱中。另外，AlGaInAs 材料系统也可以生长 GRIN-SCH 结构，因为 Al 和 Ga 的离子半径相近，进而可较好地限制光场。采用  $1.3\mu\text{m}$  AlGaInAs 压应变量子阱材料制造类似于图 7.5(b) 中所示的脊形波导结构激光器，其中脊形波导宽  $3\mu\text{m}$ ，腔长  $300\mu\text{m}$ <sup>[42]</sup>。后端面涂镀膜以提供 70% 的反射率。图 7.19 给出了不同温度下输出光功率随注入电流变化的特性。室温下的阈值电流为  $14\text{mA}$ ，当  $100^\circ\text{C}$  时增至  $35\text{mA}$ 。注意，微分量子效率当温度在  $25\sim100^\circ\text{C}$  变化时的减小量小于  $1\text{dB}$ 。最大本征  $3\text{dB}$  带宽在  $25^\circ\text{C}$ 、 $65^\circ\text{C}$  和  $85^\circ\text{C}$  时的测量值分别为  $19.5\text{GHz}$ 、 $15\text{GHz}$  和  $13.9\text{GHz}$ 。和常规 InGaAsP 激光器相比，高温性能的提高是很明显的。

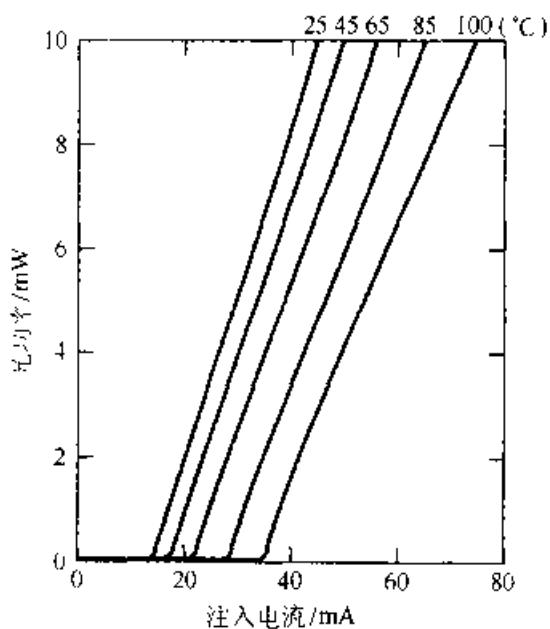


图 7.19 在不同温度下， $1.3\mu\text{m}$  AlGaInAs 应变 QW 脊形波导激光器的光-电流特性  
(引自 Zah 等人之文献[42])

### 7.4.3 高速 DFB 激光器和窄线宽激光器

具有窄线宽和低啁啾的高速激光器的设计要求对各种材料和器件参数进行优化，如同在 7.2.5 节和 7.2.6 节中讨论的那样。典型的优化过程包括：

1. 采用量子阱结构和在 DFB 激光器中应用波长去谐(detuning)以增加微分增益。
2. 将“空间烧孔”最小化以减小非线性增益系数。
3. 采用短腔以缩短光子寿命。

引入压应变和张应变来增加微分增益，量子阱结构的性能可进一步增强。然而，对于量子阱激光器，一定要考虑载流子通过光学限制层的输送时间和载流子从有源阱的逃逸时间引起的效应<sup>[43]</sup>。这些将使高速激光器的阱和垒厚度得到优化。最后，要尽量减小激光器的 RC 时间常数。RC 时间常数是串联电阻和芯片电容的函数。因为一个正偏结的串联电阻小于几个欧[姆]，芯片电容则成为 RC 时间常数主要影响因素。

图 7.20 示出了几种可用于高速电路中具有低电容值的 DFB 激光器的结构。图 7.20(a)是一个腐蚀形成的台面掩埋式异质结构激光器(EM-BH)，其中，在腐蚀的沟槽内又再生长一层半绝缘的 Fe-InP 层<sup>[44]</sup>。为了减小芯片电容，除去作接触的电极条外，在整个芯片上盖一层电介质膜，使得金属接触被限制在条形台面顶部。图 7.20(b)是另一种腐蚀台面平板状的掩埋式异质结构(EM-FBH)，它没有再生长层<sup>[45]</sup>。图 7.20(c)所示结构具有非常低的电容，它是一种自对准的压缩台面

结构(SA-CM)<sup>[44]</sup>。采用聚酰亚胺层来减小寄生电容已经相当普遍,因为这种工艺比图 7.20(a)和图 7.20(c)所示的再生长工艺简单。图 7.20(d)示出了一个腐蚀台面 BH 结构 DFB 激光器(PIQ-BH)。它用一层 Hitachi 化学 PIQ 6200 聚酰亚胺层平坦化<sup>[45]</sup>。用体材料作有源层的 DFB 激光器的最大带宽为 17GHz,而用 MQW 作有源层的激光器则为 22.5GHz,这些激光器都可以通过优化有源区掺杂和波导宽度,以及通过波长去谐来获得<sup>[46]</sup>。在短波长区域, GaAs/AlGaAs MQW 激光器失效频率高达 30GHz<sup>[47]</sup>。

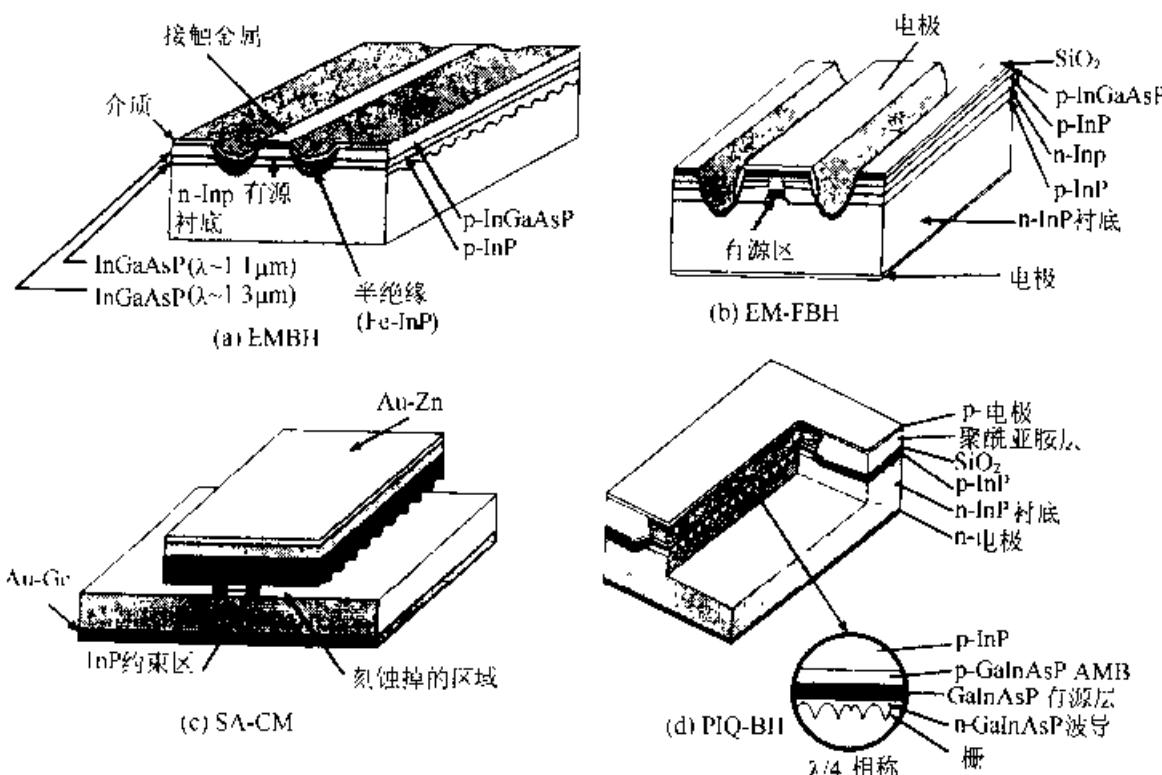


图 7.20 各种高速 DFB 激光器的结构

理论上讲, QW 激光器有更高的微分增益,这使线宽增强因子较小,波导损耗较少,因而可用较长的激光腔。这些特性都有助于减小带宽。在实践中,具有标准长度 300μm 的 DH DFB 激光器的带宽为 3MHz,压应变多量子阱 DFB 激光器的带宽窄到 70kHz,激光器带宽就在这个范围中。

#### 7.4.4 与外调制器集成的 DFB 激光器

由于激光器啁啾宽度直接正比于调制频率[见方程(7.18)],采用直接电流调制的 DFB 激光器,当比特率很高( $>2.5\text{Gbit/s}$ )时在通常光纤里的传输距离受到限制,如 7.2.6 节所述。这是由于光纤中 1.55μm 波长区的色散所致。激光器频率啁啾可通过使用外调制器来减小。最有吸引力的调制器是电吸收(EA)调制器,它

可以和 DFB 激光器进行单片集成。

电吸收调制器的工作原理基于量子限制 Stark 效应(QCSE)，它起源于带边附近吸收系数发生很大的场致变化。MQW 材料在小偏压下产生大的 QCSE，所以，它在调制器的应用中受到青睐<sup>[51]</sup>。EA 调制器在小的电压驱动下高速工作时，啁啾很小( $\alpha \approx 1$ )。EA 调制器的另一个好处是，它可以和 DFB 激光器集成。这不仅减小尺寸和成本，而且也能提高性能。例如，光输出实质性地增加，因为和分立的调制器相比，插入损耗非常小。长时间的可靠性也通过封装的坚固性而提高。

通过腐蚀和再生长，以及通过选区生长技术已经实现了激光器和 EA 调制器的单片集成<sup>[51]</sup>。对于 MQW 结构，EA 调制器的带隙的期望值可通过量子阱的厚度及成分的设计来获得。用 MOCVD 进行选区生长时，衬底被有图形的氧化物掩模所覆盖，这种选区生长的生长率随着氧化物图形的尺寸大小而变化。所以，通过变化氧化物图形的尺寸，在一次外延生长中可以得到不同的量子阱厚度。这个方法是非常诱人的，因为阱厚在过渡区是渐渐变化的，可以使激光器和调制器近乎完美地耦合起来。

图 7.21 是用 MOCVD 选区生长制成的样品的光荧光(PL)的峰值波长<sup>[51]</sup>。测量是在掩蔽和不掩蔽区域里沿光轴方向做出的。样品包含掩蔽区，其中， $W_g = 15\mu\text{m}$ ，三种氧化物掩模宽度  $W_m$  分别为  $15\mu\text{m}$ 、 $20\mu\text{m}$  和  $25\mu\text{m}$ 。如图所示，未掩蔽区中 PL 峰值波长是  $1.48\mu\text{m}$ ，掩蔽区中，这个波长依赖  $W_m$ ，从  $1.53\mu\text{m}$  变到  $1.55\mu\text{m}$ 。DFB 激光器制造在掩蔽区，调制器制作在非掩蔽区。图 7.22 给出了一个 MQW 电吸收调制器与一个 DFB 激光器集成后的结构。器件是基于一个分别限制异质结构(SCH) InGaAs/InGaAsP MQW，和一个半绝缘掩埋式异质结构，它们由三步低压 MOCVD 工艺生长。调制器吸收层和激光的有源层构成了一个连续的具有不同厚度和组分的 SCH-MQW 结构，调制器-激光器部分的局部剖面图示于插图中。注意到，窗口部分在调制器末端而附近，窗口部分对于减小末端面反射是必须的，因为端面反射可能增加调制时的频率啁啾。

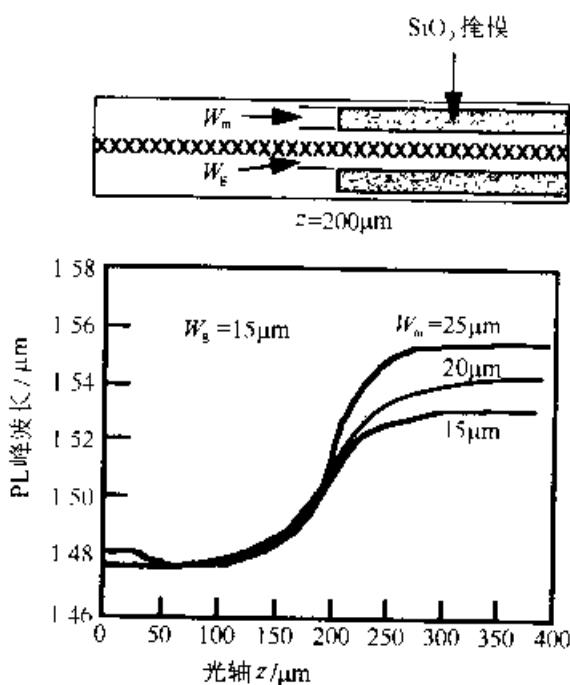


图 7.21 用 MOCVD 所作的选区生长中，掩蔽区和未掩蔽区中沿光轴方向测量的荧光峰波长的分布(引自 Aoki 等人之文献[51])

在各种激光器偏置电流下的调制器和激光器集成体的静态特性示于图 7.23。

集成的激光器总长度为  $600\mu\text{m}$ (激光器  $400\mu\text{m}$ 、调制器  $150\mu\text{m}$ 、隔离距离  $50\mu\text{m}$ )。调制器零偏时的阈值电流和微分效率分别为  $17\text{mA}$  和  $0.1\text{W/A}$ 。观察到的消光(开-关)比为  $-1\text{V}$  下  $15\text{dB}$ ,  $-2\text{V}$  下  $28\text{dB}$ 。对激光器光功率的依赖非常低, 可允许这个器件用一个 EA 调制器在高功率下工作。采用移色散光纤进行了  $500\text{km}$  的传输实验, 两个掺铒光纤放大器用作推举器和前置放大器, 而另外五个用作线内放大器。可获得  $10\text{Gbit/s}$  下无差错传输, 而色散引起的问题可以忽略。

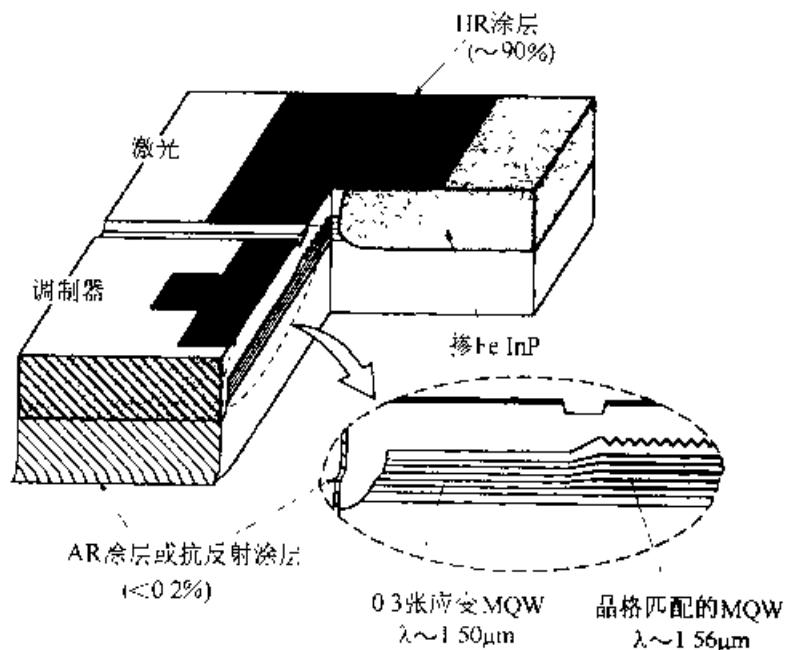


图 7.22 用选区生长制造的 MQW DFB 激光器与电吸收调制器  
集成结构的示意图(引自 Aoki 等人之文献[51])

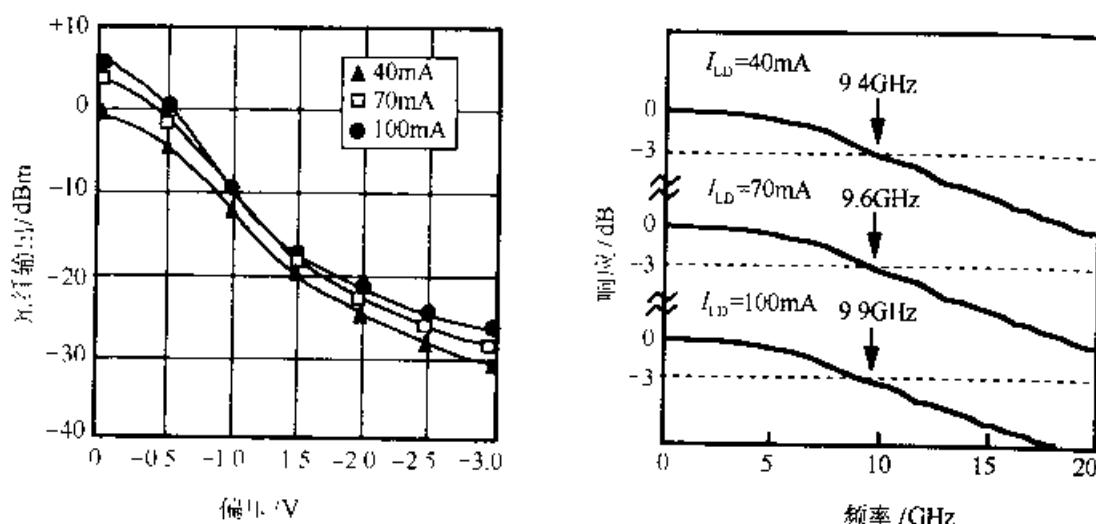


图 7.23 一个 EA-DFB 集成激光器二极管的静态特性。  
插图给出了激光器的偏置电流(引自 Aoki 等人之文献[51])

### 7.4.5 可调谐激光器

**光栅调节外腔激光器** 构建一个可调谐激光器的最常规的方法是在外腔中使用半导体激光器芯片作为增益介质，而用衍射光栅兼作镜子和窄带滤波片。这种配置示于图 7.24 中。激光二极管的一个面镀以抗反射膜，从该端来的光线由透镜准直。另一个解理面和衍射光栅构成外腔。激射频率通过转动光栅调节。通过光栅的轴向移动实现细调，或者加一个可调节的移相片。原则上，在增益谱的整个范围内都可调，但实际上，可获得的最大调节范围是以  $1.5\mu\text{m}$  为中心的  $55\text{nm}$  范围内，这是由半导体芯片中所能克服的系统总损耗的增益所限制的。透镜的光耦合效率是一个主要限制。由于采用长腔，这种调谐外腔激光器的线宽非常窄，约为  $10\text{kHz}$ 。采用优化了的 GaAs/AlGaAs 单量子阱激光器可获得以  $0.8\mu\text{m}$  波长为中心，宽度为  $105\text{nm}$  的极宽的调谐范围。

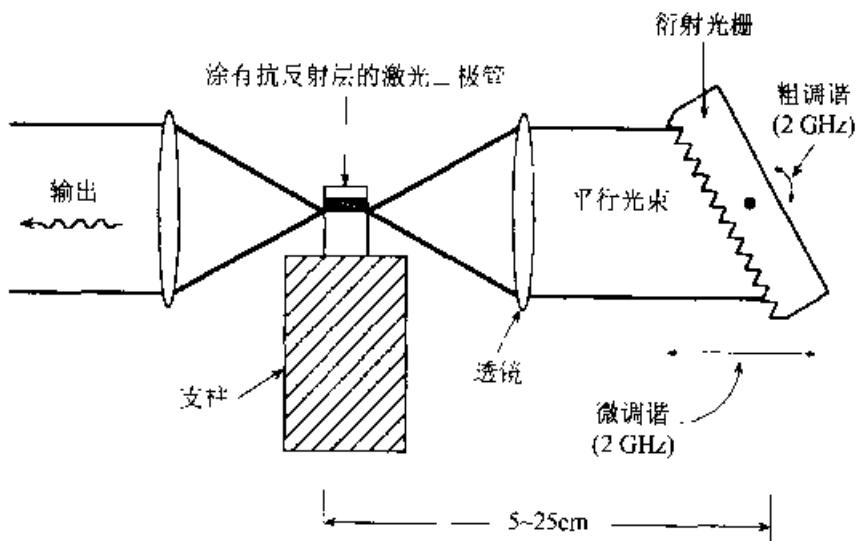


图 7.24 一个用光栅调谐外腔的激光器的示意图

**多电极 DFB 激光器** 半导体激光器中的高注入载流子密度( $10^{18}/\text{cm}^3$ )减小了波纹区(布拉格区)的有效折射率，因而降低了激射波长。然而，工作在阈值区以上的单电极 DFB 激光器，大多数的注入载流子复合以产生了光子，导致载流子密度增加很少，这就使激射波长的变化较小。可采用两个或三个电极的激光器，其中，一个电极通大电流，另一个电极通小电流，从而可以提高波长调谐范围<sup>[52~54]</sup>。图 7.25 给出了示意图。

波长调谐的工作原理可作如下定性理解：DFB 激光器的不对称结构中，抗反射输出端附近区域的光场较高，而且波长主要由该区的有效折射率决定。该部分的电流密度等于或稍小于阈值电流密度时，它可以成为一个布拉格反射器。另外，由于泵浦水平较低，注入载流子对光子产生的贡献不显著，导致折射率的变化较大，因而可产生较大的波长调谐。增益是通过其它部分在远高于阈值之上的泵浦

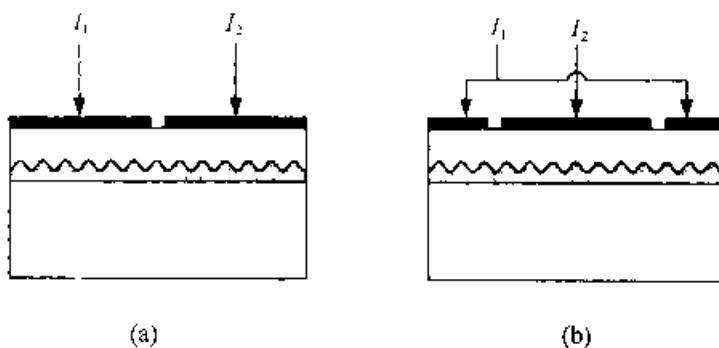


图 7.25 二电极(a)和三电极的波长可调谐 DFB 激光器(b)的示意图

来产生的。已有实现了连续的波长调谐范围  $1\sim2\text{nm}$  的报道<sup>[52]</sup>。

一种三电极、 $\lambda/4$  相移 DFB 激光器也实现了良好的可调谐性<sup>[53]</sup>。两个外侧的电极与一个公用电源连接，而中央电极则加上不同的电流(参见图 7.26)。通过改变这两个电流的比例，实现了  $1.9\text{nm}$  的连续可调范围。由于该可调谐激光器采用了长腔( $1.2\text{mm}$ )，其线宽仅为  $500\text{kHz}$ 。

可调谐 DFB 激光器的优点是它容易制造。不利之处是调谐范围有限，这是因为调谐部分一定要工作在阈值以下。当调谐部分的偏压高过阈值时，两个部分能够独立地发生振荡，因而出现模式的竞争，从而引起激光输出在不同的模式之间的切换。

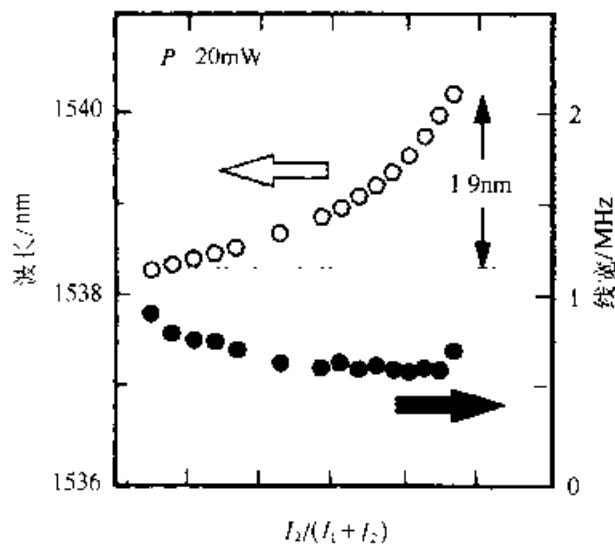


图 7.26 一个三电极 DFB 激光器的波长调  
谐特性和线宽特性(引自 Kotaki 等人之文献[53])

另一种方法是使用双波导 DFB 激光器结构<sup>[55]</sup>(参见图 7.27)。在波导中，有源层之上是调谐层，调谐层与有源层绝缘隔离，并独立地施加偏压。由于调谐层中载流子仅仅改变波导的折射率，因而连续地调谐不会引起模式之间的切换。有源层电流恒定而调谐层电流变化的情况下，可获得的连续调谐范围达  $7.1\text{nm}$ 。当两个电流都调至能维持输出功率恒为  $1\text{mW}$  的情况下，可获得的调谐范围为

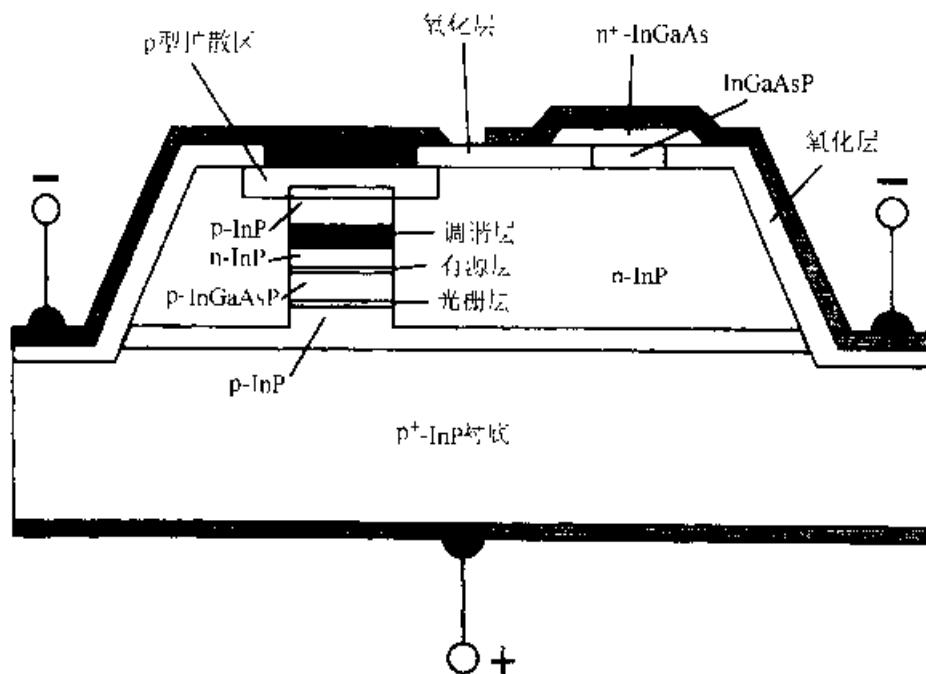


图 7.27 一个可调谐的双波导激光器结构的示意图(引自 Illek 等人之文献[55])

5.4nm。

**多电极 DBR 激光器** 通过将激光腔内部的无源波导(宽带隙材料)中的布拉格区同有源区(窄带隙材料)分开, 波长调谐范围能够扩大<sup>[56~58]</sup>。图 7.28 给出了波长可调的 DBR 激光器的示意图。通过选择腐蚀和再生长工艺, 有源层在波导层之上并略微伸出。波纹区作为可调谐 DBR。波长的调谐通过电流注入 DBR 区来实现。布拉格无源区中的注入载流子密度可以很高以增加折射率的变化, 因为无源区中载流子不会对增益有所贡献。

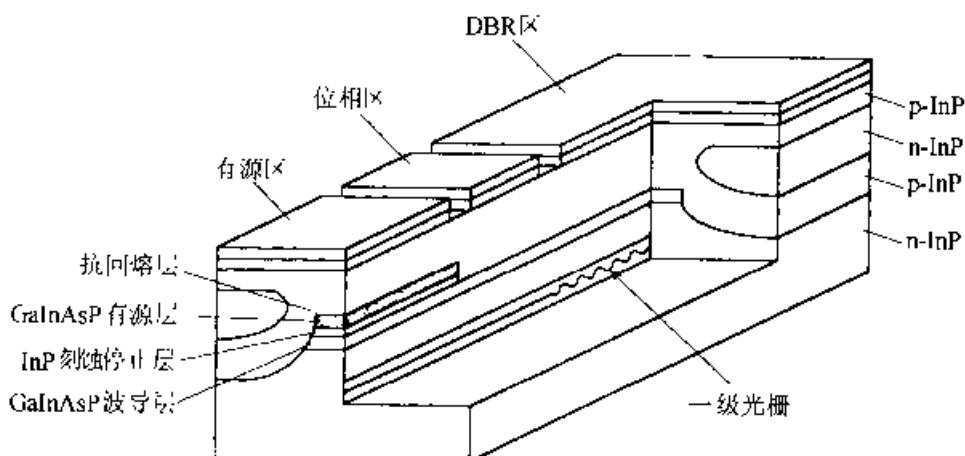


图 7.28 一个波长可调谐的三电极 DBR 激光器的示意图

布拉格反射器在某一特定的波长带(终止带)里具有很高的反射能力, 终止带通常 2nm 到 4nm 宽, 最靠近带的中心且同时满足  $2m\pi$  往返程相位条件的模式将产生激射。因而, 在波导中引入一个位相区, 它独立地受注入电流的控制, 激射波

长可在每个布拉格波长附近调谐。理论工作可参见文献[59]。通过合适的设计，以及通过有源区、布拉格区和位相部分的三个电流的独立调节，可得到 8~10nm 的准连续波调谐范围。

最后，已经制出了一种具有 50GHz 的精确的信道隔离的两部分 DBR 激光器<sup>[60]</sup>。图 7.29 给出了光学频率调谐特性随调谐电流的变化关系。

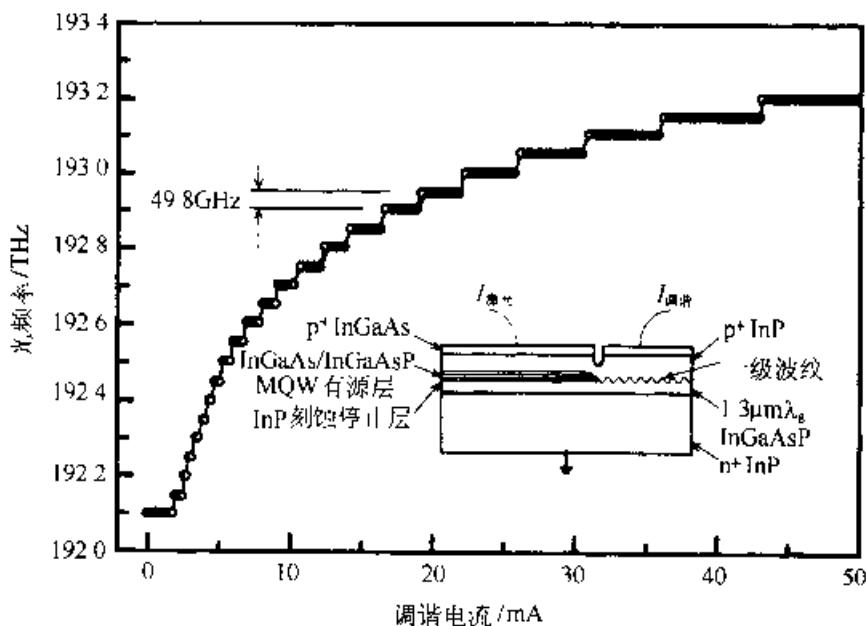


图 7.29 每个频道都为 50GHz 的 DBR 激光器的频率调谐特性(引自 Shankaranarayanan 等人之文献[60])

10nm 的调谐范围差不多就相当于按方程(7.20)和方程(7.21)所预计的最大范围。为了进一步增加调谐范围，三个独立可调谐的 DBR 激光器连同一个输出混合器和一个放大器单片集成到一个芯片上<sup>[61]</sup>，如图 7.30 所示。无源波导将三个激光器的输出汇集起来，放大器将输出功率进行放大增强。总的调谐范围延展到 21nm。

可调谐 DBR 激光器已用在光了集成电路设计制造的平衡相干接收器中，作为本地振荡器。关于 PIC 相干接收器的讨论详见 7.5.4 节。

#### 7.4.6 多波长 DFB 激光器阵列

单模光纤提供了大于 30THz 的非常宽的传输带宽。传统的采用电子多路复用器的时分复用(TDM)系统被限制到约 40GHz 的带宽上，超过这个范围则必须使用光学系统来完成信号的多路复用和解复用。能以这个速度工作的电路非常昂贵，因而阻碍了超高速 TDM 系统的使用。另一方面，通过波分复用(WDM)增加光纤中的传输带宽却相当简单。如果这种方法和掺铒光纤放大器(EDFA)一起使用以淘汰电子交换器，成本效益也很好。另外，多波长工作能够切换并选择路径发送信号以允许光学网络的重新配置。

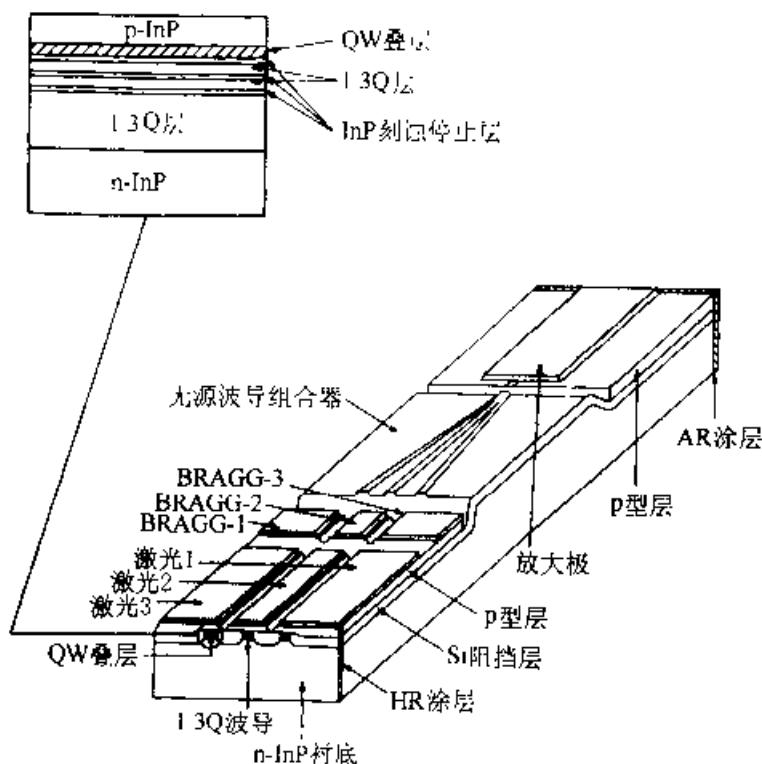


图 7.30 一个调谐范围扩展到 21nm 的集成可调谐激光器的示意图(引自 Koren 等人之文献[61])

多波长 DFB 激光阵列在多波长光学网络中作光源是很吸引人的<sup>[62, 63]</sup>。在网络中, 对于多波长信号以最小的衰减通过许多窄带光学信道滤波片进行传播而言, 信道波长和信道间隔的精确性是极其重要的。使用前面讨论的可调谐激光器很难满足精确性要求。然而, 多波长 DFB 激光器阵列却能应付这种挑战<sup>[64]</sup>。

为了使 DFB 激光器阵列更易封装, 光子集成电路(PIC)技术能够基于 InP 衬底上的阵列波导设计将激光器阵列和一个功率混合器(星形连接)集成起来<sup>[65~67]</sup>。因而, 任何一个输出波导都容纳了激光器阵列的所有波长。为了克服星形连接所固有的分路损耗, 可与输出波导一起串联一个放大器。仅需一个单模光纤输出端来耦合多波长光信号进入传输光纤。这就能进行简单而牢固的封装。

已经制出了具有 21 个波长的集成激光器阵列<sup>[65]</sup>。图 7.31 给出了一个 20 个 DFB 激光器阵列的改进设计<sup>[66]</sup>。图 7.31(a)是激光器、混合器和放大器的俯视图, 图 7.31(b)则是完整芯片的照片, 它显示了顶部接触区和输出波导。对于该 20DFB 激光器, 每两个激光器有相同的波长。这种波长冗余对提高芯片的成品率是很有帮助的<sup>[64, 66]</sup>。波长从 1544nm 到 1562nm, 在 EDFA 的增益带宽之间。信道间隔为 2nm。星形耦合器通过无源波导阵列将 DFB 激光器阵列的输出混合起来, 然后耦合到 4 个输出波导中。两个输出波导包含一个光学放大器以补偿星形耦合器的分路、衍射损耗和波导的损耗。两个无源输出波导作为备用。

无源波导结构是厚 0.2μm 的 InGaAsP 层, 其成分对应着 1.25μm 的带隙。—

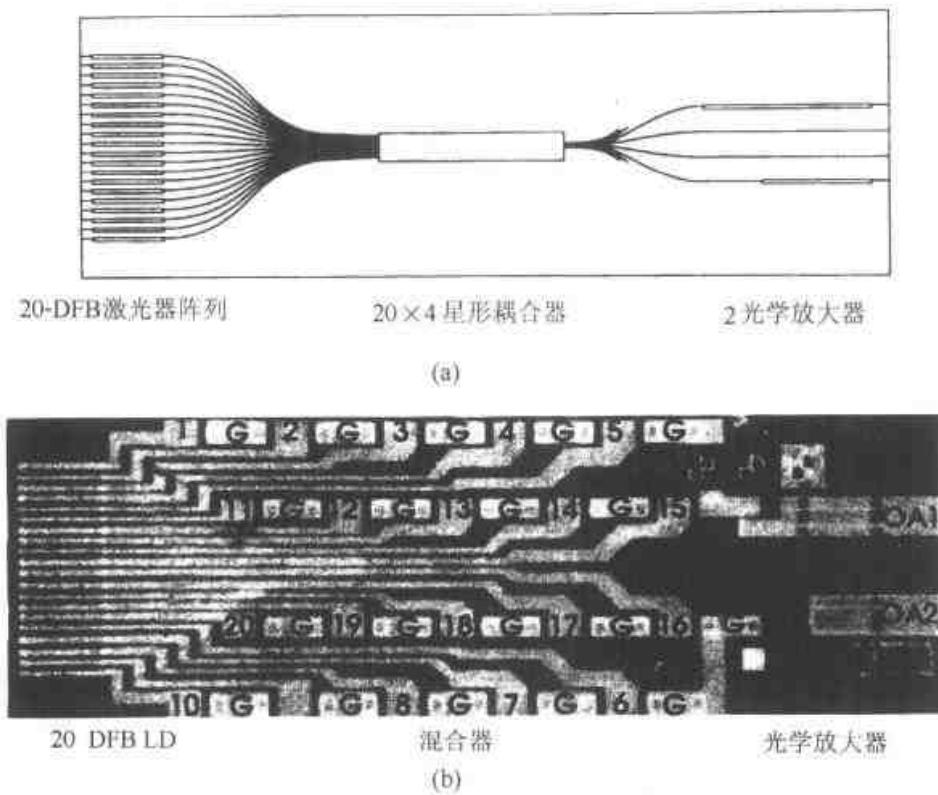


图 7.31 一个 20 个 DFB 激光器的阵列的设计。(a) 激光器、混合器、放大器外观的顶视图; (b) 一个完整的芯片的照片, 它给出了顶部、接触垫和输出波导  
(引自 Zah 等人之文献[67])

列  $3\mu\text{m}$  宽的波导在腐蚀后和再生长的半绝缘 InP 层一起掩埋起来。在 DFB 激射区, 有源层包括 6 个生长在波导层顶部的应变补偿的量子阱。有 10 种不同纹距的光栅来满足 DFB 激光器的需要, 用电子束直写刻出来。每个 DFB 激光器  $370\mu\text{m}$  长, 激光器之间的间距  $50\mu\text{m}$ 。

两个输出推挽放大器分别为  $590\mu\text{m}$  和  $880\mu\text{m}$  长, 用来提供不同的最大增益和饱和功率水平。与以前描述的调制器相类似, 采用窗口结构来减小端面反射, 而这种反射是会降低激光器性能的。端面镀一层抗反射膜来进一步减小端面的反射。整个芯片尺寸为  $4.3\text{mm} \times 1.4\text{mm}$ 。

图 7.32 给出了该集成激光器阵列的波长和阈值电流的分布<sup>[67]</sup>。波长线的斜率表明, 信道之间的波长间隔为  $1.6\text{nm}$  (或频率间隔  $200\text{GHz}$ ), 信道间隔的精确性为  $0.2\text{nm}$ 。绝对波长变化为  $\pm 1\text{nm}$ 。读数、配准精确的波长可由附加的温度调谐得到。图 7.33 给出了 10 个波长的输出谱<sup>[67]</sup>。注意, 在图 7.32 中, 阈值电流分布非常均匀。额定阈值电流约为  $25\text{mA}$ 。当在  $60\text{mA}$  的电流驱动下, 每信道进入单模光纤的输出功率为  $-13 \pm 1.5\text{dBm}$ 。输出功率可由芯片上的光学放大器得到增强。 $590\mu\text{m}$  长的放大器在  $200\text{mA}$  偏置电流下, 每波长信道的输出功率可达  $0\text{dBm}$  ( $1\text{mW}$ )。在激光器阵列中, 信道间隔的精确性和阈值电流的均匀性可认为起因于

邻近效应，即材料在局部区域比在整个晶片区域更均匀。

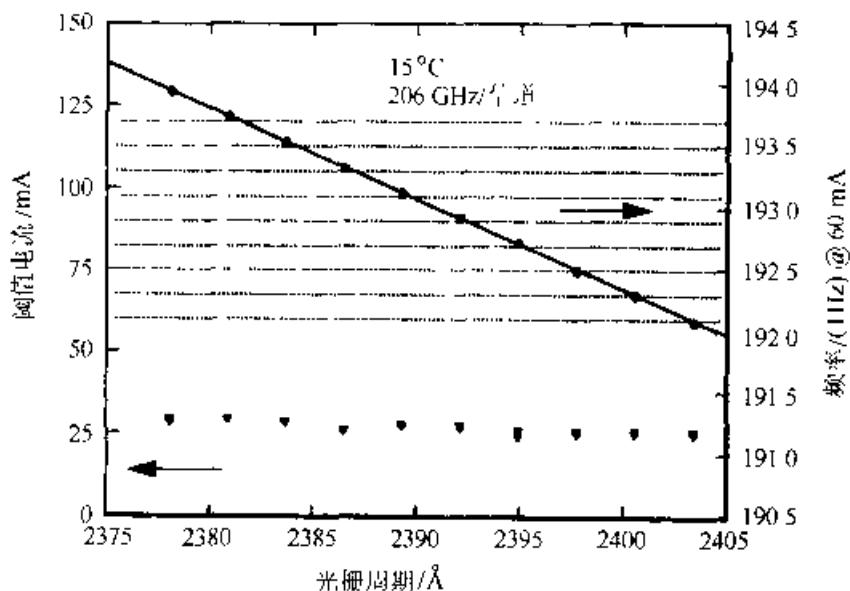


图 7.32 集成激光器阵列的波长和阈值电流的分布(引自 Zah 等人之文献[67])

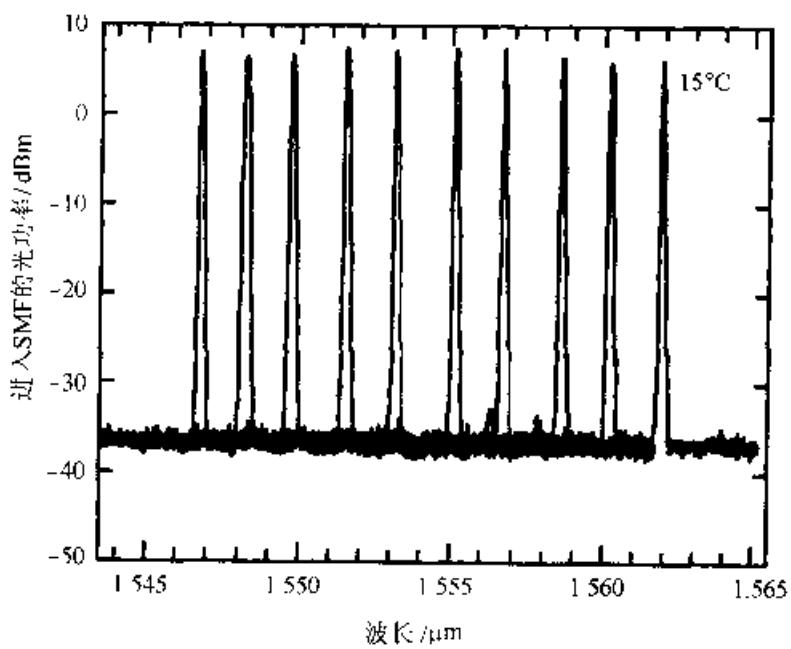


图 7.33 一个 10 波长集成激光器阵列的输出谱(引自 Zah 等人之文献[67])

## 7.5 光接收器和光电集成电路

### 7.5.1 接收器光电集成电路

在过去的十年中，光电集成电路(OEIC)的研究集中在光接收器。在最简单的形式下，光接收器用光探测器将信号转换为电信号，然后用低噪声电子前置放大

IC 将电信号放大至某个值以便作进一步信号处理。在化合物半导体中，有许多光探测器和晶体管技术供电路设计者和工艺工程师来实现 OEIC 光接收器。我们将简单地考虑一下如何选择适于单片集成的光探测器和晶体管。

**光探测器** 光探测器的作用是将输入的光信号有效地转化为电信号。光探测器有多种<sup>[7]</sup>，包括肖特基势垒(SB)二极管，金属-半导体-金属(MSM)光二极管，p-i-n 光二极管，雪崩光二极管(APD)和异质结光晶体管(HPT)。

从实现的角度来看，SB 二极管和 MSM 探测器或许是最简单的。SB 二极管用金属和半导体之间的肖特基势垒来构成一个耗尽区，在这里可进行光吸收。MSM 是一个具有交指型电极的平面器件，因而电容很低。SB 和 MSM 器件都有高速性能，其中，MSM 探测器能以一些量子效率换取带宽。因为这两种探测器非常容易和平面电子器件进行集成，所以都已用于接收器 OEIC 中。然而，相对于偏压和光学强度而言，这些器件却表现某种非线性特性，这些效应与肖特基势垒处以及电极下方零电场区的电荷陷阱效应相关。

p-i-n 光探测器是使用最普遍的器件，因为它的量子效率高、工作电压低、速度快、容易制造。平面(扩散结)和台面结构的 p-i-n 光二极管都已用于单片集成。雪崩光探测器(APD)通过雪崩机制获得增益，但它对外延层的要求非常严格且工作电压高。到目前，它还没有用于 OEIC。异质结光晶体管(HPT)基本上就是双极晶体管，其集电结用作 p-i-n 光探测器。晶体管提供增益但其速度受到两个结电容充电时间和基区电荷储存时间的限制。但其用于单片集成是非常有吸引力的。

**晶体管** 光探测之后的电子功能通常由低噪声前置放大器来完成。同样也有几种器件结构可用于单片集成，它们可以分成场效应器件和双极器件两类。

在场效应晶体管(FET)中多数载流子从源到漏的输运过程受到栅极电压的控制。有不同的方法来获得场效应，如 JFET、MESFET 和调制掺杂 FET (MODFET)<sup>[7]</sup>。FET 本质上是平面器件，其器件速度依赖于由光刻决定的栅长。对于  $1\mu\text{m}$  栅长，器件的电流增益为 1 时，截止频率  $f_T$  在  $15\sim35\text{GHz}$  范围内，小的栅-源电容导致大的  $f_{\max}$ (最高振荡频率)，典型的在  $20\sim50\text{GHz}$  之间。要获得更高的速度需要亚微米电子束光刻。

化合物半导体双极器件是异质结双极晶体管(HBT)。HBT 的发射区带隙比基区的带隙宽，因而相对于同质结晶体管而言，基区的掺杂浓度可较高，发射区掺杂较低。这就使基区电阻降低，发射结电容低，而发射极注入效率却很高。另外，和化合物半导体 FET 相比，HBT 有更高的跨导和驱动能力。更重要的是，具有高速性能的 HBT 可以用最典型的光学光刻法来制造。对于特征尺寸在  $2\sim5\mu\text{m}$  的发射区， $f_T$  在  $50\sim200\text{GHz}$ ， $f_{\max}$  在  $35\sim120\text{GHz}$  已有报道。这样的频率是可能的，因为少数载流子的输运沿外延层生长方向，其距离很容易由外延控制在几百个埃。

**集成技术** 有几种不同的方法将光探测器和晶体管集成在一个芯片上，光探测器和晶体管对外延层的要求通常不同，所以，必须探索晶体生长技术以有效地完成 OEIC 接收器。方法之一是，所有的光探测器和晶体管所需要的外延层顺序生长在平面衬底上，使一个器件层在其它器件层的上方或下方。用光刻和选择性刻蚀将两种器件制造出来，并在有一定台阶状的表面上将它们互连。这种方法的好处是集成与外延生长技术无关，两种器件可单独优化。这种方法已用于将 p-i-n 和 MSM 光探测器和 JFET、MODFET 和 HBT 集成在一起。

第二种方法是，在衬底中制造光探测器的区域里作沟槽，然后，在其它地方生长外延层。沟槽允许光探测器和晶体管放在差不多同一水平面上，使表面更平坦。当制作 FET 时，这种方法特别有用。FET 从本质上是平面器件，需要精细光刻来获得高速性能。这种方法的缺点在于，在带图形的衬底上外延生长的技巧不可忽视。这限制了 OEIC 技术的可移植性。这种方法已经用于将 p-i-n 光探测器和 MODFET 及 JFET 进行集成。

最后，第三种方法是，光探测器和晶体管从同一基本外延层中制作出来，两种器件公用该外延层。这种方法简单，但每种器件的性能需兼顾其它部分的要求。用这种方法的一个例子是，在 GaAs 以及 InP 材料系统中，HBT 的集电结用来作 p-i-n 光探测器。另一种做法是，光晶体管(HPT)加倍，用来在全双极 OEIC 光接收器中作为 HBT。

### 7.5.2 基于 FET 的接收器 OEIC

1980 年制造出了第一例采用 GaInAs/InP 材料系统的单片集成光接收器<sup>[70]</sup>。其中采用了 GaInAs JFET，其栅延伸出来构成 p-i-n 光二极管。制造 FET 的简单性引起了世界范围的努力去将它与光探测器集成，到现在，基于 FET 的 OEIC 接收器远比基于 HBT 的接收器多。早期的研究工作将注意力放在短波长区(750~900nm)，采用 GaAs 基器件。用 AlGaAs/GaAs 材料的 p-i-n 和 MSM 光二极管都用来与 GaAs MESFET 集成来获得高性能单道接收器<sup>[71]</sup>，以及多道接收器阵列<sup>[72]</sup>。

最近，一种带槽的 InP 衬底被用来制作 p-i-n/MODFET OEIC 接收器<sup>[73]</sup>，如图 7.34 所示。由于 p-i-n 做在槽内，探测器的顶部差不多与晶体管在同一平面内，从而克服了部分与晶体管栅的光刻有关的问题。在这种带槽衬底上，用一次外延生长制成的单片集成光接收器在频率高达 6GHz 时的带宽为 3dB，且工作电路的成品率很高。

最后，图 7.35 示出了在带图形的 InP 衬底上采用一次性外延来实现 MSM 光探测器和 MODFET 集成的例子<sup>[74]</sup>。MSM 探测器和 MODFET 都要求精细光刻以获得高速工作性能，因而就需要平坦的表面。这种表面可以通过下述办法获得，

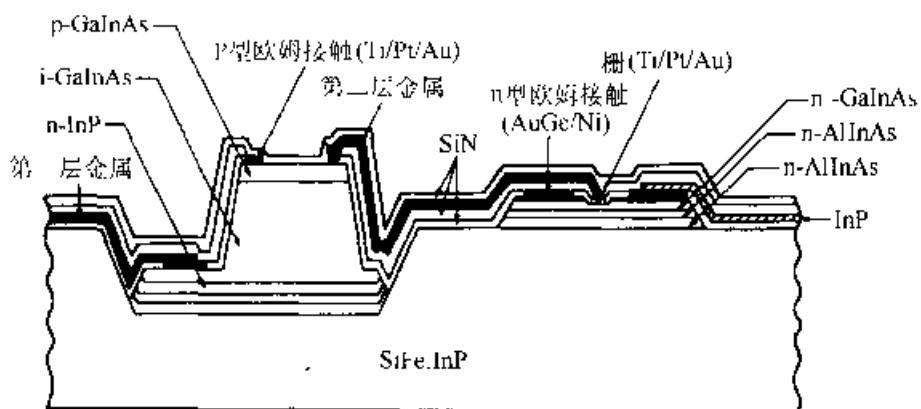


图 7.34 用于单片 p-i-n/MODFET 光接收器的 p-i-n 和 MODFET 的剖面图(引自 Yano 等人之文献[73])

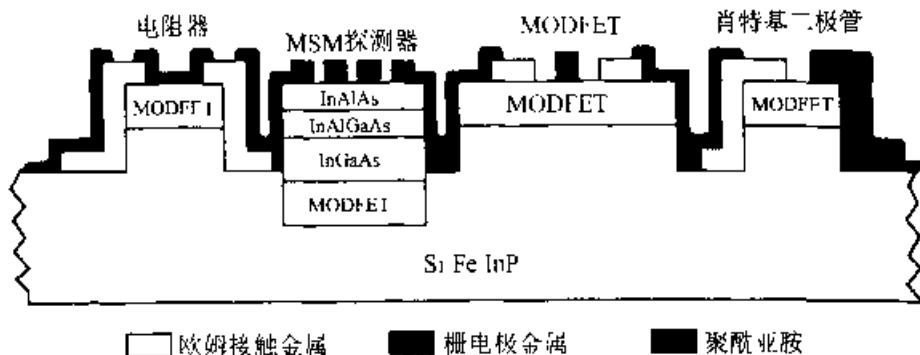


图 7.35 用于单片集成的 MSM/MODFET 光接收器的 MSM、MODFET 和电阻器的剖面图(引自 Chang 等人之文献[74])

首先在衬底上刻出图形，这样在外延生长结束时，MODFET 和 MSM 将会处于同一水平。已经制造出了 3GHz 跨阻(跨导的倒数)OEIC 接收器，它将  $1.3\mu\text{m}$  棚长 MOSFET 和用于 MSM 光探测器中的  $2\mu\text{m} \times 3\mu\text{m}$  的两对叉指结合起来。

### 7.5.3 基于 HBT 的接收器 OEIC

首例基于 HBT 的 OEIC 接收器是用 GaAs 材料系统制造的<sup>[75]</sup>。在全双极接收器中，光晶体管用来作为探测器。在波长为 840nm 以 140Mbit/s 工作时，其性能一般。不久，在 InP 材料系统中制出了第一个全双极 OEIC 接收器，它采用相类似的实现方法，以 100Mbit/s 工作在 1300~1600nm 波长范围<sup>[76]</sup>。从那时起，这个领域发生了长足的进步，速度达到了 20Gbit/s，性能也可以与最好的 p-i-n/FET 和 p-i-n/双极混合接收器的性能相比。最成功的方法是图 7.36 所示的方案<sup>[77]</sup>。在平面的无图形的半绝缘 InP 衬底上进行的一次性外延生长中，先长 p-i-n 外延层，接着长 p-i-n 层，用选择性湿法化学腐蚀来腐蚀出 HBT 和 p-i-n。HBT 下方的 p-i-n 层在电学上和光学上是非活性的，可以用来作托垫。

这种集成方法有几个优点。每种器件可以单独进行优化以取得最好的性能，

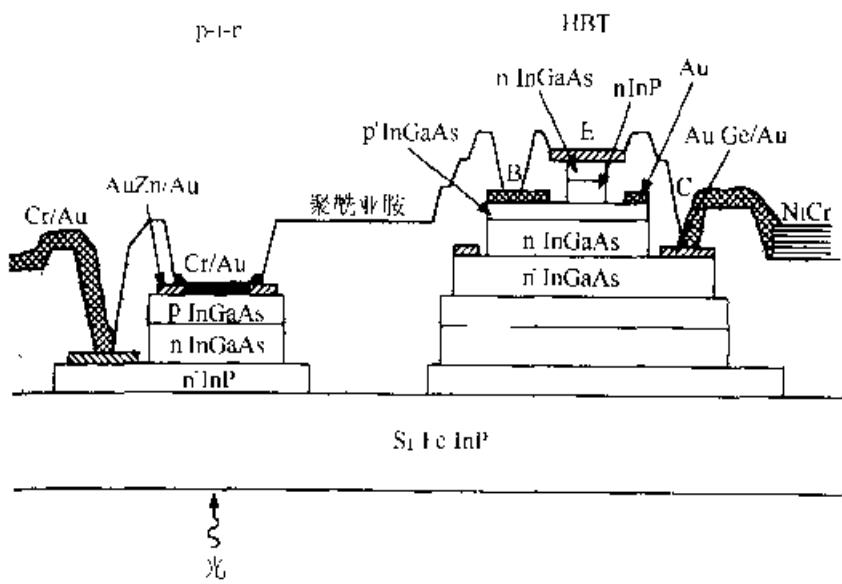


图 7.36 用于单片集成的 p-i-n/HBT 光接收器的 p-i-n 和 HBT 的剖面图(引自 Chandrasekhar 等人之文献[76])

HBT 可用各种先进的自对准技术来制造。另外，HBT 结构能够从单异质结器件(SHBT)改成具有极好击穿特性的双异质结器件(DHBT)。平面衬底允许采用各种实用的外延生长技术，而不用担心生长技巧，这就使技术容易移植。从顶部外延层到底部外延层，特征尺寸在增加，这是由于考虑到光刻对准误差，并且在顶部，特征尺寸最小。通过合适的金属化设计，p-i-n 可以被调整成适于顶部或底部照明，也在开发双通道光吸收设计方案以尽量减小对吸收层厚度的要求。然而，像摩天大楼一样的结构必须使用平坦化介质(此处为聚酰亚胺)，而且很可能成为实现小特征尺寸的限制性因素。

用这种方法制造的完整的光接收器总共进行 16 次光刻，包括制作薄膜 NiCr 金属电阻和 p-i-n 抗反射镀层所用的光刻。用这种方法，利用不同的外延生长技术和电路设计及增加对外延层的优化做成的单片集成接收器的速度在 1Gbit/s 到 20Gbit/s 之间<sup>[78]</sup>。图 7.37 示出了这种接收器的电路图，图 7.38 示出其小信号响应曲线。前置放大器设计采用双反馈输入级，它的优点是高增益下带宽增加。OE-IC 接收器工作速度可达 20Gbit/s，在  $10^{-9}$  的误码率下灵敏度为  $-17\text{dBm}$ 。图 7.39 给出了 10、15 和 20Gbit/s 下误码率随光的输入功率的变化。

第二种实现方法如图 7.40 所示，HBT 集电结 p-n 结加倍，用来作为 p-i-n 光探测器，故此，两种器件可在同一外延层上制造。共享外延层就意味着每种器件在性能上需做一些妥协，但制作过程简单，仅需 10 次光刻就可制出光接收器。GaInAs 集电区的厚度需审慎选择以使 p-i-n 光探测器获得好的量子效率，同时又不严重影响电子穿过集电区耗尽层的渡越时间。然而，这种方法限制人们只能使用单异质结晶体管结构(SHBT)。SHBT 集电结击穿电压较低。这种方法首先在

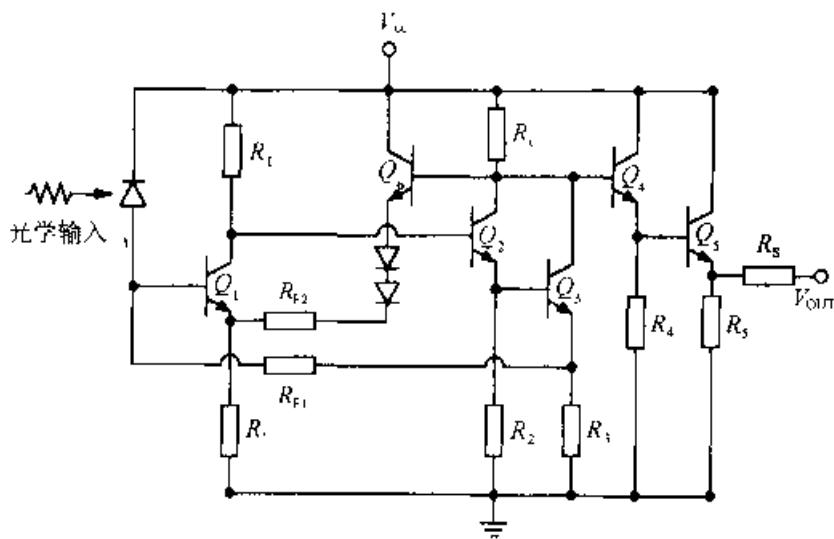


图 7.37 与一个双反馈输入级前置放大器相结合的单片集成 p-i-n/HBT 光接收器的电路示意图(引自 Lunardi 等人之文献[78])

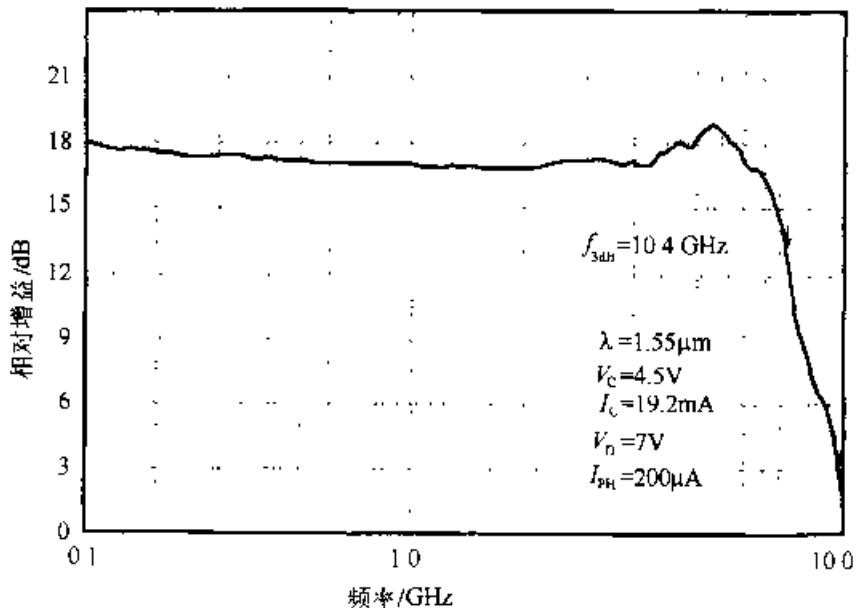


图 7.38 采用  $1.55\mu\text{m}$  光源的光纤引线封装 OEIC 模件的光电小信号响应曲线。前置放大器的偏压条件( $V_c$  和  $I_c$ )以及光探测器的偏压条件( $V_B$  和  $I_{BH}$ )示于图中(引自 Lunardi 等人之文献[78])

GaAs 材料系统中使用<sup>[79]</sup>。随后又在 InP 材料系统中实现<sup>[80]</sup>，并且显示出速度快(5Gbit/s)、灵敏度高(-22.5dBm)的特点。另外，由于外延结构与光晶体管所要求的外延结构相同，同一个 p-i-n/HBT OEIC 接收器电路用来作为全双极接收器，只要将输入光信号从 p-i-n 器件的位置移到前置放大器的第一个晶体管处。这样条件下工作，只损失 1dB 的带宽。

采用集电结作 p-i-n 光二极管的类似的 p-i-n/HBT OEIC 光接收器最近已有报道<sup>[81]~[83]</sup>，很明显，由于 HBT 速度较快，HBT 基 OEIC 在高速应用方面将继续

受到瞩目。

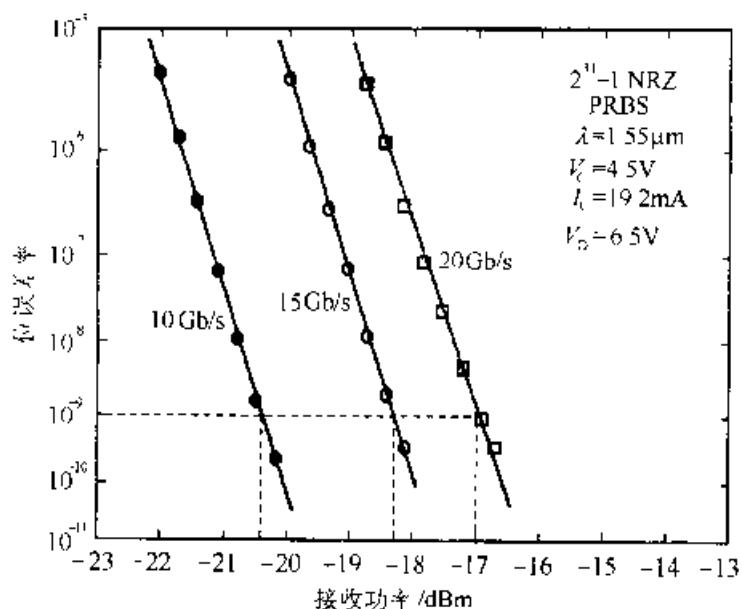


图 7.39 p-i-n/HBT OEIC 光接收器在 10、15 和 20Gb/s 下的误码率测量值随接收到的光功率的变化(引自 Lunardi 等人之文献[78])

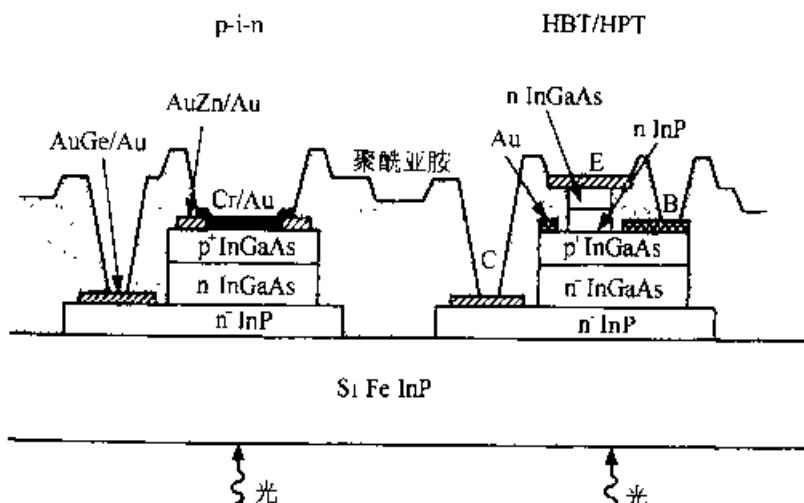


图 7.40 用于单片集成的光接收器中的带有基区-集电区/p-i-n 的 HBT 剖面图(引自 Chandrasekhar 等人之文献[80])

#### 7.5.4 其它的功能接收器 OEIC

**多道光接收器阵列** 单片集成的最大特点是在复制同一电路时产额很高。这一点对于使用波分复用架构的光学通信系统特别有吸引力。这种系统要求多道光接收器阵列。最近在 OEIC 方面的进展可以制造将 p-i-n 或 MSM 光探测器与各种 FET 和 HBT 结构集成在一起的光接收器阵列。表 7.2 给出了几种报道的长波长 OEIC 接收器阵列<sup>[84]</sup>，并用品质因子(定义为带宽、跨阻和信道数之积)来衡量它的性能。很有希望在一个单片集成芯片上作出很多信道，每个信道都有高带宽和

高增益(或高跨阻), 从而使品质因子很大。

表 7.2 长波长 OEIC 接收器阵列<sup>[4]</sup>

信道数 N		带宽 BW/GHz	跨阻 Z/Ω	品质因子 (BW×Z×N)
2	p-i-n/JFET	0.6	790	950
1	p-i-n/JFET	0.8	1 000	3 200
1	p-i-n/JFET	0.19	1 700	3 350
1	MSM/MODFET	1.3	650	3 380
1	p-i-n/MODFET	4.0	227	3 630
8	p-i-n-MODFET	1.2	550	5 280
8	p-i-n-JFET	0.3	2 500	7 000
4	p-i-n/JFET	0.2	10 000	8 000
5	p-i-n/MODFET	4.4	450	9 900
8	p-i-n/HBT	1.7	750	10 200

已实现了一个 8 信道 p-i-n/HBT 单片集成 OEIC 接收器阵列的封装。p-i-n 光探测器中心间距为  $250\mu\text{m}$  的侧面进光。这种将光引入光探测器的方案可以容易地与带状光纤连接器或导波复用和解复用器件进行耦合。阵列芯片大小为  $1\text{mm} \times 2.5\text{mm}$ 。每个芯片有 80 个元件, 构成了 8 个探测器, 40 个 HBT, 32 个 NiCr 电阻器。总共有 24 个输出端。封装后阵列的小信号频率响应在  $1.7\text{GHz}$  下带宽为  $3\text{dB}$ , 串扰好于  $-20\text{dB}$ 。每个信道的工作速度可达  $2.5\text{Gbit/s}$ , 使总信道传输率达  $20\text{Gbit/s}$ 。

**相干外差接收器** OEIC 的一个潜在的优点是通过使用光子电路集成实现新的功能。一旦我们知道如何将光探测器和晶体管集成在一个芯片上, 实现不同应用功能就变得简单了。一个这种应用的例子出现在相干外差通信中, 其中, 用双探测器来平衡的光接收器<sup>[45~81]</sup>已经变为获得高灵敏度接收惯用的方法。这种接收器中将两个 p-i-n 光探测器做平衡配置, 并紧接一个低噪声前置放大器。

在相干光学接收器中, 输入光频信号与一个本地振荡器信号混合起来产生一个一般在广播频率范围内中频(IF)信号。光学信号的相干检测和接收广播频率信号所用的检测方法完全相类似。相干光学传输系统和网络允许使用非常致密的 WDM 信道并且和直接检测系统相比且更有强的灵敏度。尽管光学相干接收器的复杂性和最近低噪声纤维光学放大器的出现减小了对相干传输的急需, 但是, 引入一个高性能、成本效益高的光子集成电路(PIC)芯片去实现相干接收器的所有功能, 将会重新引起对这种技术的兴趣。

相干光学接收器要求有稳定的可调谐的激光器做本地振荡器, 耦合器将信号和本地振荡器信号相干耦合起来, 并用单一的或平衡的光探测器/混合器来产生

拍频，也需要用电路去驱动本地振荡激光器，去稳定其频率或相位，以及去放大和处理 IF 信号。可调激光器芯片在 7.4.5 节已有讨论。偏振控制也是需要的，目的是使信号和本地振荡器信号在通过耦合器和到达光探测器时能够维持合适的偏振状态。

在过去几年中，已经报道了基于 GaInAsP/InP 技术的工作在 1550nm 波段的相干接收器 PIC 的完全集成方面的一些进展<sup>[88]-[90]</sup>。一个连续可调 MQW-DBR 激光器与一个定向耦合器/开关和零偏波导光探测器集成在一起的例子<sup>[88]</sup>如图 7.41 所示。实现了传输率在 105Mbit/s 时无误差下频移键控 FSK 调制的数字信号接收器。据报道，在该实验中，传输率受到传输器 FM 带宽的限制。一种类似的芯片使用多电极 DFB 激光器作为可调谐本地振荡器也已报道<sup>[89]</sup>。最近报道了用可调谐四段 DBR 激光器作本地振荡器偏振选择的外差接收器 PIC 的初步结果<sup>[90]</sup>。这种 PIC 芯片示于图 7.42，它包括了 16 个元件：一个可调激光器、一个无源偏振旋转器、一个信号输入端口、一个偏振选择波导网络（两个 TE/TM 模式分离器，两个 TE/TM 滤波片，两个 3dB 耦合器），以及一个具有 4 个光探测器的平衡式接收器、两个场效应晶体管、一个负载电阻。这个电路无疑是到目前为止制造并报道的最复杂的 PIC 芯片之一。

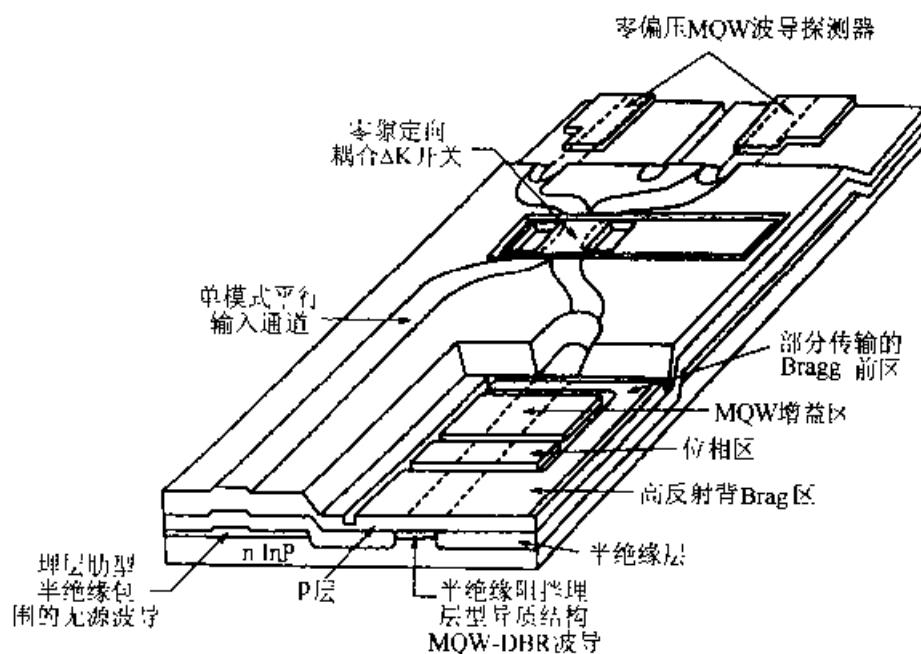


图 7.41 一个包括可调谐 MQW DBR 激光器、耦合器、波导探测器的外差接收器 PIC 的示意图(引自 Koch 等人之文献[88])

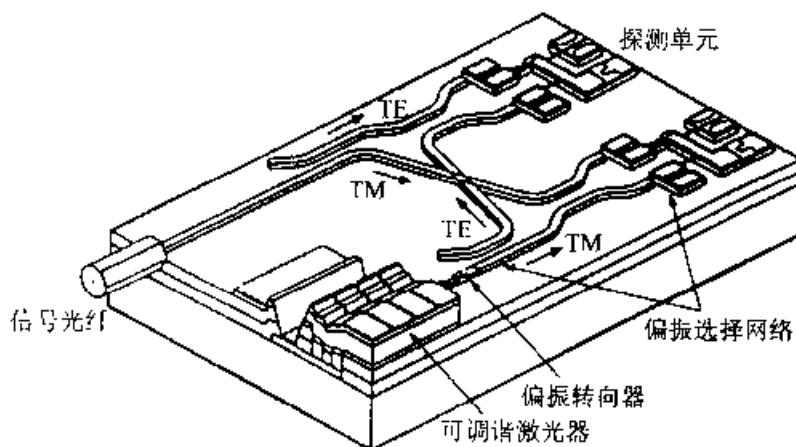


图 7.42 一个偏振选择外差接收器 PIC 的示意图(引自 Kaisen 等人之文献[90])

## 7.6 总结与展望

本章所讨论的先进激光器、小规模光子集成电路(PIC)和接收器 OEIC，主要是用于未来的、特殊的高性能、高速度场合，如远程通信等设计出来的。这种趋势应该还将持续下去，其中 OEIC 研究的重点将扩展到高速电路、具有更高灵敏度和含有更多电子器件的接收器，以及更广泛地使用基于阵列的电路。在 PIC 研究中，朝更高层次集成的趋势也将会继续。这方面的例子是用于先进 WDM 系统的电路，甚至如上面所描述的外差接收器。

除去长距离通信需求之外，未来的努力将会很快集中在大容量光网的应用中。这些新的系统将覆盖更短的距离，并且支持电话网、数据通信和有线电视分布。对于这些应用，低成本是首要考虑的因素。具有更低成本的功能模块替代分立的光电电路的可行性应该能够激发 OEIC 和 PIC 的推广应用。当成本降低时，应用到各种元件之间的光学互连上也将是可行的。对于光子开关、路由、信号处理，甚至可能是计算，利用 OEIC 和 PIC 将会变成更加实际的技术。

在 OEIC 和 PIC 能够完全发挥它们的预期潜力之前，需要克服许多困难和挑战。目前，它们的性能常常与分立元件构成的光电电路或电子电路性能相仿，而且，预期的高性能仅在某些特定的场合下实现。到目前为止，大多数的 OEIC 和 PIC 研究涉及的是将已有的分立器件进行集成。未来集成研究的主要课题应沿着用新办法将新器件、元件集成以增强功能这一方向发展。

## 附录 7.A 线宽公式的推导

根据文献[26]，半导体激光器的线宽公式的推导如下：

激光线宽可认为是由光场位相的涨落引起的。这些涨落起源于自发辐射事件，它们能随机地改变激射场的位相和强度，如图 7.43 所示。

参考图 7.43，令瞬间的位相变化为  $\Delta\phi_i$ ，其中，下标  $i$  是表示第  $i$  个自发辐射事件。平均地，每个自发辐射引起一个场强变化，它等价于在光场上增加了一个光子。为了恢复稳态场强，激光器将经历弛豫振荡，振荡将持续  $1\text{ ns}$ 。在这段期间，将有一个净的增益变化  $\Delta g(t) = (-2\omega/c)\Delta n''(t)$ ，其中， $\Delta n''(t)$  为折射率的虚部的值相对于其稳态值的偏离。 $n''$  的变化由载流子密度的变化引起，它也将会改变折射率实部  $n'$  的大小。这些变化的比值为：

$$\alpha = \Delta n' / \Delta n'' \quad (\text{A1})$$

$\Delta n'$  在有限的时间内的变化导致激光光场的附加相移和附加的线宽展宽。考虑  $\Delta g = (-2\omega/c)\Delta n''$ ，方程(A1)能写为：

$$\alpha = -\left(\frac{4\pi}{\lambda}\right)\left(\frac{(\Delta n'/\Delta N)}{(\Delta g/\Delta N)}\right) \quad (\text{A2})$$

其中， $\alpha$  定义为线宽增强因子。

在图 7.43 中，光场用复振幅  $\beta$  表示， $\beta$  归一化了，使得平均强度  $I = \beta^* \beta$  也等于光腔中的平均光子数。 $I(t)$  和  $\phi(t)$  表示光场的强度和位相。第  $i$  次自发辐射事件是  $\beta$  发生  $\Delta\beta_i$  的变化。其中， $\Delta\beta_i$  有一个单位大小和一个随机相组成：

$$\Delta\beta_i = \exp(i\phi + i\theta_i) \quad (\text{A3})$$

其中  $\theta_i$  是随机量。这些都示于图 7.43 中。

我们现在来求解由于一个自发辐射引起的位相变化量  $\Delta\phi_i$ ， $\Delta\phi_i$  引起了  $I$  从稳态值的偏离。对位相的变化有贡献的项有两项，分别记为  $\Delta\phi_i^1$  和  $\Delta\phi_i^2$ ， $\Delta\phi_i^1$  归因于  $\Delta\beta_i$  中位相移动成分，从图 7.43 中可知， $\Delta\phi_i^1$  为：

$$\Delta\phi_i^1 = I^{1/2} \sin(\theta_i) \quad (\text{A4})$$

第二项  $\Delta\phi_i^2$  归因于强度变化，以及强度和位相的变化是耦合的这个事实，这点我们前面已有说明。从图 7.43 中，运用余弦定律，我们得到振幅从  $I^{1/2}$  变到  $(I + \Delta I_i)^{1/2}$ ，其中，

$$\Delta I_i = 1 + 2I^{1/2} \cos(\theta_i) \quad (\text{A5})$$

为将强度的变化  $\Delta I_i$  与位相第二成分的变化  $\Delta\phi_i^2$  相联系，我们考虑  $I$  和  $\phi$  随时间的变化率方程：

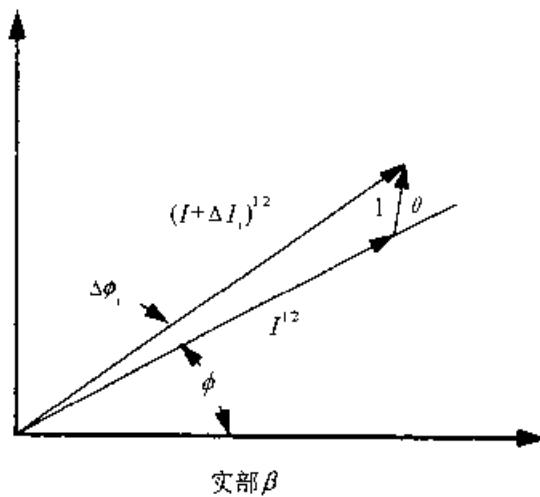


图 7.43 由第  $i$  个自发辐射事件引起的光场的位相  $\phi$  和强度  $I$  的瞬时变化

$$\frac{d\phi}{dt} = \frac{\alpha}{2}(G - \gamma) \quad (A6)$$

$$\frac{dI}{dt} = (G - \gamma)I \quad (A7)$$

其中,  $G$  是净的受激辐射率,  $\gamma$  是由于端面和波导损失引起的腔损耗率。将方程(A6)和(A7)结合起来, 我们得到

$$\frac{d\phi}{dt} = \frac{\alpha}{2I} \frac{dI}{dt} \quad (A8)$$

将方程(A8)积分, 并注意到  $I(0) = I + \Delta I$ , 和  $I(\infty) = I$ , 得到

$$\Delta\phi_t = \left[ -\frac{\alpha}{2I} \right] \Delta I_t = \left[ -\frac{\alpha}{2I} \right] [1 + 2I^{1/2}\cos(\theta_i)] \quad (A9)$$

总的位相变化为方程(A4)和(A9)之和:

$$\Delta\phi_t = \Delta\phi_i + \Delta\phi_s = \frac{\alpha}{2I} + I^{-1/2}[\sin(\theta_i) - \alpha\cos(\theta_i)] \quad (A10)$$

第一项是一个小的常数位相变化, 它是由于自发辐射事件而引起的频率移动。忽略这个常数项, 对于  $N = Rt$  个自发辐射事件,  $R$  为自发辐射率, 总的位相涨落为:

$$\Delta\phi = \sum_i I^{-1/2}[\sin(\theta_i) - \alpha\cos(\theta_i)] \quad (A11)$$

对于随机的角度, 交叉项平均后为 0,  $\langle\Delta\phi^2\rangle$  的值可以从(A11)中计算出来:

$$\langle\Delta\phi^2\rangle = \left[ \frac{Rt}{2I} \right] (1 + \alpha^2) \quad (A12)$$

众所周知, 激光器的功率谱为洛伦兹线型, 半高宽为

$$\delta\nu = \frac{1}{\pi t_{coh}} \quad (A13)$$

其中, 相于时间  $t_{coh}$  为:

$$\frac{1}{t_{coh}} = \frac{\langle\Delta\phi^2\rangle}{2t} \quad (A14)$$

将方程(A12)、(A13)和(A14)结合起来, 有:

$$\delta\nu = \frac{R}{4\pi I} (1 + \alpha^2) \quad (A15)$$

强度  $I$  可用激光器的输出功率来表示。对于从前端面和后端面的输出功率相等的激光器, 强度  $I$  与每个端面上的功率  $P_0$  的关系为:

$$I = \frac{2P_0}{h\nu v_g \alpha_m} \quad (A16)$$

其中,  $v_g$  为群速,  $\alpha_m$  为前面定义过的反射率损失。

自发辐射率  $R$  和增益  $g$  的关系为:

$$R = gn_{sp}v_g = (\alpha_m + \alpha)n_{sp}v_g \quad (A17)$$

其中,  $n_{sp}$  为自发辐射因子,  $g = \alpha_m - \alpha_e$ 。用方程(A16)和(A17)分别代替方程(A15)中的  $I$  和  $R$ , 我们得到:

$$\partial\nu = v_g \left[ \frac{n_{sp} h \nu}{8\pi P_0} \right] (\alpha_m - \alpha_e) (1 + \alpha^2) \quad (A18)$$

## 附录 7.B 应变层单量子阱激光器的透光载流子面密度和微分增益的近似表达式

到目前为止, 具有双轴压应变有源层的长波长量子阱激光器呈现出非常低的激射阈值电流密度和很高的微分增益。双轴压应变系统的能带结构很不寻常。特别是, 能量最高的价带, 为一个重空穴带, 在能量上与能量次高价带很好地分离开。而且, 对于在量子阱的平面上的晶体波矢, 该带具有轻空穴的特性。对于典型的阱的厚度, 面内有效质量估计为轻空穴有效质量的 1.5 倍。这就导致了对于涉及光学跃迁的导带和价带, 它们具有近似对称的能带结构。对于具有近似对称能带结构的应变层量子阱激光器, 透光载流子密度和微分增益的简单表达式可以推导出来。

让我们假设所有的子带为抛物型, 而且, 光学跃迁遵守  $k$ -选择定则。进一步, 跃迁展宽可以忽略。我们只考虑导带和价带中能量最低的子带跃迁所产生的增益。如图 7.44 所示。这种情况下, 最大增益总是出现在带边跃迁处(在具有体增益层的激光器中, 增益峰落在带边以上(而且强烈地依赖于激发)。在这些假设下, 对于单量子阱, 最大增益  $G_{max}$  由下式给出:

$$G_{max} = \frac{8\pi^3 h \nu |M_1|^2 m_r}{\epsilon_s v_g h^3 L_z} [f_e(n) - f_v(n)] \quad (B1)$$

其中,  $m_r$  是约化有效质量,  $f_e(n)$  和  $f_v(n)$  分别为能量最低的价带和导带子带的边缘处状态被电子占据的概率。方程(B1)中包含了电荷中性的假设。对于一个量子阱, 费米函数与电子密度的关系满足下述简单的近似<sup>[34]</sup>:

$$f_e = 1 - \exp \left[ -\frac{n}{N} \right] \quad (B2)$$

$$f_v = \exp \left[ -\frac{n}{P} \right] \quad (B3)$$

其中

$$N = \sum_{l=0} n_l \exp(-\epsilon_{cl}) \quad (B4)$$

在方程(B4)中,  $\epsilon_{cl}$  是第  $l$  个子带边缘高出能量最低子带边缘的能量(单位  $kT$ )。这样, 对于考虑中的能量最低的子带,  $\epsilon_{cl}=0$ 。我们得到

$$N = n_0 = \frac{4\pi m_r k T}{h^2 L_z} \quad (B5)$$

将方程(B1)、(B2)和(B3)结合起来，我们得到如下简单表达式：

$$G_{\max} = \frac{8\pi^3 h\nu |M_T|^2 m_i}{\epsilon_s v_g h^3 L_z} \left[ 1 - \exp\left(-\frac{n}{N}\right) - \exp\left(-\frac{n}{P}\right) \right] \quad (B6)$$

$$\frac{dG_{\max}}{dn} = \frac{8\pi^3 h\nu |M_T|^2 m_i}{\epsilon_s v_g h^3 L_z} \left[ \frac{1}{N} \exp\left(-\frac{n}{N}\right) + \frac{1}{P} \exp\left(-\frac{n}{P}\right) \right] \quad (B7)$$

很明显，正如双轴应变单量子阱层的情况那样，对子对称能带结构， $N=P$ ，方程(B6)化为

$$G_{\max} = \frac{8\pi^3 h\nu |M_T|^2 m_i}{\epsilon_s v_g h^3 L_z} \left[ 1 - 2 \exp\left(-\frac{n}{N}\right) \right] \quad (B8)$$

透光载流子密度定义为在  $G_{\max}=0$  时所需要的载流子密度。这样就有：

$$n = n_{tr}^* = N \ln(2) \quad (B9)$$

对于具有对称能带结构的单量子阱激光器，透光载流子面密度  $N_{tr}^*$  为：

$$N_{tr}^* = n_{tr}^* L_z \quad (B10)$$

将方程(B5)、(B9)和(B10)结合起来，得到

$$N_{tr}^* = \frac{4\pi m_e kT}{h^2} \ln(2) \quad (B11)$$

现在，我们来计算方程(B7)所表示的微分增益。利用方程(B7)，并假设  $N=P$  和透光时  $2\exp(-n/N)=1$ ，我们得到透光时的微分增益为

$$\frac{dG_{\max}}{dN} = \frac{\pi^2 \nu |M_T|^2}{\ln(2) \epsilon_s v_g kT} \quad (B12)$$

这就是正文中的方程(7.26)。

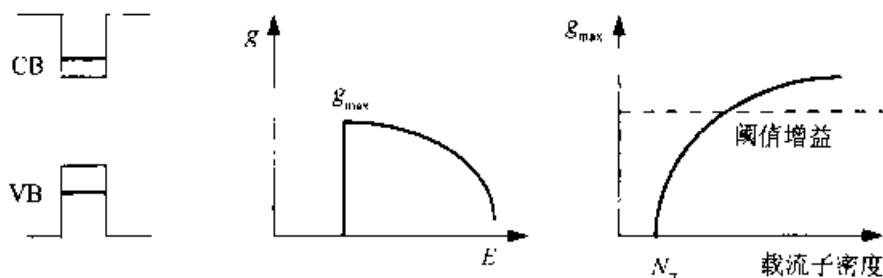


图 7.44 一个单量子阱有源层的能带填充、增益与  $E$  的关系，以及最大增益与电流特性关系的示意图

## 习题

- 假设半导体激光器介质的光学增益为  $g(\text{cm}^{-1})$ ，自由载流子吸收损失为  $\alpha(\text{cm}^{-1})$ ，法布里-珀罗腔的镜面反射率为  $R_1$  和  $R_2$ ，证明激射阈值增益由下式给出：

$$g_{th} = \alpha + \frac{1}{2L} \ln \left( \frac{1}{R_1 R_2} \right)$$

2. 工作波长  $1.3\mu\text{m}$  的 InGaAsP 法布里-珀罗激光器的腔长为  $300\mu\text{m}$ 。InGaAsP 折射率为 3.39。
- 反射镜损失有多少，用  $\text{cm}^{-1}$  表示。
  - 如果激光器的一个镜面涂以覆层以产生 90% 的反射率。阈值电流的减少估计为多少百分点？假设  $\alpha=10\text{cm}^{-1}$ 。
3. (a) 推导出法布里-珀罗激光器邻模间距的表达式方程(7.4)。  
(b) 对于工作波长为  $1.3\mu\text{m}$  的 InGaAsP 激光器，计算腔长为  $300\mu\text{m}$  时的邻模间距(单位 nm)，假设群折射为 3.4。  
(c) 将上面得到的邻模间距表达式化为以 GHz 为单位的表达式。
4. 如何将一个半导体激光器的 3dB 调制带宽最大化？
5. 对一个半导体激光器进行强度调制时，频率啁啾背后的物理机制是什么？
6. 在使用无啁啾光源的情况下，若由于单模光纤中的色散导致 1dB 功率损失，比特率-传输距离之积的限制由下式表示：

$$B^2 L \leq \frac{c}{2D\lambda^2}$$

其中  $B$  为比特率， $L$  为光纤传输距离， $c$  为真空中光速。 $D$  为光纤色散系数， $\lambda$  为波长。常规单模光纤在  $\lambda=1550\text{nm}$  时色散系数  $D=15\text{ps/km}\cdot\text{nm}$ 。计算  $B^2 L$  的值，单位  $(\text{GHz})^2 \cdot \text{km}$ 。

7. 利用习题 6 中的结果，计算：(a)  $2.5\text{Gbit/s}$ ；(b)  $10\text{Gbit/s}$  传输率下，色散限制光纤的传输距离。
8. 使用有啁啾光源，单模光纤功率损失 1dB 的情况下，受色散限制的比特率-传输距离之积为

$$BL \leq \frac{1}{4D\sigma_z}$$

其中  $\sigma_z$  为激光谱宽。如果光纤的色散为  $15\text{ps/km}\cdot\text{nm}$ ，脉冲调制下激光的频率啁啾  $0.4\text{nm}$ ，试问在(a)  $2.5\text{Gbit/s}$ ，(b)  $10\text{Gbit/s}$  的传输率下，忽略其它的系统衰减效应，在没有中继的情况下，这种系统的最大传输距离为多少？

9. 色散偏移的单模光纤在  $1550\text{nm}$  附近通常没有色散。(a) 如果一个色散偏移光纤的色散系数为  $1\text{ps/km}\cdot\text{nm}$ ，使用无啁啾光源，工作在  $10\text{Gbit/s}$  下的系统的最大传输距离为多少？(b) 如果采用一个等效啁啾宽度为  $0.1\text{nm}$  的低啁啾电吸收调制器，传输距离可能为多少？(c) 包括习题 7 和习题 8 在内的上述结果与一个使用啁啾宽度为  $0.4\text{nm}$  的直接电流调制的 DFB 激光器的系统的结果相比如何？
10. 证明一个 p-i-n 光探测器的量子效率  $\eta$  与波长  $\lambda(\mu\text{m})$  处的灵敏度  $R$  的关系为：

$$R = \frac{\eta\lambda}{1.24}$$

11. 一个 p-i-n 光探测器有一个  $1\mu\text{m}$  的 InGaAs 吸收层。在光进入探测器的一侧有一层防反射盖层(反射率为 0%)。(a)在波长  $1.55\mu\text{m}$  处光二极管的外部量子效率为多少? (b)如果光二次通过吸收层,那么外部量子效率为多少?
12. 一电子前置放大器的小信号 3dB 带宽为  $10\text{GHz}$ , 噪声谱密度为  $10\text{pA}/\sqrt{\text{Hz}}$ 。用这样的前置放大器构造的光接收器,在  $10\text{Gbit/s}$  下,误码率为  $10^{-9}$  的灵敏度(接收到的光功率)的计算值为多少? 假设 p-i-n 光探测器的灵敏度为  $1\text{A/W}$ 。
13. 有一光接收器的跨阻为  $1\,000\Omega$ ,为获得峰-峰值  $10\text{mV}$  的输出电压,入射光功率峰-峰值应为多少? 假设 p-i-n 光探测器的量子效应为  $1\text{A/W}$ 。

### 参 考 文 献

- [1] H. Onaka, H. Miyata, G. Ishikawa, K. Otsuka, H. Ooi, Y. Kai, S. Kinoshita, M. Seino, H. Nishimoto, and T. Chikama, "1.1 Tbit/s WDM transmission over 150 km  $1.3\mu\text{m}$  zero-dispersion single-mode fiber," in OFC'96, San Jose, CA, PD 19, February 1996.
- [2] A. H. Gnauck, R. W. Tkach, F. Forghieri, R. M. Derosier, A. R. McCormick, A. R. Chraplyvy, J. L. Zyskind, J. W. Sulhoff, A. J. Lucero, Y. Sun, R. M. Jobson, and C. Wolf, "One terabit/s transmission experiment," in OFC'96, San Jose, CA, PD20, February 1996.
- [3] T. Morioka, H. Takara, S. Kawanishi, O. Kamatani, K. Takiguchi, K. Uchiyama, M. Saruwatari, H. Takabashi, M. Yamada, T. Kanamori, and H. Ono, "100 Gbit/s  $\times$  10 channel OTDM/WDM transmission using a single supercontinuum WDM source," in OFC'96, San Jose, CA, PD21, February 1996.
- [4] A. Brackett, A. S. Acampora, J. Sweitzer, G. Tangonan, M. T. Smith, W. Lennon, K. C. Wang, and R. H. Hobbs, "A scalable multiwavelength multihop optical network; a proposal for research on all-optical networks," IEEE J. Lightwave Technol. 11, 736 (1993). Also, for general reading on the multiwavelength technology, see the Special Issue on Multiwavelength Optical Technology and Networks, IEEE J. Lightwave Technol. 14, 932 (1996).
- [5] E. Yablonovitch and E. O. Kane, "Reduction of lasing threshold current density by the lowering of valence band effective mass," IEEE J. Lightwave Technol. LT-4, 504 (1986).
- [6] J. Mun, "Photodetectors and OEIC receivers," in Optoelectronic Integration: Physics, Technology and Application, O. Wada, Ed., Kluwer, Boston, 1994, Ch. 6.
- [7] S. M. Sze, Physics of Semiconductor Devices, 2nd Ed., Wiley, New York, 1981.
- [8] T. P. Lee, C. A. Burrus, and R. H. Saul, "Light emitting diodes for telecommunication," in Optical Fiber Telecommunications I, S. E. Miller and I. P. Kaminow, Eds., Academic Press, New York, 1988, Ch. 12.
- [9] R. E. Nahory, M. A. Pollack, W. D. Johnston, and R. L. Barnes, "Bandgap versus composition and demonstration of Vegard's law for  $\text{In}_{1-x}\text{Ga}_x\text{As}_{1-y}\text{P}_y$  lattice matched to InP," Appl. Phys. Lett. 33, 659 (1978).
- [10] H. C. Casey and M. B. Panish, Heterostructure Lasers, Parts A and B, Academic Press, New York, 1978.
- [11] G. P. Agrawal and N. K. Dutta, Long wavelength Semiconductor Lasers, Van Nostrand-Reinhold, Princeton, N.J., 1986.

- [12] T. P. Lee, C. A. Burrus, J. A. Copeland, A. G. Denier, and D. Marcuse, "Short cavity InGaAsP injection lasers: dependence of mode spectra and single longitudinal-mode power on cavity length," IEEE J. Quant. Electron. QE-18, 1101 (1982).
- [13] R. J. Nelson, R. B. Wilson, P. D. Wright, P. A. Barnes, and N. K. Dutta, "CW electrooptical properties of InGaAsP buried heterostructure laser diodes," IEEE J. Quant. Electron. QE-17, 202 (1981).
- [14] H. Kogelnik and C. V. Shank, "Stimulated emission in a periodic structure," Appl. Phys. Lett. 18, 152 (1971).
- [15] C. V. Shank, R. V. Schmidt, and B. I. Miller, "Double heterostructure GaAs distributed feedback laser," Appl. Phys. Lett. 25, 200 (1974).
- [16] M. Nakamura, K. Aiki, J. Umeda, A. Yariv, H. W. Yen, and T. Morikawa, "GaAs-GaAlAs double-heterostructure distributed feedback diode lasers," Appl. Phys. Lett. 25, 487 (1974).
- [17] F. K. Reinhart, R. A. Logan, and C. V. Shank, "GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As injection lasers with distributed reflectors," Appl. Phys. Lett. 27, 45 (1975).
- [18] S. L. McCall and P. M. Platzman, "An optimized  $\pi/2$  distributed feedback laser," IEEE J. Quant. Electron. QE-21, 1899 (1985).
- [19] K. Utaka, S. Akiba, K. Sakai, and Y. Matsushima, " $\lambda/4$  shifted InGaAsP/InP DFB lasers," IEEE J. Quant. Electron. QE-22, 1042 (1986).
- [20] M. Okai, S. Tsujii, and N. Chinone, "Stability of the longitudinal mode in  $\lambda/4$ -shifted InGaAsP/InP DFB lasers," IEEE J. Quant. Electron. QE-25, 1314 (1989).
- [21] K. Y. Lau and A. Yariv, "High frequency current modulation of semiconductor injection lasers," in Semiconductors and Semimetals; Lightwave Communication Technology, R. K. Willardson and A. C. Beer, Eds., Vol. 22B, W. T. Tsang, Vol. Ed., Academic Press, New York/London, 1985.
- [22] J. E. Bowers and M. A. Pollack, "Semiconductor lasers for telecommunications," in Optical Fiber Telecommunications, I, S. E. Miller and L. P. Kaminow, Eds., Academic Press, New York, 1988.
- [23] Y. Arakawa and A. Yariv, "Theory of gain, modulation response, and spectral linewidth in AlGaAs quantum well lasers," IEEE J. Quant. Electron. QE-21, 1666 (1985).
- [24] Y. Arakawa, and T. Takahashi, "Effect of nonlinear gain on modulation dynamics in quantum well lasers," Electron. Lett. 25, 169 (1989).
- [25] K. Uomi, H. Nakano, and N. Chinone, "Intrinsic modulation bandwidth in ultra-high-speed 1.3 μm and 1.5 μm GaInAsP DFB lasers," Electron. Lett. 25, 1689 (1989).
- [26] C. H. Henry, "Theory of linewidth of semiconductor lasers," IEEE J. Quant. Electron. QE-18, 259 (1982).
- [27] T. L. Koch and R. A. Linke, "Effect of nonlinear gain reduction on semiconductor laser wavelength chirping," Appl. Phys. Lett. 48, 613 (1986).
- [28] W. T. Tsang, "Quantum confinement heterostructure semiconductor lasers," in Semiconductor and Semimetals, Vol. 24, R. K. Willardson and A. C. Beer, Eds., R. Dingle, Vol. Ed., Academic Press, New York, 1987, Ch. 7.
- [29] Y. Arakawa and A. Yariv, "Theory of gain, modulation response, and spectral linewidth in AlGaAs quantum well lasers," IEEE J. Quant. Electron. QE-21, 1666 (1985).
- [30] For a review on quantum wells see C. Weisbuch, "Fundamental properties of II-V semiconductor two-dimensional quantized structures: the basis for optical and electronic device applications," in

- "Semiconductors and Semimetals," Vol. 24, Raymond Dingle, Vol. Ed., Academic Press, New York, 1987, Ch. 1.
- [31] U. Koren, B. I. Miller, Y. K. Su, T. L. Koch, and J. E. Bower, "Low internal loss separate confinement heterostructure InGaAs/InGaAsP quantum well laser," *Appl. Phys. Lett.* 51, 1744 (1987).
- [32] K. Kasukawa, Y. Imajo, and T. Makino, "1.3 $\mu$ m GaInAsP/InP buried heterostructure graded index separate confinement multiple quantum well (BH-GRIN-SC-MQW) lasers entirely grown by metalorganic chemical vapor deposition," *Electron. Lett.* 25, 104 (1989).
- [33] R. E. Cavicchi, D. V. Lang, D. Gershoni, A. M. Sergent, J. M. Vanderberg, S. N. G. Chu, and M. B. Panish, "Admittance spectroscopy measurement of band offsets in strained-layers of  $In_xGa_{1-x}As$  grown on InP," *Appl. Phys. Lett.* 54, 739 (1989).
- [34] K. J. Vahala and C. E. Zah, "Effect of doping on the optical gain and the spontaneous noise enhancement factor in quantum well amplifiers and lasers studied by simple analytical expressions," *Appl. Phys. Lett.* 52, 1945 (1988).
- [35] P. J. A. Thijs, Strained-layer InGaAs (P)/InP quantum well semiconductor lasers grown by organometallic vapour phase epitaxy, Ph. D Thesis, Delft University, Delft, The Netherlands, (1993).
- [36] P. J. A. Thijs and T. Van Dongen, "High quantum efficiency, high power, modulation doped GaInAs strained-layer quantum well laser diodes emitting at 1.5 $\mu$ m," *Electron. Lett.* 25, 1735 (1989).
- [37] P. J. A. Thijs, L. F. Tiemeijer, T. van Dongen, and J. J. M. Binsma, "High performance  $\lambda = 1.3\mu$ m strained-layer InGaAsP/InP quantum well lasers," *IEEE J. Lightwave Technol.* 12, 28 (1994).
- [38] C. E. Zah, F. J. Favre, R. Bhat, S. G. Menocal, N. C. Andreadakis, D. M. Hwang, M. Koza, and T. P. Lee, "Submillampere threshold 1.5 $\mu$ m strainedlayer multiple-quantum well lasers," *IEEE Photon. Technol. Lett.* 2, 852 (1990).
- [39] H. Temkin, N. K. Dutta, T. Tanbun-Ek, R. A. Logan, and A. M. Sergent, "InGaAs/InP quantum well lasers with sub-mA threshold current," *Appl. Phys. Lett.* 57, 1610 (1990).
- [40] L. F. Tiemeijer, P. J. A. Thijs, J. M. Binsma, and T. van Dongen, "Direct measurement of the transparency current and valence band effective masses in tensile and compressively strained InGaAs/InP multiple quantum-well laser amplifiers," *Appl. Phys. Lett.* 60, 554 (1992).
- [41] J. S. Osinski, P. Grodzinski, Y. Zou, P. D. Dapkus, Z. Karim, and A. R. Tanguay, Jr., "Low threshold current 1.5 $\mu$ m buried heterostructure lasers using strained quaternary quantum wells," *IEEE Photon. Technol. Lett.* 4, 1313 (1992).
- [42] Zah, R. Bhat, B. Pathak, F. Favre, W. Lin, M. C. Wang, N. C. Andreadakis, D. M. Hwang, M. A. Koza, T. P. Lee, Z. Wang, D. Darby, D. Flanders, and J. J. Hsieh, "High performance uncooled 1.3 $\mu$ m  $Al_xGa_yIn_{1-x-y}As/InP$  strained-layer quantum well lasers for subscriber loop applications," *IEEE J. Quant. Electron.* QE 30, 511 (1994).
- [43] R. Nagarajan, D. Tauber, and J. E. Bowers, "High-speed semiconductor lasers," in *Current Trends in Integrated Optoelectronics*, T. P. Lee, Ed., World Scientific, Singapore, 1994, Ch. 1.
- [44] R. L. Cella, Brown, Y. Twu, J. L. Ziko, N. K. Dutta, "High speed 1.3 micron InGaAsP distributed feedback lasers," in 11th IEEE International Semiconductor Laser Conference, Technical Digest, 50, Boston, MA, 1988.
- [45] K. Kamate, H. Sudo, M. Yano, H. Ishikawa, and H. Imai, "Ultra-high speed InGaAsP/InP DFB lasers

- emitting at 1.3 microns wavelength," IEEE J. Quant. Electron. QE 23, 1054 (1987).
- [46] Y. Hirayama, H. Furuyama, M. Morinaga, N. Suzuki, Y. Uematsu, K. Eguchi, and M. Nakamura, "High speed (13 GHz) 1.5 $\mu$ m self-aligned constricted-mesa DFB lasers grown entirely by MOCVD," in 11th IEEE International Semiconductor Laser Conference, Technical Digest, 46, Boston, MA, 1986.
- [47] K. Uomi, H. Nakano, N. Chinone, "Ultra-high-speed 1.55 $\mu$ m  $\lambda/4$ -shifted DFB lasers with bandwidth of 17 GHz," Electron. Lett. 25, 668 (1989).
- [48] P. A. Morton, T. Tanbun-Ek, R. A. Logan, P. F. Sciortino Jr., A. M. Sergent, and K. W. Wecht, "Superfast 1.55 $\mu$ m DFB lasers," Electron. Lett. 29, 1429 (1993).
- [49] K. Uomi, T. Mishima, and N. Chinone, "Ultra-high relaxation oscillation frequency (up to 30 GHz) of highly p-doped GaAs/GaAlAs multiple quantum-well lasers," Appl. Phys. Lett. 51, 78 (1987).
- [50] T. H. Wood, "Multiple quantum-well waveguide modulators," IEEE J. Lightwave Technol. 6, 743 (1988).
- [51] M. Aoki, M. Suzuki, H. Sano, S. Sasaki, T. Kawano, and H. Kodera, "Monolithic integration of DFB lasers and electroabsorption modulators using in-plane quantum energy control of MQW structures," in Current Trends in Integrated Optoelectronics, T. P. Lee, Ed., World Scientific, Singapore, 1994, Ch. 3.
- [52] M. Okai, S. Sakano, and N. Chinone, "Wide range continuous tunable double-sectioned distributed feedback lasers," in 15th European Conference on Optical Communication, Gothenburg, Sweden, 1989.
- [53] Kotaki, S. Ogita, M. Matsuda, Y. Kuwahara, and H. Ishikawa, "Tunable, narrow-linewidth and high power  $\lambda/4$ -shifted DFB laser," Electron. Lett. 25, 990 (1989).
- [54] M. Kuznetsov, "Theory of wavelength tuning in two-segment distributed feedback lasers," IEEE J. Quant. Electron. QE-24, 1837 (1988).
- [55] S. Illek, W. Thulke, C. Schanen, H. Lang, and M.-C. Amann, "Over 7nm (875GHz) continuous wavelength tuning by tunable twin-guide (TTG) laser diode," Electron. Lett. 26, 46 (1990).
- [56] Kobayashi and I. Mito, "Single frequency and tunable laser diodes," IEEE J. Lightwave Technol. 6, 1623, (1988).
- [57] Kotaki, M. Matsuda, H. Ishikawa, H. Imai, "Tunable DBR laser with wide tuning range," Electron. Lett. 24, 503 (1988).
- [58] T. L. Koch, U. Koren, R. P. Gnall, C. A. Burrus, and B. I. Miller, "Continuously tunable 1.5 $\mu$ m multiple-quantum well GaInAs/GaInAsP distributed Bragg-reflector lasers," Electron. Lett. 24, 1431 (1988).
- [59] X. Pan, H. Olesen, and B. Tromborg, "A theoretical model of multielectrode DBR lasers," IEEE J. Quant. Electron. QE 24, 2423 (1988).
- [60] N. K. Shankaranarayanan, U. Koren, B. Glance, and G. Wright, "Two-section DBR laser transmitters with accurate channel spacing and fast arbitrary-sequence tuning for optical FDMA networks," Tech. Digest, Optical Fiber Communication, TuI2, 36 (1994).
- [61] U. Koren, T. L. Koch, B. I. Miller, G. Eisenstein, G. Raybon, "An integrated tunable light source with extended tunability range," in Integrated Optics and Optical Communication Conference (IOOC), Kobe, Japan, 19A2-3, August 1989.

- [62] C. E. Zah, B. Pathak, F. Favire, R. Bhat, C. Caneau, P. S. D. Lin, A. S. Gozdz, N. C. Andreadakis, M. A. Koza, and T. P. Lee "1.5 $\mu$ m tensile-strained single quantum well 20 wavelength distributed feedback laser arrays," Electron. Lett. 28, 1585 (1992).
- [63] C. E. Zah, P. S. D. Lin, F. Favire, B. Pathak, R. Bhat, C. Caneau, A. S. Gozdz, N. C. Andreadakis, M. A. Koza, T. P. Lee, T. C. Wu, and K. Y. Lau, "1.5 $\mu$ m compressive-strained multiple-quantum-well 20-wavelength distributed feedback laser arrays," Electron. Lett. 28, 824 (1992).
- [64] T. P. Lee, C. E. Zah, R. Bhat, W. C. Young, B. Pathak, F. Favire, P. S. D. Lin, N. C. Andreadakis, C. Caneau, A. Rajhel, M. Koza, J. Gamelin, L. Curtis, D. D. Mohoney, and A. Lepore, "Multiwavelength DFB laser array transmitters for ONTC reconfigurable optical network testbed," IEEE J. Lightwave Technol. 14, 967 (1996).
- [65] C. E. Zah, F. J. Favire, B. Pathak, R. Bhat, C. Caneau, P. S. D. Lin, A. S. Gozdz, N. C. Andreadakis, M. A. Koza, and T. P. Lee, "Monolithic integration of a multi wavelength compressive-strained multi quantum-well distributed feedback laser array with a star coupler and optical amplifiers," Electron. Lett. 28, 824 (1992).
- [66] C. E. Zah, M. R. Amersfoort, B. Pathak, F. Favire, P. S. D. Lin, A. Rajhel, N. C. Andreadakis, R. Bhat, C. Caneau, and M. A. Koza, "Wavelength accuracy and output power of multiwavelength DFB laser array with integrated star coupler and optical amplifiers," IEEE Photonic Technol. Lett. 8, 864 (1996).
- [67] C. E. Zah, B. Pathak, M. R. Amersfoort, F. Favire, P. S. D. Lin, N. C. Andreadakis, A. Rajhel, R. Bhat, C. Caneau, M. A. Koza, and L. Curtis, "High power 10-wavelength DFB laser arrays with integrated combiner and optical amplifier," in 15th IEEE International Semiconductor Laser Conference, Haifa, Israel, October 13-18, 1996.
- [68] J. B. D. Soole and H. Schumacher, "InGaAs metal-semiconductor metal Photodetectors for long wavelength communications," IEEE J. Quant. Electron. QE 27, 737 (1991).
- [69] J. C. Campbell, "Phototransistors for lightwave communications," in Semiconductors and Semimetals, Lightwave Communications Technology, Vol. 22, Part D, Academic Press, New York, 1985.
- [70] R. F. Leheny, R. E. Nahory, M. A. Pollack, A. A. Ballman, E. D. Beebe, J. C. Dewinter, and R. J. Martin, "Integrated In<sub>0.5</sub>Ga<sub>0.5</sub>As p-i-n/FET photoreceiver," Electron. Lett. 16, (1980).
- [71] O. Wada, H. Hamaguchi, S. Miura, M. Makiuchi, K. Nakai, T. Horimatsu, and T. Sakurai, "AlGaAs/GaAs p-i-n photodiode/preamplifier monolithic photoreceiver integrated on a semi insulating GaAs substrate," Appl. Phys. Lett. 46, 1031 (1985).
- [72] O. Wada, H. Hamaguchi, M. Makiuchi, T. Kumai, M. Ito, K. Nakai, and T. Sakurai, "Monolithic four channel photodiode/amplifier array integrated on a GaAs substrate," Technical Digest, IOOC-ECOC'85, Venice, Italy, 1985, P. 303.
- [73] H. Yano, G. Sasaki, M. Murata, and H. Hayashi, "An ultra-high speed optoelectronic integrated receiver for fiber-optic communications," IEEE Trans. Electron Dev. 39, 2254, (1992).
- [74] G. K. Chang, W. P. Hong, L. Gimlett, R. Bhat, C. K. Nguyen, G. Sasaki, and J. C. Young, "A 3GHz transimpedance OEIC receiver for 1.3-1.55  $\mu$ m fiber-optic systems," IEEE Photon. Technol. Lett. 2, 197 (1990.)
- [75] H. Wang and D. Ankri, "Monolithic integrated photoreceiver implemented with GaAs/AlGaAs heterojunction bipolar phototransistor and transistors," Electron. Lett. 22, 391 (1986).

- [76] S. Chandrasekhar, J. C. Campbell, A. G. Denton, C. H. Joyner, G. J. Qua, A. H. Gnauck, and M. D. Feuer, "Integrated InP/GaInAs heterojunction bipolar photoreceiver," Electron. Lett. 24, 1443 (1988).
- [77] S. Chandrasekhar, L. M. Lunardi, A. H. Gnauck, D. Ritter, R. A. Hamm, M. B. Panish, and G. J. Qua, "10 Gbit/s OEIC photoreceiver using InP/InGaAs heterojunction bipolar transistors," Electron. Lett. 28, 456 (1992).
- [78] L. M. Lunardi, S. Chandrasekhar, A. H. Gnauck, C. A. Burrus, and R. A. Hamm, "20-Gb/s monolithic p-i-n/HBT photoreceiver module for 1.55  $\mu$ m applications," IEEE Photon. Technol. Lett. 10, 1201 (1995).
- [79] K. D. Pedrotti, R. L. Pierson, Jr., R. B. Nubling, C. W. Farley, E. A. Sovero, and M. F. Chang, "Ultra-high speed PIN/HBT monolithic OEIC photoreceiver," Technical Digest, 49th Annual Dev. Res. Conf., Boulder, CO, June 1991.
- [80] S. Chandrasekhar, L. M. Lunardi, A. H. Gnauck, R. A. Hamm, and G. J. Qua, "High speed monolithic p-i-n/HBT and HPT/HBT photoreceivers implemented with simple phototransistor structure," IEEE Photon. Technol. Lett. 5, 1316 (1993).
- [81] R. H. Walden, W. E. Stanchina, R. A. Metzger, R. Y. Loo, J. Schaffner, M. W. Pierce, Y. K. Brown, F. Williams, V. Jones, J. Pikulski, M. Rodwell, K. Giboney, R. A. Mullen, and J. F. Jensen, "An InP-based HBT 1  $\times$  8 OEIC array for a WDM network," in Technical Digest, LEOS Summer Topical Meeting on ICs for New Age Lightwave Communications, FC1, Keystone, CO, August 1995.
- [82] A. L. Gutierrez-Aitken, J. Cowles, P. Bhattacharya, and G. I. Haddad, "High bandwidth InAlAs/InGaAs PIN HBT monolithically integrated photoreceiver" in Technical Digest, Sixth International Conference on Indium Phosphide and Related Materials, TuB3, Santa Barbara, CA, 1994.
- [83] E. Sano, M. Yoneyama, H. Nakajima, and Y. Matsuoka, "A monolithically integrated photoreceiver compatible with InP/InGaAs HBT fabrication process," IEEE J. Lightwave Technol. 12, 638 (1994).
- [84] S. Chandrasekhar and M. A. Pollack, "Optoelectronic and photonic integrated circuits," in Perspectives in Optoelectronics, S. S. Jha, Ed., World Scientific, Singapore, 1995, Ch. 4.
- [85] B. M. Oliver, "Signal-to noise ratio in photoelectric mixing," Proc. IRE 49, 1960 (1961).
- [86] G. L. Abbas, V. W. S. Chan, and T. K. Lee, "Local oscillator excess noise suppression for homodyne and heterodyne detection," Opt. Lett. 8, 419 (1983).
- [87] B. L. Kasper, C. A. Burrus, J. R. Talman, and K. L. Hall, "Balanced dual-detector receiver for optical heterodyne communications at Gbit/s rates," Electron. Lett. 22, 413 (1986).
- [88] T. L. Koch, U. Koren, R. P. Gnall, F. S. Choa, F. Hernandez Gil, C. A. Burrus, M. G. Young, M. Oron, and B. I. Miller, "GaInAs/GaInAsP multiple-quantum well integrated heterodyne receiver," Electron. Lett. 25, 1623 (1989).
- [89] H. Takeuchi, K. Kasaya, Y. Hondo, H. Yasaka, K. Oe, and Y. Imamura, "Monolithic integrated coherent receiver on InP substrate," IEEE Photon. Technol. Lett. 1, 398 (1989).
- [90] P. Kaiser, D. Trommer, H. Heidrich, F. Fidorra, S. Malchow, D. Franke, W. Passenberg, W. Rehbein, H. Schroeter Janben, R. Stenzel, and G. Unterboersch, "Polarization diversity heterodyne receiver OEIC on InP:Fe substrate" in Technical Digest, Fifth Optoelectron. Conf. (OEC'94), PD 1, Japan, 1994.

# 8 太阳电池

Martin A. Green

Photovoltaics Special Research Centre, University of New South Wales, Sydney, Australia

## 8.1 引言

大面积的 p-n 结二极管是太阳电池最常见的形式，太阳电池能把光(通常不可见光)转换为电。图 8.1(a)示出了一个典型的 p-n 结太阳电池。入射光中能量大于半导体带隙的光子在电池中产生电子-空穴，从而实现能量的转换。电学上具有非对称性的 p-n 结使产生的光生载流子按一定的方向流动，如图 8.1(b)所示。由此形成的电流叠加在 p-n 结的正常整流电流上，使电流-电压特性曲线整体移动，移动的大小依赖于光强，其中曲线的一部分被推入第四象限。和普通的电化学电池一样，太阳电池的两端可提供电能。太阳电池最重要的参数是它的成本及光电转换效率。

太阳电池是最早的半导体功能器件，早在 19 世纪 80 年代<sup>[1]</sup>，便出现了第一块薄膜硒电池，然而这些早期的器件和 1930 年<sup>[2]</sup>流行的氧化亚铜器件一样，没有足够的发电效率，只能用于大面积的光电探测方面。20 世纪 50 年代单晶硅技术的进展才使得在能量转换领域的应用成为可能<sup>[2]</sup>。

虽然取得了一些进展，但太阳电池仍然太贵。50 年代末硅太阳电池在空间飞行器上的应用推动了太阳电池的发展，形成了小型的产业规模以满足空间飞行器上用电池的需求<sup>[3]</sup>。70 年代石油的禁运重又唤起了人们对可再生能源的兴趣，尤其是大面积利用地面上的光电(PV)资源。一些新的公司开始专门提供地面上使用的太阳电池，这些电池主要用于远程通信和一些小型“远程”电子装备如航海仪器等。由于产品的增加和工艺的改进，近二十年来地面上使用的太阳电池的成本大幅度下降。随着对一系列薄膜电池的研究，成本得以进一步降低，可以预计，未来将会有更广泛的应用。

图 8.2 给出了太阳电池的可能应用领域。除了前述的小型远程供电外，太阳电池在大面积应用领域的竞争力日益增强，如图 8.2 所示，实际应用中可以利用太阳电池的可调节能力，如将太阳电池分布在供电网中，使其除了供电外还可以满足电网的其它控制要求<sup>[3]</sup>。太阳光电资源在住宅区的应用具有诱人的前景，它

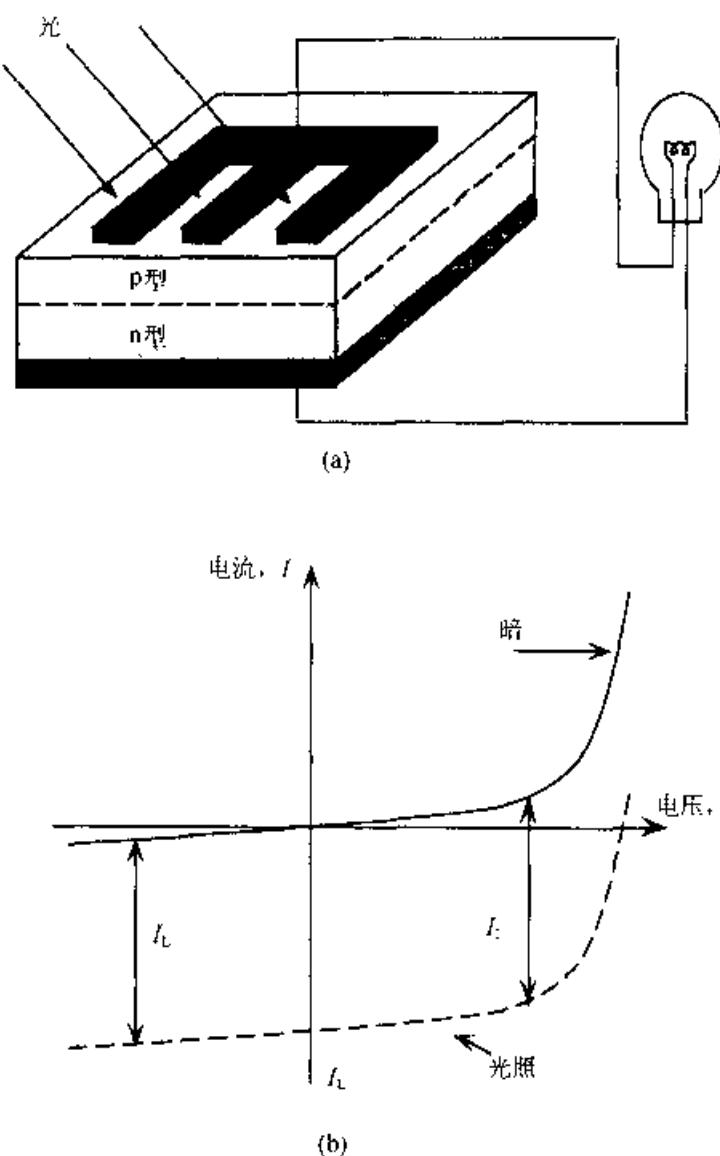


图 8.1 (a) 光照的 p-n 结二极管把光能转换为电能，供给接在二极管两端的电负载；(b) 在暗态(实线)和光照时(虚线)二极管的电流-电压特性

提高了公众对这项技术的兴趣，大多数的公众表示愿意为环保型的电力能源支付高于现今市场价的价格<sup>[5]</sup>。通过对光电和其它可再生能源的使用，引入鼓励机制，可提高世界各地电力企业使用太阳能等的兴趣。尽管世界各地相继展示了一些大的太阳能系统，但在不远的将来，在大型的中心电站(如图 8.2 上部所示)完全使用太阳电池仍然显得太昂贵<sup>[6]</sup>。

有关当代光电器件的资料可查阅 IEEE 光电专题会议的记录<sup>[7]</sup>，该会议每 18 个月举办一次。此外，专门的学术期刊还有《光电进展》<sup>[8]</sup>以及《太阳能材料》和《太阳电池》<sup>[9]</sup>等，另外还有一些资料详细介绍了光电器件的原理<sup>[10, 11]</sup>、工艺技术<sup>[12, 13]</sup>和应用<sup>[12, 14]</sup>。

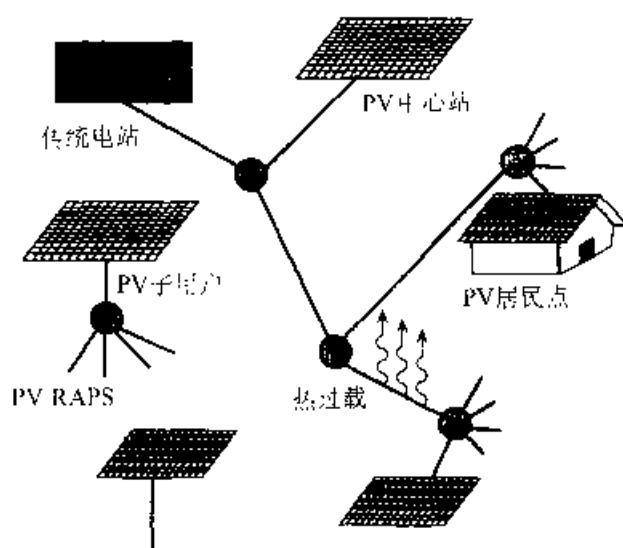


图 8.2 实际的和潜在的太阳电池应用，涉及从偏远地区的光电(PV)供给到集中供电站这样广泛的应用领域

## 8.2 太阳光辐射和理想的能量转换效率

### 8.2.1 概述

太阳电池取决于太阳光中的光子，只要光子具有足够的能量，能够把一个电子从价带激发到导带产生一电子-空穴对，那么无论该光子的能量究竟是对应于长波段的红光，还是短波段的蓝光并不重要。因此太阳电池的输出功率取决于入射光中的光子数，而非入射光中的功率成分。为了便于比较，通常采用标准照度和特定谱线特性来描述太阳电池的性能。由于二极管暗态时的电流-电压特性与温度有关，从而使太阳电池的性能会随温度变化，因此温度是一个需要给定的参数。

已出现了许多用于计算最大光电能量转换效率的方法，为了符合通常的习惯，如图 8.3 所示，把图 8.1(b)第四象限的部分转换到第一象限。由图 8.3 可见，转换效率与 p-n 结的“拐点”电压有关，而该点由二极管的暗态饱和电流密度决定<sup>[1]</sup>。在计算最大能量转换效率时，关键问题是确定这一暗态饱和电流密度的大小。

早期对这一问题的计算是经验性的，采用的是基于优化值的标准 p-n 结二极管理论<sup>[2]</sup>。发展至今，最先进的计算方法是考虑了太阳电池的正偏 p-n 结光吸收和光激发互逆过程之间的细致平衡。然而，前述所有的方法中均需要有一系列的假设，但这些假设，通过器件的设计是有可能回避的。惟一不可避免的限制是卡诺极限，即系统在源温度对应于太阳光球温度( $\sim 6\,000\text{K}$ )和吸收温度对应于地球表面温度( $\sim 300\text{K}$ )间工作的最大能量转换效率为 96%<sup>[1,6]</sup>。

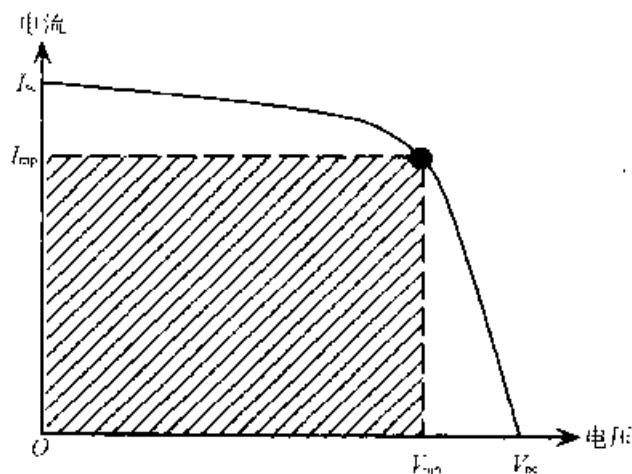


图 8.3 沿电压轴转换后进入第一象限的电池输出特性。

带阴影的矩形面积正比于电池的输出功率

### 8.2.2 标准太阳光谱及电池性能的测量

20世纪80年代初期，制定了用于测量太阳电池的标准太阳光谱，现已被世界各地接受<sup>[17]</sup>。太阳光在地球的大气层外，在地球绕太阳的平均距离上，太阳光的强度变化非常小，可以将其视为定值。目前公认的太阳光垂直截面上的标准值为  $1367 \text{ W/m}^2$ <sup>[18]</sup>。在地面上，除了夜晚的太阳被遮住外，即使在晴天，由于云和大气层的散射及吸收，太阳光的强度也是有变化的。这种强度的变化是与光传播路径上通过的大气厚度或经过的大气质量有关。“大气质量”的定义为  $1/\cos \phi$ ，其中  $\phi$  是太阳光线与法向的夹角（大气质量的最简单估算方法为利用高为  $h$  的垂直物体，从其阴影的长度  $s$  可估算得到大气质量为： $\sqrt{1+(s/h)^2}$ ）。还有一些其它因素影响太阳光的强度，如：大气层中一些组分的多少，其中水蒸气能大量吸收太阳光而灰尘既能吸收又能反射太阳光。

在晴朗的天空，太阳光辐照强度的最大值对应于太阳正好在头顶上的时候（即大气质量为 1 的条件），其对应的峰值照度约为  $1 \text{ kW/m}^2$ 。地面上，太阳电池的性能是以更有代表性的大气质量 1.5 (AM1.5) 时的谱为参照确定的，如图 8.4 所示。这个谱是通过给定一系列的大气条件计算得到的，目前已被采用为国际标准。但只有极少数的太阳电池是严格按照上述谱线测量其特性的。通常，太阳电池或太阳电池系统的性能是在自然或人工光线下测得的。与标准谱存在一些差别，并用“谱失配”修正来计算得到以标准谱为参照的性能。由于生产厂商喜欢为他们的器件和系统的输出标定“峰值”或全“单太阳”值，其性能用  $1 \text{ kW/m}^2$  归一化后可得到器件或系统的“最大功率”比  $W_p$  (peak watt)。（由于参照照明具有与 AM1.5 谱对应的分布，用上述归一化方法所估算的照度大于 AM1.5 谱的总和，所以这种处理有一定的不合理性。）

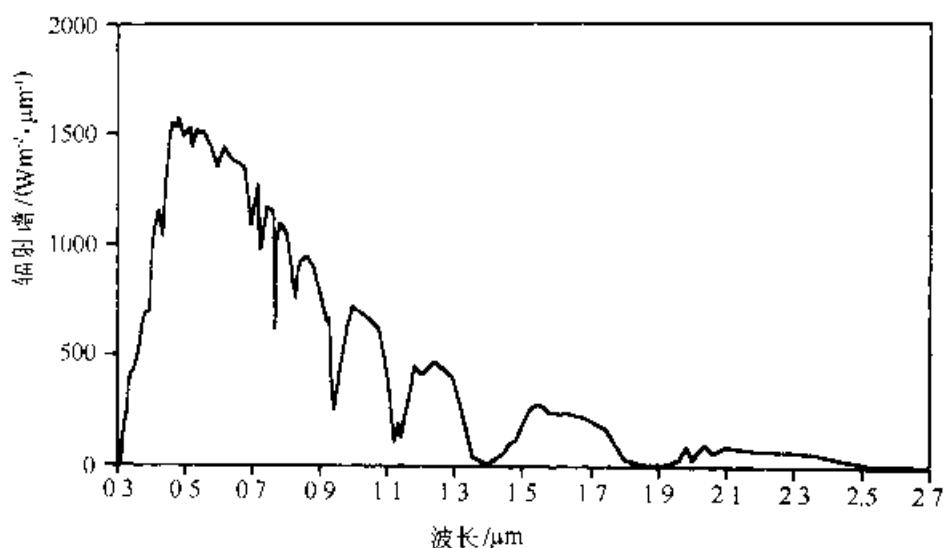


图 8.4 用于地面电池及系统测试标准的球面空气质量 1.5 谱的谱成分

如前所述，由于太阳电池的性能对温度敏感，测量时必须注明测量的温度，这一敏感性与在 Si 二极管中为维持固定的电流而引起的电压具有约  $-2\text{mV}/\text{C}$  温度漂移的原因相同。和其它半导体器件一样，太阳电池标准的测量温度为  $25^\circ\text{C}$ 。在设计中，为获得封装特性长期稳定的电池，通常使太阳电池尽可能工作在最大输出以下的温度条件。即便如此，在某些极端条件下，地球上的温度能够高达  $80^\circ\text{C}$ ，这时电池或系统的输出功率可能比  $25^\circ\text{C}$  时降低 30%。为此，通常采用正常工作温度 (NOCT) 来标定封装后的电池或组件。如 8.5 节将进一步介绍的，这一温度是太阳电池组件将达到的一系列标准的条件之一。

由于光在穿过大气层的过程中受到了散射，太阳光中包含了沿太阳方向的“直接”分量和在天空其它各方向上由多次散射引起的“弥散”分量两部分。即使在非常晴朗的天空，弥散分量仍约占总入射能量的 10%，多云的天气，平均起来弥散分量要比“直接”的能量多。由于短波长的蓝光受到大气层中分子的散射要强于较长波长的光，于是天空呈现出蓝色，而且在弥散谱中蓝光成分要高于混合或“全色”谱中蓝的成分。

将太阳光分为直接和弥散两部分对太阳电池系统的聚光和集光尤为重要。尽管理论上，直接太阳光线可聚集至 46 000 个“太阳密度”，但却不可能将大部分的弥散太阳光集中起来，这一差别是由于聚光这两种光线的光集中系统接收角的不同而造成的。弥散光散布在整个天空而直接光被约束在  $0.267^\circ$  角的范围内，该角是太阳轮廓对地球表面的张角。集光系统必须跟踪太阳以达到理想的集中太阳光效率（实际上任何集光系统的效率均能够大于 4）。

结果，标准的“直接标准 AM1.5 谱”也被用于标定带集光系统的太阳电池器件和系统的性能测量，这种集光系统的性能通常只标定系统孔径上截取直接太阳

光的量。这一特例使得集光系统的值无法和一般非集光系统的值直接比较。由于测量标准的不同，造成了集光系统所测电池似乎性能好的假象。

### 8.2.3 经验性的转换效率极限

如图 8.3 所示，直接计算亮态时 p-n 结二极管的输出功率，可得到电池的能量转换效率。短路电流( $I_{sc}$ )时的电流上限可由入射太阳光中光子能量足以产生电子-空穴对的光子数决定<sup>[10]</sup>。这些光子中的一部分在有效集电区内产生电子-空穴对，于是构成  $I_{sc}$ 。在辐照条件下，开路电压  $V_o$  可以通过修正二极管方程得到：

$$I = I_0(e^{qV_o/nkT} - 1) - I_1 \quad (8.1)$$

其中  $I_0$  为二极管的暗态饱和电流， $nkT/q$  为“热电压”， $n$  是品质因子（理想晶体管为 1）， $I_1$  为光产生电流，也就是，使  $I-V$  曲线向第四象限移动的部分（图 8.1），大部分情况下它等于  $I_{sc}$ 。 $I_0$  由二极管的几何尺寸和其它设计与材料参数决定，如掺杂水平、表面复合速率等。由式(8.1)可得  $V_{oc}$  为：

$$V_{oc} = \frac{nkT}{q} \ln \left( \frac{I_0}{I_0 + I_1} \right) \quad (8.2)$$

尽管上式从表面上看，品质因子  $n$  越大，温度  $T$  越高时开路电压也越高。但式中  $I_0$  是至关重要的—项，并且与上述关系正好相反！由图 8.3 可见，电池的输出功率总是小于  $V_{oc}I_{sc}$  的乘积。这一特性可通过引入第三个参数填充因子 FF 加以描述，FF 的值始终小于 1，电池的输出功率为  $V_{oc}I_{sc}(FF)$ ，通过寻找  $IV$  乘积的最大值再除以  $V_{oc}I_{sc}$  求得，尽管不存在显式的解析公式，FF 可由下列经验公式给出：

$$FF = \frac{v_{oc} - \ln(v_{oc} + 0.72)}{v_{oc} + 1} \quad (8.3)$$

其中  $v_{oc}$  是归一化的开路电压，即  $V_{oc}/(nkT/q)$ 。当  $v_{oc} > 15$  时，该公式的精度可达到 4 位有效数字。实际上，由于受串联和并联电阻的影响，填充因子的值要低于式(8.3)所给出的理想值。

用经验的方法计算转换效率极限依赖于  $I_{sc}$  和  $I_0$  的选取。对于  $I_{sc}$  假设所有能量高于带隙的光子产生的电子-空穴对都产生了电池的输出电流。对于  $I_0$ ，由于各种新型的半导体材料的二极管设计方法不同，需在公式中加入优化的材料参数值。研究表明，决定  $I_0$  大小的关键参数是半导体的禁带宽度  $E_g$ ，以下的经验表达式给出了  $I_0$  的低限<sup>[11]</sup>：

$$I_0 \geq 1.5 \times 10^5 \exp(-E_g/kT) (\text{A/cm}^2) \quad (8.4)$$

由于随着  $E_g$  的增加  $I_0$  迅速减小，而  $V_{oc}$  随  $E_g$  的增加而增加。 $I_{sc}$  的趋势则相反（随着  $E_g$  的增加，太阳光中的能量大于  $E_g$  的光子数减小），这一关系表明，存在一个最佳的  $E_g$  使得能量转换效率最高。利用式(8.4)，这一最佳值为  $E_g = 1.4\text{eV}$ ，与 GaAs 的禁带宽度接近，利用 GaAs 已实现了转换效率高于 25% 的太阳电池<sup>[12]</sup>，

而最好的硅电池的性能目前也已接近这个水平。

采用经验公式计算最大效率的方法的缺点在于该方法紧紧依赖于电池目前的设计，更基本的方法还有待研究。

#### 8.2.4 辐射复合

1960 年，Shockley 和 Queisser<sup>[16]</sup>提出了一种更基本的计算太阳电池最高转换效率的方法。该方法认为尽管可以通过改善材料质量以减少载流子由于杂质和其它缺陷引起的复合，但载流子的辐射复合是器件中复合的低限。由于  $I_0$  与复合率在整个器件体积内的积分有关，于是利用辐射复合，也给出了可接受的  $I_0$  的低限。

由辐射复合引入了“光子循环”的概念<sup>[25]</sup>。在该过程中，光子产生的电子-空穴对会发生辐射复合，而这种辐射复合产生的光子能量正好大于带隙。通过在器件中再吸收该光子，并产生电子-空穴对，可使光子出现“再循环”。这种载流子的产生降低了净复合率。

Shockley 和 Queisser<sup>[16]</sup>并没有追踪电池内部的情况，而是从外部分析了理想电池的光激发过程。黑体完全吸收入射光，显然是一个电池的最理想的特性，并能全部激发（以后我们将看到这并不是很理想的情况，将会使  $I_0$  增加）。在热平衡条件下，从单位面积的太阳电池表面，每秒激发频率为  $\nu$  的光子数由下列普朗克黑体分布函数决定：<sup>[16]</sup>

$$N_{ph}(\nu) = (2\pi\nu^2/c^2)[\exp(h\nu/kT) - 1]^{-1} \quad (8.5)$$

在半导体中，每一个净辐射复合过程产生一个能量大于带隙的激发光子。于是，考虑了光子循环效应后的整个电池内的复合率低限，可由电池表面激发出的能量大于带隙的光子数求得。考虑最佳情况，电池的背面是一个全反射体（并略去电池侧面的面积），所以可只考虑电池前面的发射。

Shockley 和 Queisser 进一步认为<sup>[16]</sup>，辐射复合率的积分随着加在电池上的正向电压的增加而指数上升，若假设载流子的迁移率极大，上述关系是可以得到证明的，而载流子迁移率极大的假设对于估算转换效率的上限是合适的。在这一条件下，小的载流子和准费米能级的梯度能产生大的电流。若不考虑“接触电阻”效应，在迁移率无限大的情况下，电池内电子和空穴的准费米能级为常数，其间的差值等于加在电池上的电压。于是电池体内的辐照复合肯定是均匀地、指数地随电压的增加而增大。这样，对于一个理想的黑体电池，不可避免的辐射复合是其中惟一的复合机制。该电池的特性可用式(8.3)求得，只是其中的  $I_0$  等于  $q$  倍的由式(8.5)给出的光子激发率对所有能量大于带隙的光子的积分：

$$I_0 = qA \int_{E_g}^{\infty} \left[ \frac{2\pi E^2}{h^2 c^2} \right] \left[ \exp \frac{E}{kT} - 1 \right]^{-1} dE \quad (8.6)$$

即

$$I_c \approx qA \left[ \frac{2\pi kT}{h^2 c^2} + E_g e^{-E_g/kT} \right] \quad (8.7)$$

为了简化，在积分中，由于所考虑的能量  $E \gg kT$ ，于是可把方括号中  $-1$  项略去，并且考虑到了  $\exp(-E/kT)$  在积分的下限处有一个很大的峰值。与该部分对积分起主要作用的急剧变化的部分相比，积分的其余部分可看为常数。忽略  $-1$  项后的准确值是用  $E_g^2 + 2E_g(kT) + 2(kT)^2$  替代  $E_g^2$ 。通过把式(8.6)方括号中的项按  $\exp(-E/kT)$  展开，便可以计入  $-1$  项的影响（在半导体领域中，积分中含有指数的情况大量出现， $-1$  级近似是一种便利的方法）。

对比式(8.4)和式(8.7)可看出两点，这两个式子都与带隙存在强烈的指数性的依赖关系。但由于  $E_g^2$  项的存在，基本的方法对低带隙材料稍为“优惠”些。这是由于基本的方法中降低了低带隙材料在带隙边缘的光子态密度，使得最佳的带隙值与经验的方法相比略有下降。而且， $I_c$  的计算值也更加低。当  $E_g = 1.4\text{eV}$  时，式(8.7)中指数前的因子为  $5.8 \times 10^2 \text{A/cm}^2$ ，而式(8.4)中为  $1.5 \times 10^5 \text{A/cm}^2$ 。这并不令人吃惊，因为该值是基于最好的实验数值，而其它的值是基于最可能的值。

在标准的 AM1.5 谱下，禁带宽度在 Si(1.2eV) 和 GaAs(1.42eV) 间的任何单个电池的辐照效率极限接近 33%，由于本征过程在辐射复合的极限之前便发生作用，即使最理想的材料也不可能达到辐照效率的极限。如，硅的本征俄歇复合过程使硅电池的效率极限约为 29%，而非 33%。

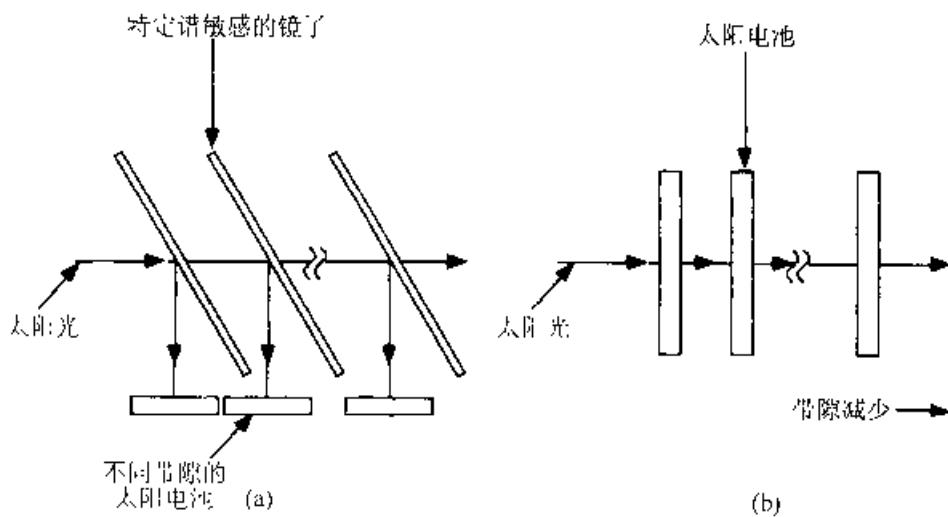


图 8.5 多隙电池的原理。  
(a) 谱分割方法；  
(b) 串联电池方法(引自 Green 之文献[11])

原则上，超过这一转换效率极限的最简单的办法是采用“谱分离”，将太阳光分成一系列窄的波段，对于每一波段逐段选择优化带隙，如图 8.5(a)所示，原理上这样做可能得到更高的性能(转换效率高于 60%)<sup>[24, 25]</sup>。幸运的是，简单的叠层

电池其最上层的带隙最大，如图 8.5(b)所示，它可以自动地实现谱分离效应，这种级联电池是提高电池转换效率的一种合理的、实用的途径。

### 8.3 硅太阳电池：单晶、多晶和非晶

#### 8.3.1 硅的优点

硅是太阳电池应用中的一种理想材料，硅无毒，是地壳中储量第二大的元素。大量使用时，环境污染和资源耗尽的威胁小。由于硅广泛应用于微电子工业，已有了完备的技术基础。

鉴于上述优点，目前绝大多数商业化的太阳电池理所当然是用硅制作的，硅主要分为单晶硅、大晶粒硅(大晶粒的多晶硅)和非晶硅三种形式。为保证非晶硅有一定的电学特性，在硅中加入了 10% 的氢，形成硅氢合金。于是材料的特性与单一元素的单晶硅有了很大的区别。

以下将介绍各种硅电池的发展过程，电池的设计和当前的研究方向。

#### 8.3.2 单晶硅电池

**电池设计的演变<sup>[23]</sup>** 1941 年提出的第一个硅电池是利用大晶粒硅制成的，直到 1954 年才报道了第一个单晶硅电池。图 8.6 示出了实验室中电池由发展初期开始的演变过程。由图可见，50 年代到 60 年代初，电池性能有一个非常快的发展，这归因于空间飞行对电池的需要。在 60 年代有一稳定的时期，性能变化不大，到了 70 年代初又有了一个迅速提高。自 80 年代初期开始，尽管商品化的硅太阳电池仍主要采用 70 年代的技术，但在器件研究方面却不断地取得进展。

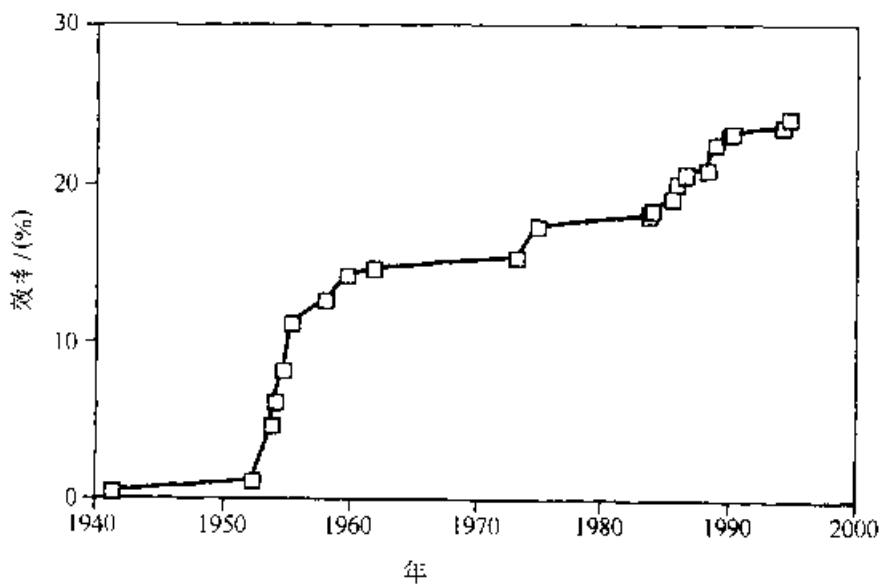


图 8.6 实验室中硅电池的效率的发展

图 8.7 示出了一种用于外层空间的典型太阳电池产品的结构。这种太空用的电池采用标准的微电子工艺制备。单晶硅衬底采用柱面结晶生长的 Czochralski (CZ) 法制备，并用内径锯切割成大圆片<sup>[1, 2a]</sup>，在单晶生长的过程中掺入硼，其电阻率在  $2\Omega \cdot \text{cm}$  到  $10\Omega \cdot \text{cm}$  之间。在电池的上表面扩散少量的磷形成 p-n 结，其薄层电阻约为  $100\Omega/\square$ 。选择适当的条件形成一个浅的(结深接近于  $0.25\mu\text{m}$ )磷重掺杂区，其掺杂浓度接近于固溶度。由这种扩散形成的浅结，通常称为“发射区”扩散，使得结和表面间的光生载流子更易被结收集，即这些载流子更易于向结区移动，而非在表面或传输过程中复合。有上述性质的薄发射区常称为对少数载流子“透明”。通过抑制表面少数载流子的浓度可抑制表面复合速率。

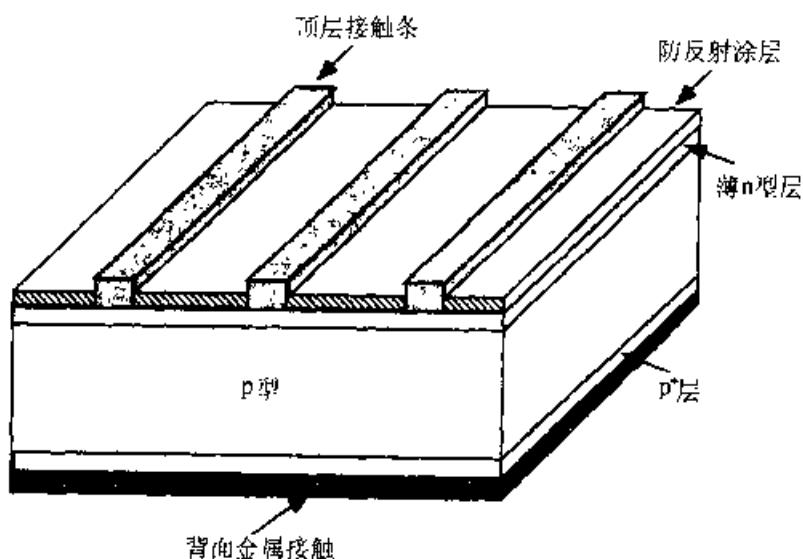


图 8.7 传统的硅空间电池

通过在电池的背面蒸发一层铝合金，可形成“重-轻”型掺杂的 p<sup>+</sup>-p 结。在高-低结中存在的静电场常被称为“背表面电场”(BSF)。尽管这一术语已被广泛接受，但由于是 p<sup>+</sup> 区而非电场抑制了接触内 p 型区的少数载流子浓度，这种名称毕竟不是非常恰当。p<sup>+</sup> 区的作用可通过沿 p-p<sup>+</sup> 界面的表面复合速率来描述。这一速率比沿硅-金属界面的要低。表面复合速率的降低有益于提高电池的  $I_o$  并能在电池背部的 p 区中收集所产生的载流子。于是 BSF 的引入使  $V_o$  和  $I_o$  都得到提高。

在太空中应用的硅电池通常采用 Ti/Pd/Ag 多层结构作为前面和背面的金属电极。首先采用真空蒸发的方法淀积 Ti，以使多层结构能牢牢地黏附在下层的硅上。最后淀积银，以提高该三层结构的电导率。通常采用真空蒸发或电解的办法。中间的 Pd 层作为阻挡层以消除由于水分的存在而引起 Ti 和 Ag 间的有害反应。为提高背面的反射，通常在淀积 Ti 之前先在电池背面接触区上蒸发一层 Al。利用这种方法提高反射能力后的背面接触称为背表面反射器(BSR)。

为降低电池前表面的反射，可在该表面蒸发单层的减反射膜(SLAR)  $TiO_2$  或  $Ta_2O_5$ ，也可采用高性能的双层膜(DLAR)，即在  $TiO_2$  上再淀一层  $Al_2O_3$ 。

这种太空电池的性能在图 8.6 所示的优异性能的电池中属于中等水平。在空间辐照为零大气质量(AM0)时，DLAR/BSF BSR 电池的能量转换效率约为 14.5%~15%。在 AM1.5 时，由于这种谱更适合于硅，其转换效率可达 16%~17%。对于太空电池，初始性能或使用刚刚开始时的性能(BOL)并不是惟一重要的参数。在太空，电池通常暴露在地球辐照场的有害高能粒子(电子、质子等)中。而地面上使用的电池(幸运的是包括我们本身)，有地球大气层的保护。电池设计的又一个重要参数是在太空飞行使用末期(EOL)的性能<sup>[23]</sup>。当代的设计方法能设计出较高的 BOL 性能，但只能得到稍高甚至较低的 EOL 输出。

在太空中，电池工作的另一个重要指标是热性能。由于热辐射是在外层空间的真空情况下热损失的主要途径，因此热性能主要由电池吸收光子的数量和电池对红外区的吸收能量再辐射的热辐射系数决定。由于太阳光谱中的红外光是被反射出去的而非被吸收的，所以 BSR 电池具有非常好的热性能。

图 8.7 所示的太空电池是 70 年代初期发展起来的。随后电池的发展主要沿着两个重要的方向演变。一是向低制作成本的地面应用发展，另一个是朝着实验研究和高性能应用场合的高转换效率器件方向发展。尽管这是两个完全不同的方向，但在发展中，这两个方向又是相互作用相互影响的。

**陷光结构电池** 图 8.8 示出了转换效率为 24% 的 PERL(无源发射极背面局部扩散)电池的结构<sup>[23]</sup>，已有大量的这类电池用于需要性能优异的特殊使用场合，如太阳能汽车赛。对比图 8.7 所示的标准太空电池，可以发现一些性能改进之处，最显著的是在电池表面采用织构(texture)，其形状为“倒置的锥体”。通过采用各向异性刻蚀，使(111)晶面的刻蚀变慢便可以得到这种结构。这种技术也在其它的微电子技术中得到应用，如 VMOS 场效应晶体管的 V 形槽<sup>[10]</sup>。对于太阳电池，首先选择(100)晶向的硅片，把(111)的四个等价面都暴露出来作为刻蚀面。在 PERL 电池表面选择氧化形成掩模图形以决定锥体位置。锥体的底边为  $10\mu m$  宽。

锥体有一系列的光学作用，第一个好处是能够减小电池上表面对入射光的反射。垂直入射的入射光，以一定的角度投射到倾斜的(111)等价面上。由于(111)面与原先电池的表面成  $54.7^\circ$  角，光被反射至下方，多增加了至少一次与电池作用的机会<sup>[23]</sup>。即使没有镀减反射膜，在硅表面任一点反射的机会均可达到 30%。于是经过两次反射后，剩下未被吸收的光约为 9% ( $30\% \times 30\%$ )。若有减反射膜，在一定波长下，第一次入射后反射的光在 10% 以下，两次后反射光减少到 1% 左右。

由于锥体使光折射入电池并斜着穿过电池，于是表面织构的第二个作用是使光的吸收与电池有效的浅结靠得更近。第三个好处是针对光的弱吸收成分，即在一次穿过整个电池的过程中未被吸收的那部分。由于 PERL 电池的背电极与硅层

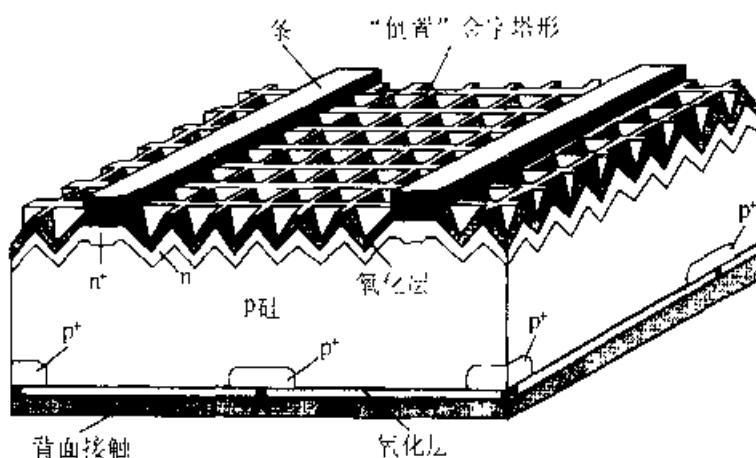


图 8.8 高性能的 PERL 电池

之间由氧化层隔开，因此其背反射比直接接触时更强（背电极多层膜中最下层的铝的反射率由约 85% 提高到 97%）。于是大部分的弱吸收光到达背面后，又被这一高效的反射器反射，从内部折回到前表面。这些光可能从内部投射到锥体的三个表面中的一个。如果光投到入射进来的那个斜面的背面，则这部分光直接射出了电池。大约有一半的光沿这条路径传播<sup>[23]</sup>。对于投射到其它两个面上的光，入射角度恰能发生至少一次内反射，于是又再向电池的背面传播。由于入射到硅表面的光只有在  $16^\circ$  角以内的或者是几乎是垂直的才能透射 ( $\sin^{-1}(1/\bar{n})$ ，其中  $\bar{n}$  为硅的折射率)，在每个两次传播的过程中，光的方向变得越来越分散，于是只有一小部分的光透射出电池（对于完全随机的光为  $1/n^2$  或 9%）。

通过增加弱吸收的红外光的光路，电池的输出电流得以增大。通过这种“陷光”方法光的弱吸收部分的光路可增加  $4n^2$ <sup>[31]</sup>。原则上，和在聚能器系统中的情况类似，只要仔细设计接收光的方向，电池中的光路还可进一步优化<sup>[23, 31]</sup>。由于陷光增加了电池的光吸收，可能使工作温度增加，工作温度增加会引起输出电压的损失，抵消输出电流的增加，因此，对于太空电池来说，这并不总是一种好的特点。

另一个重要特点是 PERL 电池几乎完全被一薄层热生长的氧化层掩蔽（包裹）起来的，该氧化层的作用是减少界面陷阱态密度以降低硅表面电活性（即钝化），这在微电子技术的其它领域中常用<sup>[15]</sup>。大量的表面钝化使电池表面的复合率降低，于是无需进行重的表面掺杂，这增加了设计的灵活性。与 n 型区接触是通过钝化层中的沟槽实现的，与 p 型区的接触则是通过形成小孔实现的。接触部分下面的区域需重掺杂以减少少数载流子的浓度，抑制复合率。

电池上还可以加 DLAR 层，为使 DLAR 层在光学上能起作用，下层的钝化氧化层的厚度必须小于 20nm。上表面薄的钝化氧化层与背面的钝化层并不是同时生长的，背面的钝化层厚度是上表面的 10~20 倍时效果最好。

在采用浮分区(FZ)或磁场约束的切克劳斯基(MCZ)法生长的硅衬底上制备出的器件性能最好。这种硅衬底的电阻率为 $1\sim 2\Omega \cdot \text{cm}$ ，这是由于这种生长法在生长的过程中能够维持少数载流子有较长的寿命。由于太阳电池要求整个硅片各处都有好的质量，于是在其它微电子技术中，常用的内部氧化沉淀吸杂方法难以适合于太阳电池制作。在用上述方法生长的衬底上制备的电池中载流子寿命在 $1\sim 10\text{ms}$ 之间，与硅中所能测量到的最佳值 $30\text{ms}$ 比较接近<sup>[32]</sup>，但采用传统的CZ衬底的PERL电池则略逊一筹。

如前所述，尽管最初PERL电池的提出是出于研究目的，但是随着发展，它们逐渐被用于高级太空电池和太阳能赛车。而氧化钝化、用重掺杂钝化接触区等方法已在低成本的电池产品中得到应用，如以后将介绍的埋接触电池。在转换窄波段或单色光时PERL电池也能有接近50%的高效率<sup>[33]</sup>。这使得PERL电池在激光束能量传输和热光电能量转换等方面有一定的应用前景<sup>[30]</sup>。PERL电池也可用于转换强度高达50个太阳的聚集太阳光，在这强度之上需采用新的设计，而背接触电池能得到好的结果。

**背接触电池** 图8.9所示的背接触电池采用了一种有趣的结构<sup>[12, 23, 35]</sup>，其中包括采用条状交叉的方式把p型和n型接触都从电池的背面引出。由于光生载流子只集中在上表面的几个微米的范围内，它们必须扩散到背面才能被收集。为降低载流子向背面扩散过程中由复合引起的载流子损失，要求电池必须很薄(通常厚度小于 $150\mu\text{m}$ )，并且载流子的寿命需要很长。为减少前端光照面的载流子复合，极高质量的表面钝化也是至关重要的。尽管在这些器件中采用在电阻率为 $100\Omega \cdot \text{cm}$ 的轻掺杂n型硅上直接生长氧化层的方法能得到表面的高度钝化，但这种表面的性质在紫外光的照射下不稳定，这是由于硅中产生的热载流子注入到氧化层中引起的<sup>[46]</sup>。由于掺杂在电池的前表面增加了一个UV吸收层，因此在表面扩磷可以大大提高稳定性，其作用如SLAR涂层中的 $\text{TiO}_2$ <sup>[36]</sup>。

与PERL工作在相对较低的少数载流子注入水平上不同的是，这种背接触电池工作在高注入的情况下<sup>[35]</sup>。在强太阳光照射下，体内n区流过的电子和空穴的数量几乎相等，超过了低掺杂浓度的贡献。这大大消除了低注入时低掺杂区的电阻损失<sup>[35]</sup>。把两个电极接触都放在背面，不仅消除了传统设计中的阴影损失，而且还加大了从每个接触处提取电流的面积。如图8.9所示，在背金属化设计中有许多细致的考虑，使电池在具有低电阻的电学性能和热连接的同时，在两电极间又有好的电绝缘性。

这类电池已用于一系列集光的太阳能演示系统中。在非集光应用中，“本田之梦”(Honda)太阳能汽车使用的这种电池达7000多个，并赢得了1993年世界环澳大利亚太阳能挑战赛的冠军<sup>[37]</sup>。这些电池构成了一个 $8\text{m}^2$ 的太阳阵列，在如此大的面积上的能量转换率第一次超过20%。

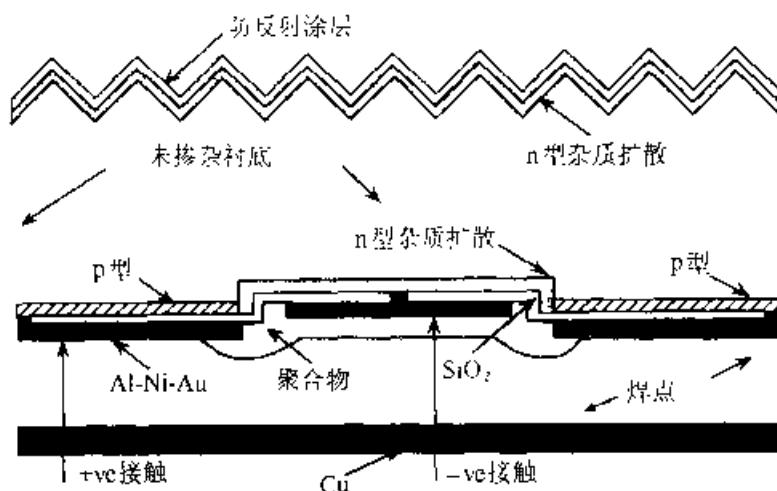


图 8.9 背接触太阳电池。在电池的背面形成 p 型和 n 型的接触，其间用聚合物隔离(根据 Verlinden 等人之文献[37])

**丝网印刷的商用电池**<sup>[23]</sup> 对于地面上的普通应用，最大的兴趣是尽可能地降低电池的成本，这通常是以性能牺牲为代价的。最常用的制备方法是利用厚膜混合微电子技术，所制备的电池的结构如图 8.10 所示。

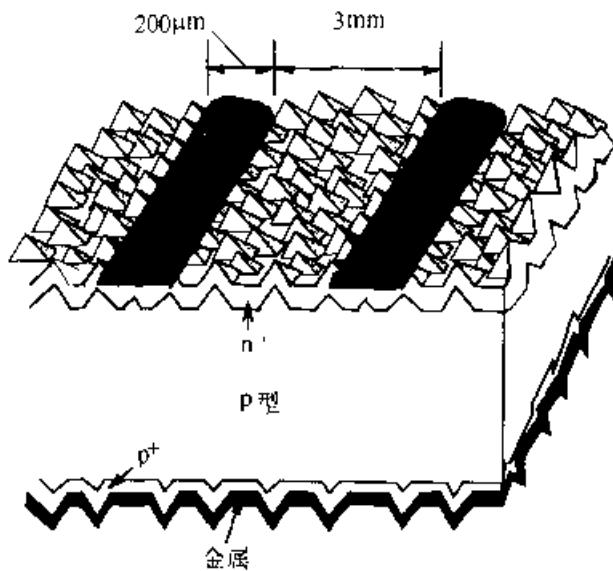


图 8.10 丝网印刷的硅太阳电池(图中未按比例画)

仍旧是在大圆硅片上制作，通常采用硼掺杂，电阻率在  $0.5\sim10\Omega\cdot\text{cm}$  的硅片。这些硅片有的是微电子工厂中再利用的非微电子标准的“硅片”，有的是多晶硅源中生长的非标准品，为得到“准方”的硅片，柱面 CZ 生长的晶体在切割成硅片之前先切成方的。然后采用内径锯或连续的线锯切割成厚  $200\sim400\mu\text{m}$  的硅片。在 NaOH 溶液中腐蚀掉切割损伤后，硅片在弱各向异性的 NaOH 溶液中腐蚀形成组织，以得到随机分布的向上的锥体如图 8.10 所示，锥体的理想底边长  $5\sim10\mu\text{m}$ 。

然后是扩散，采用混合微电子技术中常用的管状炉或带状炉。前后接触采用

混合微电子技术中的丝网印刷银胶的方法形成。对于前面的接触，引线丝网的栅格结构限制了线的宽度，经济的做法是使线宽在 $150\mu\text{m}$ 左右。低的占空比(高-宽比)、较宽的线宽和烧制后银的较差导电性从根本上限制了这类器件的性能。另一限制是为了保证足够低的接触电阻，表面扩散层必须足够厚并且重掺杂至方块电阻接近 $40\Omega/\square$ 。如前面在太空电池中所讨论的，这不是一种理想的情况。表面附近产生的载流子未被收集，使蓝光波段的响应变差(在硅中对这一波段吸收得快)。在上表面银胶中常加磷以降低接触电阻。

背面电池采用了一系列的改进。最简单的情况下，一些制造商直接用丝网印刷银胶恰如前面的接触那样。另有一些制造商在银胶中加入铝，以便在烘烤银胶时由铝合金同时形成BSF。还有的方法是先印刷、烘烤铝胶形成BSF，然后再印刷烘烤银胶。然而银和铝会相互反应，为此必须增加额外的工艺步骤。

廉价的减反射膜通常采用的是 $\text{TiO}_2$ 。在空气中它提高电池性能约8%，但在采用玻璃或其它具有类似折射率的材料封装后只能达到4%左右。

这种电池一般是直径为 $10\sim 12\text{cm}$ 的圆形或每边为 $10\sim 12\text{cm}$ 的准方形。采用这种丝网印刷方法制成的电池的能量转换效率一般在12%~14%。封装成组件后，组件的效率在10%~13%。

利用这种技术的太阳电池样品在70年代初期已制备成功，80年代初成为标准的商用电池。如图8.6所示，此后在实验室中电池的性能取得了很大的进展，以下将介绍的埋接触太阳电池对商用电池进行了一些革新。

**埋接触太阳电池**<sup>20,381</sup> 由于要求金属化方法简单，很难通过改进丝网印刷方法来提高电池的性能。大部分的进展是通过采用全新的方式实现的。如图8.11所示，最成功的商用换代产品是埋接触电池。这种器件在90年代初由太阳电池制造商(Bpsolar)在其公司的“saturn”生产线上投产并商品化，而且从那时起产量逐渐增加。

如前所述，丝网印刷太阳电池的方法以牺牲一部分性能为代价，换来了工艺的简单。克服这一限制的方法就是寻找能兼顾性能的简单的金属化方法。在埋接触方法中金属化采用了无电极淀积 $\text{Ni}/\text{Cu}/\text{Ag}$ 多层膜的方法。这种金属化的方法比丝网印刷法更廉价，但在导电性和接触电阻等电学性能方面较丝网印刷的方法好。最初这种金属化方法的缺点是缺少在所淀积的金属上形成图形的简单办法，埋接触法巧妙地解决了这一困难。

埋接触电池工艺的最初几步与丝网印刷电池相同。硅片在腐蚀掉切割损伤后进行化学织构。扩散形成电池的前结，其掺杂浓度比丝网印刷的电池低一些，并在扩散表面上热氧化生长二氧化硅或淀积氯化硅。

在介质层及其下层的部分硅上用激光刻出深槽，清洗后进行第二次扩散，这次要比第一次扩散掺杂重。由于除了沟槽区域外，其它部分全被介质覆盖，阻挡

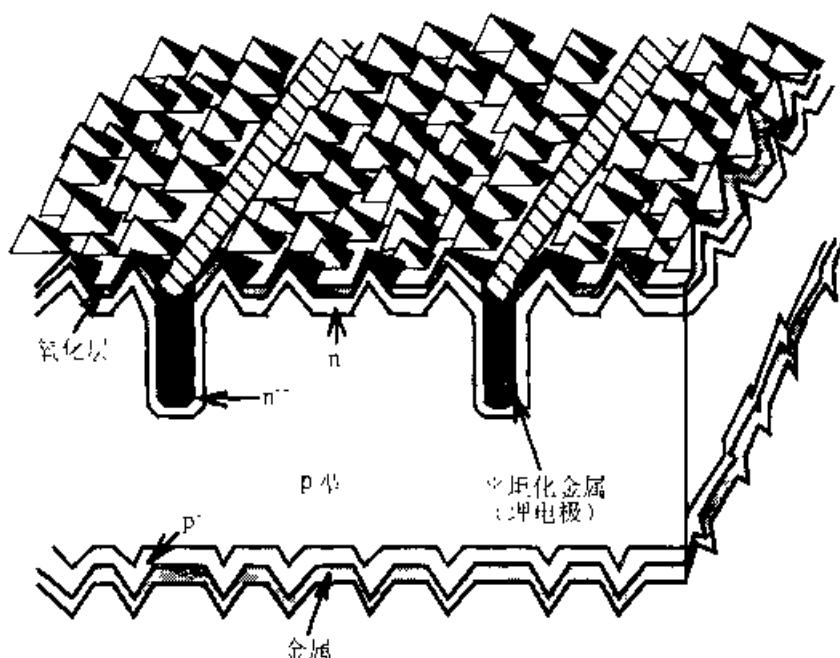


图 8.11 埋接触太阳电池

了杂质的扩散，于是扩散自动地聚集在沟槽周围。然后在背面淀积铝，合金后形成背面的 BSF。接着将电池放入无电极的电镀液中，在导电的区域中选择淀积金属，由于上表面除了沟槽外其余区域全被介质覆盖，于是只有沟槽和整个背面镀上了金属。

埋接触电池在提高性能方面采用了一些非常有效的方法。这些有效方法的关键是在前表面应用了介质层。它不仅在扩散和电镀中作为掩模，而且还在电池中担任前表面钝化和减反射膜的角色。

由于对提高效率重要的是接近于理想的上表面扩散和表面钝化，因此性能优化可以独立进行，而与接触阴影和接触电阻无关。于是，埋接触电池能够很快地几乎全部吸收蓝光波段的光，比丝网印刷的电池的性能提高了约 15%~20%。由于金属线条可以比丝网印刷电池的窄，于是降低前表面金属引起的阴影损失也可使性能大大提高。在电池的设计中这又可使性能提高 5%~10%。另一方面的性能提高来源于好的金属导电性，由于电镀金属（主要是铜的电导率）要比丝网印刷的银高 3 倍，而且沟槽也更陡了，增加了截面积。还有一个好处是接触电阻降低。这些电阻的改善合在一起又可进一步使性能提高 5%。还有一个较难定量描述的改进来源于激光成槽，槽的重磷扩散和背面铝 BSF 层的形成对电阻体区是一种有效的吸杂方法<sup>[24]</sup>。

成品生产使用了标准 CZ 硅，电池的相对效率会增高 25%~30%<sup>[25]</sup>。采用埋接触法生产的电池的效率在 16%~18% 之间，而在同样的衬底上制备的丝网印刷的电池的效率在 12%~14% 之间。几年来生产实践的数据表明，生产这种改进型电池单位面积的成本与丝网印刷电池的相同<sup>[26]</sup>，这样在单位输出功率的成本上有

显而易见的优势，并给安装成本带来了额外的好处。

进一步的改进集中在用类似于前表面的沟槽替代背面铝 BSF。这形成了与前述可实现硅太阳电池最高效率的 PERL 电池类似的结构。在较薄硅片上使用这种技术，在 CZ 衬底上的商业电池产品的效率最终能达到 20%。

### 8.3.3 多晶和带状层错硅片

与集成电路相比，在光伏应用中可以使用质量较差的材料而不会引起较大的性能退化，制备硅太阳电池所用的衬底可以不选用 CZ 方法生长的硅片，这促进了太阳电池的发展。

采用大晶粒多晶(多单晶)晶锭可在技术上放松对制备工艺的要求，如图 8.12(a)所示的浇注(包括在坩埚中的固化)。由于可制备较大的晶锭，生长设备的单位投资可得到更高的产量，这种较简易的工艺可降低晶锭的成本。如图 8.12(b)所示，在切割成硅片之前，晶锭可锯成小块。更大尺寸需求和成熟的集成电路工业抵消了这些优势。这意味着可以使用“不合规格”的硅片或旧的 CZ 晶片，从而使成本低于主流产品的成本。

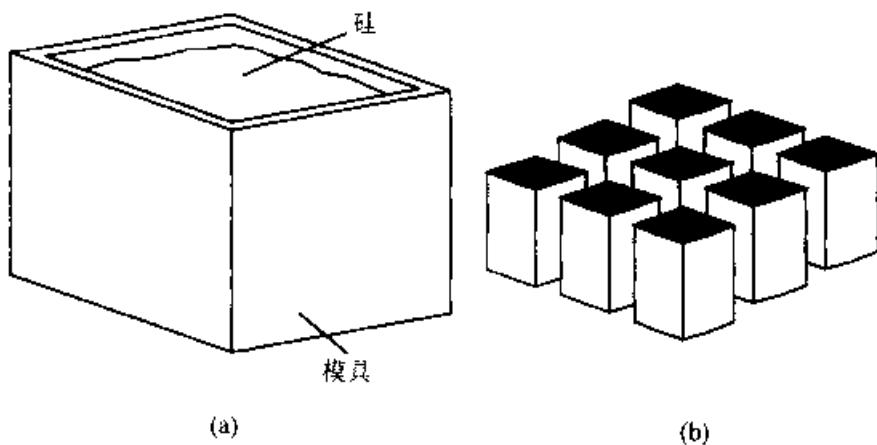


图 8.12 (a) 在坩埚中固化的多晶硅锭；(b) 硅锭切割成多块

最理想的生产工艺是直接制备大的硅片，最接近这一理想的是两种带状层错生长工艺<sup>[39]</sup>：图 8.13 示出了边缘束缚注膜生长(EFG)法和枝状晶体网的方法。第一种方法利用石墨模具规定生长的方法，而第二种方法则依赖于结晶区域的温度控制。这样实用的衬底制备方法和 CZ 衬底相比有许多不同之处。衬底质量总是变差，其更多的变化在于更大量的化学沾污和存在结晶缺陷，最严重的是晶粒间界。衬底通常不再是为降低反射损耗由结晶组织所要求的(100)取向。对于上述变化，为了利用这些材料能够得到好的性能，需要在制备工艺上作适当的调整。

由于形成结晶组织已不大可能，因此需要采用一些其它控制反射方式的方法。在生产中，常用  $TiO_2$  或  $Si_3N_4$  的四分之一波长减反射膜。采用  $TiO_2$  是由于在这种应用场合中， $TiO_2$  是具有很理想的折射率和易于采用喷涂或其它常压沉积

方法的简单制备工艺。采用常用的硅烷( $\text{SiH}_4$ )作为源材料淀积  $\text{Si}_3\text{N}_4$  则比较困难。而由硅烷释放出的氢结合到膜中或衬底上能降低许多种缺陷的电活性。

硅中的晶粒间界具有很强的电活性，起到不良复合中心的作用，尤其是在掺入杂质后更是如此。为了得到可接受的电池性能，硅片中的晶粒尺寸至少应有几个毫米。硅片间晶粒性质的变化引起电池间性能的变化。如果氢以原子形式引入硅片<sup>[43]</sup>，通过和化学悬挂键的结合或在缺陷区的络合，中和了一些电活性的晶粒间界及其它结晶或化学缺陷。这提高了电池的特性，尤其是对性能最差的电池，使电池特性的分布变得集中。

商用上，引入氢的方法之一便是利用前述  $\text{Si}_3\text{N}_4$  减反射膜的淀积，尽管其中包含着复杂的工艺步骤。另一种用于试验性产品的方法是在电池制作的后部工艺用氢离子轰击电池<sup>[40]</sup>。

材料的化学沾污也对工艺提出了与 CZ 衬底不同的要求。这种材料的益处是比 CZ 衬底低的加工温度和更有效的吸杂处理，浓磷扩散和铝 BSF 处理是特别重要的吸杂步骤，至少可以起到部分补偿作用<sup>[41]</sup>。有时加入其它杂质能够提高性能。铜提高电池性能的原理和氢类似，而高的氧含量能提高 EFG 带状层错的质量，这可能是由于铜与来自石墨模具中的碳相络合的结果。

利用多晶或带状层错材料的最经济的工艺是前述 CZ 衬底所用的丝网印刷方法，通常加入化学织构步骤，这至少能够部分降低多晶材料的反射损耗，使织构刻蚀中晶粒不至于太偏离(100)取向。然而，由于刻蚀过程中晶粒间的刻蚀速率不一，织构会引起表面粗糙，这可能危及丝网印刷中金属线条的连接。由于上述原因，制备过程中的温度也与 CZ 材料的不同。与 CZ 材料中的情况不同，另一种减反射膜材料  $\text{TiO}_2$  通常是在制备工艺流程的最后加入的。总之，由于材料质量较差，电池性能要低于用 CZ 材料的。但由于这时硅片通常制成正方形或长方形，在最后的组件封装中，封装密度比圆形或准方形的 CZ 硅片的密度要高。在组件层次上，几何形状上的优势大大弥补了电池层次上效率的弱点。

诸如埋接触等改进的电池工艺用这种材料取得较好的效果。在实验室中已实现了电池表面的机械织构，并提高了电池的性能。

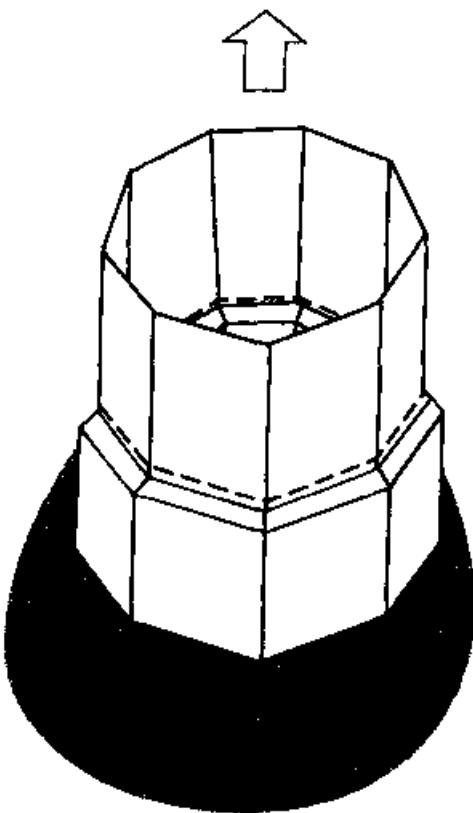


图 8.13 利用边缘束缚注膜法生长的枝状晶体网的带状层错硅(nonogonal tubular ribbon of Si)(根据 Green 之文献[23])

然而高效率工艺在这种材料上使用的效果不如在较高质量晶体材料上的效果好，迄今为止，在这种衬底上利用最先进的实验室工艺所能达到的最高效率为 $1\text{cm}^2$  的电池上的 18.6%，远比晶体电池的 24% 要低<sup>[44]</sup>。

### 8.3.4 多晶硅薄膜电池

从 70 年代起，在外部支撑衬底上用淀积薄膜的形式制备电池以降低硅太阳电池的成本引起了人们广泛的兴趣。方法之一是在耐高温衬底如陶瓷上使用熔融砂，另一种方法是在铝片等低温衬底上采用物理汽相淀积等低温工艺。

70 年代中期氯化非晶硅（见 8.3.5 节）令人激动的进展削弱了对多晶硅研究的热情。直到 80 年代中期对于多晶硅薄膜的研究兴趣才有所复苏。这期间的一些进展有助于这一兴趣的回升。一是光陷理论的发展<sup>[23, 40]</sup> 和对于硅等弱吸收薄膜所能提高效率的估计<sup>[45, 46]</sup>。第二个进步在于提高体硅电池的效率，这导致了对于硅电池极限效率的重新估计，发展原理上极薄的硅电池可能有好的性能。第三是对 SOI 技术和多晶硅薄膜在有源矩阵液晶显示中的不断增长的兴趣<sup>[46]</sup>。

在  $100\mu\text{m}$  厚的膜上形成电池是这类电池中第一代实现商品化的产品<sup>[47]</sup>。此后很快发展了更薄的电池。引人注目的是最近制成的  $10\mu\text{m}$  厚的电池的能量转换效率达到 9%<sup>[48]</sup>。其做法是先在金属衬底上淀积非晶硅材料然后在  $600^\circ\text{C}$  下晶化。晶化温度是整个工艺过程中所达到的最高温度。

另一个进展在于多层集成并联电池的发明<sup>[49]</sup>，与传统的电池结构相比，这种结构更适合于质量较差的薄膜。图 8.14 示出了整个电池和组件的结构。电池中一些并联的结缩短了光生载流子被结收集前所走的路程，这放宽了对材料质量的要求。多层膜的接触和在埋接触电池中所用的方法类似。可将相邻的电池区串联在一起，直接在玻璃衬底上制备的电池组件效率预计高达 15%。

### 8.3.5 非晶硅太阳电池

**发展历史** 纯非晶的太阳电池电学特性很差。然而在 60 年代末期，研究发现辉光放电分解硅烷制成的非晶硅具有一些奇特的性质。这主要与组分中含有一定数量的氢有关（约是原子的 10%）。这种合金表现出很大的光电导，并通过在辉光放电中引入适当的含杂质的气氛（ $\text{PH}_3$  和  $\text{B}_2\text{H}_6$ ）可实现 n 型和 p 型掺杂<sup>[50]</sup>。

70 年代中期报道了第一个可用的电池。到了 80 年代初，通过在表面加入较宽带隙的 a-SiC : H“窗口”并引入光陷阱，电池的转换效率可提高到 10%。第一块商业产品很快获得成功。这种产品，直接面对消费市场，用小阵列电池作为计算器和数字手表的电源。尽管非太阳领域的应用更加重要，在消费产品的应用中，至今 a-Si : H 太阳电池在销售额中仍占主要地位。这种材料还大量用作光接受器，涂在光复印鼓上及用于有源矩阵液晶显示。

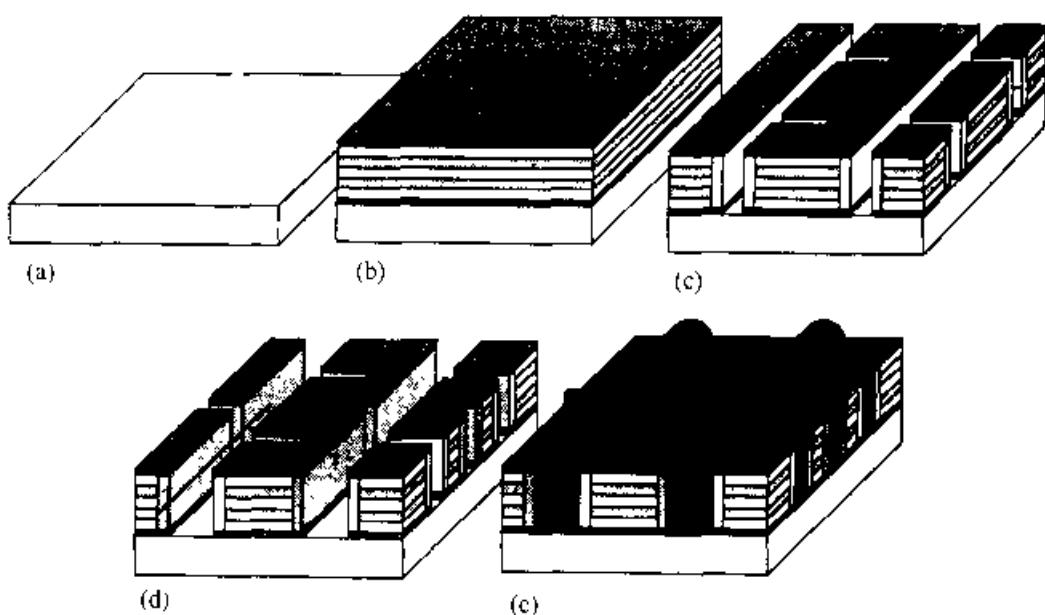


图 8.14 多层电池的制备。(a) 玻璃衬底(在最后的组件中成为上表面);(b) 多层膜的沉积;(c) 第一次取向槽(polarity groove);(d) 第二次成槽;(e) 金属化

对于大的户外电池组件,由于稳定性的问题所取得的进步比原先预计的慢。在光照条件下,氢对非晶硅性能的改善将会退化,这种“Staebler-Wronski”退化通常在使用的头几个月内使电池组件的输出陡降,此后输出趋于稳定<sup>[5]</sup>。生产商在非晶硅基组件上标出的通常是这种“稳定”的输出。

**电池的设计** 辉光放电是一种沉积 a-Si : H 及其合金的好办法。尽管和已发展起来的单晶半导体相比质量较差,但这种方法沉积的材料性质还是可接受的。只是载流子迁移率低( $\sim 1\text{cm}^2/\text{V}\cdot\text{s}$ ),少子扩散长度短( $\sim 0.1\mu\text{m}$ )。而且在半导体的价带和导带之间的正常“禁带”能隙中,还存在着一个连续分布的电子态。尽管这种材料可以和相应的晶体材料一样进行掺杂,但不是所有的杂质都能电激活,而且随着掺杂量的增加,材料的质量会严重降低。氢的掺入和材料的无序使这种材料的禁带要远远大于单晶硅,通常约为 1.7 eV。量子力学的选择定则使得单晶硅对光的吸收很弱,而非晶材料的无序却缓解了这一问题。然而 a-Si : H 的吸收仍不如下面将要讨论的直接禁带材料的吸收强,需用约 0.5  $\mu\text{m}$  厚的 a-Si : H 层才能收集适当数量的可利用的太阳光。

在所提出的电池设计中,最适合于利用 a-Si : H 性质的是图 8.15 所示的 p-i-n 结构。掺杂层通常做得很薄(<50nm)。这是由于在该层中产生的对光电流有贡献的载流子很少,然而这些掺杂层却在较高质量的 i 层中建立起电场,帮助收集 i 层中产生的载流子。这一电场使得在少子扩散长度之外的载流子仍能被收集。

决定载流子收集的重要参数是 i 层的材料质量,由“迁移率-寿命”的乘积再乘上 i 层中的电场强度来描述。该电场强度与 i 层间的“自建”势有关,而“自建”势又

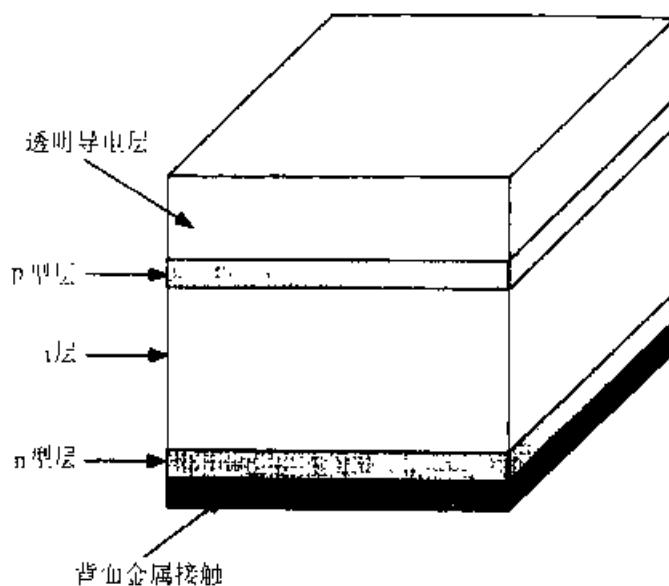


图 8.15 非晶硅 p-i-n 太阳电池的结构

是由两端的掺杂层和 i 层的厚度决定的。该电场的强度随着电池两端输出电压的增加而减少。这是在任何单晶电池中都没有的现象：光产生电流分量  $I_L$  不再如图 8.1(b) 所示的那样为一常数，而是随着电池两端电压的增加而减少，这导致了该类器件所固有的较低的填充因子，并降低了电池的输出功率。

在光照射下，材料的退化也减少了从 i 层中收集的载流子。于是 i 层厚度的选择必须以稳定后的材料性质为准，而不是以刚沉积完的材料性质为准。由于掺杂层薄且载流子迁移率低，这些层中的横向电导小。为能从横向把所产生的电流引出，在电池的两个表面上需有引出接触。通常阳光照射的那个表面的接触是透明导电的，常用简并的掺杂半导体 SnO<sub>2</sub>。背面的接触常为金属并且也作为电池的背反射器。

**商用电池** 第一个大型的非晶硅装置是建于美国加利福尼亚 Davis 的 400kW 系统<sup>[52]</sup>，在这一装置中所采用的策略是制作单位面积上尽可能便宜的非晶硅功率组件，其转换效率较低（只有 4%~5%）但稳定。如此低的效率，在受到诸如结构安装和引线等与面积有关的“系统平衡”花费的影响后通常会有负的效果。这确立了这种“系统平衡”花费的新标准。利用这一装置采用全新的支撑结构和安装技术<sup>[52]</sup>可与低转换效率的负面影响相抵消。

用于这些组件的基本电路结构示于图 8.16<sup>[53]</sup>。在 1.53m × 0.78m 的玻璃片上淀积一层 SiO<sub>2</sub>，随后在其上淀积宽禁带的透明导电材料——简并掺杂的半导体 SnO<sub>2</sub>，并用分束激光形成图形。在可生成表面织构的条件下淀积 SnO<sub>2</sub>，用这种方法可以提高成品电池中的“光陷阱”。然后在等离子放电系统中利用射频 (RF) 分解硅烷的方法在 48 个这种衬底上同时淀积 p-i-n 结形成非晶硅叠层。为保持好的材

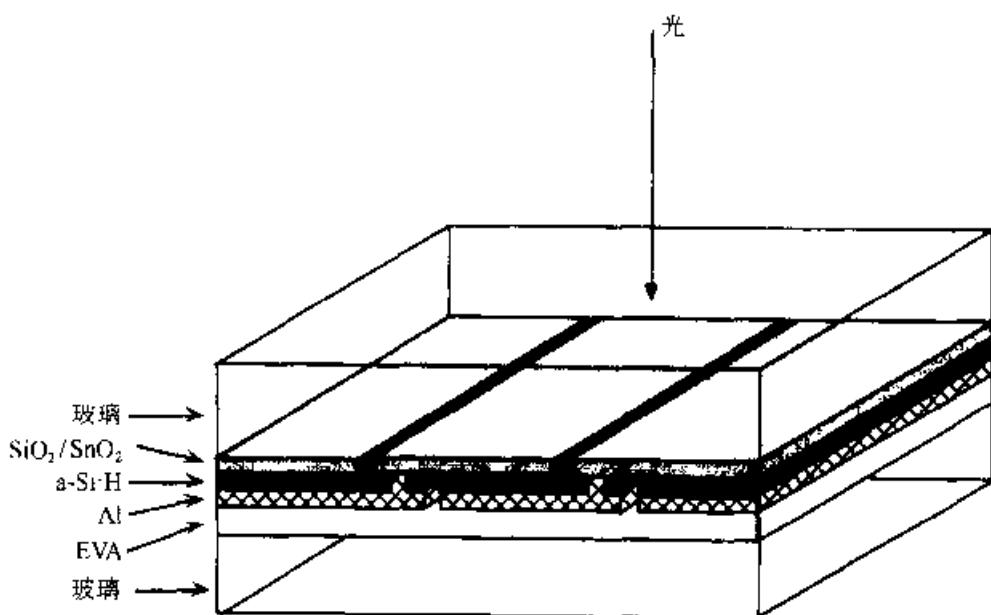


图 8.16 淀积在玻璃片上的串行连接的 a-Si 太阳电池，其背面玻璃用 EVA 粘结

料性质，淀积速率必须慢( $<5\text{ \AA/s}$ )。所幸的是，只需一很薄的 $0.3\mu\text{m}$ 的 a-Si : H 层。淀积 a-Si : H 后，第二次在激光系统中形成图形。随后在其余的硅表面溅射铝同时也用激光刻出图形。这一技术形成了一系列相互连接的电池。如图 8.16 所示，在电池的背面覆盖上带有黑层的玻璃后，组件便制作完毕了。

户外照射达到稳定后，这种大面积组件的能量转换效率在 4%~5% 之间，简单地利用透明电极如 ZnO 或  $\text{SnO}_2$  作为器件的背接触，然后再在其上使用铝层以提高光陷能力的方法只对性能有少量的提高。这种方法增加了光到达电池背面后的反射。用银替代铝可以进一步增加这种反射。

在一个电池之上再叠一个电池构成串联电池的结构可以进一步提高性能，如图 8.17 所示，上层的电池用于大量吸收蓝光波段的光，底部的电池用于吸收长波长的红光。由于非晶硅稳定后质量的不均匀性，即使上、下层电池都用同样的材料制作，这种串联方法仍能提高稳定后器件的性能。

上、下层电池之间非常容易形成分流所需的反偏 p-n 结，这是非晶硅串联电池工作特性如此之好的原因之一。与图 8.17 中产生光电压的其它两个结相反，这种分流的特点在于该结不产生光生电压。这种反偏结是在两个重掺杂区中形成的，由于这些区域中的电子特性差，难以获得正常的整流 p-n 结特性。

如果上、下两层电池采用不同的半导体材料，其中上层电池用禁带较宽的材料，这种串联电池可获得更好的性能。按照这种安排，串联电池具有介于两者之间的带隙，与单个电池相比能够响应的波长范围更宽。

非晶硅合金中加碳可增加带隙，而合金中含锗则能降低带隙。而且包含介于非晶和多晶间的混合相的微晶材料又增加了串联型非晶硅电池设计上的灵活性。

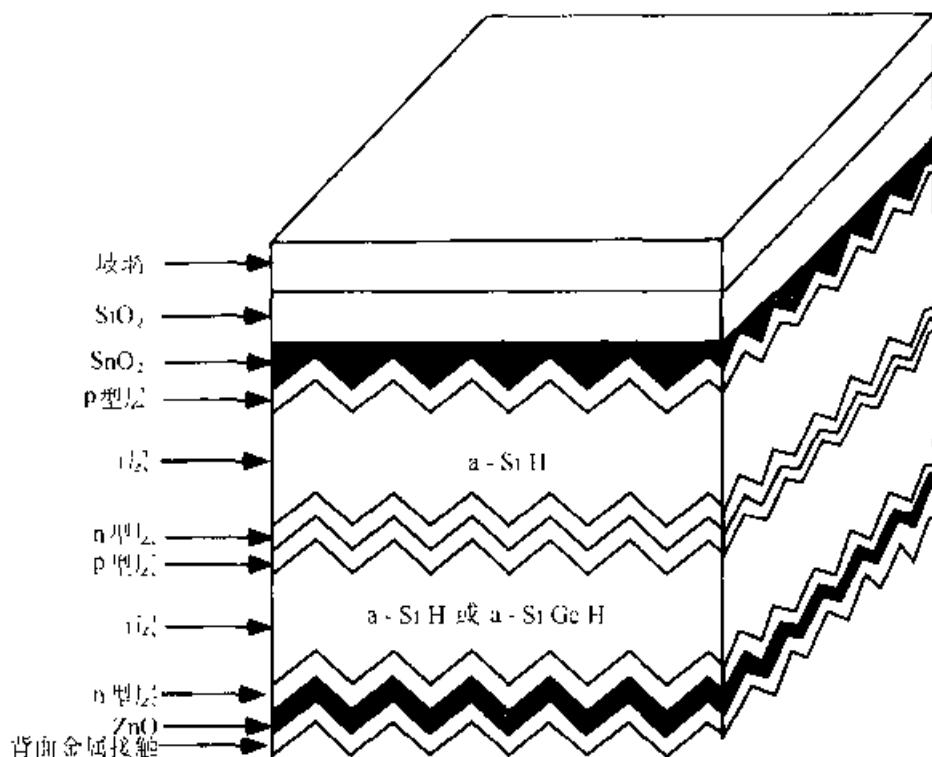


图 8.17 串联的 a-Si:H 太阳电池

上层采用标准的 a-Si:H，下层采用 a-Si:Ge:H 合金所制成的结构类似于图 8.17 所示的电池已发展成为商用的工艺。这种工艺制成的大面积组件稳定后的效率在 8% 上下<sup>[54]</sup>。

原则上，通过三个电池的叠置可能得到更高的效率。第一个研制成的具有 10% 以上稳定效率的 a-Si:H 电池组件就是采用了这种三结的方法，其上层电池用了 a-Si:H 层，下两层电池增加了厚度并含有组分逐渐升高的锗。

目前活跃的研究领域涉及提高产量的研究，如在保证一定的电池性能基础上提高材料的沉积速率及在气源中提高硅的含量等。其它工作涉及不断提高电池的性能，如改善这些电池中使用的透明导电氧化物的透光率和薄层电阻，或提高背接触的反射率。另外还有提高对材料性质认识方面的研究，以及利用新的沉积方法以克服现有材料的弱点等。例如，“热丝”沉积是一种被广泛研究的方法，它利用热阻丝产生的高温分解硅烷源。

## 8.4 化合物半导体电池

### 8.4.1 III-V 晶体电池

**历史回顾**<sup>[55]</sup> 有关电池效率极限的最早的半经验分析表明，最佳的半导体带隙在 1.4eV 左右<sup>[56]</sup>，比 1.1eV 要高。这刺激了第一块 GaAs 电池在 1967 年制备

成功，其转换率约为 9%。60 年代 GaAs 技术在半导体激光器和发光二极管（见第七章）方面的发展，迅速提高了器件的性能。70 年代初期制成了第一块效率接近 20% 的太阳电池<sup>[56]</sup>。其特点之一是利用电池上表面高度透明的  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  窗口以发挥 III-V 族合金系统的重要性能。自此以后 GaAs 基太阳电池的最高效率始终比硅太阳电池的最高效率高 3%~10%（相对值）左右。80 年代初金属有机物化学汽相淀积（MOCVD）的应用替代了早期的液相处延（LPE）技术，使效率明显跃上了一个台阶<sup>[57]</sup>。到 80 年代末，利用  $\text{Ga}_x\text{In}_{1-x}\text{P}$  作为窗口层制成了第一块效率达 25% 的电池。

大约在同时，III-V 族串联电池方面也取得了进展，通过选择合适的 III-V 族合金，可在衬底上淀积成一晶格匹配的串联电池。首先淀积低带隙的电池，随后是一隧道结和顶层较大带隙的电池，靠其隧道结与底层电池串联起来。80 年代末这类单片串联电池的性能首次超过了较简单的单结电池，并于 1996 年制成了效率为 30% 的器件<sup>[58]</sup>。

由于和硅相比 III-V 族材料技术比较昂贵，这类高性能的晶体 III-V 族器件仍未应用到廉价的地面应用领域。由于这类材料中的晶粒间界的电活性高，制作薄膜多晶 III-V 族材料电池的尝试格外令人失望。所以研究兴趣集中在了薄膜单晶电池上，这种电池的制作方法是利用化学的手段从可重复使用的衬底上移去有源层<sup>[59]</sup>。这方面已得到了好的实验性器件，如果用这种方法每年能生产 100 000m<sup>2</sup> 的电池，一些陆地电池生产厂商将面临严峻的挑战。

然而，III-V 族电池的市场定位是空间飞行器的供电，之所以如此是因为虽然电池成本较高，但其较高的效率所带来的较低搭载重量弥补了高成本的弱点。在空间应用上性能的提高超过了陆地应用的场合，这是由于这些电池能够承受较高的宇宙高能辐射损伤，尤其是那些经过优化效率设计的电池。这种空间应用电池的一个特点是在锗衬底上制备的 GaAs 基电池，而不是如实验室中最好的电池那样，制作在 GaAs 衬底上。这利用了锗衬底较好的机械性和热性能而牺牲了很少量的电学性能，尽管这些是单结器件，窄禁带的锗在利用 GaAs/Gc 串联器件提高性能上也有吸引力。

另一种 III-V 族化合物 InP，由于其承受抗宇宙环境损伤的能力极强，也在空间应用上显示了诱人的前景<sup>[57]</sup>。在聚焦太阳光的地面上系统中应用 III-V 族电池也已受到了极大的关注。这种电池的高成本的弱点被给定输出功率下所需要的面积较小所补偿。然而与利用单结 III-V 族聚焦电池不同，只有串联器件才带来了比稍微廉价些的硅聚焦电池更好的特性。

III-V 族电池的一个较新的潜在应用是热光电能量转换<sup>[55, 58]</sup>。在这一应用中，用传统的燃料把发射极材料加热到一高温，发射极通过在一小波长范围内发光而释放能量。利用特定带隙的太阳电池可以有效地把这一能量转化为电力。对于可

能用于空间飞行的小型发电设备，已有转换效率超过 40% 的报道。

**GaAs 电池** 典型的 GaAs 空间电池的结构示于图 8.18。在 n 型锗衬底上生长 GaAs 作为整个器件的 BSF。随后生长…较轻掺杂的 GaAs 层以构成电池的主体，由于 GaAs 是直接禁带半导体，能够强烈吸收太阳光，这一层只需几个微米厚即可收集绝大部分的入射太阳光。在轻掺杂 GaAs 层上生长 p 型 GaAs 发射区层，随后是一薄的 p 型 AlGaAs 窗口层。由于 AlGaAs 层难以形成接触，所以要在该层之上形成带图形的重掺杂 p 型 GaAs 层以改善接触电阻和与上层覆盖金属接触的可靠性，而不是在 p 型 AlGaAs 层上形成图形直接与下层 p 型 GaAs 层接触。最后采用  $\text{TiO}_2/\text{Al}_2\text{O}_3$  双层减反射膜。这类电池典型的转换效率为 18% AMO，在地面的太阳光下对应于约 20% 的转换效率。

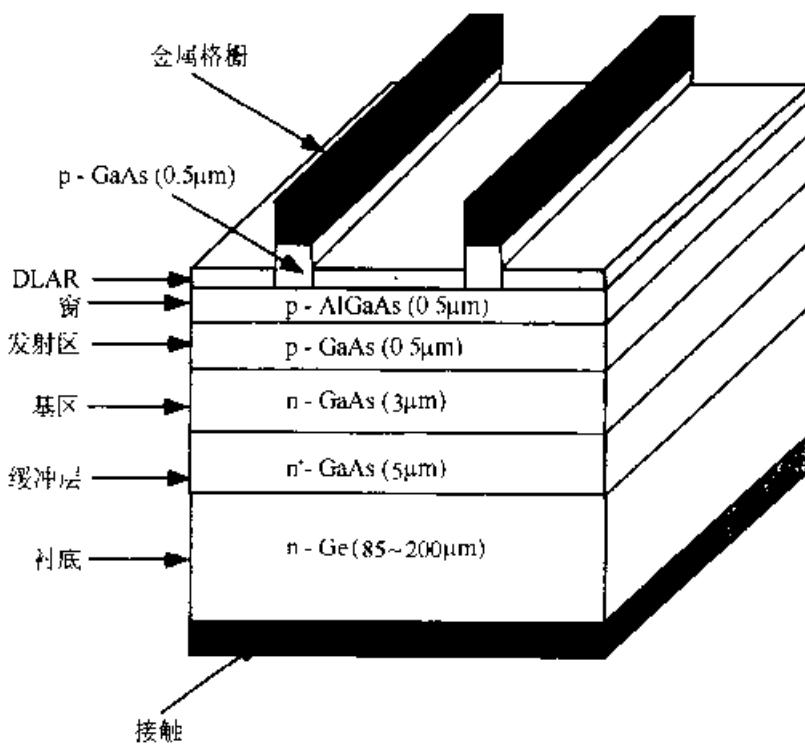


图 8.18 GaAs 空间电池

在下列几个主要方面，GaAs 电池与硅器件有着很大的差别：采用 AlGaAs 窗而非热氧化层来钝化前表面，并不能有效地形成低的表面复合速率，而且它是吸收的，从而减少了电子对蓝光的响应。由于 GaAs 强的光吸收，光陷阱机制并不像硅电池中那样大有好处。另外，较窄带宽的 GaAs 电池的响应和 AlGaAs 的低折射率减少了平面电池前表面的反射损失，削弱了表面织构的好处。

**InP 电池**<sup>[56]</sup> 这类电池由于承受宇宙环境损伤的能力极强，使它在空间应用上显示出诱人的前景。然而缺点之一是 InP 的晶格常数与可能用的做衬底的可大批量生产的半导体(Si、Ge、GaAs)不能很好匹配。另外，尽管存在更高禁带的半导体，从晶格匹配的角度看可能适用于窗口层，但实际并非如此，窗口的性能反

而差<sup>[59]</sup>。已达到最高性能的电池是在昂贵的易碎的 InP 衬底上用 MOCVD 法生长的单结器件。

当上面的 n<sup>-</sup>层薄(0.1μm)时得到了最高的性能。除了减反射膜之外，其上表面没有专门钝化。尽管非理想表面钝化引起的电池对蓝光的响应相对较弱，地面上的能量转化效率也已达到 20% 以上<sup>[50]</sup>。也有用淀积 ZnO 层形成前表面发射极的方法制备电池的。与提供高质量的晶格匹配的窗口层做法不同，此处是一层低温下淀积的小晶粒多晶硅层。利用这种方法所达到的性能要比同质结电池的低。

**串联电池** 在 II-VI 化合物及合金系统中，具有同样晶格常数的材料有宽的选择范围，这使其成为制作晶格匹配的晶体串联电池的理想系统。建立在光电子领域的进展之上，这方面的早期工作集中在 AlAs/GaAs 合金系统上，后来的工作则是实现更多样化的高性能的 GaInP/GaAs 和 InP/GaInAs 类的单片串联电池。

单晶器件的主要挑战是电池接触所需的隧道结，通过在这种结的两边重掺杂，隧道电流可使正常的整流结特性短路，这阻止了该结两边形成的反向光电压，由于这一隧穿区起到了极高的等效表面复合速率平面的作用，这种重掺杂薄层的隧穿区是必需的。它对上面的电池起到了 BSF 区的作用，对下面的电池则起着前表面场(FSF)的作用。

另外，可在这种隧道结区上形成分离的接触以构成单片三端器件，或两个不同的电池中的一个简单地叠置在另一个上面形成四端器件，上述两种方法的好处在于，上、下层电池的电流输出不必匹配，从而提高了设计的灵活性和性能，缺点在于对于每种电池类型必须建立单独的电路，从而增加了电路的复杂性。处理这种复杂性的最有效的途径是两个电路局部并联的方法<sup>[60]</sup>，例如，四个窄禁带的电池与三个宽禁带的电池并联。单片两端串联电池的性能水平好于最好的单结器件 15%~20% 以上，但据估计其成本只比 II-V 族的单结器件略高。因此，在某些特殊高性能系统，如高度集中的地面系统或空间应用上，它是一种更好的选择。

为了空间飞行器的应用，自 1996 年起串联电池已批量生产。图 8.19 示出了一种目前正在发展中的器件结构，该技术是在已成熟的 GaAs/Ge 单结制备技术上发展起来的。

#### 8.4.2 多晶薄膜化合物半导体电池<sup>[51]</sup>

尽管 II-V 族化合物半导体能强烈吸收光，并在光学上是一种制备极薄器件的理想材料，但多晶薄膜 II-V 族器件的性能却令人失望。如前所述，这主要归因于 II-V 族材料中晶粒间界的高度电活性。

然而，其它化合物半导体及其合金在带隙上有丰富的适于有效能量转化的变化。尽管这些材料的带隙预计是足够可靠的，但其它决定材料适用于光伏应用的

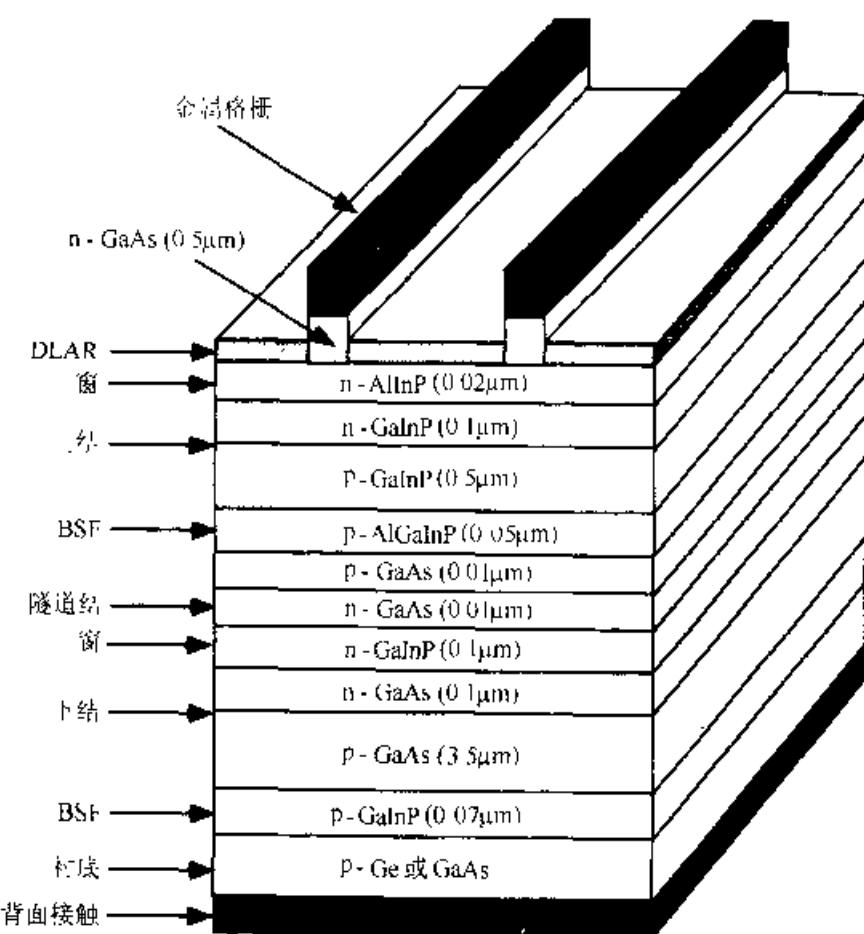


图 8.19 单片的串联空间电池

性质：如晶粒间界的活性，制备一定晶粒尺度的难易程度等并非如此容易预测。结果对任何给定的候选光伏材料，判定其是否适用的惟一可行方法只是广泛的实验评估。

至今在已评估的有限的候选材料中，有两种化合物薄膜材料已显示出优势。一是 I - VI 族化合物半导体 CdTe，另一个则是 I - III - VI<sub>2</sub> 基化合物 CuInSe<sub>2</sub>(CIS) 及与它相关的合金系统 CuIn<sub>x</sub>Ga<sub>1-x</sub>(Se<sub>y</sub>S<sub>1-y</sub>)。

CdTe 的优势为，在各种制备技术下都能得到好的电池结果，包括非常粗糙的工艺，如电镀。其缺点为，由于其组分中的毒性需要在最后的处理中进行特殊的防护，环境解聚大面积这类材料的可接受能力尚不清楚。

对于 CIS 及其合金，它主要的优势在于：淀积中易于形成大晶粒，可以使晶粒间界在电学性质上变得不活泼，材料具有承受标准配比(I, III 和 VI 族成分的比例)变化的能力；可改变合金成分所带来的设计上的灵活性等。与生产相关的可能的弱点则是，从长远的眼光看，相关材料如铟、镓、硒等供应上的限制。

**CdTe 电池**<sup>61, 62, 63</sup> 起初研究这类电池是由于 CdTe 有近乎于理想的带隙。与其它的一些化合物半导体不同，这种材料能够掺杂成为 n 型或 p 型。结果发现

这种材料在许多简单工艺下制备仍有好的性能，这主要是由于该材料的后处理能增加晶粒尺寸、降低晶粒间界活性。

利用这种材料已研究了许多种器件结构，包括 p-n 同质结，与 Cu<sub>2</sub>Te, SnO<sub>2</sub> 及许多 I-VI 化合物形成的各种异质结<sup>[52]</sup>。而最好的结果是在图 8.20 中的 CdTe/CdS/SnO<sub>2</sub> 异质结构中获得的。

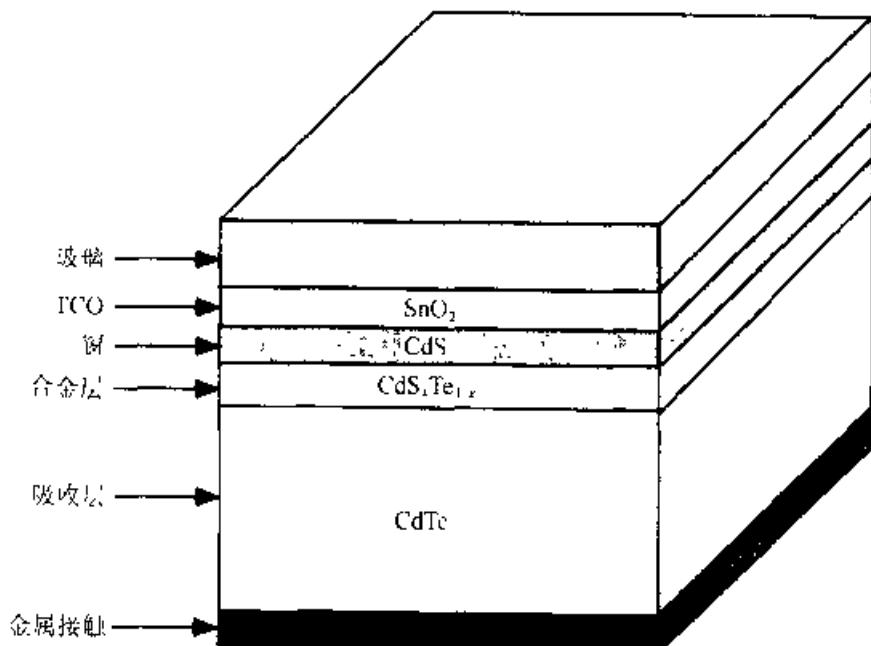


图 8.20 CdTe 电池结构

在玻璃衬底上淀积 SnO<sub>2</sub> 透明导电氧化物(TCO)，随后淀积一薄层 CdS。该层通常在低气压的 CdCl<sub>2</sub> 气氛中热处理以增大晶粒尺寸，减少缺陷密度<sup>[62, 63]</sup>。随后，用某种工艺淀积 CdTe，并在 CdCl<sub>2</sub> 或其它含氯化合物中热处理。热处理不仅增大了晶粒尺寸，减少了缺陷密度，还促进了 CdS 和 CdTe 层间的互扩散。使结进入了 CdTe 区而非在最初的合金界面上，从而提高了结的质量。已利用许多种方法形成 CdTe 的背接触<sup>[52, 63]</sup>。它们都是基于两层法，第一层是重掺杂层，垂直地与 CdTe 形成好的电学接触；第二层是金属，以提供好的横向导电性。绝大多数的制备过程包括<sup>[52]</sup>：

1. 刻蚀或表面准备步骤，以便形成一富含 Te 的表面。
2. 制备第一层，采用淀积 SnTe、Cu、HgTe、PbTe 的 p<sup>-</sup> 层的方法或通过提供 p 型杂质如 Cu、Hg、Pb 或 Au，以调节 CdTe 表面层。
3. 随后在 150°C 以上加热。
4. 利用溅射、真空蒸发或丝网印刷的方式制备第二层接触。

和 a-Si 电池一样，第一次批量生产 CdTe 电池也是用于袖珍计算器。这类电池的制备采用了简单的丝网印刷工艺。而 CdS 窗口层是丝网印刷在硼硅玻璃之上

的，涂层中含有 CdS、CdCl<sub>2</sub> 和丙烯乙二醇胶<sup>[62]</sup>。该层在 120°C 下烘烤，然后在约 700°C 的带式炉中，在氯气中烧结，CdCl<sub>2</sub> 溶剂促进了 CdS 膜中晶粒的生长，结果在 20~30 μm 厚的膜中，晶粒尺寸达 20~30 μm。CdTe 胶中含有 Cd 和 Te 的混合物，某些溶剂和胶。该涂层烘烤后，在 600°C 左右烧结。在这烧结过程中，促进了晶粒的生长。在 CdS/CdTe 界面上出现合金，从而改善了该界面的性质。最后，背接触是通过丝网印刷含少量铜的碳胶形成的，其后对整个器件进行退火。

丝网印刷的 CdTe 电池的性能一般，这主要是由于 CdS 窗口层厚。这一层及合金界面区的吸收导致了对波长小于 500 nm 的任何太阳光的响应变得很差。如果这种方法用于批量生产，则该器件中这一厚层带来的负面影响要超过毒性和持久性等因素。

采用了更复杂的工艺，第一块 CdTe 电池的能量转换为 15%，尽管这些工艺和其它的光伏技术相比已相当简单。极薄的 CdS 窗口层是采用溶解生长技术淀积的。这一方法得到的薄膜有好的配比，但薄膜是多孔的，并且表面含有吸收杂质如氢氧化物<sup>[62]</sup>。在淀积 CdTe 之前，加热 CdS 膜以去掉含氧的成分并使膜致密。然后用闭室蒸馏法(CSS)淀积 CdTe。

在这种工艺中<sup>[62]</sup>，加热 CdTe 源使之分解成 Cd、Te 气体。它们在较冷的衬底表面混合形成 CdTe。通过改变参数如源和衬度的温度、它们间的距离和淀积室中的气氛及气压，可把淀积率控制在 0.1~10 μm/min 之内。所淀积膜的微结构由衬底温度及源-衬底间的温度决定。通常，晶粒尺寸随源温度的增加和膜厚的增加而变大。一般，平均晶粒尺寸在 2~5 μm 的范围内，并且是随机取向的。p 型 CdTe 膜的电阻可用源中欠 Cd 或源中掺锑的方法加以控制。

对于第一个 15% 效率的 CdTe 电池，其 CdS 层约厚 70 nm，CdTe 层厚 4~5 μm。100 nm 厚的 MgF<sub>2</sub> 减反射层淀积在光照的那一面的玻璃上。

CSS 方法也常用在制备商用的大面积组件上<sup>[62]</sup>。通过一种改进的 CSS 技术，CdS 和 CdTe 相继淀积在涂有 SnO<sub>2</sub> 层的玻璃衬底上。在淀积后的热处理完成之后，CdTe 层的接触由淀积 Ni/Al 双层接触形成。工艺中用激光划线的办法形成相应形状的 SnO<sub>2</sub> 层、CdS/CdTe 有源层及组件中用于形成自动串行互连的背接触层等各步骤中的图形。这一工艺与前述的 a-Si 中的 T艺(图 8.16)相同。对于大面积组件，在 90 年代早期已实现了高达 8% 的效率。

**环境因素<sup>[63]</sup>** CdTe 基技术的推广由于 Cd 及其化合物的毒性引起的环境问题而减慢。这一问题在制造过程、发展过程以及“使用最终”的分解中都会出现。

生产过程中的危险性无疑是可控制的。分解中的毒性主要源于意外事故，如出现火灾将会引发毒气释放。由于 Cd 可能浸出渗漏到地下水中，所以需要特别注意这些组件的最后处理。一些生产厂商相信 Cd 基的材料是可再利用的，尽管收集广泛分散在不同文化和地域的产品将非常困难。

**铜铟反转(diselenide)原子团及其合金<sup>[2]-[4]</sup>** 铜铟反转原子团(CIS)是一种直接带隙半导体，室温下其禁带宽度为1.04eV。1975年报道了一种在CuInSe<sub>2</sub>单晶上蒸发CdS制成的、转换效率为12%的小型电池。80年代初期利用蒸发合成铜铟和硒元素材料制成了第一块这种材料的薄膜电池。通过在CuInSe<sub>2</sub>中加入CuGaSe<sub>2</sub>以增加材料的带隙<sup>[5]</sup>，薄膜电池的效率接近于18%。CuInSe<sub>2</sub>是另一种增加带隙并也能得到好性能的候选材料。

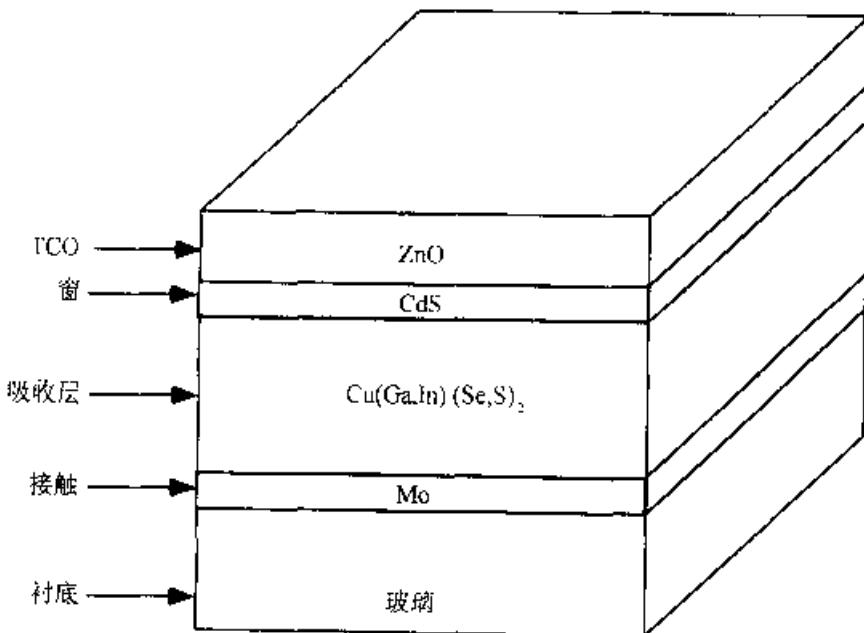


图 8.21 基于 CuInSe<sub>2</sub> 及其合金的太阳电池

图 8.21 示出了这类薄膜合金电池的通用结构。利用溅射或化学气相沉积的方法在玻璃衬底上淀积一层钼作为背接触。随后淀积 Cu(In, Ga)(S, Se)<sub>2</sub> 主吸收层，具体工艺将在后面详细介绍，利用蒸发或者最好利用溶解生长的方法淀积一薄层 CdS 或 Cd<sub>1-x</sub>Zn<sub>x</sub>S 窗口层。随后用 RF 溅射或化学气相沉积的方法淀积 ZnO。高性能的器件由两步制成，其中要在一厚约 50nm 的轻掺杂 Zn 之上再淀积一层 300nm 的掺铝材料，以减少横向电阻。Ni/Al 电极用于与 ZnO 接触。

在这类转换效率约为 16% 的电池中，吸收层的淀积采用了以下三种技术：

1. 元素共蒸发至一加热的衬底。
2. 将溅射或蒸发的 Cu/In 初始化合物在 H<sub>2</sub>Se 或 Se 气氛中硒化。
3. 铜、硒扩散到 Cu(In, Ga)(S, Se)<sub>2</sub> 的初始化合物。

为尽可能得到高性能的器件，进行了有关组分控制及从合金带宽到吸收层厚度控制的尝试，但有些问题尚不清楚。当含有过量的铜时，生长出大晶体，铜的 Chalcogenide 相在膜表面的分凝能增强这一效应。这一相可用 KCN 后续的化学处理去掉或转化为更多所需的化合物。表面晶粒的组分也与材料组分有关。在富 In 的材料中，已观察到在膜的表面有一稳定的 CuInSe<sub>2</sub> 相，其禁带宽度要比体区的

大<sup>[54]</sup>，有人认为在和 CdS 窗层之间的界面处存在这种类型的层。而且，碱石灰玻璃衬底中钠的外扩散有助于改善电池的性能，并增加了吸收层中载流子的浓度。在 80 年代末期，这类材料上的复杂性是这种材料难以商品化的主要原因。已有试投产效率高于 10% 的组件的报道。

和 a-Si 及前述的 CdTe 技术（参见图 8.16）一样，完整的器件采用的是玻璃衬底而非其它特殊衬底，同样可以采用激光法形成图形，然而对于 CIS 基的电池及其薄膜技术，导电是以与前述图 8.16 相反的形式实现的。利用这一材料在薄膜多晶技术中已得到很高的效率，使其成为未来低成本光伏产品中极有实力的候选者。

## 8.5 组件

### 8.5.1 地面上的组件

在 70 年代中期，地面上利用光伏的兴趣不断增长，开发了许多种将电池封装成为全天候组件的方法<sup>[55]</sup>。由于在电池的工作中，并没有固有的“磨损”机制。封装的质量，即从机械、化学方面对电池及它们的金属化接触和互连提供的保护，决定了电池的有效工作寿命。封装所提供的电绝缘能力在保护电池及其设备上也是重要的一环。组件封装的热特性也是重要的方面，不仅使电池在低温下更有效，而且组件整体性能随温度的退化也会变缓慢，通常组件温度每降 10°C，其退化系数为 2。另外需要考虑的又一个方面是尽可能降低组件的成本。

到了 80 年代初期，组件设计已稳定在图 8.22 中的叠层组件设计，并成为体硅电池的工业标准<sup>[56]</sup>。玻璃层作为廉价的透明覆盖物及组件的支撑体，焊接后的电池通过层压工艺安装到这一覆盖物上。在这种工艺中，如图 8.22 所示的各层叠置在最底层的玻璃之上，送入层压机。用这种机器在真空中对各层加热，并加以流体静压力。在这一处理过程中，醋酸乙烯（EVA：ethylene vinyl acetate）层软化并在其它固体组件间流动，填充了层间的空隙。冷却后，EVA 把各层与玻璃粘在一起，并提供了一种相对柔软的密封环境以调节坚硬的叠层间的不同的热胀特性。可选择的玻璃纤维棉层能够增加叠层的抗扯强度，而且据报道，还有助于防止在组件中形成气泡。

玻璃衬底层通常是用 3mm 厚的低铁含量的回火玻璃片，为提高窗玻璃的可制造性，通常在熔融过程中有意加入铁。但铁会引起玻璃在红外波段的吸收，使硅电池的输出降低约 5%。在目前电池制作成本的构成中，利用低铁含量的回火玻璃是经济的。回火是一种快速冷却玻璃表面的热处理过程，其作用是在一薄的表面层内产生压应力，从而降低了可能出现的初始裂缝，大大地提高了玻璃的强度。3mm 厚玻璃可使组件通过标准的风荷和雹击测试。在雹击测试中，组件必须承受直径为 32mm 的雹石以其临界速度的撞击<sup>[57]</sup>。

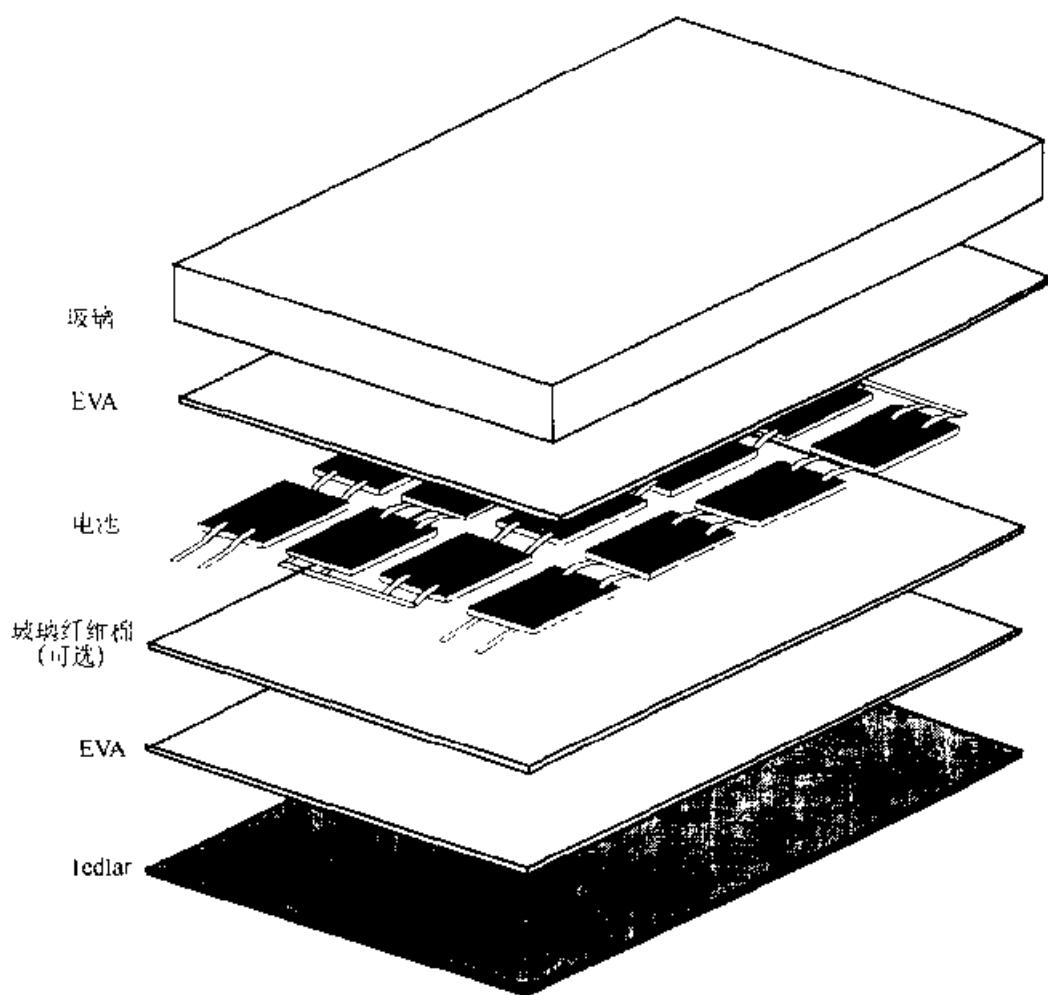


图 8.22 组件制备的标准叠层方法

在叠层结构的背面通常是一层或多层由 Tedlar 或聚酯薄膜形成的预置层。该层起到了组件防潮的作用，并为电池提供了电绝缘，有利于电池处在光和热的环境中。

如果是圆形电池，在电池间存在没有充分利用的地方，组件的封装系数低。如果从玻璃表面的看进去，背面是白的，则光被这些未利用的地方反射。如果反射光以弥散分量为主，上玻璃表面的总内部反射将使这种反射光中的一部分陷在组件内。这些被陷的光将会到达电池的有效区。由于这种“零深度的聚焦”效应，单个电池的输出将能增加到 10% 以上<sup>[68]</sup>。相反，若改变背面层，使之从与前述相同的方向看，背面是黑的。这种情况下由于外观更均匀，增加了组件的美感但减少了前述的聚焦效应。当电池间的未利用空间小时，例如电池制作在方形基片上时，输出中与之相关的损失是可接受的。

为降低组件背面对光的吸收，组件的背表面通常是白的。通常背面越黑，其热发射性越强，这就从背面增加了热辐射，然而这一好处被较强的杂散光吸收所抵消。理想的情况是，这一表面具有选择发射谱——在可见和近红外波段反射，

而在更长的波段上吸收。

如果需要采用透明的背面覆盖，选用一种透明的塑料层(商品名为 Tefzel)是合适的。当电池需要在其前后表面都对入射光有响应时，可能需要这种透明层。在这种情况下，由云或地面散射到组件背面的部分可使组件的输出增加 20%。如果采用特殊的措施(如在组件的后方设置反射材料)进一步增大这种双向响应，输出还可能有更大的增加。

在叠层形成之前，组件的正或负的接触便已由组件的背面引出，引线是从背面塑料层的缝中(在用玻璃片做组件的背面时是从背面玻璃上钻孔)引出。叠层形成之后，常在组件背面安装上一个塑料盒，盒中有与组件间的螺旋联接和其它的组件电路元件，如串联和旁路的二极管，这在以后还要讨论。通常在电池上安一铝框以提供组装点。没有铝框的组件，称为“叠层”也用于某些成套装置，并用胶粘在支撑体之上。

对于标准设计组件中的电池，在明亮的阳光下，当空气可在其前后表面自由流动时，电池达到的温度高于环境温度约 30°C。这是由于电池中的热量仅通过前后表面的对流散失<sup>[66]</sup>。在有风或较低的照射水平下，高过环境温度的量将降低，如果空气在组件周围的流动不畅(如组件太靠近墙或屋顶等支撑体时)这一温度将变高。组件的温度特性常用称为电池正常工作温度的参数来描述(NOCT)。这是一个电池在一系列标准条件(光强 800W/m<sup>2</sup>，环境温度 20°C，风速 1m/s)下所达到的温度。在不同的环境温度  $T_e$  和强度  $I_e$ (W/m<sup>2</sup>)下，电池的工作温度由下式决定。

$$T_e = T_s + (\text{NOCT} - 20\text{ }^{\circ}\text{C})I_e/800 \quad (8.8)$$

在这一方面，已证明标准的组件密封方法是非常可靠的。但在 80 年代后期，实际应用了几年之后又观察到了 EVA 层褐变的问题，尤其是当组件在热的气候条件下应用时。最严重的情况出现在加利福尼亚的大电站，那里利用透镜增加了组件上的光强，但同时也增加了组件的工作温度。用含氧化铈的特殊玻璃可以解决这一问题<sup>[69]</sup>。经验表明，当组件被非标准应用，如提高工作温度时，需要多加小心。

薄膜电池为组件的设计带来了更多的选择，尤其是 a-Si 膜可以淀积在柔软的塑料衬底上。由于许多种薄膜电池可淀积在玻璃衬底上，玻璃也成了密封这些电池的最普遍的选择。对于 8.3.5 节所提到的 400kW 的大 a-Si 电站，电池被密封在两层标准的窗玻璃之间，电池利用 EVA 胶也同样形成叠层结构。这种情况下，由于 a-Si 电池对波长高于 800nm 的光不再有较强的响应，从而对于这些电池，铁锈导吸收的作用有所降低，利用低铁玻璃不再合算。低的电池效率也适于选择单位面积上更廉价的密封。两层玻璃片的强度足以使组件通过标准的质量测试<sup>[61]</sup>。

对于空间飞行器，潮湿不是重要的问题，而搭载重量和抗高能宇宙射线的能力变得重要。这时也极少采用密封方法，而是在每个电池的前表面加一薄

( $150\mu\text{m}$ )玻璃片层。留出电池上母线的位置以便进行以后的电池互连。具有这种玻璃盖片的电池随后键合到蜂窝状的衬底上，以形成轻的支撑结构。同样的技术已用在其它一些特殊的应用场合，如用作太阳能汽车比赛中的组件，这种场合对耐久性不再有很严的要求，由于组件可以每天清洗几次，灰尘滞留的问题也不严重。已发展了一些新的方法以降低重量并利用合适的结构减少密封的前表面的反射。

### 8.5.2 组件电路设计

组件中电池间特性的失配会带来意想不到的严重后果。失配可能来源于阻挡照到电池表面的太阳光(如被树叶，鸟粪或阴影遮挡)，或由密封层褪色等引起的电池和组件性能的变化，以及由电池的裂缝或腐蚀等引起的电池参数分散。

一个失配的简单例子是在理想情况下，一系列完全相同的电池相串联，但其中某个的输出降低了，例如其上有裂缝或被挡住(图 8.23)。

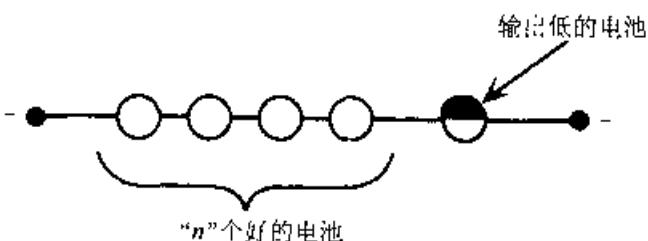


图 8.23 串行连接电池

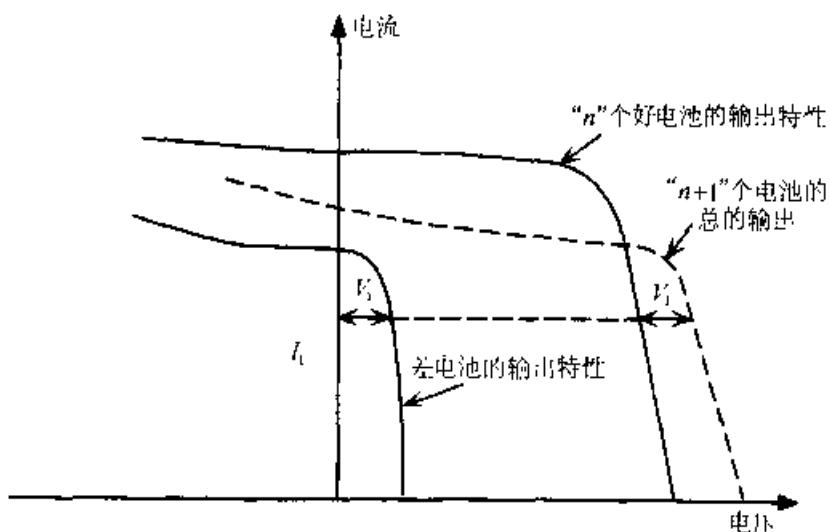


图 8.24 图 8.23 所示电池的电流-电压曲线

图 8.24 示出了串联的好电池及输出降低了的电池的输出特性，由组合后的输出特性(虚线)可以准确推得，好电池的每一个电压和电流值可与输出降低的电池相加以决定总的电压。

组合后的短路电流由性能差的电池决定。在一串联组合中，一个低输出的电

池可在串联电池的输出中产生不成比例的大损失。于是在密封之前，至关重要的是把电池的输出电流分成不同的类（通常是 5% 的容量带），以防止电池在串联连接成组件后，出现过度的“失配损失”。同样，当把组件串联连接时，使组件的输出电流相互匹配是很重要的。

当组件工作在接近于短路时，失配可能出现更严重的后果。而短路对单个电池没有损害。

图 8.25 对图 8.21 中示出的好电池和一个低输出电池组合后的输出做了解释。组合后的短路电流由降在低输出电池上的电压恰好与好电池上的电压大小相等方向相反这一条件决定。这一工作点可通过在图中以电流为轴反转好电池的曲线获得。它在低输出电池的特性曲线上的位置给出了组合后的短路电流和低输出电池之上的电压。它们的乘积，即图 8.25 中所示的带阴影的矩形等于低输出电池的耗损。

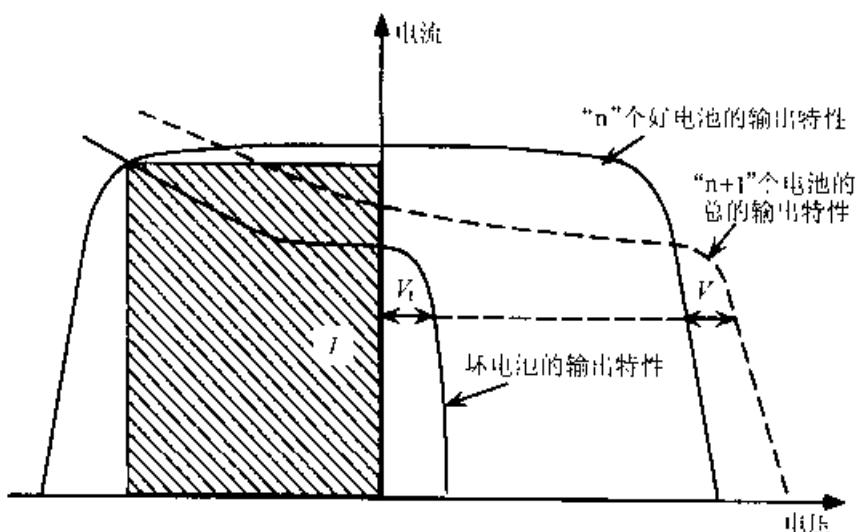


图 8.25 如图 8.23 的连接情况下，短路时低输出电池上的功耗

总之，短路时，随着高输出电池的组合驱动更多的电流流过，低输出电池变成了反向偏置。由图 8.25 可见，好电池的全部的输出功率可能都消耗在差电池之上了。这将使得差电池变得比组件中的其他部分要热。如果电池中的热量分布是不均匀的，温度以类似于每  $1\text{ kW/m}^2$  升高  $30^\circ\text{C}$  的方式升高，这和由太阳光提供的能量类似。然而实际情况要比这更糟。反偏的低输出电池中的热耗将被约束在局部的小的击穿区内，产生更高的局域温度。这些高的局域温度将使密封区褪色或损伤或使组件上的玻璃出现裂缝，使组件失效。

实际上，当 10~15 个以上的电池串联起来并工作在接近短路的情况下时，这种破坏性的效应可能出现。解决的方法是连接一个小的分立的旁路二极管，使它与电池的极性相反，跨接在每 10~15 个电池之上。这把可能降在电池组上的反向电压箝位在二极管的正向压降值，于是限制了组内任何电池上的压降。如前所

提到的，有时旁路二极管插在盒中。

对于要求更高的应用如空间飞行器或太阳能汽车，在每个单独的电池上都跨接一个旁路二极管，这不仅是为了保护电池以防这种效应，而且还能消除串联连接中某个电池被挡后出现的与输出不成比例的损失。

在组件的盒中常引入一个“串联阻断二极管”。在组件中该二极管与电池串联，但和电池构成的二极管的极性相反。其目的在于当组件不产生电流输出时，阻断电流流过电池。实例之一是当组件对蓄电池充电时，组件产生的电流将正向通过二极管，功耗很小。在晚上，组件的输出电压下降，若不存在这种串联或“阻止”二极管，则蓄电池将对电池放电。

在较大型的系统中，阻断二极管还可用于防护以防发生事故。例如，没有这个二极管时，与地的短路可使并行联接的组件中的某个分支成为整个系统电流产生容量的路径。

小型系统中可能包含一个或少量的串联电池组件。大型系统可能有串联并连的更复杂的安排。图 8.26 示出了这种情况下，组件中及太阳电池阵列的电池布局。

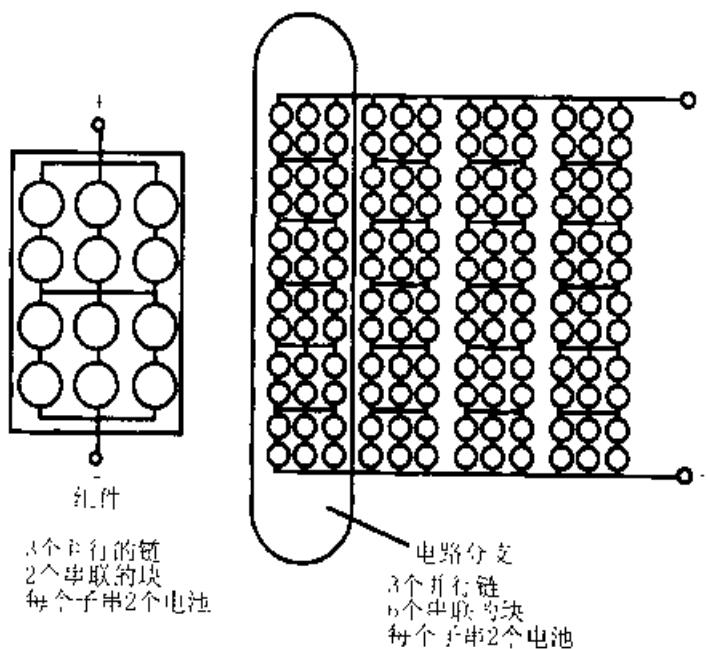


图 8.26 nomenclature 标准专用的组件电路

### 8.5.3 交流组件

光伏效应的一个重要特点是它的可调制性。通过增加组件在系统上添加额外的容量，电池可用于从毫瓦到兆瓦的发电系统。

对于可独立应用的系统，有一包括组件和蓄电池的直流系统，若需给交流电负载供电时，可能还有一交流系统的部分。在这种系统中为提供所需的界面，需

加入一从 DC 到 AC 的转换器。

然而在网格联接系统中，可能无需专用的能量存储设备，即基本上不以 DC 的形式收集能量。可在组件级上将电转换为交流形式并以这种形式收集。如图 8.27 所示，小型效率转换器可安装在每个组件的背面，这将充分利用光伏的调节性和安全的优点并省去了安装和引线上的花费，还可使由组件间部分遮挡引起的失配损失降到最小。通过选择转换器的设计如线—换向设计，组件只有在接到 AC 源后才有输出。转换器可由一“凸”的输出插座提供，并简单地嵌入通常的电气插座中。在设计中，转换器还有阻止“成岛”的作用，该条件是一些同类的组件能够承受住另外的输出，这是当系统被关断后可能出现的问题。

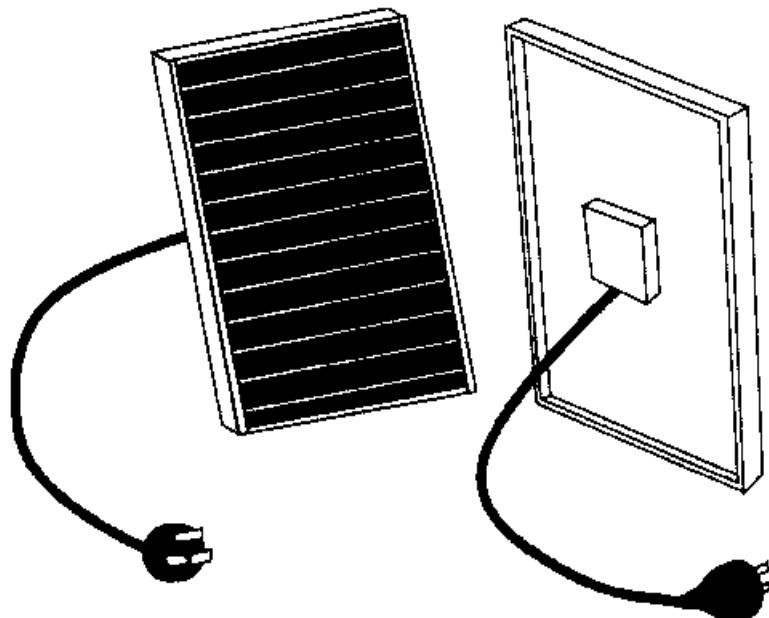


图 8.27 AC 光电组件的原理

## 8.6 总结与展望

光伏领域具有稳步降低成本和不断扩大应用范围的历史。70 年代初期以来太阳能电池的应用从小型远程“独立应用”系统，如空间飞行器，发展到了广泛的大潜力的应用，其中包括建立集成功率供电和居民区供电等。世界各地的许多单位已引入鼓励使用这种环保的发电方式，尽管将光伏的总装机功率增长到占常规发电方法总功率的主要部分还要用许多年。如印度尼西亚等国家，也在偏远乡村开发利用光电能源，因为这些地区难以形成集中供电的布局。更具想像力的是国际援助组织已有一计划，在全球不发达地区的家庭中安装 40W 的光伏组件以调整能量资源的全球不平等状态<sup>[12]</sup>。

硅技术随着在更广的微电子领域中的应用，已用于提供体太阳电池产品，但

为了商业的需要已发展了许多更新的薄膜技术，其中包括氢化非晶硅、CdTe、铜铟硒团及多晶硅。这些薄膜技术具有较低的材料成本，仅就单个电池就像硅片的情况那样得到更大互联电池组件，从而带来了整个产品变化。可以预测这种薄膜技术在大批量生产时将更加廉价。这种薄膜产品单个所能获得的能量转换效率是一关键问题，通常认为效率高于 15% 是光电器件得以广泛发展的基础，这时恰能使成本与总安装面积成比例，这包括了组件安装和引线的成本。对于有毒重金属的技术如 Cd，在鼓励其广泛推广时对环境的影响必须给予仔细的关注。

为达到 15% 的转换效率，如叠层“串联”电池等的高效率方法是前述技术的基础。这种串联电池方法已在非晶硅技术中得到了很好的发展，虽然其产品的效率只有 15% 目标的一半。

在更特殊的应用，如空间飞行器中，利用集光的系统和热光伏转换等，可使用更昂贵些的电池技术。在 90 年代前半期，对空间应用的电池，用 MOCVD 法生长在锗衬底之上的 GaAs 电池已成为一种完善的技术，在以后的时间内，更高效率的锗衬底之上的 GaInP/GaAs 串联电池已进行小批量生产。 $\text{II-V}$  族系统材料所提供的灵活性也使这些电池能很好地适应热光电转换。在转换集中或聚集的太阳光时，硅仍是强有力地挑战者，已有效率达 26%~27% 的集中电池的产品。

虽然基于廉价塑料的低成本电池目前已有适中的性能，但这还只限于试探研究并且是具有吸引力的。其它技术，如基于染色感光纳米晶线的电池<sup>[73]</sup>，工艺过程非常简单，但存在低效率和耐久性方面的问题。

和为满足世界上发展中地区迅速增长的电力需求一样，作为环保型的能源产品，光伏在较富裕的国家仍具有潜力满足不断增长的需求。方法之一可能是以带有高级转换器的、小的、可调节的方式，用居住单元中的设备直接插到所需的地方。

无论光伏技术将朝什么方向发展，可以预料，对这种具有巨大前景的环保发电方式，未来的十年将是一个令人振奋的时期。

## 习 题

1. (a) 一个高为 10m 的竖直杆在与 AM1.5 的太阳电池测试谱相对应的条件下，其水平投影为多长？  
(b) 在 AM 为 2 的条件下，太阳与水平面的夹角为多少？  
(c) 下式为在垂直于太阳光线的平面上的太阳光强的直接分量与通用的空气质量 (AM) 的关系的近似表达式：

$$I_D = 1.367 \times 0.7 \text{AM}^{1.678} (\text{kW/m}^2)$$

对比在该平面内 AM1 和 AM2 下的强度，在这两种条件下，扩散太阳光有 10% 的额外贡献（表达式基于 C. Hu 和 R. M. White 之文献[74]）。

- (d) 设 AM2 谱和 AM1 谱相比, 红波段的分量较蓝波段的分量要高, 请你推测在哪一波段下, 在一定的温度下硅电池具有:
- 较高的输出功率?
  - 较高的能量转换效率?
2. 光伏系统的性能比定义为, 由系统产生的交流电能, 除以面阵上的总太阳能和标准测试条件下阵列中组件的效率的乘积(即电池在 25°C 时,  $1\text{ kW/m}^2$  太阳光的转换效率)。
- 这一系数考虑了一系列非理想因素, 包括 DC 到 AC 的转换效率、电池在 25°C 以上的工作温度、灰尘堆积、电池的部分遮挡及系统的停机时间。常见的利用系数在 60%~80% 之间。通常对于适当取向的阵列, 在世界各地的不同地理位置上, 等效的太阳光峰值( $1\text{ kW/m}^2$ )在 1 000~2 000 小时之间, 居民区供电的典型值在  $15\sim40\text{ kW}\cdot\text{h/d}$  的范围内, 并且在标准测试条件下, 商用太阳电池组件的能量转换效率在 10%~14% 之间。请计算:
- 一个装在屋顶的  $20\text{ m}^2$  的光伏阵列在上面给出的组件效率的低限和高限下的峰值比为多少?
  - 在该面积下, 安装在屋顶的取向良好的光伏阵列所能产生的总 AC 家用负载的最大和最小百分比是多少?
3. (a) 300K 时, 理想太阳电池的短路电流为 3A, 其开路电压为 6.0V。请计算并画出其输出功率与工作电压的关系, 并从该输出功率中求出填充因子, 再将该填充因子与用公式(8.3)得到的值作一对比。
- (b) 第二个理想电池的短路电流为 4A, 300K 时的开路电压为 0.55V, 利用公式(8.3)计算其填充因子并用该值求最大输出功率。
- (c) (b) 中的电池与(a)中的相并联, 计算这种并联组合的短路电流、开路电压和最大输出功率, 其相对损失为多少? (单个电池的总的可能的最大输出功率减去组合后的最大输出功率, 然后比上单个电池所可能的总功率。)
- (d) 两个(b)中的电池相串联, 试计算这种串联组合的开路电压和短路电流。
- (e) 计算并画出这种串联组合的输出功率与输出电压的函数关系, 并从这些计算中求出串联组合的填充因子。这种情况下相对损失为多少?
4. 一假想的组件由 36 个相等的电池组成, 每个都有理想的电流-电压特性, 在 300K 的工作温度下, 其给定的开路电压为 0.6V, 短路电流为 3A。该组件被短路并且其中的一个组件被遮挡, 其一半面积是暗的。试计算被遮挡的电池上的功率损耗和组件的短路电流。
5. 一标准的商用组件由 36 个串联电池组成, 若给一数字万用表, 一张卡纸, 一把剪子, 在晴朗的户外, 如何估算:
- 当照射后, 电池温升高于环境的温度;

(b) 当组件短路时, 电池对组件输出电流的限制。

6. (a) 简单画出如图 8.3 所示理想太阳电池的输出特性, 可以注意到寄生电阻和电池串联后, 对于任何给定的电流  $I$ , 其输出电压改变了  $I_{\text{sh}}$ , 简单画出当电池具有这种寄生电阻后输出特性将如何变化。  
 (b) 证明: 如果没有串联电阻时电池的填充因子为  $\text{FF}_0$ , 若有中等大小的寄生电阻  $R_{\text{sh}}$  时,  $\text{FF}$  满足

$$\text{FF}_0 < \text{FF} < \text{FF}_0(1 - R_{\text{sh}}/R_{\text{mp}})$$

其中  $R_{\text{mp}}$  定义为  $V_{\text{mp}}/I_{\text{mp}}$ , 其值与电池的特征电阻 ( $V_{\infty}/I_{\infty}$ ) 接近。

(c) 若有一并联电阻  $R_{\text{sh}}$  跨接在一理想的电池的两端, 对于任何给定的电压  $V$ , 其对输出电流的改变量为  $V/R_{\text{sh}}$ , 简单画出当电池具有这种并联电阻, 而串联电阻为 0 时电池输出特性的变化。

(d) 证明存在电阻  $R_{\text{sh}}$  时, 电池的填充因子满足

$$\text{FF}_0 < \text{FF} < \text{FF}_0(1 - R_{\text{mp}}/R_{\text{sh}})$$

7. (a) 太阳电池的响应谱定义为: 每单位单色光源的入射功率下的输出电流。请证明电池的响应谱的上限为  $q\lambda/hc$ , 其中  $q$  为电子电量,  $h$  为普朗克常数,  $c$  为光在真空中的速度。

(b) 波长为  $0.8\mu\text{m}$  的中等照射水平下, 试计算:

(i) 带隙为  $1\text{eV}$  的同质结电池的理想响应谱。

(ii) 带隙为  $2\text{eV}$  的同质结电池的理想响应谱。

(iii) 有带隙为  $1\text{eV}$  和  $2\text{eV}$  的材料形成的异质结电池的响应谱。

(iv) 一个两端单片串联连接的级联电池, 其上层电池的带隙为  $2\text{eV}$ , 下层电池的带隙为  $1\text{eV}$  时的响应谱。

8. (a) 对于图 8.7 所示的硅空间电池, 设有一垂直线从顶部的接触条一直穿过背接触。在热平衡时(无光照或不加偏压时), 画出沿该线不同位置处的能带图。相对于系统的费米能级, 假设金属接触与其底层的重掺杂硅形成肖特基接触。  
 (b) 画出光照下开路电压时的(a)中的能带图, 标出载流子的准费米能级并标出与(a)中的不同。假设有大的载流子迁移率和长的寿命, 且两边金属的接触电阻低(两边基本为 0), 而且器件也是低注入的。

(c) 利用同样的假设再重复(b), 只是设 p 型基区的掺杂更低, 开路时注入水平较高, 明确标明和(b)图中的差别(设两种情况下的开路电压相同)。

9. 对于图 8.19 所示的高级空间电池, 重复习题 8 中的(a)、(b)部分, 设 GaAs, AlInP 和 AlGaInP 的带隙分别为  $1.4\text{eV}$ 、 $1.6\text{eV}$ 、 $1.8\text{eV}$  和  $1.7\text{eV}$ 。导带的不连续与制备条件及层中的应力有关, 假设其值为  $0.3\text{eV}$ 、 $0.2\text{eV}$ 、 $0.5\text{eV}$ 、 $0.1\text{eV}$ 、 $0.4\text{eV}$  和  $0.5\text{eV}$  分别对应于 GaAs 和 GaInP, GaInP 和 AlInP, Ge 和 GaInP。在上述所有的情况下, 第二带隙的边比第一带具有较高的能量。另外, 对于问

题 8(b)，设有一理想的隧道结(无限大的并联电导)。

10. 一多晶硅太阳电池的晶粒尺寸和其基区的厚度可比拟，设晶粒为立方体，其上表面与集电区边界相一致，下表面与背电池接触相一致，并且立方体的侧边对应于晶粒边界。设晶粒边界内的半导体是高质量的(很高的载流子迁移率和寿命)。其中的掺杂是均匀的、中等的，电池短路时，在结耗尽区边缘的非平衡少数载流子为零。设一对电子-空穴对的产生正好位于立方体的中心，估算下列条件下可能的收集率：
- (a) 在背接触上采用了 RSF，沿该表面有极低的表面复合速率，并且晶粒间界的活性低或已被很好地钝化，而且晶粒间界的等效复合速率也低。
  - (b) 在背面采用的是欧姆接触而非 BSF，在电池的背面有很高的等效背面复合速率，但晶粒间界的活性仍低或已被钝化。
  - (c) 背面欧姆接触但晶粒间界活性高，相应有很高的等效表面复合速率，如果晶粒间界的复合无法有效地钝化，对于高性能的电池其晶粒间界尺寸应有一个什么样的标准？

### 参 考 文 献

- [1] M. A. Green, "Photovoltaics: coming of age," in Conference Record, 21st IEEE Photovoltaic Specialists Conference, Orlando, May 1990, IEEE Publ. No. 90CH 2838-1, P. 1.
- [2] D. M. Chapin, C. S. Fuller, and G. L. Pearson, "A new silicon p-n junction photocell for converting solar radiation into electrical power," *J. Appl. Phys.* 25, 676 (1954).
- [3] M. Wolf, "Historical development of solar cells," in *Solar Cells*, C. E. Backus, Ed., IEEE Press, New York 1976.
- [4] D. L. Travers and D. S. Shugar, "Value of grid-support photovoltaics to electric distribution lines," *Progr. Photovolt.* 9, 293 (1994).
- [5] J. Oppenheim, "A program to demonstrate that consumers place value on environmentally benign electricity: residential rooftop PV," in Conf. Proceedings, 13th European Photovoltaic Solar Energy Conference, Nice, France, October 1995, p. 836.
- [6] See Special Sub-Issue, "Large photovoltaic systems," *Progr. Photovolt.* (1997).
- [7] Conference Records, IEEE Photovoltaic Specialists Conference. Available from IEEE Service Center, 445 Hoes Lane, PO Box 1331, Piscataway, N. J., 08855-1331, USA.
- [8] *Progress in Photovoltaics*, M. A. Green, E. Lorenzo, H. N. Post, H. W. Schock, K. Zweibel, P. A. Lynn, Eds., Wiley, New York.
- [9] *Solar Energy Materials and Solar Cells*, C. M. Lampert, Ed., Elsevier, Amsterdam/New York.
- [10] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed., Wiley, New York, 1981 (Chapter 14, in particular).
- [11] M. A. Green, *Solar Cells: Operating Principles, Technology and System Applications*, Prentice Hall, Englewood Cliffs, N. J., 1982. (Available from Photovoltaics Special Research Centre, UNSW, Sydney, Australia, 2052.)

- [12] L. D. Partain, Ed., *Solar Cells and Their Applications*, Wiley, New York, 1995.
- [13] T. B. Johansson, H. Kelly, A. K. N. Reddy, R. H. Williams, and L. Burnham, Eds., *Renewable Energy: Sources for Fuels and Electricity*, Island Press, Washington, 1993.
- [14] T. Markvart, *Solar Electricity*, Wiley, New York, 1991.
- [15] J. J. Loferski, "Theoretical considerations governing the choice of the optimum semiconductor for photovoltaic solar energy conversion," *J. Appl. Phys.* 27, 777 (1956).
- [16] W. Shockley and H. J. Queisser, "Detailed balance limit of efficiency of p-n junction solar cells," *J. Appl. Phys.* 32, 510 (1961).
- [17] R. Hulstrom, R. Bird, and C. Riordan, "Spectral solar irradiance data sets for selected terrestrial conditions," *Solar Cells* 15, 365 (1985).
- [18] O. Kawasaki, S. Matsuda, Y. Yamamoto, Y. Kiyota, and Y. Uchida, "Study of solar simulator calibration method and round robin calibration plan of primary standard solar cell for space use," in *Conf. Record, IEEE First World Conference on Photovoltaic Energy Conversion*, Hawaii, December 1994, p. 2100.
- [19] M. A. Green, K. Emery, K. Bücher, D. L. King, and S. Igari, "Solar cell efficiency tables (Version 9)," *Progr. Photovolt.* 3, 51 (1996).
- [20] J. E. Parrott, "Radiative recombination and photon recycling in photovoltaic solar cells," *Solar Energy Mater. Solar Cells* 30, 221 (1993).
- [21] P. Wurfel, *Physik der Solarzellen*, Spektrum Akademischer Verlag, Heidelberg, 1995 (in German).
- [22] T. Tiedje, E. Yablonovitch, G. D. Cody, and B. G. Brooks, "Limiting efficiency of silicon solar cells," *IEEE Trans. Electron Dev. ED* 31, 711 (1984).
- [23] M. A. Green, *Silicon Solar Cells: Advanced Principles and Practice*, Bridge Printery, Sydney, 1995. (Available from Photovoltaics Special Research Centre, UNSW, Sydney, Australia, 2052.)
- [24] A. L. Fahrenbuch and R. H. Bube, *Fundamentals of Solar Cells*, Academic Press, New York, 1983.
- [25] A. Luque, Ed., *Physical Limitations to Photovoltaic Energy Conversion*, IOP Publishing, 1990.
- [26] R. S. Ohl, "Light sensitive electric device," US Patent 2402662, filed 27 March 1941; "Light-sensitive electric device including silicon," US Patent 2443542, filed 27 May 1941.
- [27] D. M. Chapin, C. S. Fuller, and G. L. Pearson, "A new silicon p-n junction photocell for converting solar radiation into electrical power," *J. Appl. Phys.* 8, 676 (1954).
- [28] G. E. McGuire Ed., *Semiconductor Materials and Process Technology Handbook*, Noyes Press, Park Ridge, N. J., 1988.
- [29] T. Markvart, "Radiation damage in solar cells," *J. Mater. Sci., Mater. Electron.* 1, 1 (1990).
- [30] E. Yablonovitch and G. D. Cody, "Intensity enhancement in textured optical sheets for solar cells," *IEEE Trans. Electron Dev. ED-29*, 300 (1982).
- [31] P. Campbell and M. A. Green, "The limiting efficiency of silicon solar cells under concentrated sunlight," *IEEE Trans. Electron Dev. ED-33*, 234 (1986).
- [32] E. Yablonovitch, D. L. Alara, C. C. Chang, T. Gmitter, and T. B. Bright, "Unusually low surface-recombination velocity on silicon and germanium surfaces," *Phys. Rev. Lett.* 57, 249 (1986).
- [33] M. A. Green, J. Zhao, A. Wang, and S. R. Wenham, "45% efficient silicon photovoltaic cell under monochromatic light," *IEEE Electron Dev. Lett.* 13, 317 (1992).
- [34] D. L. Chubb, "Reappraisal of solid selective emitters," in *Conf. Record, 21st IEEE Photovoltaic Spec-*

- cialists Conference, Kissimmee, Florida, May 1990, p. 1326.
- [35] R. M. Swanson, "Point-contact solar cells: modelling and experiment," *Solar Cells* 17, 85 (1986).
- [36] P. E. Gruenbaum, J. Y. Gan, R. R. King, and R. M. Swanson, "Stable passivations for high-efficiency silicon solar cells," in Conf. Record, 21st IEEE Photovoltaic Specialists Conference, Kissimmee, Florida, May 1990, p. 517.
- [37] P. J. Verlinden, R. M. Swanson, and R. A. Crane, "7000 high-efficiency cells for a dream," *Progr. Photovolt.* 2, 143 (1994).
- [38] S. R. Wenham, C. B. Honsberg, and M. A. Green, "Buried contact silicon solar cells," *Solar Energy Mater. Solar Cells* 34, 101 (1994).
- [39] A. Eyer, A. Rauber, and A. Goetzberger, "Silicon sheet materials for solar cells," *Optoelectronics* 5, 239 (1990).
- [40] J. E. Johnson, J. I. Hanoka, and J. A. Gregory, "Continuous mode hydrogen passivation," in Conf. Record, 18th IEEE Photovoltaic Specialists Conf., Las Vegas 1985, p. 1112.
- [41] M. Pasquinelli, S. Martinuzzi, J. Y. Natoli, and F. Floret, "Improvement of phosphorus gettered multicrystalline silicon wafers by aluminium treatment," in Conf. Record, 22nd IEEE Photovoltaic Specialists Conference, Las Vegas, October 1991, p. 1035.
- [42] A. Rohatgi, S. Narasimha, S. Kamra, P. Doshi, C. P. Khattak, K. Emery, and H. Field, "Record high 18.6% efficient solar cell on HEM multicrystalline material," paper presented at 25th IEEE Photovoltaic Specialists Conference, Washington, May 1996, p. 741.
- [43] J. Zhao, A. Wang, P. Altermatt, and M. A. Green, "24% efficient silicon solar cells with double layer antireflection coatings and reduced resistance loss," *Appl. Phys. Lett.* 66, 3636 (1995).
- [44] A. K. Ghosh, C. Fishman, and T. Feng, "Theory of the electrical and photovoltaic properties of polycrystalline silicon," *J. Appl. Phys.* 51, 446 (1980).
- [45] A. Barnett, M. G. Mauk, J. C. Zolper, I. W. Hall, W. A. Tiller, R. B. Hall, and J. B. McNeely, "Thin-film silicon and GaAs solar cells," in Conf. Record, 17th IEEE Photovoltaic Specialists Conference, Kissimmee, Florida, May 1984, p. 747.
- [46] J. S. Im and R. S. Sposile, "Crystalline Si films for integrated active-matrix liquid-crystal displays," *MRS Bull.* 21(3), 39 (1996).
- [47] J. E. Cotter, A. M. Barnett, D. H. Ford, M. A. Goetz, R. B. Hall, A. E. Ingram, J. A. Rand, and C. J. Thomas, "Advanced Silicon Film™ solar cell design and development," in Conf. Record, 1st World Conference on Photovoltaic Energy Conversion, Hawaii, December 1994, p. 1732.
- [48] T. Baba, M. Shima, T. Matsuyama, S. Tsuge, K. Wakisaka, and S. Tsuda, "9.2% efficiency thin film polycrystalline silicon solar cell by a novel solid phase crystallization method," in Conf. Proceedings, 13th European Photovoltaic Solar Energy Conference, Nice, October 1995, p. 1708.
- [49] M. A. Green and S. R. Wenham, "Novel parallel multijunction solar cell," *Appl. Phys. Lett.* 65, 2907 (1994).
- [50] D. E. Carlson and S. Wagner, "Amorphous silicon photovoltaic systems," in *Renewable Energy: Sources for Fuels and Electricity*, T. B. Johansson, H. Kelly, A. K. N. Reddy, R. H. Williams, and L. Burnham, Eds., Island Press, Washington, 1993.
- [51] P. G. LeComber, "Non photovoltaic applications of amorphous silicon," in Conf. Proceedings, 8th E. C. Photovoltaic Solar Energy Conference, Florence, May 1988, p. 1229.

- [52] D. S. Shugar, "Applications of amorphous photovoltaics: myths and facts," in Conf. Record, 1st World Conference on Photovoltaic Energy Conversion, Hawaii, December 1994, p. 670.
- [53] J. Macneil, E. Eser, F. Kampas, J. Xu, A. Delahoy, F. Essis Jr., and C. H. Liu, "Recent improvements in very large area a-Si PV module manufacturing," in Conf. Proceedings, 10th European Photovoltaic Solar Energy Conference, Lisbon, April 1991, p. 1188.
- [54] R. R. Arya, R. S. Oswald, Y. M. Li, N. Maley, K. Jansen, L. Yang, L. F. Chen, F. Willing, M. S. Bennett, J. Morris, and D. E. Carlson, "Progress in amorphous silicon based multijunction modules," in Conf. Record, 1st World Conference on Photovoltaic Energy Conversion, Hawaii, December 1994, p. 394.
- [55] J. Yang, A. Banerjee, T. Glatfelter, K. Hoffman, X. Xu, and S. Guha, "Progress in triple junction amorphous silicon-based alloy solar cells and modules using hydrogen dilution," in Conf. Record, 1st World Conference on Photovoltaic Energy Conversion, Hawaii, December 1994, p. 380.
- [56] P. Iles and Y. C. M. Yeh, "Silicon, gallium arsenide and indium phosphide cells," in Solar Cells and Their Applications, L. D. Partain, Ed., Wiley, New York, 1995.
- [57] C. Hardingham, A. Hayward, T. A. Cross, and C. Goodbody, "Direct glassed and ultrathin GaAs cells," in Conf. Record, 1st World Conference of Photovoltaic Energy Conversion, Hawaii, December 1994, p. 2217.
- [58] P. A. Iles and C. L. Chu, "Design and fabrication of thermophotovoltaic cells," in Conf. Record, 1st World Conference on Photovoltaic Energy Conversion, Hawaii, December 1994, p. 1740.
- [59] J. Lammasniemi, K. Tappura, and K. Smekalin, "Recombination mechanisms at window/emitter interface in InP and other III-V semiconductor based solar cells," in Conf. Record, 1st World Conference on Photovoltaic Energy Conversion, Hawaii, December 1994, p. 1771.
- [60] L. M. Fraas, "Concentrator modules using multijunction cells," in Solar Cells and Their Applications, L. D. Partain, Ed., Wiley, New York 1995.
- [61] K. Zweibel, "Thin films: past, present, future," Progr. Photovolt. 3, 279 (1995).
- [62] T. L. Chu and S. S. Chu, "Thin film III-V photovoltaics," Solid-State Electronics 38, 533 (1995).
- [63] P. V. Meyers and R. W. Birkmire, "The future of CdTe photovoltaics," Progr. Photovolt. 3, 393 (1995).
- [64] W. H. Bloss, F. Pfisterer, M. Schubert, and T. Walter, "Thin-film solar cells," Progr. Photovolt. 3, 3 (1995).
- [65] J. L. Shay, S. Wagner, and H. M. Kasper, "Efficient CuInSe<sub>2</sub>/CdS solar cells," Appl. Phys. Lett 27, 89 (1975).
- [66] E. Christensen, Ed., "Flat-plate solar array project," Jet Propulsion Laboratory, Report JPL400-279, October 1985.
- [67] J. Bishop and H. Ossenbrink, "Results of four years of module qualification testing to CEC specification 503," in Conf. Proceedings, 13th European Photovoltaic Solar Energy Conference, Nice, October 1995, p. 2104.
- [68] N. F. Shepard and L. E. Sanchez, "Development of shingle-type solar cell module," in Conf. Record, 13th IEEE Photovoltaic Specialists Conference, Washington, DC 1978, p. 160.
- [69] J. P. Calica, W. H. Holley, S. C. Agro, R. S. Yorgensen, M. Ezrin, P. Klemchuk, and G. Lavigne, "Advanced development of non discoloring EVA-based PV encapsulants," in Conf. Proceedings, 13th

- European Photovoltaic Solar Energy Conference, Nice, October 1995, p. 2370.
- [70] D. M. Roche, A. E. T. Schineckel, J. W. V. Storey, C. P. Humphris, and M. R. Guelden, "Speed of Light: The 1996 World Solar Challenge," UNSW Photovoltaics Special Research Centre, Sydney 2052, Australia, 1997.
- [71] S. Marte and P. Kremer, "Methods against islanding for small grid connected inverters," in Conf. Proceedings, 13th European Photovoltaic Solar Energy Conference, Nice, October 1995, p. 1839.
- [72] W. Palz, "Power for the World," Int. J. Solar Energy 14, 231 (1994).
- [73] A. J. McEvoy, M. Gratzel, H. Wittkopf, D. Jestel, and J. Benemann, "Nanocrystalline Electrochemical Solar Cells," in Conf. Record, 1st World Conference on Photovoltaic Energy Conversion, Hawaii, 1994, p. 1779.
- [74] C. Hu and R. M. White, Solar Cells. McGraw-Hill, New York, 1983.

## 附录 A 符号表

量的符号	量的名称	量的单位
$a$	晶格常数	Å
$B$	磁感应强度	Wb/m <sup>2</sup>
$c$	真空中的光速	cm/s
$C$	电容	F
$E^{\alpha}$	电位移矢量	C/cm <sup>2</sup>
$D$	扩散系数	cm <sup>2</sup> /s
$E$	能量	eV
$E_i$	导带底	eV
$E_F$	费密能级	eV
$E_g$	能带隙隙	eV
$E_v$	价带顶	eV
$E^{\beta}$	电场	V/cm
$E_c$	临界场	V/cm
$E_m$	最大电场	V/cm
$f$	频率	Hz(cps)
$F(E)$	费密-狄拉克分布函数	
$h$	普朗克常数	J·s
$h\nu$	光子能量	eV
$I$	电流	A
$I_c$	集电极电流	A
$J$	电流密度	A/cm <sup>2</sup>
$J_t$	阈值电流密度	A/cm <sup>2</sup>
$k$	玻尔兹曼常数	J/K
$kT$	热能	eV
$L$	长度	cm 或 μm
$m_0$	电子静止质量	kg
$m^*$	有效质量	kg
$n$	自由电子密度	cm <sup>-3</sup>
$n_i$	本征载流子密度	cm <sup>-3</sup>
$N$	掺杂浓度	cm <sup>-3</sup>
$N_A$	受主掺杂浓度	cm <sup>-3</sup>
$N_c$	导带的有效态密度	cm <sup>-3</sup>

续附表 A

量的符号	量的名称	量的单位
$N_D$	施主掺杂浓度	$\text{cm}^{-3}$
$N_A$	价带的有效态密度	$\text{cm}^{-3}$
$P$	自由空穴浓度	$\text{cm}^{-3}$
$P$	压力	Pa
$q$	电荷量	C
$Q_{it}$	界面陷阱电荷	电荷数/ $\text{cm}^2$
$R$	电阻	$\Omega$
$t$	时间	s
$T$	绝对温度	K
$v$	载流子速度	$\text{cm}/\text{s}$
$v_s$	饱和速度	$\text{cm}/\text{s}$
$v_{ta}$	阈值电压	$\text{cm}/\text{s}$
$V$	电压	V
$V_{bi}$	自建势	V
$V_{EB}$	发射极-基极电压	V
$V_B$	击穿电压	V
$W$	厚度	cm 或 $\mu\text{m}$
$W_B$	基区厚度	cm 或 $\mu\text{m}$
$x$	$x$ 方向	
$\nabla$	微分算符	
$\nabla T$	温度梯度	K/cm
$\epsilon_0$	真空介电常数	F/cm
$\epsilon_s$	半导体介电常数	F/cm
$\epsilon_i$	绝缘体介电常数	F/cm
$\epsilon_s/\epsilon_0$ 或 $\epsilon_i/\epsilon_0$	介电常数	
$\tau$	寿命或衰减时间	s
$\theta$	角度	rad
$\lambda$	波长	$\mu\text{m}$ 或 $\text{\AA}$
$\nu$	光频	Hz
$\mu_0$	真空磁导率	H/cm
$\mu_n$	电子迁移率	$\text{cm}^2/\text{V} \cdot \text{s}$
$\mu_p$	空穴迁移率	$\text{cm}^2/\text{V} \cdot \text{s}$
$\rho$	电阻率	$\Omega \cdot \text{cm}$
$\omega$	角频率( $2\pi f$ 或 $2\pi\nu$ )	Hz
$\Omega$	欧姆	$\Omega$

## 附录 B 国际单位制(SI 单位)

量的名称	单位名称	单位符号	量纲
长度	米	m	
质量	千克	kg	
时间	秒	s	
温度	开[尔文]	K	
电流	安[培]	A	
光强	堪[德拉]	Cd	
角度	弧度	rad	
频率	赫[兹]	Hz	1/s
力	牛[顿]	N	kg · m/s <sup>2</sup>
压力	帕[斯卡]	Pa	N/m <sup>2</sup>
能量	焦[耳]	J	N · m
功率	瓦[特]	W	J/s
电荷	库[仑]	C	A · s
电势	伏[特]	V	J/C
电导	西[门子]	S	A/V
电阻	欧[姆]	Ω	V/A
电容	法[拉]	F	C/V
磁通量	韦[伯]	Wb	V · s
磁感强度	特[斯拉]	T	Wb/m <sup>2</sup>
电感	亨[利]	H	Wb/A
光通量	流[明]	Lm	Cd · rad

1) 在半导体领域, 用厘米表示长度, 用电子伏表示能量单位更为常用, 其中 1 厘米(cm)=10<sup>-2</sup>米(m),  
1 电子伏(eV)=1.6×10<sup>-19</sup>焦(J)

附录 C 单位词头<sup>1)</sup>

所代表的因数	词头名称	词头符号
10 <sup>18</sup>	艾[可萨]	E
10 <sup>15</sup>	拍[它]	P
10 <sup>12</sup>	太[拉]	T
10 <sup>9</sup>	吉[咖]	G
10 <sup>6</sup>	兆	M
10 <sup>3</sup>	千	k
10 <sup>2</sup>	百	h
10	十	da
10 <sup>-1</sup>	分	d
10 <sup>-2</sup>	厘	c
10 <sup>-3</sup>	毫	m
10 <sup>-6</sup>	微	μ
10 <sup>-9</sup>	纳[诺]	n
10 <sup>-12</sup>	皮[可]	p
10 <sup>-15</sup>	飞[母托]	f
10 <sup>-18</sup>	阿[托]	a

1) 被国际重量和测量委员会采用(不能使用复合词头, 例如 10<sup>-12</sup>不能写为 μμ, 而是写作 p)

## 附录 D 希腊字母

字母名称	小写(白斜体)	大写(白正体)
Alpha	$\alpha$	A
Beta	$\beta$	B
Gamma	$\gamma$	Γ
Delta	$\delta$	Δ
Epsilon	$\epsilon$	Ε
Zeta	$\zeta$	Ζ
Eta	$\eta$	Η
Theta	$\theta$	Θ
Iota	$\iota$	Ι
Kappa	$\kappa$	Κ
Lambda	$\lambda$	Λ
Mu	$\mu$	Μ
Nu	$\nu$	Ν
Xi	$\xi$	Ξ
Omега	$\omega$	Ο
Pi	$\pi$	Π
Rho	$\rho$	Ρ
Sigma	$\sigma$	Σ
Tau	$\tau$	Τ
Upsilon	$\upsilon$	Υ
Phi	$\phi$	Φ
Chi	$\chi$	Χ
Psi	$\psi$	Ψ
Omega	$\omega$	Ω

## 附录 E 物理常数

量	符号	值
埃	$\text{Å}$	$1 \text{ Å} = 10^{-10} \mu\text{m} = 10^{-8} \text{ cm} = 10^{-10} \text{ m}$
阿伏伽德罗常数	$N_{\text{Av}}$	$6.02214 \times 10^{23}$
玻尔半径	$a_0$	$0.52917 \text{ Å}$
玻尔兹曼常数	$k$	$1.38066 \times 10^{-23} \text{ J/K} (R/N_{\text{Av}})$
单位电荷	$q$	$1.60218 \times 10^{-19} \text{ C}$
电子静止质量	$m_e$	$9.1094 \times 10^{-31} \text{ kg}$
电子伏	$eV$	$1 \text{ eV} = 1.60218 \times 10^{-19} \text{ J} = 23.053 \text{ kcal/mol}$
气体常数	$R$	$1.98719 \text{ cal/mol-K}$
真空磁导率	$\mu_0$	$1.25664 \times 10^{-6} \text{ H/cm} (4\pi \times 10^{-7})$
真空介电常数	$\epsilon_0$	$8.85418 \times 10^{-12} \text{ F/cm} (1/\mu_0 c^2)$
普朗克常数	$h$	$6.62607 \times 10^{-34} \text{ J} \cdot \text{s}$
约化普朗克常数	$\hbar$	$1.05457 \times 10^{-34} \text{ J} \cdot \text{s} (h/2\pi)$
质子静止质量	$M_p$	$1.67262 \times 10^{-27} \text{ kg}$
真空光速	$c$	$2.99792 \times 10^8 \text{ cm/s}$
标准大气压		$1.01325 \times 10^5 \text{ Pa}$
300K 的热电压	$kT/q$	$0.025852 \text{ V}$
1eV 量子波长	$\lambda$	$1.2398 \text{ } \mu\text{m}$

## 附录 F 300K 的晶格常数

元素或化合物	名称	晶体结构 <sup>1)</sup>	300K 时的晶格常数(Å)
<b>元素</b>			
C	碳(金刚石)	D	3.56683
Ge	锗	D	5.65790
Si	硅	D	5.43102
Sn	灰锡	D	6.4892
<b>II - VI</b>			
6H-SiC	碳化硅	W	$a=3.08, c=15.117$
<b>III - V</b>			
AlAs	砷化铝	Z	5.660
AlN	氮化铝	W	$a=3.11, c=4.98$
AlP	磷化铝	Z	5.4635
AlSb	锑化铝	Z	6.1355
BN	氮化硼	Z	3.6157
BP	磷化硼	Z	4.5383
GaAs	砷化镓	Z	5.65325
GaN	氮化镓	W	$a=3.16, c=5.12$
GaP	磷化镓	Z	5.4505
GaSb	锑化镓	Z	6.09593
InAs	砷化铟	Z	6.0583
InN	氮化铟	W	$a=3.5446, c=5.7034$
InP	磷化铟	Z	5.8687
InSb	锑化铟	Z	6.47937
<b>II - VI</b>			
CdS	硫化镉	Z	5.8320
CdS	硫化镉	W	$a=4.16, c=6.756$
CdSe	硒化镉	Z	6.050
CdTe	碲化镉	Z	6.482
ZnO	氧化锌	R	4.580
ZnS	硫化锌	Z	5.420
ZnS	硫化锌	W	$a=3.82, c=6.26$
ZnSe	硒化锌	Z	5.6676
ZnTe	碲化锌	Z	6.1037
<b>IV - VI</b>			
PbS	硫化铅	R	5.9362
PbTe	碲化铅	R	6.4620

1) D: 金刚石; W: 纤锌矿; Z: 闪锌矿; R: rock salt

## 附录 G 重要的元素和二元半导体性质

半导体 元素	带隙 (eV)		300K 的迁移率 <sup>1)</sup> (cm <sup>2</sup> /V·s)			有效质量 $m^*/m_0$		介电常数 $\epsilon_s/\epsilon_0$
	300K	0K	电子	空穴	能带 <sup>2)</sup>	电子 <sup>3)</sup>	空穴 <sup>4)</sup>	
C	5.17	5.18	2000	2100	I	1.4/0.36	1.08/0.36	5.7
Ge	0.66	0.78	3900	1800	I	1.57/0.082	0.28/0.04	16.2
Si	1.124	1.17	1450	505	I	0.92/0.19	0.54/0.15	11.9
Sn	0	0.94	10 <sup>5</sup> @100K	10 <sup>4</sup> @100K D	D	0.023	0.193	24
M - VI								
6H-SiC	2.86	2.92	300	40	I	1.5/0.25	1.0	9.66
III - V								
AlAs	2.15	2.23	294	—	I	1.1/0.19	0.41/0.15	10
AlN	6.2	—	—	14	D	—	—	9.14
AlP	2.41	2.49	60	450	I	3.61/0.21	0.51/0.21	9.8
AlSb	1.61	1.68	200	400	I	1.8/0.26	0.33/0.12	12
BN	6.4	—	4	—	I	0.752	0.37/0.15	7.1
BP	2.4	—	120	500	I	—	—	11
GaAs	1.424	1.519	9200	320	D	0.063	0.50/0.076	12.4
GaN	3.44	3.50	440	130	D	0.22	0.96	10.4
GaP	2.27	2.35	160	135	I	4.8/0.25	0.67/0.17	11.1
GaSb	0.75	0.82	3750	680	D	0.0412	0.28/0.05	15.7
InAs	0.353	0.42	33000	450	D	0.021	0.35/0.026	15.1
InN	1.89	2.15	250	—	D	0.12	0.5/0.17	9.3
InP	1.34	1.42	5900	150	D	0.079	0.56/0.12	12.6
InSb	0.17	0.23	77000	850	D	0.0136	0.34/0.0158	16.8
II - VI								
CdS	2.42	2.56	340	50	D	0.21	0.80	5.4
CdSe	1.70	1.85	800	—	D	0.13	0.45	10.0
CdTe	1.56	—	1050	100	D	0.1	0.37	10.2
ZnO	3.35	3.42	200	180	D	0.27	1.8	9.0
ZnS	3.68	3.84	180	10	D	0.40	...	8.9
ZnSe	2.82	—	600	300	D	0.14	0.6	9.2
ZnTe	2.4	—	530	100	D	0.18	0.65	10.4
IV - VI								
PbS	0.41	0.286	800	1000	I	0.22	0.29	17.0
PbTe	0.31	0.19	6000	4000	I	0.17	0.20	30.0

1) 在当前最纯和最理想材料中得到的漂移迁移率值。

2) I: 间接; D: 直接。

3) 椭圆能量表面的纵、横有效质量。

4) 非简并价带的重空穴-轻空穴的有效质量。

## 附录 H Si 和 GaAs 在 300K 的性质

性 质	Si	GaAs
原子 / cm <sup>3</sup>	$5.02 \times 10^{22}$	$4.42 \times 10^{22}$
原子量	28.09	144.63
击穿电场 /(V/cm)	$\sim 3 \times 10^5$	$\sim 4 \times 10^5$
晶体结构	金刚石	闪锌矿
密度 /(g/cm <sup>3</sup> )	2.329	5.317
介电常数	11.9	12.4
导带的有效态密度 $N_c/cm^{-3}$	$2.8 \times 10^{17}$	$4.7 \times 10^{17}$
价带的有效态密度 $N_v/cm^{-3}$	$1.04 \times 10^{13}$	$7.0 \times 10^{13}$
有效质量, $m^*/m_0$		
电子	$m_e^* = 0.92$ $m_e^* = 0.19$	0.063
空穴	$m_h^* = 0.15$ $m_h^* = 0.54$	$m_h^* = 0.076$ $m_h^* = 0.50$
电子亲合势 $\chi/V$	4.05	4.07
300K 的能隙	1.124	1.424
折射率	3.42	3.3
本征载流子浓度 / cm <sup>-3</sup>	$1.02 \times 10^{17}$	$2.1 \times 10^6$
本征德拜长度 / μm	43	2900
本征电阻率 / Ω · cm	$3.16 \times 10^3$	$3.1 \times 10^8$
品格常数 / Å	5.43102	5.65325
线性热膨胀系数 $\Delta L/L\Delta T/^\circ C$	$2.59 \times 10^{-5}$	$5.75 \times 10^{-6}$
熔点 / °C	1412	1240
少子寿命 / s	$3 \times 10^{-2}$	$\sim 10^{-8}$
迁移率(漂移) / (cm <sup>2</sup> /V · s)		
$\mu_n$ (电子)	1450	9200
$\mu_p$ (空穴)	505	320
光-声子能量 / eV	0.063	0.035
声子平均自由程 $\lambda_{ph}/\text{Å}$	76(电子) 55(空穴)	58
比热 /(J/g · °C)	0.7	0.35
在 300K 的热导率 /(W/cm · K)	1.31	0.46
散热率 /(cm <sup>2</sup> /s)	0.9	0.44
蒸气压 / Pa	1(1650°C) $10^{-6}(900°C)$	100(1050°C) 1(900°C)

### 附录 1 III-V 族三元化合物半导体的性质

#### 镓铝砷 ( $Al_xGa_{1-x}As$ )

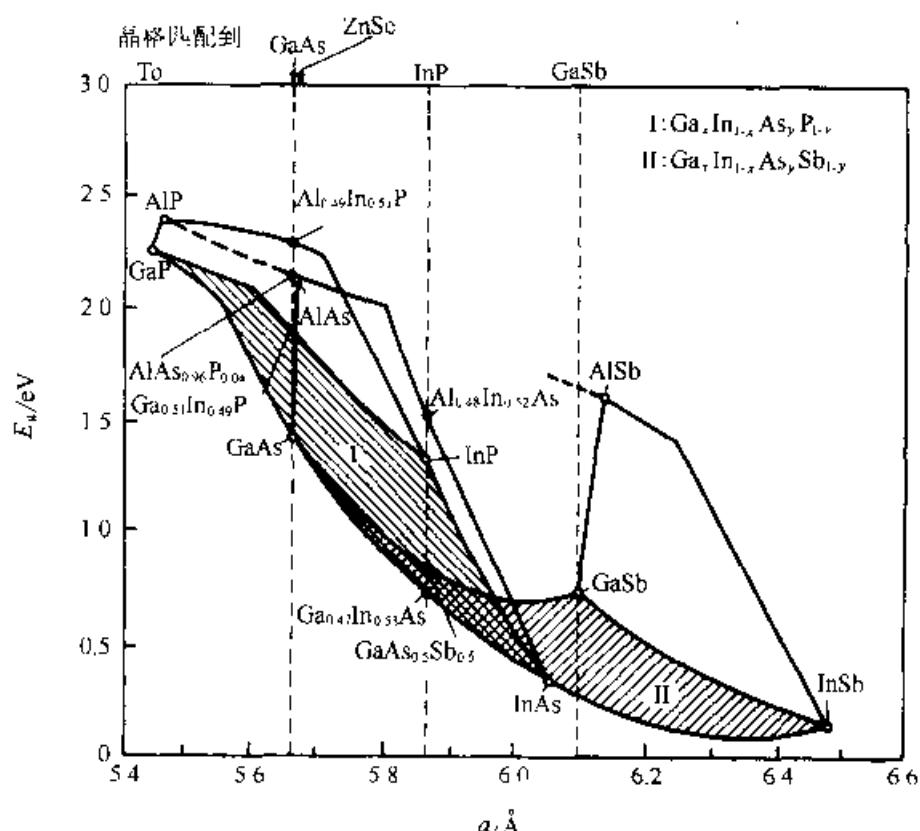
晶体结构	闪锌矿
能带隙 / eV	$1.424 + 1.087x + 0.438x^2 (x < 0.43)$ $1.905 + 0.13x - 0.16x^2 (x > 0.43)$
晶格常数 / Å	$5.6533 + 0.0078x$
电子迁移率 / ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	$9200 - 22000x + 10000x^2 (x < 0.43)$ $-255 + 1160x - 720x^2 (x > 0.43)$
空穴迁移率 / ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	$320 - 970x - 740x^2$
电子有效质量 ( $m_e$ )	$0.063 + 0.083x (\Gamma \text{ minimum, 态密度})$ $0.85 - 0.14x (\text{X minimum, 态密度})$ $0.56 + 0.10x (\text{L minimum, 态密度})$
空穴有效质量 ( $m_h$ )	重空穴: $0.50 + 0.14x$ (态密度) 轻空穴: $0.076 - 0.063x$ (态密度)
介电常数	$12.4 - 3.12x$

#### 铝铟砷 ( $Al_xIn_{1-x}As$ )

晶体结构	闪锌矿
能带隙 $\Gamma$ / eV	$0.37 - 1.91x + 0.74x^2$
能带隙 X / eV	$1.8 + 0.4x$
带隙交叠 $Al_{0.48}In_{0.52}As$	$x = 0.68, E_g = 2.05\text{eV}$ $E_g = 1.45\text{eV}$ , 与 InP 晶格匹配

#### $x=0.47$ 的镓铟砷 ( $Ga_{0.1}In_{0.9}As$ )

晶体结构	闪锌矿
能带隙 / eV	0.75
晶格常数 / Å	5.8687, 与 InP 晶格匹配
电子迁移率 / ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	13800
电子有效质量 ( $m_e$ )	0.041
空穴有效质量 ( $m_h$ )	重空穴: 0.465 轻空穴: 0.05



各种Ⅲ-V族化合物及其合金的能带隙与晶格常数的关系

(取自文引言中参考文献[34])

附录 J  $\text{SiO}_2$  和  $\text{Si}_3\text{N}_4$  在 300K 的性质

	$\text{SiO}_2$	$\text{Si}_3\text{N}_4$
结构	非晶	非晶
熔点 / C	~1600	
密度 / (g/cm³)	2.2	3.1
折射率	1.46	2.05
介电常数	3.9	7.5
介电强度 / (V/cm)	$10^7$	$10^7$
红外吸收带 / $\mu\text{m}$	9.3	11.5—12.0
能隙 / eV	9	~5.0
热膨胀系数 / $^\circ\text{C}^{-1}$	$5 \times 10^{-7}$	
热导率 / (W/cm · K)	0.14	
直流电阻率 / $\Omega \cdot \text{cm}$		
25 C	$10^{-4} - 10^{12}$	$\sim 10^{14}$
500 C		$\sim 2 \times 10^{13}$
在缓冲 HF 液的刻蚀率 <sup>1)</sup> / ( $\text{\AA}/\text{min}$ )	1000	5—10

1) 缓冲 HF 液: 34.6% (wt.)  $\text{NH}_4\text{F}$ , 6.8 (wt.) HF, 58.6%  $\text{H}_2\text{O}$ 。

# 索引

## 二画

- 二次击穿 Second breakdown 166  
二次谐波模式 Second harmonic mode 297, 303, 304  
二极管方程 Diode equation 68, 367  
二极管导纳 Diode admittance 273  
二极管饱和电流 Diode saturation current 68  
二极管的大信号分析 Diode unified large-signal analysis 277, 279  
二维电子气 2DEG 82, 90, 205  
二维金属半导体场效应晶体管(2D-MESFET) 2D-MESFET 92, 94

## 三画

- 三端共振隧穿结构 Three terminal RTI structure 205  
大气污染监测 Atmospheric pollution monitoring 3  
空气质量 Air Mass 365  
大注入 High-level injection 14, 149  
大信号模式 Large signal mode 282  
小信号模式 Small signal mode 282  
小信号调制 Small signal modulation 321  
与外部调制器集成的分布反馈激光器 Distributed-feedback DFB lasers integrated with external modulators 332  
与时间相关的介质击穿 Time-dependence dielectric breakdown 122  
马达驱动 Motor drives 174

## 四画

- 不间断电源 Uninterruptible power supplies 174  
互补异质结构绝缘栅场效应晶体管 Complementary heterostructure insulated-gated field-effect transistors 82  
互补型金属氧化物半导体(CMOS) CMOS

- 106, 110  
介质失效 Dielectric wearout 121  
介质侧墙 Dielectric sidewalls 70  
八角形单元 Hexagonal cell 166  
分子束外延 Molecular beam epitaxy (MBE) 95, 265  
分布反馈 MOCVD 选区生长 Distributed-feedback selective-area growth with MOCVD 333  
分布反馈的电吸收(EA)调制器 Distributed-feedback electron-absorption (EA) modulator 332  
分布反馈选择区生长技术 Distributed-feedback selective-area growth techniques 333  
分布反馈量子限制 Stark 效应 (QCSE) Distributed-feedback quantum-confined stark effect (QCSE) 333  
分布反馈激光器 Distributed-feedback lasers 317, 331  
分布反馈激光器的啁啾宽度 Distributed-feedback laser chirp width 332  
分布布拉格反射激光器 Distributed-Bragg-reflector (DBR) lasers 319  
分布布拉格反射(DBR)激光器,  $\lambda/4$  相移 DBR lasers, quarter-wave phase shift 320  
分布电容 Distributed capacitance 78  
分流电阻 Shunting resistance 182  
双二极管模型 Two-diode model 89  
双异质结构 Double heterostructure 314  
双异质结构,载流子和光学限制效应 DH structure, carrier and optical confinements 315  
双扩散工艺 Double-diffusion process 155  
双层减反射层 Double-layer-antireflection 372  
双极晶体管 Bipolar transistor 9, 11, 26, 31, 51  
双极晶体管中的雪崩击穿 Avalanche breakdown in bipolar transistors 23

- 双势垒 Double-barrier potential 197  
 双波导 DFB 激光器结构 Twin-guide DFB lasers structure 336  
 双轴应变 Biaxial strain 323  
 双速雪崩渡越时间 DOVATT 269  
 双漂移结构 Double-drift structure 279,281  
 反向恢复 Reverse recovery 151  
 反型层 Inversion layer 156  
 反型层迁移率 Inversion layer mobility 114  
 反射概率 Reflection probability 195  
 反偏安全工作区 Reverse-biased safe operating area 177  
 反馈 Feedback 120  
 太阳电池 Solar cells 370  
 太阳光电电池在住宅区的应用 Residential use of photovoltaics 361  
 太阳光强度 Sunlight intensity 365  
 太阳光辐射 Solar radiation 364  
 太空用电池 Space cells 371  
 少数载流子注入 Minority-carrier injection 374  
 开态电阻 Specific on-resistance 142,185  
 开关特性 Switching behavior 172  
 开关电源 Switch-mode power supplies 141  
 开关损耗 Switch losses 144  
 开启 Turn-on 180  
 开态电阻 On-resistance 156,158  
 开态特征电阻 Specific on-resistance 164  
 开路电压 Open-circuit voltage 367  
 无冷却激光器 uncooled lasers 330  
 无电极电镀 Electrodeless plating 376  
 无衬底 Substrateless 265  
 止蚀层 Stop-etch layer 265,266  
 归锁 Latch-up 176
- 五画
- 丝网印刷电池 Screen-printed cells 375  
 叫栅 Gate recess 69  
 击穿电压 Breakdown voltage 70,142  
 功函数 Work function 159  
 功率 MOSFET Power MOSFET 155  
 功率电子学 Power electronics 140  
 功率-延迟积 Power-delay product 93,94  
 功率组合 Power-combining 304,305  
 功率组合器 Power combiner 303,304  
 功率损耗 Power dissipation 114  
 功率整流管 Power rectifier 141  
 半导体-金属界面 Semiconductor-metal interface 66  
 半绝缘衬底 Semi-insulating substrate 64  
 半绝缘砷化镓衬底 Semi-insulating GaAs substrate 76  
 发光二极管 Light-emitting diodes 96  
 发射极 Emitter 29  
 发射极开关闸流管 Emitter-switched thyristor 183  
 发射极延迟 Emitter delay 18  
 发射极到集电极的延迟 Emitter-to-collector delay 19  
 可动离子 Mobile ions 159  
 可变阈值电压器件 Variable threshold devices 132  
 可调谐激光器 Tunable lasers 335  
 可控晶闸管 Controlled thyristor 180  
 可编程只读存储器 Programmable read-only memory, PROM 129  
 台面掩埋式异质结构激光器 Distributed-feedback etched-mesa flat buried heterostructure (EM-BH)laser 331  
 外基区-集电区电容 Extrinsic base-collector capacitance 25  
 外腔波长可调 Wavelength tunnability external cavity 324  
 失调电压 Offset voltage 46  
 失配损失 Mismatch loss 396  
 对称能带结构的单量子阱激光器 Symmetric-band-structure single-quantum-well laser 354  
 布拉格反射器 Bragg reflector 242  
 平面电路 Planar circuit 304  
 归一化的 DH 阈值电流密度 DH structure, normalized threshold current density 315  
 正向电压降 Forward voltage drop 146  
 正向偏置的安全工作区 Forward-biased safe operating area 176

- 正常工作温度 Nominal operating cell temperature 338
- 生命周期 Life cycle 1
- 电子分布函数 Electron distribution function 68
- 电子的面密度 Electron sheet density 71
- 电子空穴对 Electron-hole pair 364, 367
- 电子亲和能 Electron affinities 66
- 电子温度 Electron temperature 89
- 电子辐照 Electron irradiation 152, 173, 184
- 电压降 Voltage drop 150
- 电导调制 Conductivity modulation 171
- 电池设计的演变 Evolution of cell design 370
- 电流拖尾 Current tails 173, 183
- 电流限制 Current limiting 297
- 电流振荡 Current oscillations 289
- 电流密度 Current density 89
- 电流集边效应 Current crowding 26
- 电流增益 Current gain 173
- 电流增益特征频率 Current gain cutoff frequency 120
- 电离杂质散射 Ionized impurity scattering 82
- 电离率 Ionization rate 274
- 电荷注入晶体管 Charge injection transistor (CHINT) 136
- 电荷调制 Charge modulation 64
- 电荷控制模型 Charge control model 17
- 电荷耦合器件 Charge-couple device(CCD) 5
- 边缘束缚注膜生长 Edge-defined film fed growth 378
- 边缘端 Edge termination 141, 158, 165, 176
- 闪存 Flash memory 5
- 闪存 EEPROM Flash EEPROM 129
- 闪存 EPROM Flash EPROM 129
- 闪烁噪声 Flicker-noise 303
- 本地振荡器 Local oscillators 262, 269, 287
- 六画**
- 亚阈值斜率 Subthreshold slope 94
- 亚微米光刻 Submicron lithography 147
- 亚微米器件 Submicron devices 73
- 交流组件 AC modules 397
- 产生区 Generation region 270, 274
- 产生率 Generation rate 278
- 价带 Valence band 270
- 价带内吸收 Intervalence band absorption 327
- 优化 Optimization 152
- 传感器 Sensors 6
- 光子 Photons 364
- 光子转移函数 Photon transfer function 321
- 光子循环 Photo recycling 368
- 光子集成电路 Photonic integrated circuits (PICS) 313
- 光二极管 Photodiode 342
- 光电集成电路 Optoelectronic integrated circuits (QEIC) 312, 341
- 光纤通讯 Optical-fiber communication 4
- 光刻 Photolithography 265
- 光栅调节外腔激光器 Grating-tuned external-cavity lasers 335
- 光载流子密度 Transparency area carrier density 354
- 全耗尽 SOI MOSFET Fully depleted SOI MOSFETs 124
- 共轴 MESFET Coaxial MESFET 93, 94
- 共振隧穿 Resonant tunneling 282
- 共振隧穿二极管 RT diodes 211
- 共振隧穿二极管振荡器 Resonant tunneling two-terminal diode Oscillator 234
- 共振隧穿双极晶体管 RTBT(resonant-tunneling bipolar transistor) 5
- 共振隧穿双势垒 Resonant tunneling double barrier potential 195
- 共振隧穿两端 RT 振荡器 Resonant tunneling two terminal RT Oscillators 233
- 共振隧穿振荡器 RT oscillator 234
- 共振隧穿热电子晶体管 RHET(resonant-tunneling hot electron transistor) 5
- 共振隧穿晶体管 RT transistor 5, 210
- 共振隧穿二极管的稳定条件 RTD stability conduction 286
- 共振隧穿二极管的工作原理 Principles of operation RTD 282

- 关断时间 Turn-off times 157,173
- 动态随机存储器 DRAM(dynamic random access memory) 5,126
- 压应变 Compressive strain 326,328
- 压缩 Compression 73
- 各向异性刻蚀 Anisotropic etches 372
- 回火 Tempering 381
- 缩小因子 Scaling Parameter 124
- 场发射 Field emission 67
- 场效应晶体管 FET 65,95
- 多电极 DBR 激光器 Multiple-electrode DBR lasers 337
- 多电极 DFB 激光器 Multiple electrode DFB lasers 335
- 多波长 DFB 激光阵列 Multi-wavelength DFB laser arrays 338
- 多值存储器 Multistate memory 237
- 多晶硅 Polysilicon 155,182,370
- 夹断 Pinch-off 94
- 夹断电压 Pinch voltage 71
- 夹断基区 Pinch base 24
- 存储结构 Memory structures 125
- 存储器电路 Memory circuits 236
- 安全工作区 Safe operating area 167
- 导纳 Admittance 263
- 导纳矩阵 Admittance matrix 80
- 导带不连续 Conduction band discontinuity 84, 85
- 导带能谷 Conduction band valley 289
- 导热率 Thermal conductivity 305
- 导通关断电流比 On-to-off current ratio 95
- 异质结场效应晶体管(HFET) HFETs 64,73, 82,85,92,97
- 异质结场效应晶体管(DCHFET) DCHFET 64
- 异质结双极晶体管 Heterojunction bipolar transistors(HBTs) 3,313,98,312
- 异质结双极晶体管的异质结界面 HBT heterointerface 90
- 异质结光晶体管 Heterojunction phototransistor (HPT) 342
- 异质结势垒 Heterojunction barrier 300,304
- 异质结构 Heterostructure 204
- 异质结构分布反馈激光器分布反馈消光(开关)比 Distributed-feedback extinction (on off) ratios 534
- 异质结界面 Heterojunction interface 3
- 异质结界面沟道 Heterointerface channel 85
- 异维肖特基二极管 Heterodimensional Schottky diode 90
- 异维肖特基接触 Heterodimensional Schottky contacts 90,91
- 异维晶体管 Heterodimensional transistors 92
- 异维器件 Heterodimensional devices 90
- 弛豫时间 Relaxation time 291,293
- 弛豫振荡频率 relaxation oscillation frequency 321
- 成岛 Islanding 398
- 扩展电阻 Spreading resistance 162
- 扩散电流 Diffusion current 75
- 扩散系数 Diffusion coefficient 292,303
- 有机场效应晶体管 Organic field effect transistors 134
- 有效质量 Effective masses 289
- 有载时的Q因子 Loaded Q factor 264
- 有源区层温度 Active-layer temperature 298, 300
- 有源矩阵 Active-matrix liquid-crystal displays 380
- 杂质扩散 Impurity diffusion 3
- 死区 Dead space 293,297,299,301
- 级联的RT结构 Cascaded RT structure 211
- 自发辐射因子 Spontaneous emission factor 324
- 自对准发射极和基区接触 Self-aligned emitter and base contacts 28
- 自电容 Self capacitances 80
- 自建势 Built in voltage 71
- 负阻 Negative resistance 264,270,277,285, 286,291,295
- 负阻场效应晶体管 NERFET 5
- 负微分电阻 NDR 212,215
- 负微分迁移率 Negative differential mobility

- 289,291  
**迁移率** Mobility 114  
**迁移率寿命乘积** Mobility-lifetime product 381  
**齐纳隧穿** Zener tunneling 215
- ### 七画
- 串联电池** Tandem cell 387  
**串联电阻** Series resistance 263,265,276  
**串联限流二极管** Series blocking diode 397  
**串联和并联电阻** Series and shunt resistance 367  
**低功耗(电子学)** Low power electronics 94  
**体电荷** Bulk charge 76  
**冷电容** Cold capacitor 263  
**均匀分布** Flat-profile 280,293  
**均匀掺杂** Flat doping 293  
**寿命** Lifetime 173  
**应变层量子阱激光** Strained-layer quantum well lasers 325  
**张应变** Tensile strain 326  
**扭曲效应** Kink effect 76  
**折射率** Refractive index 373  
**折射率导引激光器** Index guided lasers 316  
**折射率渐变的分别限制异质结构** Graded-index separate confinement-Heterostructure (GRIN-SCN) 326  
**折衷曲线** Tradeoff curve 148  
**条形几何结构** Stripe geometry structure 313  
**汽相外延** Vapor-phase epitaxy(VPE) 265,293  
**沟道** Channel 64  
**沟道电导** Channel conductance 70,74,75  
**沟道电阻** Channel resistance 159,161  
**沟道电势** Channel potential 78  
**沟道热电子注入技术** Channel hot-electron injection technique(CHEI) 129  
**沟道密度** Channel density 161  
**沟槽** Trench 147,163  
**沟槽MOS-势垒** Trench-MOS-barrier 147  
**沟槽栅** Trench gate 178  
**肖特基势垒** Schottky Barrier 1,3,65,89,270,  
 297  
**肖特基势垒降低** Schottky Barrier lowering 142  
**肖特基势垒型接触** Schottky Barrier contact 90  
**肖特基势垒二极管** Schottky-barrier(SB)diode 342  
**肖特基栅共振隧穿晶体管** Schottky-gated resonant tunneling transistor 95  
**肖特基结** Schottky junction 270  
**肖特基整流管** Schottky rectifier 142,152  
**连续隧穿** Bequential tunneling 198  
**阻断电压** Blocking voltage 169
- ### 八画
- 供给函数** Supply function 200,209  
**侧向RT** Lateral RT 205  
**侧栅** Side gating 76  
**侧墙接触** Sidewall contact 30  
**刻蚀** Etching 156  
**势阱** Potential well 194  
**势垒** Barrier 270  
**势垒的高度** Energy-barrier height 66  
**势垒穿透** Barrier penetration 195  
**单元布局** Cell topology 166  
**单元间距** Cell pitch 161,162,165  
**单片集成** Monolithic integration 304  
**单电子晶体管** Single-electron transistor 218  
**单色光** Monochromatic light 371  
**单层减反射膜** Single-layer antireflection coating 372  
**单量子阱** Single quantum well 353  
**单漂移结构** Single-drift structure 279  
**固定氧化层电荷** Fixed oxide charge 159  
**实空间转移** Real-space transfer 194,227  
**性能比** Performance ratio 400  
**枝状晶体网** Dendritic-web 378  
**欧姆接触** Ohmic contact 65,68,266,276,287,  
 296  
**泊松方程** Poission equation 72,274  
**波分复用** Wavelength-division multiplexing (WDM) 312  
**波分复用传输容量** WDM transmission capacity 312  
**波长调谐,多电极DFB和DBR激光器** Wave-

- length tunnability multiple electrode DFB and DBR lasers 324  
 波长调谐 Wavelength tunnability 324  
 波长连续调谐 Wavelength tunnability continuous wavelength tuning 324  
 波导电路 Waveguide circuits 268  
 波导带定义 Waveguide band designation 262  
 波导空腔 Waveguide cavity 296, 301  
 波形 Waveforms 271  
 波函数 Wavefunction 194, 196  
 波段标记 Band designations 263  
 注入 Implants 70  
 注入相位角 Injection phase angle 271  
 注入效率 Injection efficiency 175, 180  
 环振 Ring oscillator 81  
 环境因素 Environmental issues 390  
 直流到射频(RF)的转换效率 Conversion efficiencies DC to RF 271, 276, 279, 286, 296, 298, 305  
 空间电荷 Space charge 274  
 线宽 Line width 323  
 线宽公式 Line width formula 350  
 线宽增强因子 Line width enhancement factor 324  
 组件电路设计 Module circuit design 395  
 表面复合速率 Surface recombination rates 321  
 表面钝化 Surface passivation 373  
 村底电阻 Substrate resistance 161  
 村底电流感应热电子 The substrate-current induced hotelectron(SCIHE) 129  
 转换 Switching 151  
 转移电子器件 Transferred-electron device(TED) 288, 293, 296  
 转移特征 Transfer characteristics 88  
 金刚石 Diamond 96, 265, 276, 298, 300, 304  
 金属 半导体场效应晶体管 MESFET 342  
 金属-半导体-金属 Metal-semiconductor-metal (MSM) 342  
 金属-半导体界面 Metal-semiconductor interface 1  
 金属-半导体结 Metal-semiconductor junction 65  
 金属-半导体接触 Metal-semiconductor contacts 3  
 金属-有机物化学汽相沉积 Metal-organic chemical vapor deposition(MOCVD) 3  
 金属 有机物化学汽相沉积 MOCVD 42, 97, 265, 293  
 金属-氧化物-半导体场效应晶体管 MOSFET 3, 164, 73, 85, 106, 183, 193  
 非挥发存储器 Nonvolatile memory 5, 129  
 非晶硅 Amorphous silicon 370  
 非晶硅太阳电池 Amorphous silicon solar cell 380  
 饱和 Saturation 73  
 饱和速度 Saturated velocity 270, 297  
 饱和漂移速度 Saturated drift velocities 176
- ### 九画
- 玻尔兹曼常数 Boltzmann constant 68  
 玻尔兹曼输运方程 Boltzmann transport equation 220  
 临界电场 Critical electric field 272  
 俄歇复合 Auger recombination 369  
 保护环 Guard ring 165, 183  
 修正后的线宽公式 Modified line width formula 323  
 前置放大器 Preamplifier 341  
 厚膜混合微电子 Thick-film hybrid microelectronics 375  
 响应时间 Response time 284  
 复合 Recombination 149  
 复式结构 Polytype 204  
 封装 Package 266, 276, 296  
 带状层错硅片 Ribbon wafers 378  
 带隙 Bandgap 282, 288  
 带隙减小 Bandgap shrinkage 16  
 恒定电场的缩小方法 Constant electric field scaling 108  
 按比例缩小 Generalized scaling 108  
 染色感光纳米晶线电池 Dye-sensitized nanocrystalline cells 399  
 栅压摆幅 Gate voltage swing 75

- 栅-沟电容 Gate channel capacitance 86  
 栅结构 Gate structure 116  
 栅绝缘层 Gate insulator 64  
 栅感应引起的漏端泄漏电流(GIDL) Gate induced drain leakage(GIDL) 112  
 栅源电容 Gate-source capacitance 78  
 栅-漏电容 Gate-drain capacitance 78  
 栅极泄漏电流 Gate leakage 85,88  
 标准太阳光谱 Standard sunlight spectra 365  
 洛伦茨线型 Lorentzian lineshape 323  
 点接触晶体管 Point-contact transistor 3  
 甚大规模集成 Ultra-large-scale integration 3, 4  
 界面态 Interface states 66  
 界面态密度 Density of the interface 67  
 界面陷阱态 Interface trap 114,323  
 相干外差接收器 coherent heterodyne receivers 348  
 相干晶体管(CT) Coherent transistor(CT) 227,250  
 相干隧穿 Coherent tunneling 198  
 相位噪声 Phase noise 303  
 穿通击穿 Reach-through breakdown 157,177  
 类受主态 Acceptor-like states 66  
 类施主态 Donor-like states 66  
 结晶缺陷 Crystallographic defects 378  
 结温 Junction temperature 276,278  
 绝缘衬底上的硅 Silicon-on-insulator (SOI) 123  
 绝缘栅双极晶体管 IGBT: p<sup>+</sup>-n<sup>+</sup>结 p<sup>+</sup>-n<sup>-</sup> junction 270  
 insulated-gate bipolar transistors 167  
 统一大信号分析 Unified large signal analysis 272  
 统一的电荷控制模型 Unified charge control model 84  
 背表面电场 Back surface field 371  
 背表面反射器 Back surface reflector 371  
 背接触电池 Rear-contact cells 374  
 脉冲工作方式 Pulsed operations 262,282  
 费米函数 Fermi functions 353  
 费米能级 Fermi level 65  
 轻空穴 Light-hole 327  
 选择性刻蚀 Selective etching 265  
 重空穴 Heavy-hole 327  
 重空穴带 Heavy-hole band 327  
 面密度 Sheet density 75,85
- ### 十画
- 倍频器 Frequency multiplier 232  
 倒置的HFET Inverted HFETs 82  
 准费米能级 Quasi-Fermi level 74  
 原子晶格-布局 Atomic-lattice layout 166,175  
 埋接触太阳电池 Buried-contact solar cells 376  
 宽带隙半导体 Widebandgap semiconductor 84  
 宽带隙发射区 Wide bandgap emitter 33  
 宽带隙集电区 Wide bandgap collector 34  
 宽带隙材料 Wide bandgap materials 304  
 宽度角 Width angle 271  
 展宽的电阻分量 Spreading resistance 164  
 峰谷比 Peak to valley ratio(PVR) 198  
 峰-谷电流 Peak-to-valley current 284  
 峰值瓦特 Peak watt 365  
 振荡频率 Oscillation condition 263  
 振荡器 diode oscillator 305  
 振荡器波导电路 Oscillator waveguide circuits 268  
 振荡器调谐行为 Oscillator tuning behavior 299  
 振荡器等效电路 Oscillator equivalent circuit 263  
 效应 Effects 120  
 旁路二极管 Bypass diode 396  
 氧化钝化 Oxide passivation 374  
 浮分区 Float-zone 374  
 热电子引起的穿通 Hot-electron-induced punch-through(HEIP) 120  
 热电电流 Thermoelectric-current 89  
 热电子注入 Hot-electron injection 129  
 热电子温度 Hot-electron temperature 229  
 热电子谱计 Hot-electron spectrometer 224  
 热电压 Thermal voltage 74  
 热光电能量转换 Thermophotovoltaic energy

- conversion 374  
 热阻 Heat flow resistance 276  
 热电子发射 Thermionic emission 67, 142, 270, 297  
 热离子场发射 Thermionic field emission 66, 297  
 热载流子 Hot carriers 119  
 热噪声 Thermal noise 303  
 特征频率 Cutoff frequency 94, 97, 98  
 锗化镓 Gallium arsenide 106  
 锗化镓金属-半导体场效应管 GaAs MESFET 343  
 离子注入型器件 Ion implanted devices 76  
 积累区 Accumulation region 160, 284  
 积累层 Accumulation layer 161, 166, 292  
 积累层电阻 Accumulation layer resistance 161  
 窄沟效应 Narrow channel effect 93, 94  
 窄线宽分布反馈激光器 Distributed-feedback narrow-linewidth lasers 331  
 窄带隙半导体 Narrow-gap semiconductor 68  
 耗尽 Depletion 71  
 耗尽层 Depletion region 71, 284, 286  
 耗尽区扩展 Depletion extension 80  
 耗尽区复合 Depletion region recombination 15  
 耗尽层 Depletion layers 71  
 耗尽层电荷 Depletion charge 77  
 耗尽型 Depletion mode 62  
 能带工程 Bandgap engineering 193  
 能带结构 Band structure 288  
 能量 Energy 69, 222, 293, 301  
 能量转换效率 Energy conversion efficiency 364  
 脊形波导结构 ridge-waveguide structure 315  
 调制 Modulation 320  
 调制掺杂场效应晶体管 MODFET(modulation-doped FET) 5, 312  
 载流子寿命 Carrier lifetimes 374  
 透光时的微分增益 Differential gain at transparency 354  
 透明电极 Transparent conductor 383  
 透明载流子面密度 The transparency carrier areadensity 327  
 透射概率 Transmission probability 195  
 通用设计准则 Generalized design guide 108  
 速度-电场关系 Velocity-field dependencies 64  
 速度饱和 Velocity saturation 73  
 部分耗尽 SOI Partially depleted SOI 123  
 陷光 Light trapping 373  
 难熔肖特基金属 Refractory Schottky metal 70  
 高电子迁移率晶体管 HEMT : high-electron-mobility transistor 82  
 高压 IGBT IGBTs high-voltage 178  
 高能粒子 High energy particles 372  
 高速分布反馈式激光器 Distributed feedback high speed DFB lasers 331  
 高速通讯 High-speed communications 99  
 高温电子线路 High-temperature electronics 96

## 十一画

- 逻辑功能 Logic functionality 231  
 偶极 HFET Dipole HFET 82  
 偶极畴 Dipole domain 292  
 减反射膜 Antireflection coating 372  
 基于 FET 的接收器 OEIC FET-based receiver OEICs 343  
 基于 HBT 的接收器 OEIC HBT based receiver OEICs 344  
 基区电阻控制晶闸管 Base-resistance controlled thyristor 182  
 基极传输系数 Base transport factor 176  
 基区扩展 Base pushout 22  
 基区穿通 Base punchthrough 22  
 基区渡越时间 Base transit time 15  
 基极开路晶体管 Open-base transistor 176  
 基极电流 Base current 15  
 基频模式 Fundamental-mode 296, 297, 299, 304  
 混合形整流管 Rectifier merged, p-i-n/Schottky 152  
 寄生效应 Parasitic elements 267  
 寄生晶闸管 Parasitic thyristor 168, 175, 184  
 弹道收集晶体管 Ballistic collection transistor 48

- 弹道运动 Ballistic motion 222  
 弹道热电子晶体管(HEF) Ballistic hot electron transistor(BHET) 222,223  
 弹道输运 Ballistic transport 193  
 接收角 Acceptance angles 366  
 接收器光电集成电路 Receiver OEICs 341  
 接触电阻 Contact resistance 69,263,367,377  
 接触和超晶格 Contacts and superlattices 249  
 捷杂分布 Doping profile 298  
 液相外延 Liquid-phase epitaxy(LPE) 293  
 理查逊常数 Richardson constant 68,89  
 理想因子 Ideality factor 68,94,367  
 理想的开态特征电阻 ideal specific on-resistance 161  
 粒子数反转 Population inversion 245  
 维持电流 Holding current 181  
 跃迁矩阵元 Transition matrix element 328  
 铜铟反转原子团及合金 Copper indium diselenide alloy 391  
 国值 Threshold 64,297  
 国值电流密度的减小 Threshold-current-density reduction 327  
 雪崩区 Avalanche region 272,274,279  
 雪崩击穿 Avalanche breakdown 177,185  
 雪崩光电二极管 Avalanche photodiode(APD) 312  
 雪崩倍增 Avalanche multiplication 279  
 雪崩谐振频率 Avalanche resonance frequency 278
- 十二画
- 储存电荷 Stored charge 151,152,154  
 散射过程 Scattering processes 222  
 散热器 Heatsink 265  
 散粒噪声 Shot noise 281  
 晶格匹配的电池 Crystalline tandem cells 385  
 晶格失配 Lattice mismatch 100  
 晶格常数 Lattice constants 411  
 晶格温度 Lattice temperature 89  
 晶粒间界 Grain boundaries 379,385  
 最大可控电流 Maximum controllable current 181  
 最大本征带宽 Maximum intrinsic bandwidth 331  
 最大密度 Maximum density 184  
 最大微分增益 maximum differential gain 328  
 最高振荡频率  $f_{\max}$  The maximum frequency of oscillation  $f_{\max}$  342  
 氯化镓 GaN 96,304  
 渡越时间 Transit time 285  
 渡越时间二极管 Transit-time diodes 269  
 渡越角 Transit angle 271,272  
 温度 Temperature 366  
 域 Domain 292  
 短沟效应 Short-channel effect 94,113  
 短路电流时的电流上限 Efficiency limits short-circuit current 367  
 等效电路 Equivalent circuit 263  
 紫外光的照射 Ultraviolet radiation 374  
 缓冲 Buffer 70  
 缓变沟道近似 Gradual channel approximation (GCA) 71  
 缓变基区 Graded base 34  
 超低功耗集成电路 Ultra-low power integrated circuits 91  
 超高真空化学气相沉积 Ultrahigh vacuum chemical vapor deposition 38  
 超晶格 Superlattice(SL) 211,213  
 阳光放电 Glow discharge 380  
 量子化子带 Quantized subbands 213  
 量子约束 Quantum confinement 193  
 量子级联激光器 Quantum cascade laser(QCL) 216  
 量子阱 Quantum well 206  
 量子阱激光器 Quantum-well lasers 325  
 量子点 Quantum dot 217  
 量子点库仑阻塞 Quantum dot Coulomb blockade 219  
 量子效率 Quantum efficiency 330,345  
 量子电容 Quantum capacitance 207  
 集 Sunlight concentration 366  
 集电极电流 Collector current 11  
 集电极朝上器件 Collector-up devices 43

集总电容模型 Lumped capacitance model 78

黑体 Black body 368

### 十三画

填充因子 Fill factor 367

微分量子效率 Differential quantum efficiency 331

微分增益 Differential gain 325

微波带状线 Microstrip lines 305

暗态饱和电流密度 Dark-saturation current density 364

源-漏串联电阻 Series source and drain resistances 73

碰撞电离 Impact ionization 76,270

简并半导体 Degenerate semiconductor 69

蒙特卡罗模拟 Monte Carlo simulation 293, 301

跨电容 Transcapacitances 80

跨导 Transconductance 94,107,120,157,160

跨阻 Transimpedance 344

辐射系数 Emissivity 372

辐射复合 Radiative recombination 368

辐射损伤系数 Radiation damage coefficient 173

输出电导 Output conductance 75

输运相干 Coherent transport 227

锥体 Pyramids 372

零深度的聚焦 Zero depth concentrator 393

雹击测试 Hail-impact tests 392

频率线宽增强因子 Frequency linewidth enhancement factor 323

频率响应 Frequency response 165

频率啁啾 Frequency chirp 322

### 十四画

截止频率 Cutoff frequencies 342

模式切换 Model hopping 336

漂移区 Drift region 142,178,185,270,272, 274,275,279

漂移速度 Drift velocity 270,275,289

漏电流 Leakage current 148

漏极电流 Drain current 72,75,107

漏致势垒降低 Drain induced barrier lowering

(DIBL) 76

漏端雪崩热载流子 Drain-avalanche hotcarrier (DAHC) 129

碳化物 Carbide 185

碳化硅 SiC 96,304

腐蚀台面平板状的掩埋式异质结构分布反馈激光器 Distributed feedback etched-mesaflat buried heterostructure(EMFBH) 331

腐蚀台面掩埋式异质结构分布反馈激光器 Distributed-feedback etched-mesa BH structure DFB laser(PIQ-BH) 331

缩小 Scaling 192

蔓延 Straggle 70

褪色 Discoloration 395

谱分离 Spectrum splitting 370

谱失配 Spectral mismatch 365

隧穿 Tunneling 193,270,282,284

隧穿注入渡越时间(TUNNET) TUNNETT 265,272

静态功耗 Static-power consumption 95

静态屏蔽 Static shielding 154

### 十五画

增益导引结构 "Gain-guided"structure 315

增益导引和折射率导引的激光器 Gain-and index-guided lasers 315

增益饱和 Gain saturation 321

德布罗意长度 De Broglie wavelength 326

横电模 Transverse-electric(TE)polarized 327

横磁模 Transversed-magnetic(TM)polarized 327

碾压(层压)工艺 Laminating process 392

镓铟砷结型场效应管 GaInAs JFET 343

### 十六画

器件电容 Device capacitance 77

器件的面积 A Area A of the device 263,265

噪声 Noise 133,268

噪声与载波之比 Noise-to-carrier ratio 268

整流器肖特基势垒 Rectifier Schottky-barrier 141

薄膜电池 Thin-film cells 380

薄膜晶体管 Thin-film transistors(TFT) 127

- 赝晶 InGaAs/GaAs Pseudomorphic InGaAs/GaAs 225  
 肆晶异质结构 Pseudomorphic heterostructures 95  
 A/D 转换器 A/D converters 99  
 AIM-Spice 电路模拟软件 AIM-Spice 81  
 AlGaAs 305,100  
 AlGaAs/GaAs 84,90  
 AlGaAs/GaAs 202  
 AlGaAs/GaInAs/GaAs 84  
 AlGaInAs 应变层量子阱 AlGaInAs strained-layer quantum well 330  
 AlGaN 96  
 AlGaN/GaN 高迁移率场效应晶体管 AlGaN/GaN HFET 97  
 AlInAs/GaInAs 异质界面 AlInAs/GaInAs heterointerface 99  
 AlInAs/InP 84  
 AlInGa/InGaAs 226  
 Baliga 品质因子(BFOM) Baliga's figure-of merit(BFOM) 185  
 $(\text{Ba},\text{Sr})\text{TiO}_3$  ( $\text{Ba},\text{Sr}\text{TiO}_3$ ) 126  
 BARITT 269  
 BICMOS 110  
 Bloch 理论 Bloch theorem 213  
 CdS 窗口层 CdS window layer 390  
 CdTe 电池 CdTe cells 390  
 $\text{Cu}(\text{In},\text{Ga})(\text{S},\text{Ge})$  Cu(In,Ga)(S,Ge) 391  
 C-V 模型 C V modeling 77  
 Czochralski(CZ) 362,378  
 DBR 激光器 DBR lasers 319  
 DC 到 AC 的转换器 DC to AC inverter 398  
 DMOSFET 165  
 DX 中心 DX centers 82  
 Early 电压 Early voltage 14,22  
 EEPROM(电可擦洗 PROM) EEPROM(electrically-erasable PROM) 5,129  
 EPROM(电可擦洗只读存储器) EPROM(electrically programmable read-only memory) 5,121,129  
 ESR 183  
 Fabry-Perot 谐振腔 Fabry-Perot resonator 196  
 FN 电流 Fowler Nordheim currents 118  
 FN 隧穿 Fowler-Nordheim tunneling 129  
 $\text{Ga}_x\text{Al}_{1-x}\text{As}$  265  
 GaAs/AlAs 203  
 GaAs/AlGaAs 量子阱激光器 GaAs/AlGaAs quantum well lasers 326  
 $\text{Ga}_{0.5}\text{In}_{0.5}\text{As}$  100  
 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$  窗口层  $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$  window layer 385  
 GaSb/AlSb/InAs 203  
 GCA 72,73  
 GTO 180  
 Gummel-Poon 模型 Gummel-Poon model 52  
 Gunn 器件 Gunn devices 266,282,289  
 HBT 中的速度过冲 Velocity overshoot in HBTs 58  
 HBT 的可靠性 Reliability of HBTs 48  
 I-V 化合物 I-V compounds 96  
 IMPATT 265,270  
 $\text{In}_{0.5}\text{Ga}_{0.47}\text{As}$  265  
 InGaAs/InGaAsP 多量子阱激光器 InGaAs/InGaAsP multiplequantum-well lasers 326  
 InGaAs/InP HBT 48  
 InGaAsP 量子阱激光器 InGaAsP quantum-well laser 330  
 InP 基器件 InP-based devices 99  
 Johnson 品质因子 Johnson figure of-ment 23  
 Kirk 效应 Kirk effect 22  
 Kroemer-Moll-Ross 关系 Kroemer-Moll-Ross relation 35  
 MBE(分子束外延) 193,242  
 MESFET 98  
 MEXTRAM 模型 MEXTRAM model 56  
 Meyer 电容 The Meyer capacitances 79  
 Meyer 电容模型 Meyer capacitance model 79  
 Meyer 模型 The Meyer model 86  
 MITATT 二极管 MITATT diode 270,272  
 MOCVD 193  
 MODFET 343

- 
- MOMBE 51,293  
MOS 棚控 MOS gated 179  
MPS 整流管 MPS rectifier 152  
MSM 光二极管 MSM photo diodes 343  
MSM 光探测器 MSM photo detectors 343  
NORAND 5,240  
NAND 逻辑 Logic NAND 259  
Ni/Cu/Ag 376  
p沟 p-channel 177  
p-i-n 光二极管 p-i-n photodiode 312,313  
p-i-n 整流管 p-i-n rectifier 149,152,170,172  
p-n 结 p-n junction 255,279,288  
p-n' 结 p'-n' junction 270  
PSPICE 80  
p型埋层 Buried p type layer 70  
QCL 244  
QWITT 269  
Q因子 Q factor 269  
Q值 Q values 304  
RC 传输线 RC transmission line 78  
RST 晶体管 RST transistor(RSTT) 229  
SG RTT 95  
SiGe HIFET 100  
SI 214  
SPICE 80,88  
SRAM 127  
Stachler Wronski 退化 Stachler Wronski degradation 381  
Statz 模型 The Statz model 80  
Ta<sub>2</sub>O<sub>5</sub> 126  
TED 288  
TFT 结构 TFT structure 127  
Ti 371  
TMBS 整流管 TMBS rectifier 147  
TriQuint 模型 TriQuint model 80  
T型栅 T-gate 70  
UMOS 179  
UMOSFET 155  
Wannier-Stark 阶梯 Wannier-Stark ladder 215  
Wannier-Stark 态 Wannier-Stark states 215  
Ward 和 Dutton 模型 Ward and Dutton model 79  
WDM 传输实验 WDM transmission experiments 310  
WDM 光学网络测试系统 WDM reconfigurable optical network Testbeds 312  
WKB 近似 WKB (Wentzel-Kramers-Brillouin) Approximation 69  
ZnSe 96  
 $\alpha$  6T 134