1. Системы цифровых элементов. Состав

**Система элементов** **ЭВМ**, набор **логических элементов**, позволяющий реализовать любую функционально-логическую схему **электронной вычислительной машины**. Минимальный (по числу типов элементов) функционально полный (с точки зрения выполнения логических операций) набор состоит из элементов типа «и» — «не» либо «или» — «не»; такие элементы позволяют построить простейший элемент памяти ЭВМ — статический **триггер**.

1. Интегральные триггеры. Классификация. Синхронизируемые и несинхронизируемые RS-триггеры. Прямое и инверсивное управление.

**Триггер**- это устройство, имеющее два устойчивых состояния и способное под действием управляющих сигналов скачкообразно переходить из одного состояния в другое.

Можно выделить две основные области их применения: формирование импульсов и работу в качестве элементарных автоматов цифровых устройств.

Как формирователи, триггеры позволяют получать стандартные по амплитуде прямоугольные импульсы с малой длительностью фронта и среза, практически не зависящей от скорости изменения управляющего сигнала. В роли цифровых автоматов с двумя внутренними состояниями различные типы триггеров выполняют функции ячеек памяти, каскадов задержки, пересеченных ячеек и т. д.

Триггер, как элементарный конечный автомат, характеризуется следующими свойствами:

* число внутренних состояний – два (единица и нуль), что соответствует одной внутренней переменной, обозначаемой для триггеров буквой Q;
* число выходных переменных y – одно, значение переменной y совпадает со значением Q;
* число входных переменных x зависит от типа триггера.

В зависимости **от типа используемых элементов памяти** подразделяют: статические, статико–динамические, динамические триггеры.  
  
Триггеры, использующие статические элементы памяти могут быть статическими или динамическими. Динамические триггеры строятся в основном на МДП-транзисторах.   
  
**^ По способу записи входной информации** триггеры делятся на асинхронные и синхронные (тактируемые).  
  
В асинхронном триггере запись происходит при смене управляющих сигналов, то есть выходная информация в любой момент времени соответствует – выходной (с поправкой на время переходных процессов).  
  
Если изменение состояния триггера возможно лишь при подаче на специальный вход С синхронизирующего (тактирующего) импульса, то такой триггер называют синхронным. Эти триггеры могут синхронизировать уровнем или фронтом (срезом) синхроимпульса.  
  
Таким образом, **по способу управления триггера входными и синхросигналами** различают:  
  
–управляемые уровнем синхроимпульса;  
  
–управляемые фронтом (срезом) тактовых сигналов (для синхронизации);  
  
– управляемые фронтом срезом информационных сигналов (для асинхронных);  
  
– двухступенчатые (состоящие из двух триггеров–главного и вспомогательного).

<https://de.ifmo.ru/--books/electron/Trigg-RG.htm>

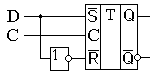
1. Триггер со счетным входом. УГО. Таблица перехода. Лог схема. ВД

тетрадь

1. D-триггер

-статический

В [RS-триггерах](http://digteh.ru/digital/RS_trigg.php) для записи логического нуля и логической единицы требуются разные входы, что не всегда удобно. При записи и хранении данных один бит может принимать значение, как нуля, так и единицы. Для его передачи достаточно одного провода. Как мы уже видели ранее, сигналы установки и сброса триггера не могут появляться одновременно, поэтому можно объединить эти входы при помощи[инвертора](http://digteh.ru/digital/logic.php#Not), как показано на рисунке 1.

   
Рисунок 1. Схема D триггера (защелки)

Такой [триггер](http://digteh.ru/CVT/trigg/) получил название D триггер. Название D триггера происходит от английского слова delay — задержка. Конкретное значение задержки определяется частотой следования импульсов синхронизации. Условно-графическое обозначение D триггера на принципиальных схемах приведено на рисунке 2.



Рисунок 2. Условно-графическое обозначение D триггера (защелки)

Таблица истинности D триггера достаточно проста, она приведена в таблице 1. Как видно из этой таблицы, этот триггер способен запоминать по синхросигналу и хранить один бит информации.

Таблица 1. Таблица истинности D триггера

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **С** | **D** | **Q(t)** | **Q(t+1)** | **Пояснения** |
| 0 | x | 0 | 0 | Режим хранения информации |
| 0 | x | 1 | 1 |
| 1 | 0 | x | 0 | Режим записи информации |
| 1 | 1 | x | 1 |

Нужно отметить, что в ТТЛ микросхемах самый распространённый элемент — это "2И-НЕ". Принципиальная схема D триггера на элементах "2И-НЕ" приведена на рисунке 3.

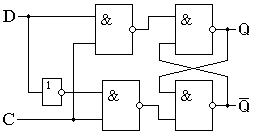


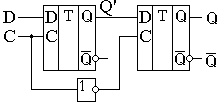
График – тетрадь

-динамический

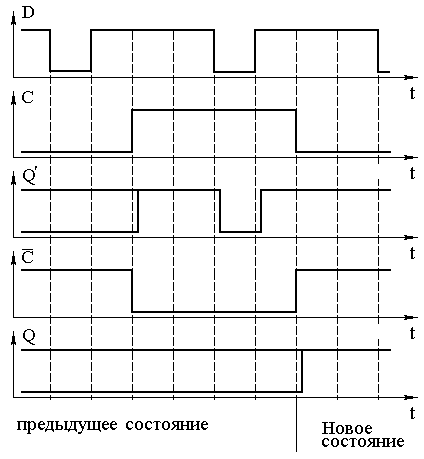
Основным недостатком простейшего D-триггера (защелки), рассмотренного в предыдущей статье, является наличие режима "прозрачности". Пока на входе синхронизации присутствует высокий потенциал, триггер записывает входную информацию. Для того, чтобы избежать прохождения входного сигнала на выход схемы приходится на вход триггера подавать очень узкие импульсы.

Фронт сигнала синхронизации, в отличие от высокого (или низкого) потенциала, не может длиться продолжительное время. В идеальном случае длительность фронта импульса равна нулю. Поэтому в триггере, запоминающем входную информацию по фронту не нужно предъявлять требования к длительности тактового сигнала.

Динамический D триггер, запоминающий входную информацию по фронту, может быть построен из двух [статических D триггеров](http://digteh.ru/digital/Latch/). Сигнал синхронизации C будем подавать на статические D триггеры в противофазе. Схема [триггера](http://digteh.ru/CVT/trigg/), запоминающего входную двоичную информацию по фронту, приведена на рисунке 1.

   
Рисунок 1. Схема динамического D триггера, работающего по фронту

Рассмотрим работу схемы триггера, приведенной на рисунке 1 подробнее. Для этого воспользуемся временными диаграммами, показанными на рисунке 2. На этих временных диаграммах обозначение Q' соответствует сигналу на выходе первого статического D триггера. Так как на вход синхронизации второго статического D триггера тактовый сигнал поступает через инвертор, то когда первый триггер находится в режиме хранения, второй пропускает сигнал на выход схемы. И наоборот, когда первый D триггер пропускает сигнал с входа схемы на свой выход, то второй находится в режиме хранения.

   
Рисунок 2. Временные диаграммы D триггера

3- 27 [http://digteh.ru/digital/](https://vk.com/away.php?to=http%3A%2F%2Fdigteh.ru%2Fdigital%2F&cc_key=)

Многоступенчатый дешифратор

<https://studopedia.su/9_41260_mnogostupenchatiy-deshifrator.html>

двоично-десятичный счетчик

<https://studopedia.ru/3_161169_dvoichno-desyatichnie-schetchiki.html>

накапливающий полусумматор

<http://life-prog.ru/1_39863_mnogorazryadnie-summatori-nakaplivayushchiy-summator.html>

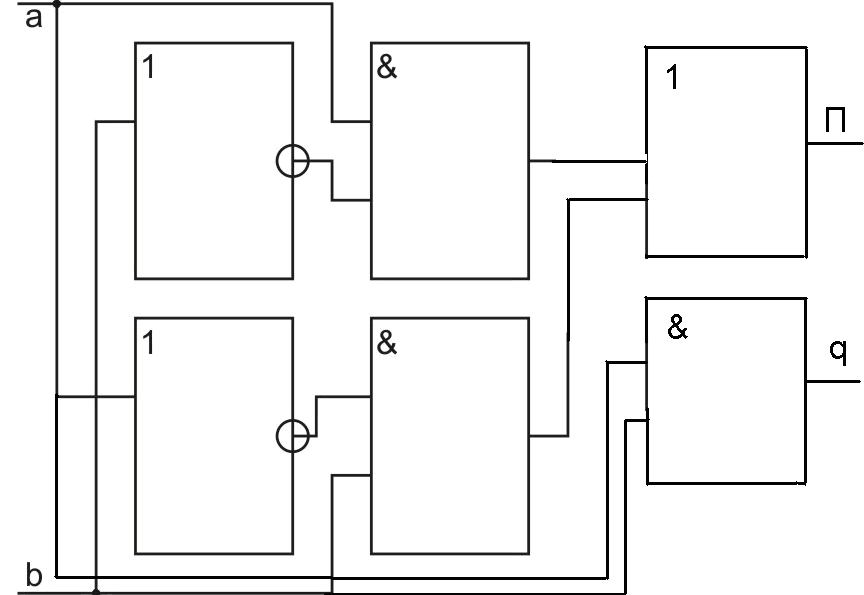
полусумматор комбинационного типа

<http://alnam.ru/book_spre.php?id=35>

сумматор по модулю два

<https://studopedia.ru/3_209398_summatori-po-modulyu-m-.html>

Полусумматор комбинационного и накапливающего типов

Могут быть построены логические схемы полусумматоров комбинационного типа (рис. 10.27) и накапливающего типа (рис. 10.28).   
  


Накапливающий полусумматор строится на основе триггера со счетным входом. На рис. 10.28 триггер выполняет функцию полусуммирования. Если на счетный вход подать в после-довательном коде многоразрядную двоичную переменную

А = f (a1, a2, a13,… ak ),

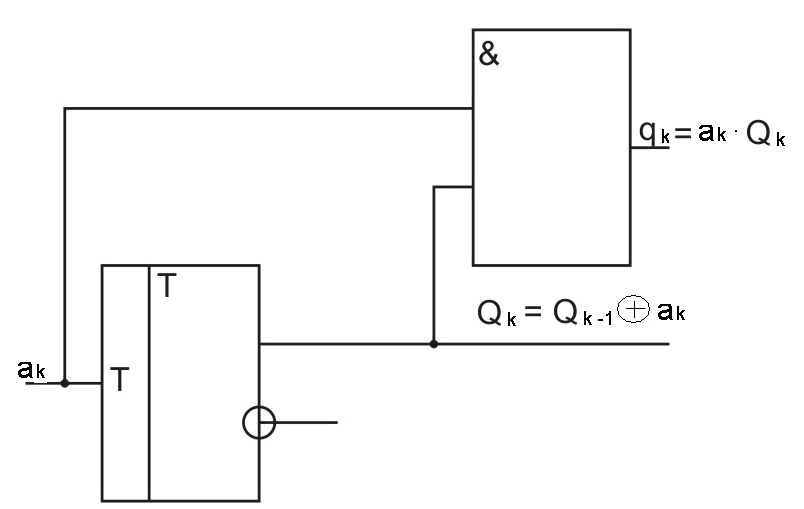
то подсчитывается четность числа единиц в этой переменной.   
  


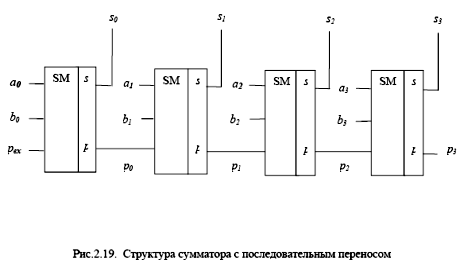
Рис. 10.28. Логическая схема накапливающего сумматора

<http://nenuda.ru/системы-цифровых-элементов-состав.html>

Многоразрядные сумматоры, формируемые из одноразрядных, по принципу организации переноса подразделяются на сумматоры с последовательным (сквозным), параллельным и комбинированным переносом.

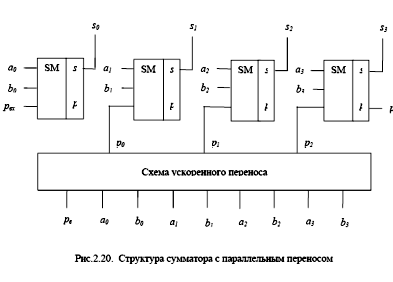
Сумматор с последовательным переносом строится путем последовательного соединения по цепям переноса необходимого числа одноразрядных сумматоров (рис.2.19).

У сумматора с последовательным переносом время суммирования определяется временем распространения сигнала переноса через всю схему. Поэтому с увеличением разрядности сумматора его быстродействие снижается.



Максимально увеличить быстродействие позволяет сумматор с параллельным переносом (рис.2.20). Составляющие его одноразрядные сумматоры работают одновременно, получая входные сигналы переноса от специальной схемы, называемой схемой ускоренного переноса. Эта схема формирует сигналы переноса во все разряды одновременно.

Схемы управления переносом для сумматоров с числом разрядов более четырех оказываются очень громоздкими. Для достижения приемлемого компромисса между быстродействием и аппаратной сложностью применяются схемы комбинированного переноса. Это так называемые сумматоры групповой структуры. В них схема общей разрядности n делится на k групп разрядности m (n = k m). Внутри групп и между группами могут использоваться различные виды переносов.



Ускоренный перенос

<https://studfiles.net/preview/2953119/page:16/>

много чего

<http://nenuda.ru/системы-цифровых-элементов-состав.html>

счетчики

В зависимости от значения модуля счёта *М* счётчики бывают *двоичными* (по модулю *М* = 2*m*) и с *произвольным модулем* (*М* ≠ 2*m*), где число двоичных разрядов *m* округлено до большего целого. По этой классификации счётчики могут работать в двоичном и других кодах. (*В дальнейшем рассматриваются только двоичные счётчики*).

По целевому назначению счётчики подразделяют на три типа:

– суммирующие счётчики;

– вычитающие счётчики;

– реверсивные счётчики.

В *суммирующем счётчике* с каждым входным импульсом его содержимое *увеличивается*на единицу, а в *вычитающем* – *уменьшается*на единицу. Так, суммирующий счётчик выполняет прямой, а вычитающий – обратный счёт единиц, поступивших на его вход**.***Реверсивные счётчики* работают в режиме либо прямого, либо обратного счёта.

По способу установки состояния разрядов счётчики подразделяют на *синхронные* и *асинхронные*.В синхронных счётчиках процесс установки любого нового состояния разрядов выполняется одновременно во всех разрядах счётчика. В асинхронных счётчиках состояния разрядов устанавливаются не одновременно, а последовательно.

По способу формирования сигналов переноса счётчики подразделяют на три группы: с *последовательным*, *параллельным* и *последовательно- параллельным переносом*. По этим признакам счётчики отличаются способами подачи входных импульсов.

В *последовательном* счётчике входные импульсы подаются только на вход первого триггера, а в *параллельном* – одновременно на синхровходы триггеров всех разрядов.

1. Системы цифровых элементов. Состав.

Система цифровых элементов – это совокупность логических, запоминающих и вспомогательных элементов, согласующихся между собой и имеющих единое конструктивное выполнение. Системы цифровых элементов (СЦЭ) классифицируются по двум признакам: типам связи между элементами в схеме; типам приборов, которые используются для реализации тех или иных функций в составе элементов.

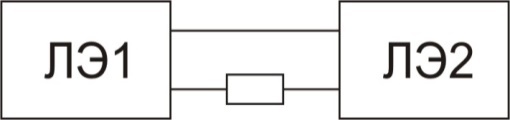
В зависимости от вида связи различают следующие системы цифровых элементов: потенциальные СЦЭ - отличаются тем, что при построении схемы разрешены только потенциальные связи (рис. 4.1);  
  


Рис. 4.1. Схема связей потенциальных ЛЭ

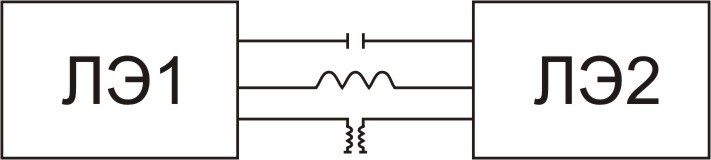
импульсные СЦЭ – при построении схем разрешены только импульсные связи (рис. 4.2);   
  


Рис. 4.2. Схема связей импульсных ЛЭ

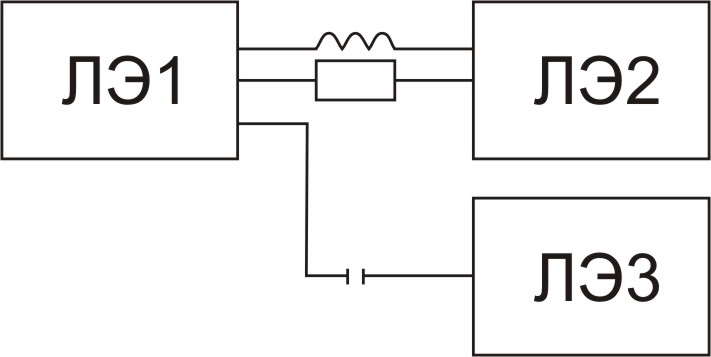
импульсно- потенциальные СЦЭ, в которых разрешены и те, и другие связи (рис.4.3). 

Рис. 4.3. Схема связей импульсно- потенциальных ЛЭ

Согласование цифровых элементов означает использование одних и тех же источников питания и одинаковых уровней логических сигналов.

1. Интегральные триггеры. Классификация. Синхронизируемый и не синхронизируемый RS-триггер. Прямое и инверсное управление.

В состав всех интегральных систем (ИС) цифровых элементов входят микросхемы, на которых реализованы различные типы триггеров. Схемы триггеров всех типов можно представить в виде некоторой обобщенной структуры (рис.8.1).

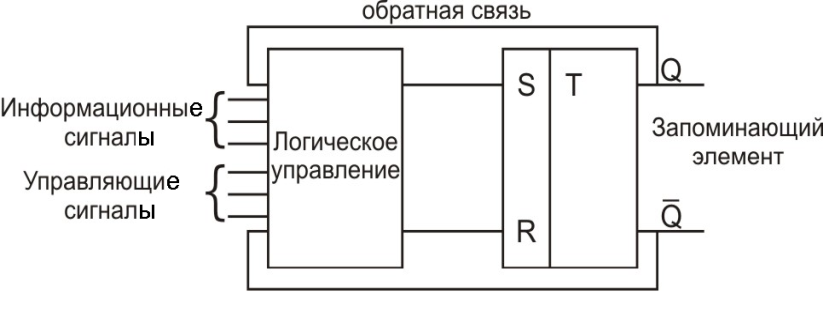
Логические схемы реализуют алгоритм управления триггером. RS –триггер является запоминающим элементом, который хранит один двоичный разряд информации. Информационные сигналы указывают, какая именно информация (0 или 1) должна быть записана в триггер. Управляющие сигналы определяют момент времени, в который происходит изменение информации в триггере. Кроме того, выходы триггера могут быть подключены к входу обратными связями, по которым поступает информация о текущем состоянии триггера.   
  


Рис. 8.1. Обобщенная структура триггера

Классификация триггеров:

по способу управления различают: асинхронные триггеры, синхронизируемые триггеры;

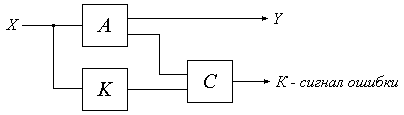
по структуре различают: однотактные (одноступенчатые), двухтактные (двухступенчатые);

по функциональному назначению: RS-триггер, Т–триггер (со счетным входом), Д–триггер (или триггер- задержка), JK-триггер универсальный.

Синхронизируемый RS- триггер

Существуют две схемы: однотактн ая и двухтактная.

Однотактный синхронизируемый RS-триггер

1. **Аппаратный контроль.**Аппаратный контроль предполагает введение в состав ЭВМ дополнительных элементов, предназначенных для обнаружения ошибок в результатах каждой операции проверяемой этими элементами. Аппаратный контроль приводит к значительному увеличению объема аппаратуры и потребляемой мощности. В то же время резко сокращается по сравнению с программным контролем время проверки исправности аппаратуры. Это объясняется тем, что операции проверки аппаратного контроля возможно полностью совместить по времени с операциями основного программного обеспечения.   
   Аппаратурный контроль используется для определения факта неверной работы отдельных цифровых узлов и устройств ЭВМ. Он позволяет достаточно эффективно проверять правильность функционирования этих узлов и устройств как при выполнении отдельных элементарных операций, так и при выполнении последовательностей операций.  
   При аппаратурном контроле в состав узла или устройства вводится избыточная (контрольная) аппаратура, которая функционируют одновременно с основной аппаратурой. Сигналы, возникающие в процессе функционирования основной и контрольной аппаратуры, по определённым законам сопоставляются между собой. В результате этого сопоставления вырабатывается информация о правильности функционирования контролируемого узла (устройства).  
   В общем виде структура функционального узла (устройства) с системой аппаратурного контроля представлена на рис.16.2. Здесь А и К - основной и контрольный автоматы; С - узел сопоставления.  
      
   Рис.16.2. Структура функционирования узла с системой аппаратурного контроля  
   Исходя из способов задания конечных автоматов, можно представить следующие методы сопоставления процессов функционирования основного А и контрольного Кавтоматов:  
   сопоставление внутренних состояний автоматов А и К;  
   сопоставление выходных слов автоматов А и К;  
   сопоставление переходов из одного состояния в другое основного и контролирующего автоматов А и К.  
   Наиболее распространены на практике способы, основанные на сопоставлении выходных сигналов.  
   Дублирование. Дублирование является наиболее простым способом контроля. Для определения правильности работы производится сравнение промежуточных или конечных результатов их работы. Если результаты не совпали друг с другом, то делается заключение о неверной работе аппаратуры. Однако такой способ контроля хотя и обладает высокой эффективностью, не позволяет непосредственно определить, какое из двух идентичных устройств функционирует неверно.  
   Дублируются, как правило, такие устройства и узлы, в которых применение других способов контроля затруднено. К таким устройствам относятся, например, различные датчики, синхронизаторы, устройства выработки управляющих сигналов и т.д.  
   Эффективность контроля дублированием весьма высока, т.к. вероятность пропуска ошибки пропорциональна квадрату вероятности её появления в устройствах. Главный недостаток состоит в том, что количество аппаратуры удваивается.  
   Мажоритарный контроль. При мажоритарном контроле используют несколько (три, пять) устройств, одновременно выполняющих одни и те же действия. Это позволяет при выходе из строя одного из устройств решить сразу две задачи при очень малых затратах времени. Во-первых, выработать правильный выходной сигнал и, во-вторых, определить место возникновения отказа. Решение о том, какой сигнал должен быть на выходе, принимается методом "голосования", т.е. по большинству выходных сигналов отдельных устройств. Выработка общего выходного сигнала осуществляется мажоритарным элементом (элементом голосования). Для определения места отказа необходимо иметь элемент анализа, который работал бы параллельно с мажоритарным элементом и указывал вышедшее из строя устройство. Суть мажоритарного контроля иллюстрирует рис.16.3. Здесь А1, А2, А3 - три идентичных узла (устройства), выходы которых подключены к мажоритарному элементу (МЭ). Мажоритарный элемент осуществляет выработку выходного сигнала Y в соответствии с логическим выражением:  
   Y = Y1×Y2 + Y1×Y3 + Y2×Y3 .  
   Здесь операции умножения и сложения логические и, следовательно, отсутствие одного из сигналов Y1, Y2 или Y3 не влияет на правильность выработки сигнала Y.  
   Задача собственно мажоритарного контроля состоит в определении неисправного устройства. Для этого в мажоритарно резервированное устройство вводится узел анализа, выходные сигналы которого формируются в соответствии со следующими логическими выражениями:

|  |
| --- |
| http://ok-t.ru/life-prog/baza2/1462508663451.files/image003.gif |

K1 = http://ok-t.ru/life-prog/baza2/1462508663451.files/image005.gif ; K2 = http://ok-t.ru/life-prog/baza2/1462508663451.files/image007.gif ; K3 = http://ok-t.ru/life-prog/baza2/1462508663451.files/image009.gif .  
Рис.16.3. Функциональная схема мажоритарного контроля  
Наличие сигнала Кi = 1 (i = 1, 2, 3) указывает на ошибку в работе соответствующего устройства Аi. Организованный таким образом контроль позволяет зафиксировать неисправное устройство и, не выключая устройства (системы) в целом, произвести необходимый ремонт.  
Недостаток структуры, представленной на рис.16.3, состоит в том, что если откажет сам мажоритарный элемент, то система в целом выходит из строя и это не фиксируется узлом анализа.  
Для повышения надёжности работы мажоритарных систем можно использовать не три, а пять, семь и любое нечётное количество одинаково одновременно работающих устройств. Их количество должно быть обязательно нечётным, иначе могут возникнуть неопределённые состояния при работе МЭ. Естественно, при этом усложняется построение самих МЭ и узлов анализа, однако принципы остаются те же, что и описанные выше.  
Эффективность мажоритарного контроля весьма высока, так как вероятность срабатывания нескольких устройств одновременно убывает по показательному закону с ростом числа этих устройств. Большим достоинством данного вида контроля является его высокая разрешающая способность и возможность выполнения ремонта как основной, так и контрольной аппаратуры без нарушения процесса нормального функционирования системы. Этим свойством не обладает никакой другой способ контроля

1. **Организация контроля по-четности (нечетности) (Нет ничего про организацию как таковую)**

. Если в систематическом коде выделен один контрольный разряд (*k*= 1), то к каждому двоичному числу добавляется один избыточный разряд и в него записывается 1 или 0 с таким условием, чтобы сумма цифр в каждом числе, включая контрольный разряд, была по модулю 2 равна 0 для случая четности или 1 для случая нечетности. Появление ошибки обнаружится по нарушению четности (нечетности).

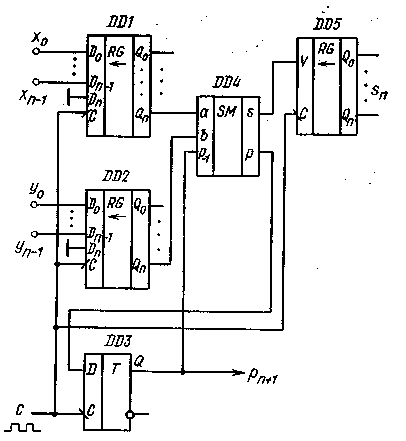
Для кодирования по методу четности-нечетности разрешенными будут только половина возможных комбинаций. Появление ошибок нечетной кратности (количество искаженных бит в кодовом слове нечетно) обнаруживается с вероятностью 100%. Ошибки четной кратности (2, 4, 6 и т.д.) не обнаруживаются.

Минимальное кодовое расстояние равно 2.

Контроль по методу чётности-нечётности используется в ЭВМ для контроля записи, считывания, передачи информации, а также при выполнении арифметических операций. Причём контроль по нечётности имеет то преимущество, что при передаче информации по параллельной шине возможно обнаружить обрыв шины.

1. Многоразрядный сумматор (вычитатель) последовательного действия.

Последовательные сумматоры преобразуют последовательные коды слагаемых в последовательный код суммы этих слагаемых. Сложение начинается с младшего разряда и выполняется поразрядно последовательно за столько тактов, сколько разрядов содержится в числе. В состав многоразрядного сумматора последовательного действия, кроме комбинационного одноразрядного сумматора, применяют три сдвигающих регистра для двух слагаемых X и Y и для результата S, D-триггер переноса и схемы управления вводов и выводов чисел. При этом входы синхронизации одного из регистров и D-триггёра должны быть инверсны соответствующим входам двух оставших­ся сдвиговых регистров.

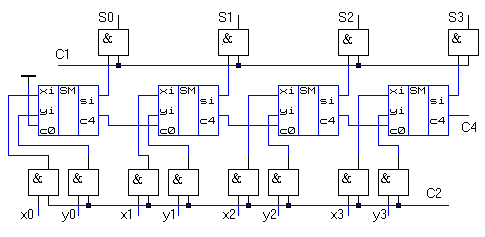


В общем случае регистры могут не являться собственно при­надлежностью устройства, Два из них необходимы для хранения кодов слагаемых и последовательной поразрядной подачи их на входы одноразрядного сумматора. Третий используется для приема результата в последовательной форме.

При увеличении разрядности кодов слагаемых проигрыш в быстродействии и выигрыш в простоте технической реализации будут увеличиваться. Поэтому применение многоразрядных сум­маторов последовательного действия оправдано лишь в тех случаях, когда определяющим фактором является требование максимального упрощения технической реализации устройства при предъявлении низких требований к его быстродействию.

1. Многоразрядный сумматор (вычитатель) параллельного действия.

Для повышения быстродействия при выполнении операций суммирования широко применяют параллельный сумматор. Отличительной особенностью такого сумматора является количество используемых схем ОС-3, которое равно количеству разрядов операндов с учетом знака и анализа переполнения.

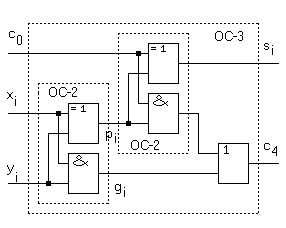


На рис. 71 изображена структурная схема параллельного четырёхразрядного сумматора. Схема состоит из четырех схем ОС-3 и двенадцати элементов 2И, используемых в качестве ключей. Ключи подачи операндов на входы сумматора управляются сигналом С2 (активный высоким уровнем), а ключи выдачи результата -- С1. Как только С2=1 на входы сумматора подаются операнды, и начинается процесс суммирования. Все разряды слагаемых одновременно поступают на входы сумматоров и одновременно во всех разрядах начинается формирование суммы и переноса.

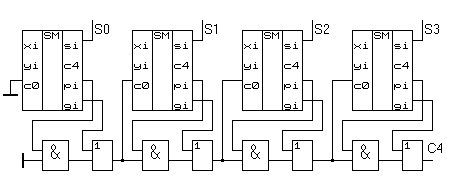
Перенос последовательно подсуммируется к разрядам результата, т.е. получаем, что разрядные суммы формируются одновременно, а перенос осуществляется последовательно.

Операнды должны быть установлены до начала суммирования и они не должны менять своего значения до получения суммы. От момента подачи сигнала С1 плюс один интервал задержки начинается формирование суммы и переносов. После формирования окончательной суммы, с учетом всех переносов, можно подавать сигнал С2 -- выдачи результата на шину суммы.

1. Многоразрядный сумматор с ускоренным переносом.

Если в схему ОС-3 ввести обозначения двух новых переменных (см. рис. 73), то выражение для формирования переноса в следующий старший разряд будет иметь вид http://ok-t.ru/life-prog/baza1/1559926734163.files/image290.gif, или, в соответствии с принятыми обозначениями, http://ok-t.ru/life-prog/baza1/1559926734163.files/image292.gif.

http://ok-t.ru/life-prog/baza1/1559926734163.files/image295.gif



http://ok-t.ru/life-prog/baza1/1559926734163.files/image293.gif

В последнем выражении gi-- появляется тогда, когда перенос в данном разряде определяется комбинацией входных переменных. Поэтому gi -- называют функцией генерации переноса. Переменная -- указывает, передается ли перенос, полученный в младшем разряде, дальше и называется функцией распространения переноса. Последнее выражение показывает, что для схемотехнической реализации переноса необходимы два элемента: 2И и 2ИЛИ. Построение цепи ускоренного переноса для четырёхразрядного сумматора показано на рис.74. На рисунке не отображены цепи задания входных переменных, а только показано построение цепи ускоренного переноса. Младший разряд находится слева. При большой разрядности операндов цепь ускоренного переноса позволяет существенно повысить быстродействие сумматоров.

1. Прямой, дополнительный, обратный коды алгебраических чисел.

Прямой код — способ представления двоичных чисел с фиксированной запятой.

Прямой код используется в двух вариантах.

В первом (основной) — для записи только неотрицательных чисел.

Второй вариант — для записи как положительных, так и отрицательных чисел.

В этом случае старший бит (в нашем случае — восьмой) объявляется знаковым разрядом (знаковым битом).

При этом, если:

— знаковый разряд равен 0, то число положительное

— знаковый разряд равен 1, то число отрицательное

Обратный код

Обратный код — метод вычислительной математики, позволяющий вычесть одно число из другого, используя только операцию сложения.

Обратный двоичный код положительного числа состоит из одноразрядного кода знака (битового знака) — двоичной цифры 0, за которым следует значение числа.

Обратный двоичный код отрицательного числа состоит из одноразрядного кода знака (битового знака) — двоичной цифры 1, за которым следует инвертированное значение положительного числа.

Для неотрицательных чисел обратный код двоичного числа имеет тот же вид, что и запись неотрицательного числа в прямом коде.

Для отрицательных чисел обратный код получается из неотрицательного числа в прямом коде, путем инвертирования всех битов (1 меняем на 0, а 0 меняем на 1).

Для преобразования отрицательного числа записанное в обратном коде в положительное достаточного его проинвертировать.

Обратный код решает проблему сложения и вычитания чисел с различными знаками, но и имеет свои недостатки:

— арифметические операции проводятся в два этапа

— как и в прямом коде два представления нуля — положительный и отрицательный

Дополнительный код — наиболее распространенный способ представления отрицательных чисел. Он позволяет заменить операцию вычитания на операцию сложения и сделать операции сложения и вычитания одинаковыми для знаковых и беззнаковых чисел.

В дополнительном коде (как и в прямом и обратном) старший разряд отводится для представления знака числа (знаковый бит).

Дополнительный код отрицательного числа можно получить двумя способами

1-й способ:

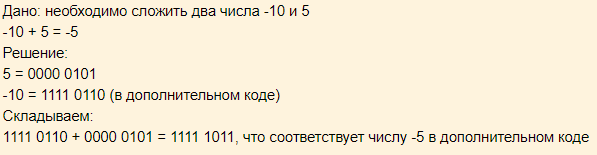
— инвертируем значение отрицательного числа, записанного в прямом коде (знаковый бит не трогаем)

— к полученной инверсии прибавляем 1

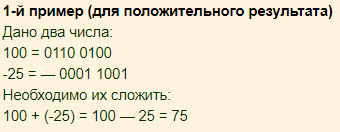
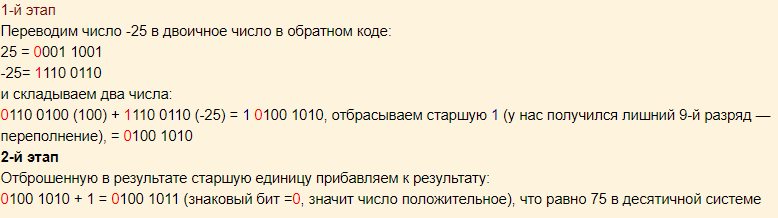
2-й способ:

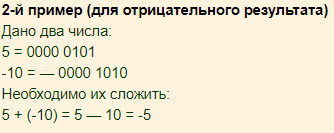
Вычитание числа из нуля

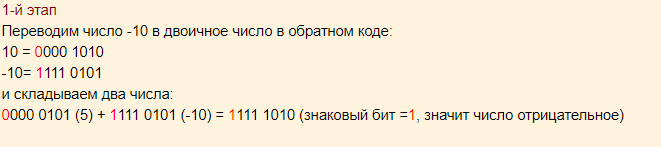
1. Выполнение операций сложения и вычитания с использованием дополнительного кода.

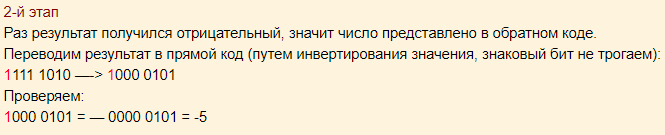


1. Выполнение операций сложения и вычитания с использованием обратного кода.







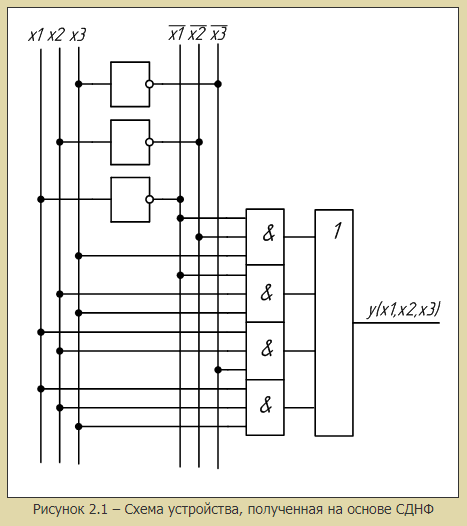
1. Синтез комбинационных логических схем.

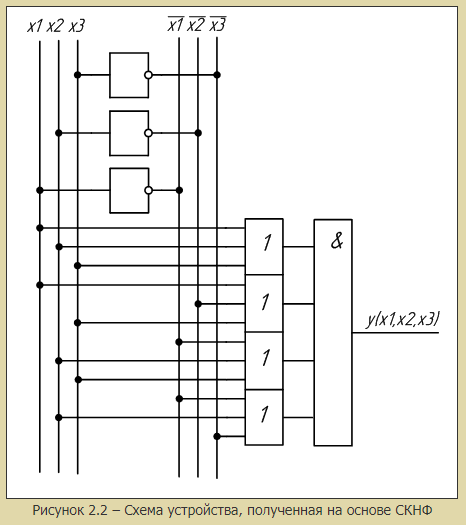
Любая логическая схема без памяти полностью описывается таблицей истинности. Эта таблица является исходной информацией для синтеза схемы на основе логических элементов «И», «ИЛИ», «НЕ». Для разработки требуемого цифрового устройства сначала на основе таблицы истинности записывают его логическое выражение. Затем с целью упрощения цифрового устройства минимизируют его логическое выражение и далее разрабатывают схему, реализующую полученное логическое выражение. Логические выражения можно получить двумя способами:

* на основе совершенной дизъюнктивной нормальной формы (СДНФ);
* на основе совершенной конъюнктивной нормальной формы (СКНФ).

Совершенная дизъюнктивная нормальная форма (СДНФ): функция представляется суммой групп. Каждая группа состоит из произведения, в которую входят все переменные.

Совершенная конъюнктивная нормальная форма (СКНФ): функция представляется произведением групп. Каждая группа состоит из суммы, в которую входят все переменные.





1. Построить логическую схему, работа которой задана таблицей истинности, в заданном элементном базисе (И-НЕ, ИЛИ-НЕ).
2. Регистр сдвига. Классификация. УГО. Логическая схема. ВД.

Сдвиг — операция при к-рой значение каждого разряда записывается в старший/младший (в зависимости от направления сдвига) разряд.

Сдвиги:

1) В сторону старших разрядов («сдвиг влево»).

2) В сторону младших («сдвиг вправо»).

a) Циклические — биты, выходящие за пределы разрядной сетки, записываются в последний рязряд регистра, противоположный направлению сдвига (Выход старшего/ младшего разряда — на вход младшего/старшего).

b) Нециклические — биты, выходящие за пределы разрядной сетки, теряются безвозвратно. Разряды, значение к-рых было сдвинуто, заполняются, например нулями.

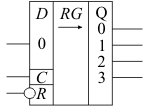
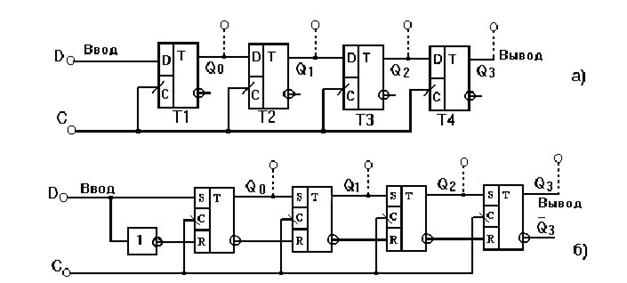
Регистры:

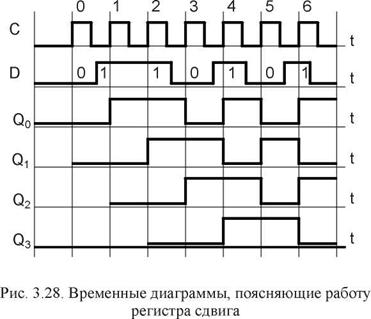
1) Хранения — только хранит слова.

2) Сдвиговые — то же + сдвиг вправо/влево. Сдвиг происходит во время синхросигнала.

3) Реверсивные — то же + возможность указать направление сдвига.

УГО, схема и ВД регистра сдвига:



УГО и схема реверсивного регистра:

