

Logos系列 FFT Demo应用指南

(V1.0)

(2024.03.15)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2024-3-15	初始版本。

名词术语解释

Abbreviations 缩略语	Full Spelling 英文全拼	Chinese Explanation 中文解释
FFT	Fast Fourier Transform	快速傅里叶变换

目录

1.	概述	6
2.1	介绍	6
2.2	主要功能	6
2.3	设计信息	6
2.4	资源使用情况	7
2.	FFT 设计	7
2.1	FFT逻辑框图	7
2.1	FFT接口描述	8
2.2	FFT参数定义	9
3.	Example Design	9
2.1	参考功能设计	9
2.2	参数配置	10
2.3	Example接口列表	10
2.4	Example文件目录	11
2.5	Example仿真	11
2.6	Example上板验证	11

图表目录

图 1 FFT DEMO应用简介	7
图 2 FFT参考设计简介	9

1. 概述

2.1 介绍

本文档为深圳市紫光同创电子有限公司 FPGA 产品中 Logos 系列 FFT Demo 工程及应用文档。本文档主要介绍了 Logos FFT 的功能列表、接口定义、接口时序、支持器件以及参考设计等。

FFT demo 是紫光同创实现 Cooley-Tukey FFT 算法、高效计算 DFT（Discrete Fourier Transform）的一款 demo。

2.2 主要功能

FFT 支持的主要功能如下：

- 单通道；
- 转换长度 $N=2^8$ ；
- 数据输入位宽 $b_x=16$ ；
- 相位因子精度 $b_w=15$ ；
- 缩放类型 Unscaled；
- 蝶形运算后的数据截尾方式 Convergent Rounding；
- 数据输出顺序 Natural Order；
- 实现架构 Radix-2 Burst；
- 支持定点数据，数据用二进制补码表示；

2.3 设计信息

表 1 FFT Demo设计信息

FFT Demo	
支持系列	Logos
提供的设计文件	
FFT设计文件	Verilog文件
FFT参考设计	Verilog文件
FFT仿真文件	Verilog文件
约束文件	fdc文件

开发工具支持	
设计工具	PDS开发套件
综合工具	ADS
仿真工具	Modelsim

2.4 资源使用情况

表 2 资源占用介绍

Device Family	Configuration	LUT	FF	Distributed RAM	APM	DRM
PGL100H	Radix2	1180	1072	90	8	4.5

2. FFT 设计

2.1 FFT逻辑框图

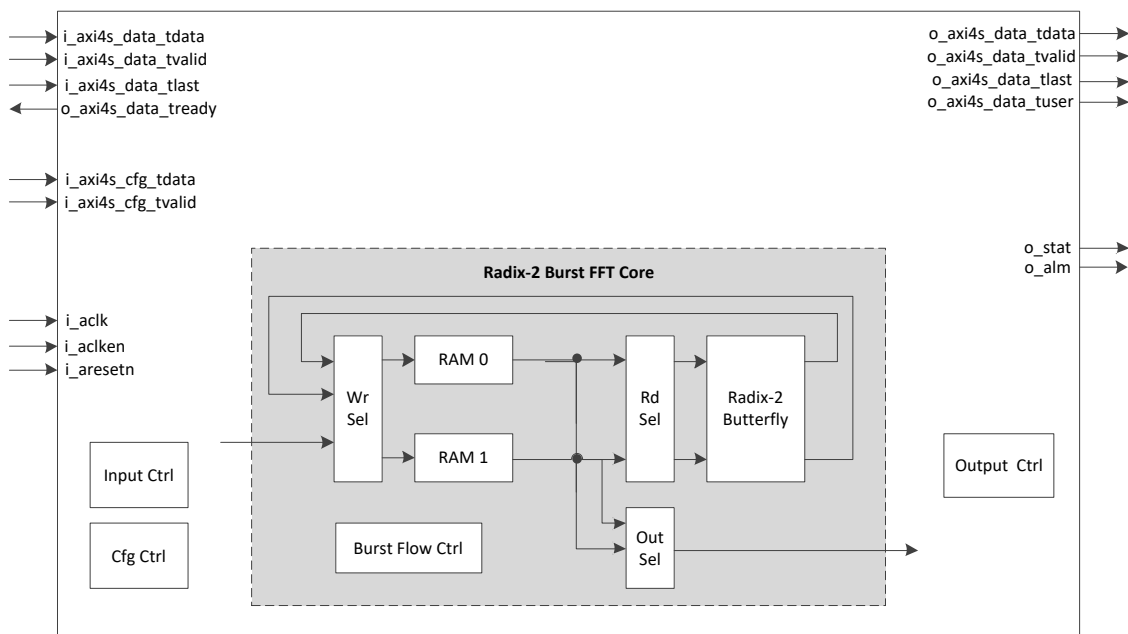


图 1 FFT Demo应用简介

Radix-2 Burst Core: 采用 Radix-2 迭代架构，按时间抽取（DIT）进行蝶形运算。数据在自然顺序下也以帧的形式输入，每帧的数据长度等于 FFT 转换长度。因为 FFT Core 只有一个蝶形运算单元，FFT 每级迭代的计算都在这个蝶形运算单元上完成，所以，在上一级迭代的数据完成计算之前，不能计算下一级迭代的数据，也就不能支持数据帧的连续输入和处理。Radix-2 迭代架构有 2 块 RAM，用于存储 FFT 计算的数据。

对于 IFFT 计算，IP 不会实现 $1/N$ 的计算，因此 FFT 和 IFFT 计算的唯一区别，只有旋转

因子互为共轭。

整个 IP 模块，除了 FFT Core，还包括输入控制、输出控制和配置控制子模块。IP 内部所有逻辑的工作时钟，由外部输入提供。IP 使用一个外部输入时钟，作为所有子模块工作时钟。

2.1 FFT 接口描述

信号名	I/O	位宽	描述
i_aclk	I	1	输入参考时钟。
i_axi4s_data_tdata	I	32	输入数据。
i_axi4s_data_tvalid	I	1	数据输入有效指示信号。上升沿后的个第一个时钟周期开始传输数据。在最后一个数据传输完之前，应该一直保持1'b1不变。
i_axi4s_data_tlast	I	1	最后一个数据输入指示信号。1'b1表示当前输入数据是最后一个数据，即 $X_n[N-1]$ 。
o_axi4s_data_tready	O	1	允许数据输入指示信号。1'b1表示当前允许输入数据。
i_axi4s_cfg_tdata	I	1	动态配置信息，当 i_axi4s_cfg_tvalid 为 1'b1 时，i_axi4s_cfg_tdata 被写入 IPSXE_FFT IP。 bit0: FFT转换类型 1'b1: IP工作在FFT模式； 1'b0: IP工作在IFFT模式。
i_axi4s_cfg_tvalid	I	1	动态配置有效指示信号，1'b1表示配置有效。
o_axi4s_data_tdata	O	64	输出数据。
o_axi4s_data_tvalid	O	1	数据输出有效指示信号。上升沿后的个第一个时钟周期开始传输数据。在最后一个数据传输完之前，一直保持1'b1不变。
o_axi4s_data_tlast	O	1	最后一个数据输出指示信号。1'b1表示当前输出数据是最后一个数据，即 $X_k[N-1]$ 。
o_axi4s_data_tuser	O	16	输出信息，指示输出数据序号。
o_stat	O	1	bit0: datain_frame_started

信号名	I/O	位宽	描述
o_alm	O	3	<p>bit2: datain_channel_halt 当一帧数据没有传输完成但i_axi4s_data_tvalid拉低了，该告警拉高1个时钟周期。注意：FFT IP仅支持数据连续输入，该告警产生时IP内部的数据处理不会中断，但此时IP计算的输出数据是错误的。</p> <p>bit1: datain_tlast_unexpected 当i_axi4s_data_tlast信号拉高但当前输入的帧数据不是最后一个时，该告警拉高1个时钟周期。</p> <p>bit0: datain_tlast_missing 当输入最后一个帧数据并且i_axi4s_data_tlast信号没有拉高时，该告警拉高1个时钟周期。</p>

2.2 FFT 参数定义

固定配置，无参数。

3. Example Design

2.1 参考功能设计

Example Design 顶层集成了 FFT IP、Frame_Gen 和 Frame_Chk 模块。

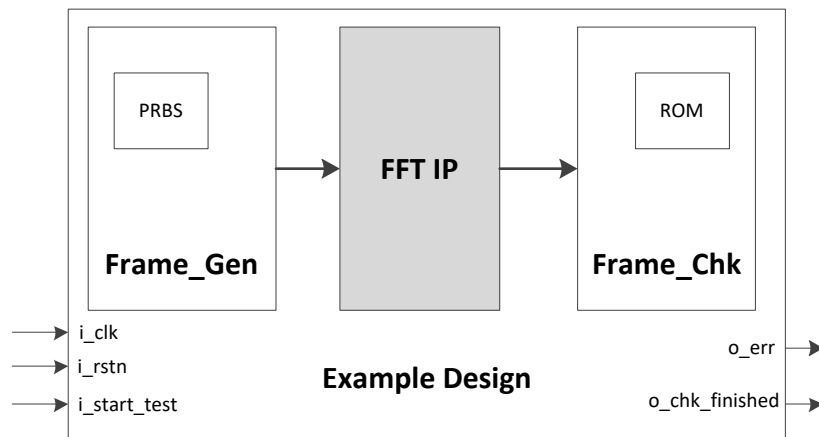


图 2 FFT参考设计简介

- **Frame_Gen**: 数据帧产生模块，在i_start_test信号（低有效）发起后，默认发送4帧随机数据，每帧数据相同。每帧数据开始发送之前，先动态配置FFT Core的计算类型，FFT和IFFT按帧交替配置。
- **FFT IP**: 例化的FFT IP模块。
- **Frame_Chk**: 数据帧检查模块，将IP计算的期望值保存在ROM中，用于IP计算数据的

比对，如果不一致，则将o_err信号拉高一直保持。检测时间结束后，o_chk_finished拉高。

2.2 参数配置

表 3 FFT 参数配置

参数/配置选项	参数说明
FFT Core架构选择	Radix-2 Burst
FFT转换长度	256
FFT输入数据位宽	16
FFT旋转因子位宽	15
FFT计算缩放类型	Unscaled
蝶形运算后的数据截尾方式	Convergent Rounding
FFT数据输出顺序	Natural Order

2.3 Example 接口列表

表 4 FFT example design接口列表

信号名	I/O	位宽	描述
i_clk	I	1	外部输入单端时钟（最大频率150 MHz）
i_rstn	I	1	外部输入系统复位（低有效）
i_start_test	I	1	外部输入测试开始（上升沿有效）
o_err	O	1	测试结果错误指示： 1：测试结果有错误 0：测试结果没有错误 复位后初始值是1，方便和第1次计算结果正确指示0对比
o_chk_finished	O	1	测试完成指示： 1：测试完成 0：测试没有完成 复位后初始值是1

2.4 Example 文件目录

```
--/example_design // 设计实例包含的文件
-- /bench // FFT IP Example Design Testbench
-- ipsxe_fft_onboard_tb.v // Example Design 顶层仿真文件
-- /rtl // FFT IP Example Design中IP以外的代码文件
-- ipsxe_fft_onboard_top.v // Example Design 顶层模块
-- ipsxe_fft_frame_gen.v // Example Design 激励产生模块
-- ipsxe_fft_frame_chk.v // Example Design 结果检测模块
-- ipsxe_fft_sync_arstn.v // Example Design 异步复位同步模块
--/pnr // 综合布局布线工程
-- /example_design // FFT IP Example Design的综合布局布线工程文件及约束文件
-- ipsxe_fft_onboard_top.pds // Example Design PDS工程文件
-- ipsxe_fft_onboard_top.fdc // Example Design PDS约束文件
-- /core_only // FFT IP Core Only的综合布局布线工程文件及约束文件
-- ipsxe_fft_core_only.pds // Core Only PDS工程文件
-- ipsxe_fft_core_only.fdc // Core Only PDS约束文件
-- ipsxe_fft_core_only.v // Core Only PDS顶层文件
--/rtl // FFT IP Core包含的代码文件
-- /distran_sdram // FFT IP调用的分布式RAM SDPRAM IP文件夹
-- /distran_sreg // FFT IP调用的分布式RAM移位寄存器IP文件夹
-- /drn_sdram // FFT IP调用的DRM SDPRAM IP文件夹
-- /synplify // FFT IP Core加密代码文件夹，包含的代码文件仅用于综合
--/sim // Example Design simulation目录
-- modelsim // ModelSim仿真运行的.do文件及filelist
-- ipsxe_fft_onboard_top_sim.do // 用于Example Design仿真运行的.do文件
-- ipsxe_fft_onboard_top_filelist.f // 用于Example Design仿真的filelist，被ipsxe_fft_onboard_top_sim.do调用
-- ipsxe_fft_onboard_top_wave.do // 用于Example Design仿真的波形加载.do文件，被ipsxe_fft_onboard_top_sim.do调用
-- sim.bat // 用于Example Design运行ipsxe_fft_onboard_top_sim.do的脚本
--/sim_lib // FFT IP Core加密代码文件夹，包含的代码文件仅用于仿真
-- /modelsim // 适用于ModelSim 10.2c和VCS 2020.03sp2的IP Core加密代码 _sim.vp
-- fft_demo_00.v // IP的wrapper文件
-- ipsxe_fft_exp_rom.v // 用于Example Design比对计算结果
```

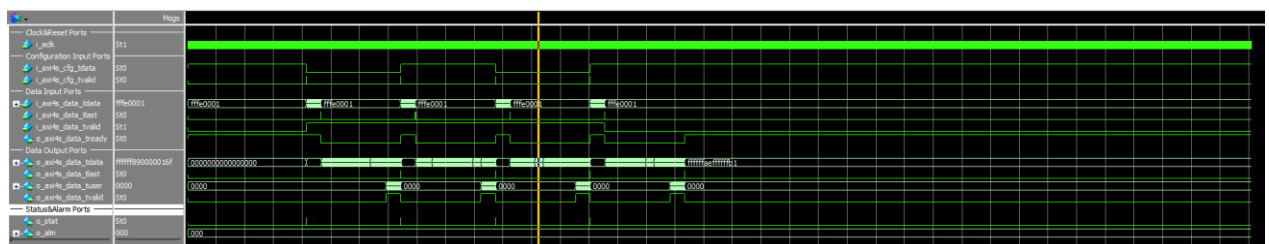
2.5 Example 仿真

在 Windows 系统下，在 simulation 路径下，双击 sim.bat 文件即可自动运行功能仿真。

注意：ipsxe_fft_onboard_top_sim.do 里的 GTP 文件路径，需要用户自己修改，适配 PDS 安装路径。

o_axi4s_data_tdata 为 axis 输出结果数据。

o_axi4s_data_tvalid 与 o_axi4s_data_tready 都拉高时为 axis 输出结果数据完成握手。



2.6 Example 上板验证

上板测试采用与仿真测试相同的方式进行收发测试验证。

- 输入参考时钟为 100MHz;
- Example Design 位流加载完成后，用户通过控制输入信号 i_start_test，先拉低后再拉高，启动 FFT 计算测试。当 o_chk_finished 拉高时，如果 o_err 信号为低，则表示测试结果正确；否则，表示测试结果错误。