

ISE 14.7 下按键检测实验

黑金动力社区 2017-07-27

1 文档简介

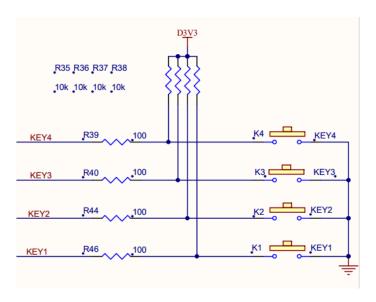
通过按键检测实验,检测开发板的按键功能是否正常,了解硬件描述语言和 FPGA 的具体关系,学习 ISE RTL Viewer 的使用。

2 实验环境

- Windows 7 SP1 64 位
- ISE Design Suite 14.7
- 黑金 FPGA 开发板(AX309 开发板、AX516 开发板、AX545 开发板)

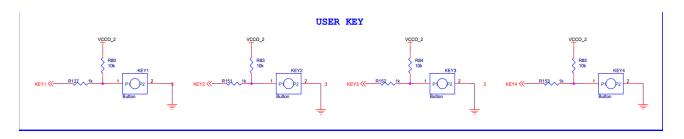
3 实验原理

3.1 按键硬件电路



AX309 开发板按键部分电路



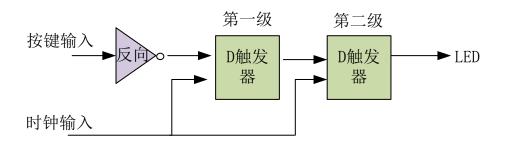


AX516、AX545 开发板按键部分电路

从图中可以看到,按键松开时是高电平,按下时是低电平,在 AX309 开发板中有一个按键被命名为 "RESET",不过这个 "RESET"按键也是一个普通按键,和其他按键没有本质的区别。

3.2 程序设计

这个程序没有设计的很复杂,通过简单的硬件描述语言看透硬件描述语言和 FPGA 硬件的联系。首先我们将按键输入经过一个非门后再经过 2 组 D 触发器。一个经过 D 触发器的信号,会在 D 触发器时钟上升沿锁存然后再送到输出。



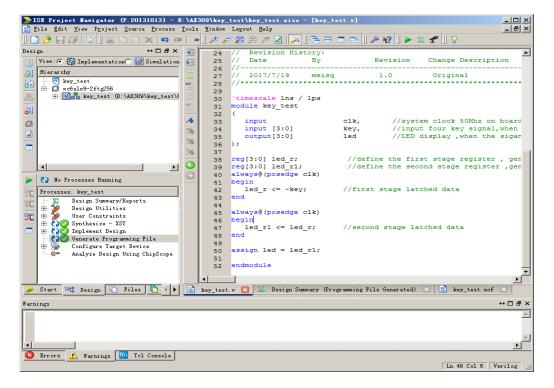
在进行硬件描述语言编码之前,我们已经把硬件构思完成,这是一个正常的开发流程。有了硬件设计思路无论是通过画图还是通过 Verilog HDL、VHDL 都能完成设计,根据设计的复杂程序和对某种语言的熟悉程序来选择工具。

4 工程分析

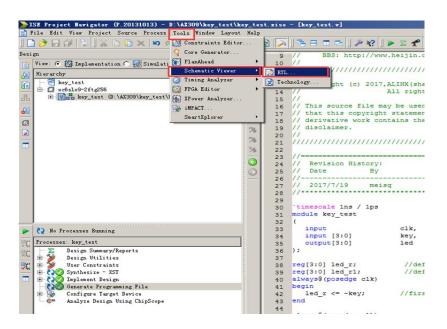
(1) 首先建立按键的测试工程,添加 verilog 测试代码,完成 UCF 文件编写并编译等流程。

黑金动力社区 2/6





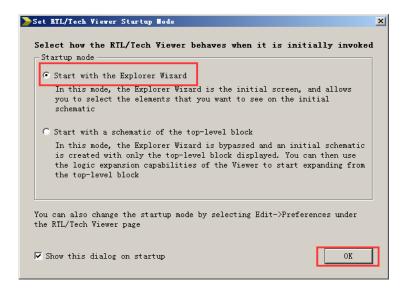
(2) 使用 RTL Viewer 工具查看设计



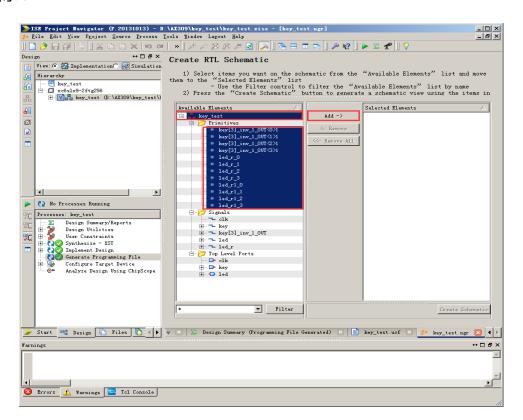
(3) 默认选择"Start with the Explorer Wizard"点击 OK

黑金动力社区 3/6





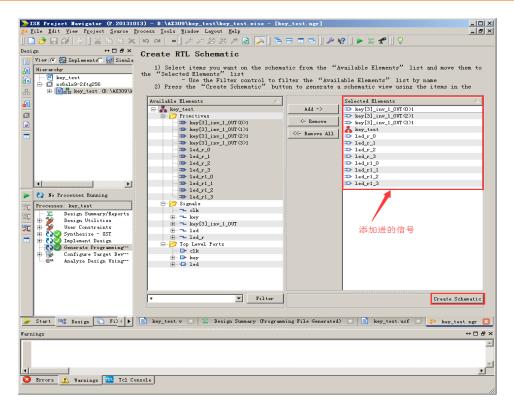
(4) 在 Available Element 框里我们可以看到通过综合分析后生成的信号列表,在这里我们只添加顶层"Key_test"和 Primitives 里的所有信号,选择完成后点击右边的 Add-> 完成添加,如下所示:



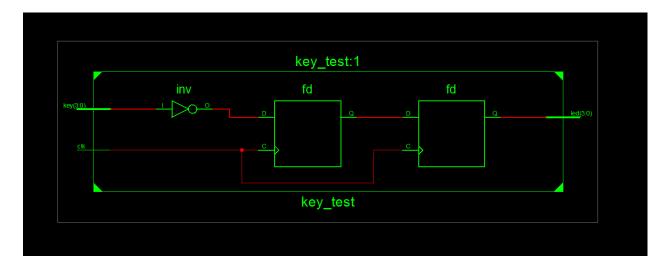
(5) 添加完成后点击右下方的 "Great Schematic" 按钮

黑金动力社区 4/6





(6) 分析 RTL 图,可以看出键值信号取反后直接输入到第一级 D 触发器,到第二级锁存后输出, 和预期设计一致。



5 实验现象

程序下载到开发板以后,AX309 开发板"LED0"、"LED1"、"LED2"、"LED3"都处于熄灭状态,按键 "KEY1" 按下后 LED0 亮,按键 "KEY2" 按下 "LED1" 亮,按键 "KEY3" 按下 "LED2" 亮,按键 "KEY4" 按下 "LED3" 亮。

黑金动力社区 5/6



AX516/AX545 开发板程序下载后, "LED0"、"LED1"、"LED2"、"LED3"都处于点亮状态, 按键 "KEY1"按下后 LED0 灭, 按键 "KEY2"按下"LED1" 灭, 按键 "KEY3"按下"LED2" 灭, 按键 "KEY4"按下"LED3" 灭。

6 附录

key_test.v(verilog 代码)

```
`timescale 1ns / 1ps
module key_test
                       clk, //system clock 50Mhz on board
         input
         input [3:0]
                         key, //input four key signal, when the keydown, the value is 0
                                  //LED display ,when the siganl high,LED lighten
         output[3:0]
                          led
);
                   //define the first stage register, generate four D Flip-flop
reg[3:0] led_r;
reg[3:0] led_r1;
                    //define the second stage register ,generate four D Flip-flop
always@(posedge clk)
begin
         led_r \le \sim key;
                          //first stage latched data
end
always@(posedge clk)
begin
         led_r1 <= led_r; //second stage latched data</pre>
\quad \text{end} \quad
assign led = led_r1;
    endmodule
```

黑金动力社区 6/6