

ISE 14.7 下 PLL 实验

黑金动力社区 2017-06-07

1 文档简介

很多初学者看到板上只有一个 50Mhz 时钟输入的时候都产生疑惑, 时钟怎么才 50Mhz? 如果要工作在 100Mhz、150Mhz 怎么办? 在很多 FPGA 芯片内部都集成了 PLL, 其他厂商可能不叫 PLL, 但是也有类似的功能模块, 通过 PLL 可以倍频分频, 产生其他很多时钟。本实验通过调用 PLL ip core 来学习 PLL 的使用、ISE 的 IP core 使用方法。

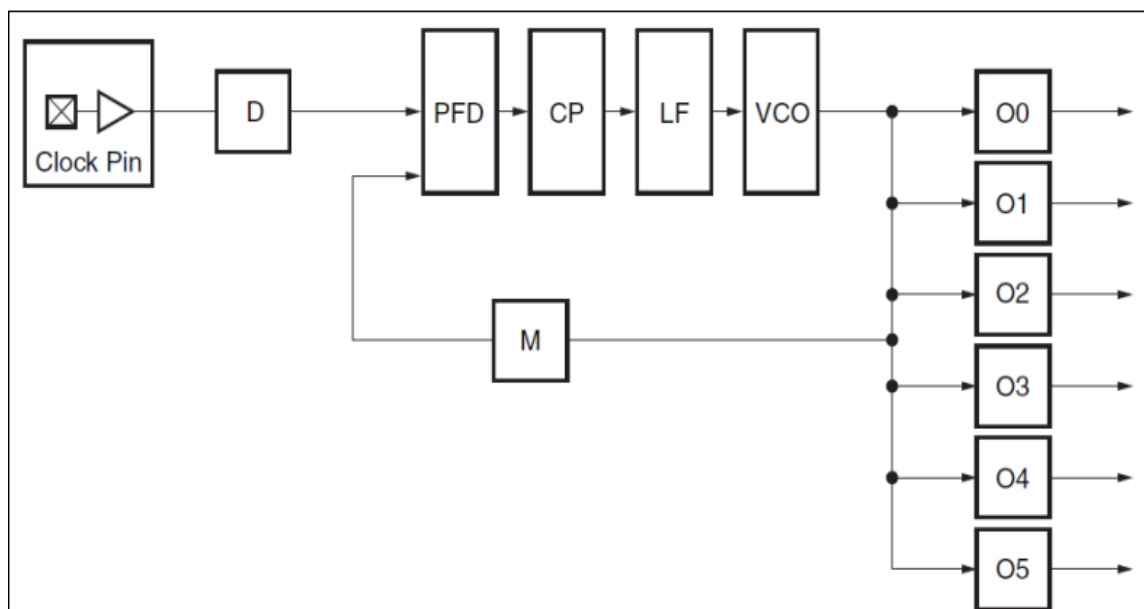
2 实验环境

- Windows 7 SP1 64 位
- ISE Design Suite 14.7
- 黑金 FPGA 开发板 (AX309 开发板、AX516 开发板、AX545 开发板)
- 示波器

3 实验原理

PLL 技术非常复杂, 主要实现的功能就是倍频分频, 实现的原理这里不做讲解, FPGA 内的 PLL 都是一个硬件模块 (硬核), 是 FPGA 中非常重要的资源。

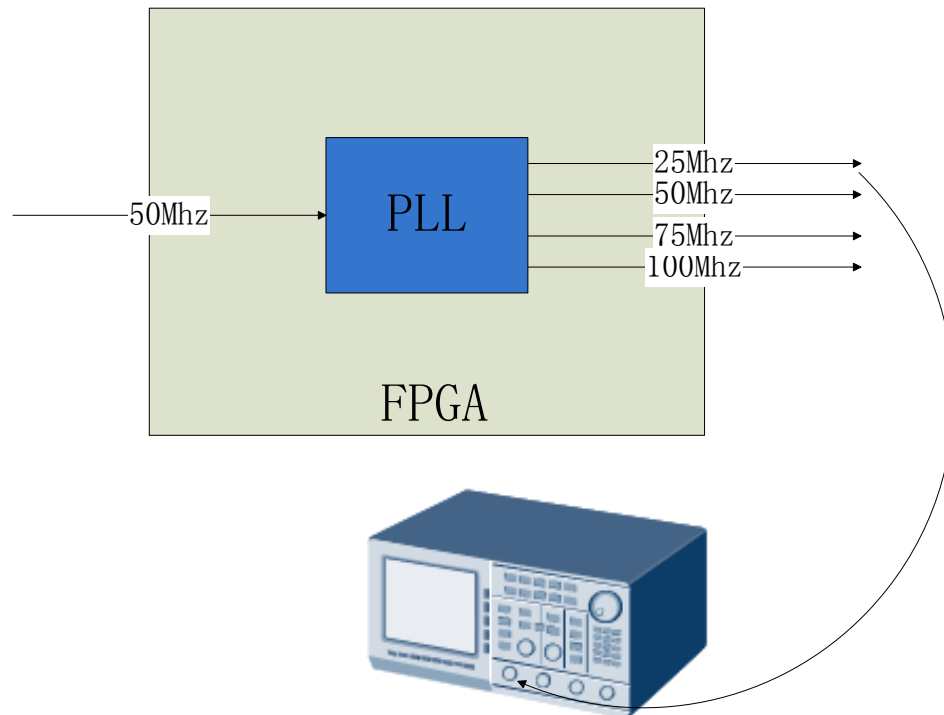
Spartan-6 最多能提供了 12 个 PLL 为设备提供强大的时钟管理和外部系统时钟管理及高速的 IO 通信, 通过时钟输入, 产生不同频率和不同相位的时钟信号供系统使用。



PLL 的时钟输入可以是 PLL 所在的 Bank 的时钟输入管脚 或者其他 PLL 的输出，FPGA 内部产生的信号不能驱动 PLL。Spartan-6 PLL 产生的时钟可以为单端时钟信号或差分时钟信号，可以通过 BUFG 驱动 FPGA 外部的 IO 口。

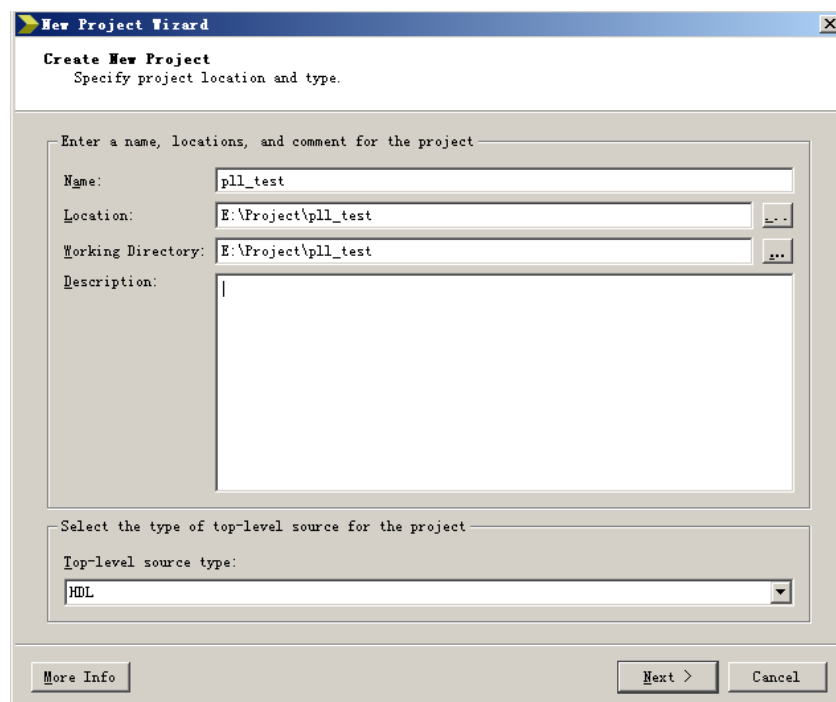
Spartan-6 的单个 PLL 最大能提供 6 路输出，但是有一个限制就是 VCO 的工作频率对所有输出计数器来说必须相同

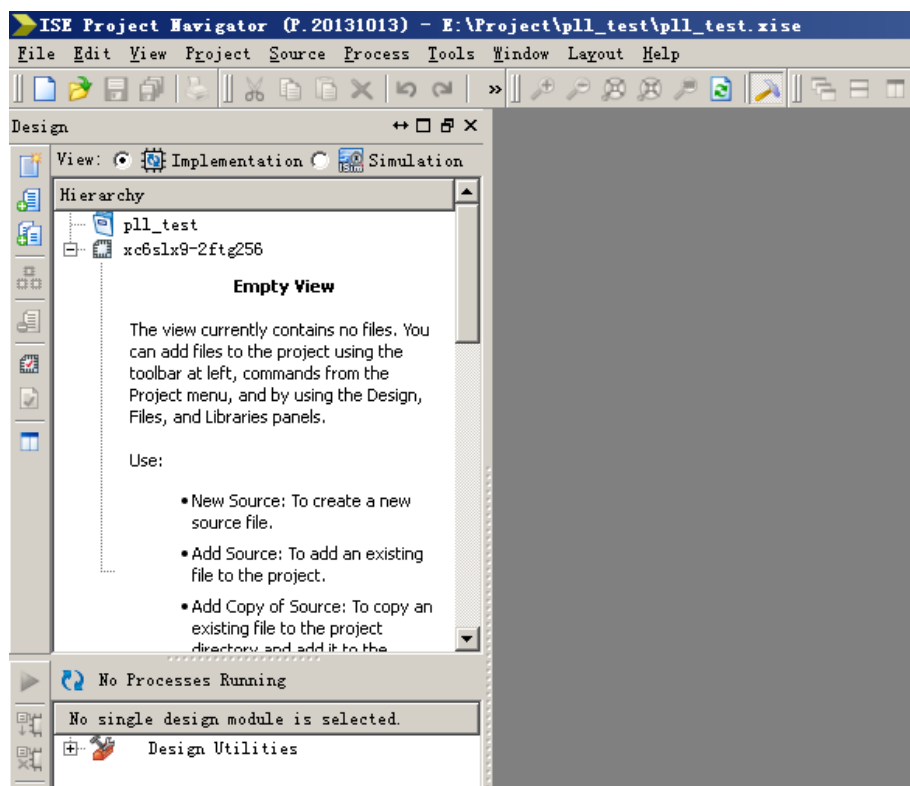
本实验将 PLL 输出的不同时钟通过 FPGA 的普通 IO 输出，然后用示波器测量输出频率。



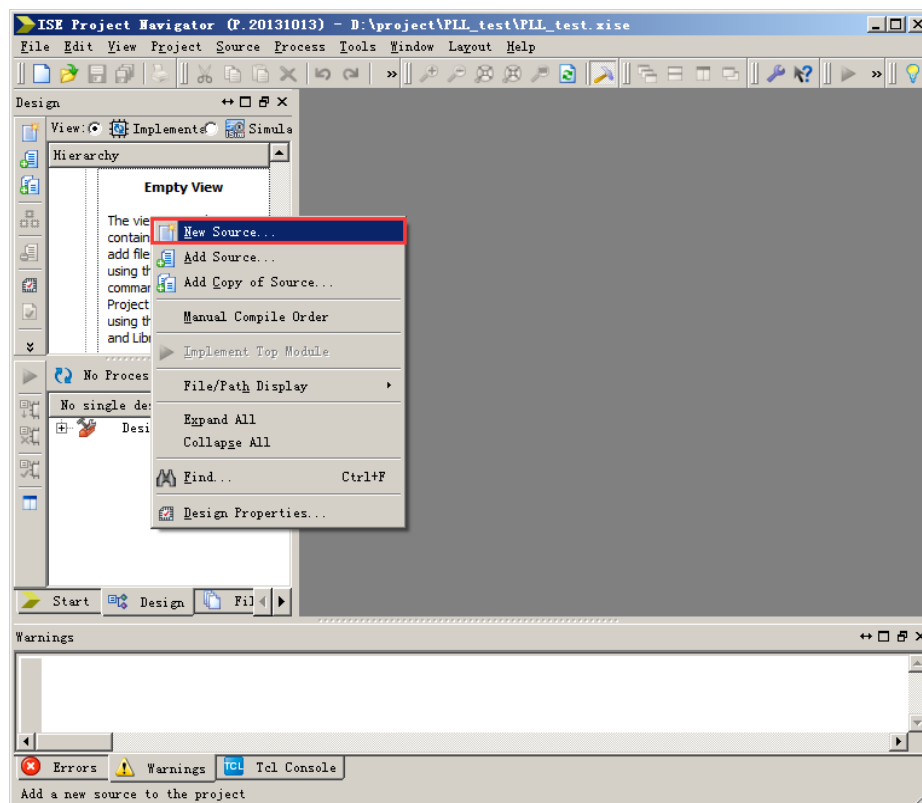
4 建立工程

(1) 建立一个“pll_test”工程

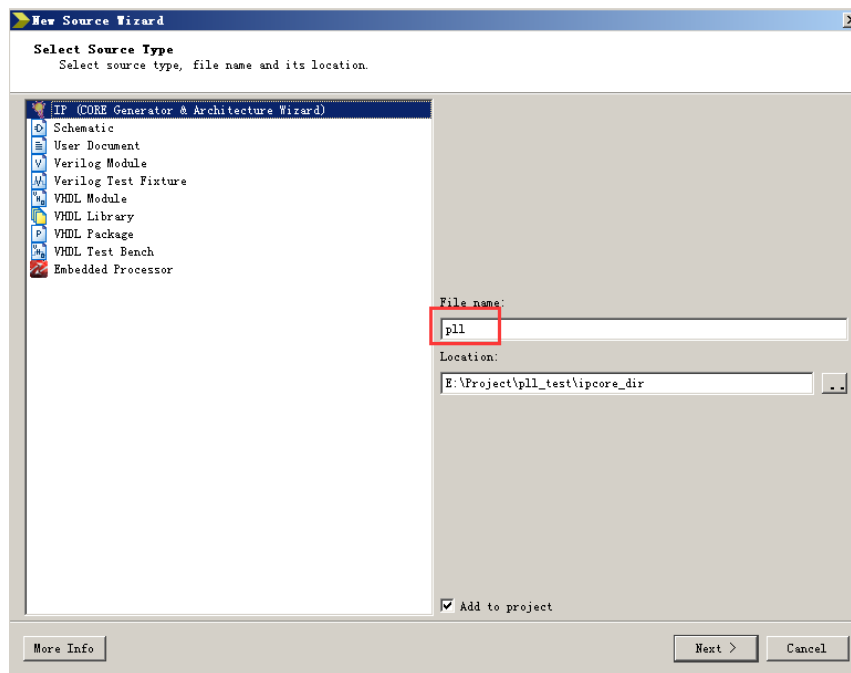




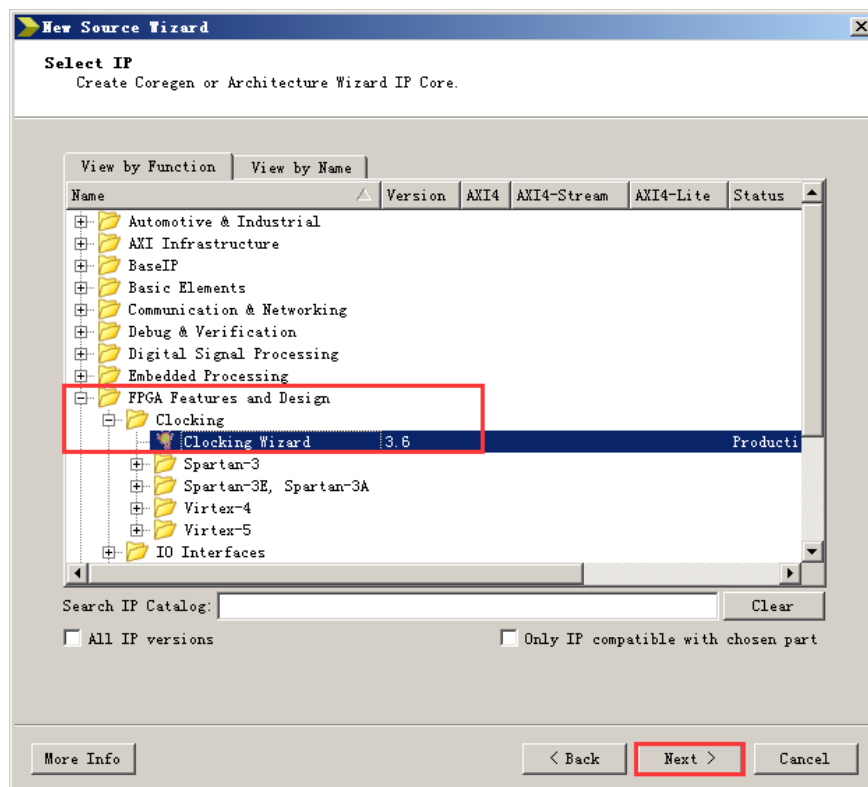
(2) 添加 PLL IP，在工程文件目录区单击右键选择 New



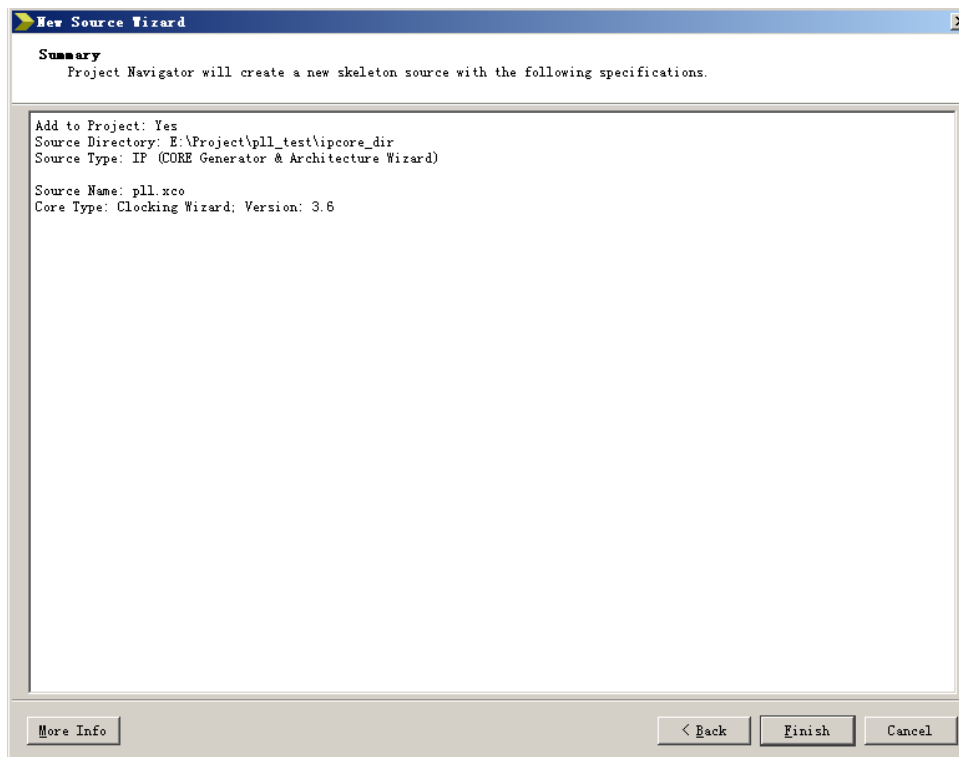
- (3) 在弹出窗口左边的选项框里选择 “IP (CORE Generation & Architecture Wizard) ” ,填写 File name , 这里命名为 pll, 完成后点击 Next



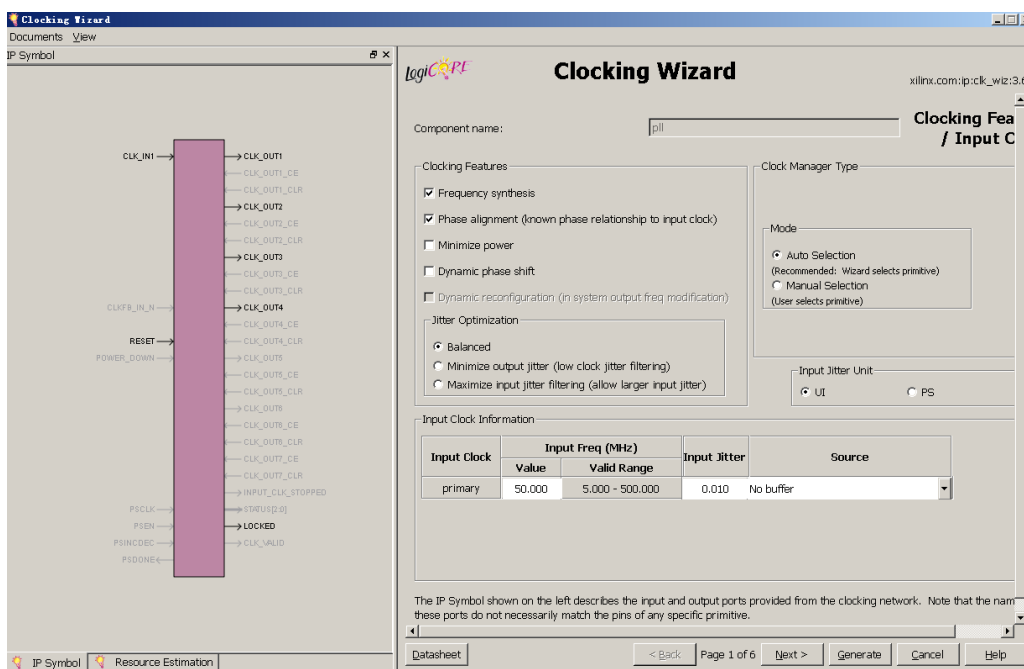
- (4) 弹出 New Source Wizard 界面中选择 “FPGA Features and Design” -> "Clocking" ->"Clocking Wizard", 点击 Next



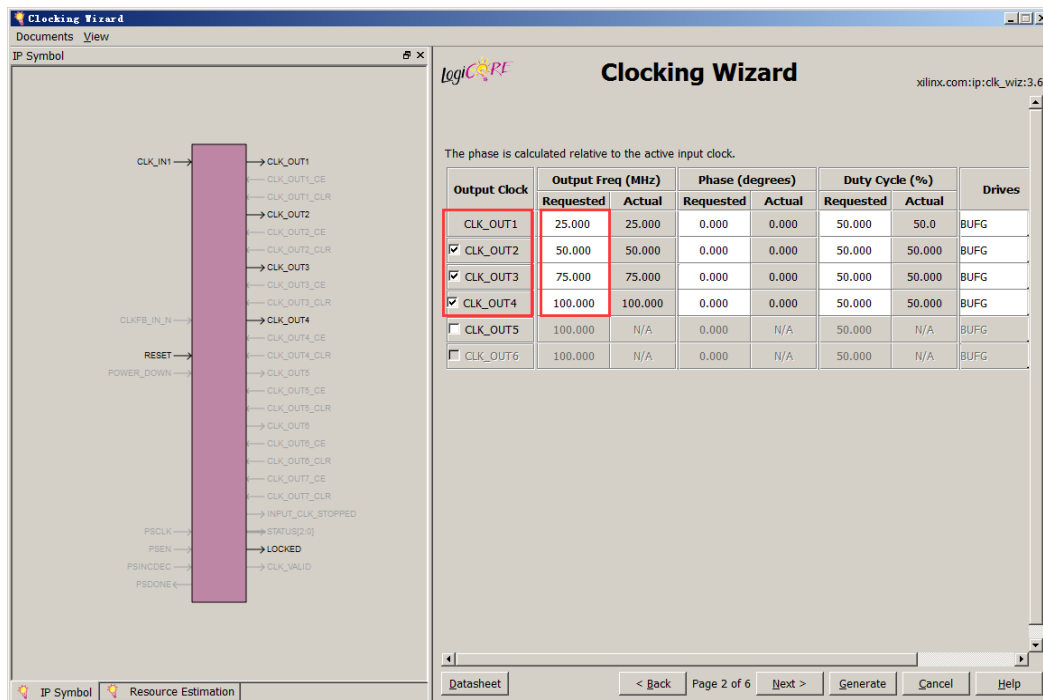
(5) 直接点击 Finish 进入 PLL 参数配置界面。



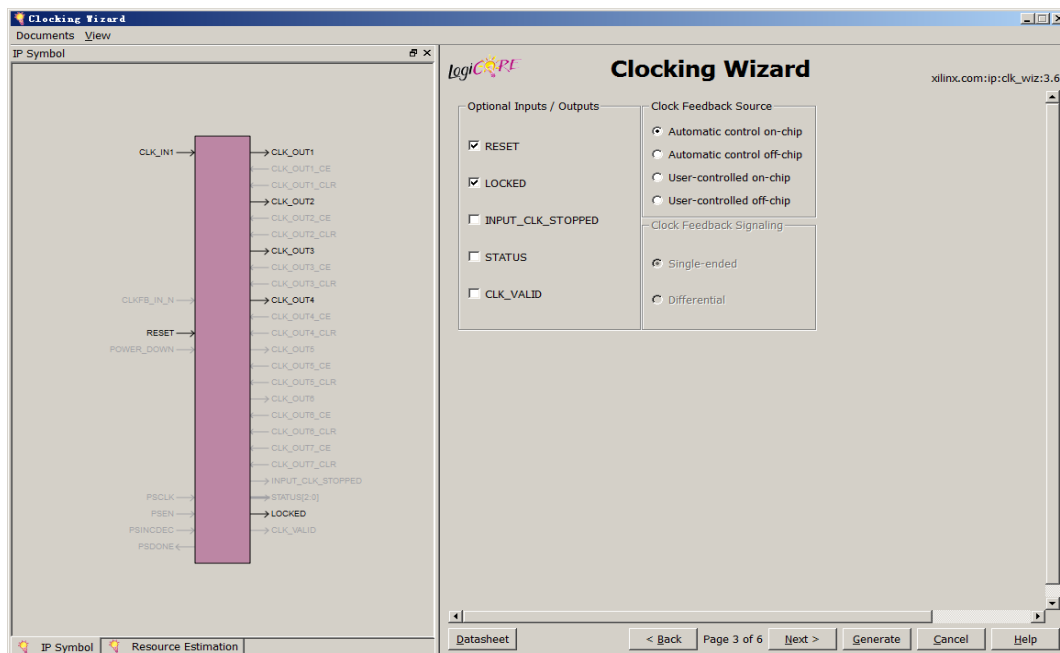
(6) 在 page 1 里将输入时钟频率配置为 50Mhz, 这个要和实际输入时钟频率一致, 并将 Source 设置为 no buffer(因为后面例程中我们会对时钟加 IBUFG), 其他保持默认设置不变



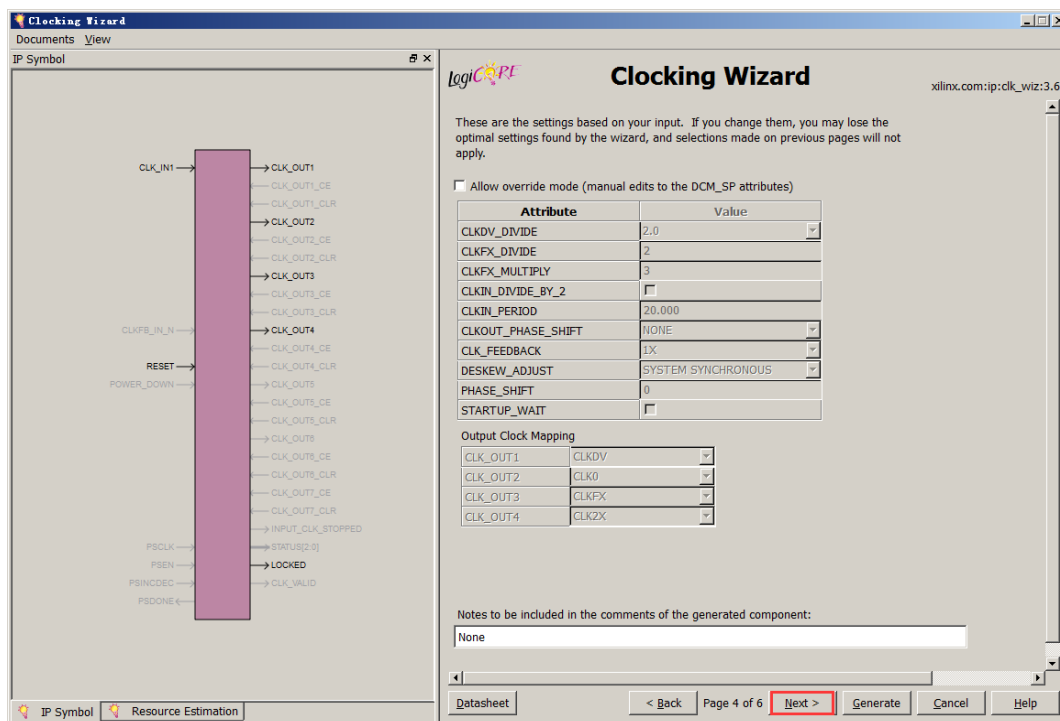
- (7) 点击 Next 在 page 2 里设置输出的时钟频率，将 CLK_OUT1 设置为 25Mhz,勾选 CLK_OUT2 前的方框使能 CLK_OUT2 并设置为 50Mhz，使能 CLK_OUT3 设置为 75Mhz，使能 CLK_OUT4 设置为 100Mhz



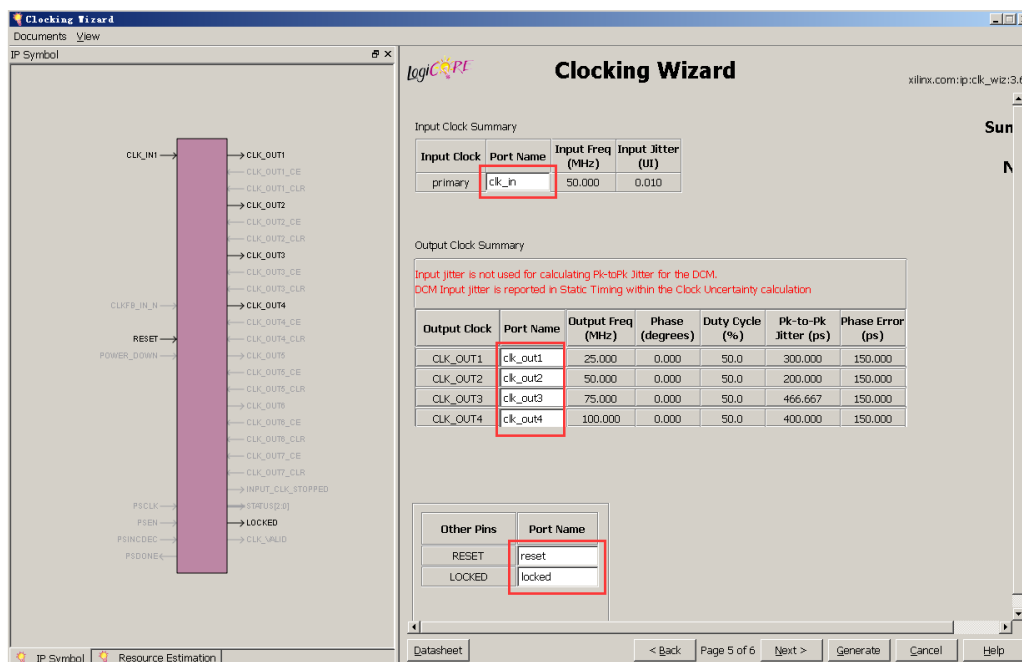
- (8) 点击 Next 进入 page 3。保持默认设置，“RESET”为异步复位信号，“LOCKED”为 PLL 锁定信号，表示时钟稳定输出



- (9) 点击 Next 进入 page 4。page 4 保持默认设置直接点击 Next 进入 page 5



- (10) 在 page5 有前面配置过程里的输入输出端口参数，可以修改端口名称，在本例程中把这些端口修改成如下名字，直接点击 Next



- (11) 点击 Next 进入 page 6，在 page6 中直接点击 generate 完成 IP 核的创建。
- (12) 回到 ISE 的主界面，新建一个 pll_test.v 的 verilog 文件，我们需要将创建的 PLL IP 核例化并将信号输出


```

`timescale 1ns / 1ps

module pll_test
(
    input  clk,
    input  rst_n,
    output clkout1,    //pll clock output
    output clkout2,    //pll clock output
    output clkout3,    //pll clock output
    output clkout4     //pll clock output
);

wire locked;

IBUFG IBUFG_INST
(
    .O(clk_bufg),
    .I(clk)
);

pll pll_inst
(
    // Clock in ports
    .clk_in(clk_bufg),    // IN 50Mhz
    // Clock out ports
    .clk_out1(clkout2),    // OUT 25Mhz
    .clk_out2(clkout1),    // OUT 50Mhz
    .clk_out3(clkout3),    // OUT 75Mhz
    .clk_out4(clkout4),    // OUT 100Mhz
    // Status and control signals
    .reset(~rst_n),    // IN
    .locked(locked)    //The signal of PLL normal operation
    // OUT
);

endmodule

```

程序中先用输入 50Mhz 时钟通过一个全局时钟 IBUFG，IBUFG 即输入全局缓冲，是与专用全局时钟输入管脚相连接的首级全局缓冲。所有从全局时钟管脚输入的信号必须经过 IBUF 元，否则在布局布线时会报错。

然后是实例化 pll IP，把 IBUFG 输出的时钟信号 clk_bufg 输入到 pll 的 clk_in，把 clk_out1~clk_out4 的输出付给 FPGA 的外部管脚。

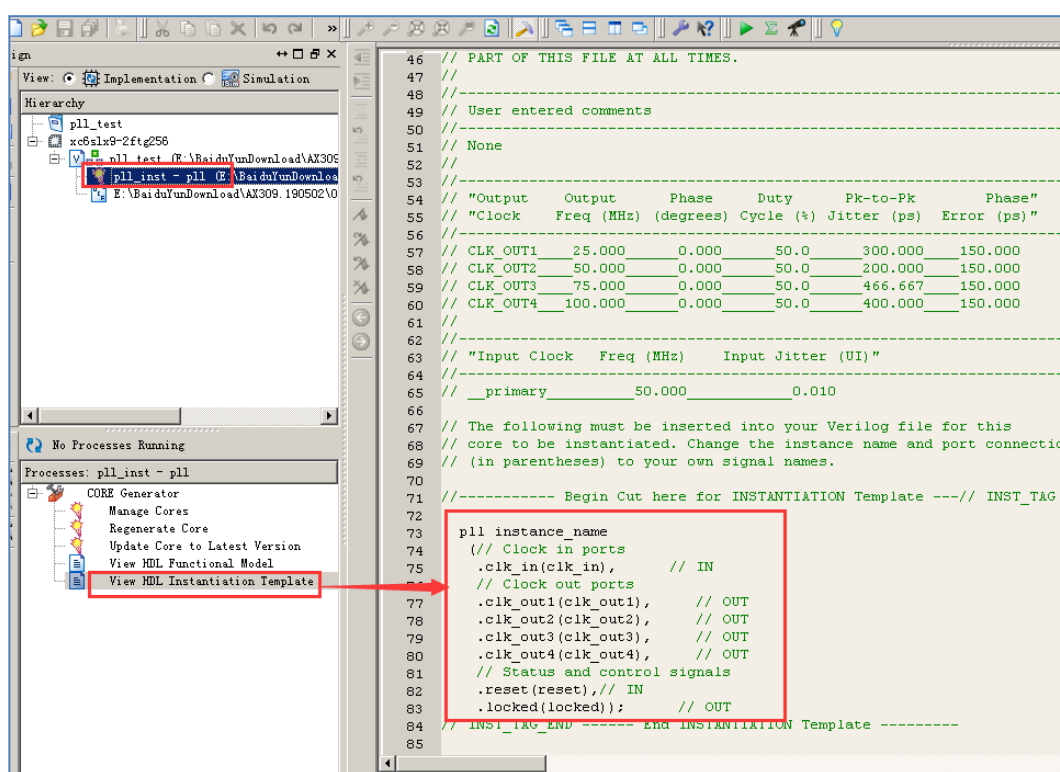
注意：模块例化的目的是在上一级模块中调用例化的模块完成代码功能，在 Verilog 里例化信号的格式如下：模块名必须和要例化的模块名一致，包括信号名也必须一致，模块与模块之间的连接信号不能相互冲突，否则会产生编译错误。

```

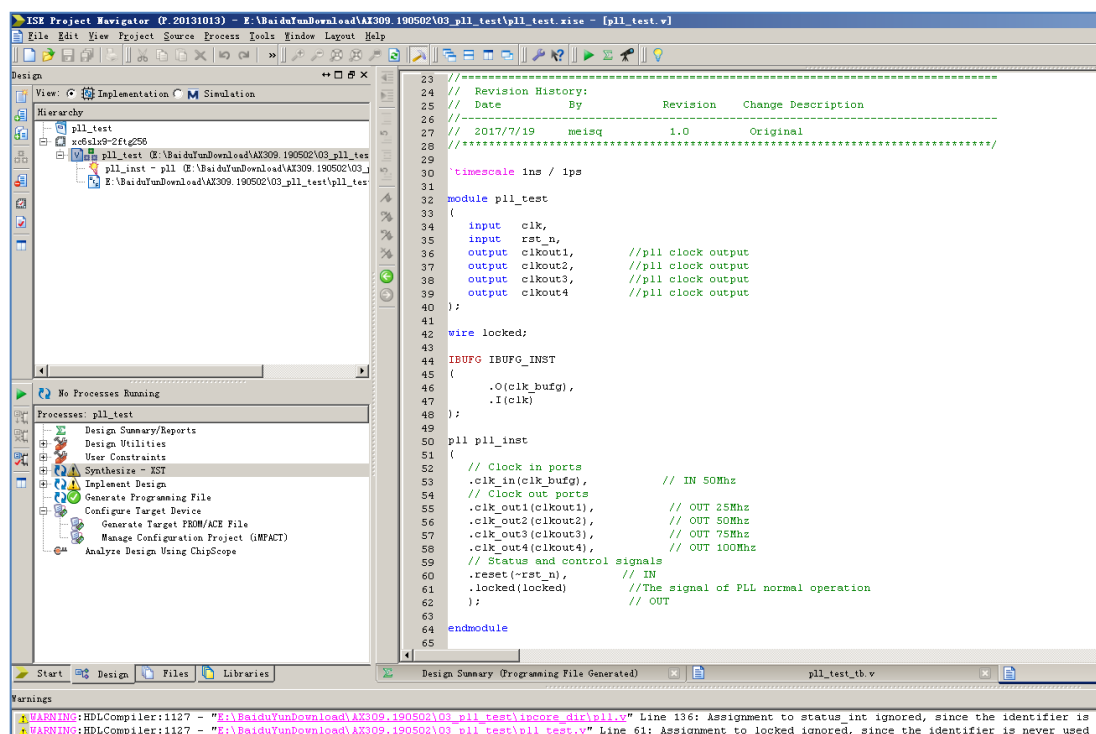
模块名  扩展名
(
.模块信号 1      (连接信号 1) ,
.模块信号 2      (连接信号 2) ,
.模块信号 3      (连接信号 3) ,
.....
.模块信号 N      (连接信号 N) ,
);

```

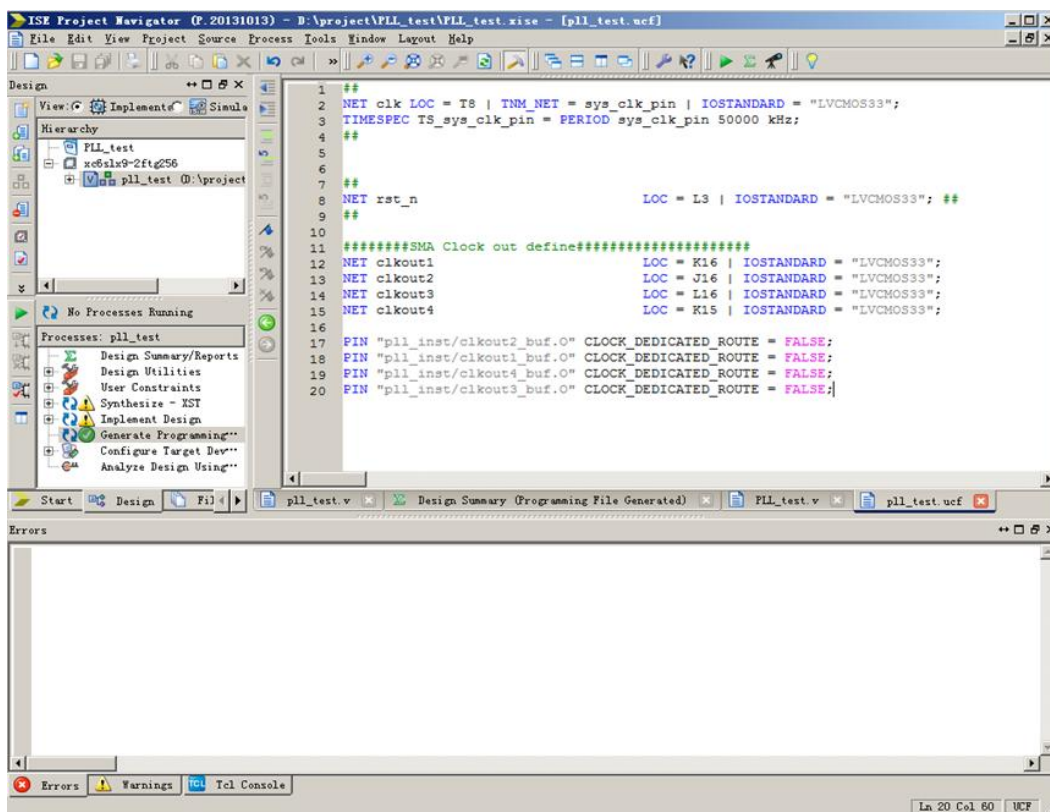
具体 IP 的实例化大家也可以点击"View HDL Instantiation Template"查看格式，拷贝这部分代码修改 instance_name 和端口名即可。



- (13) 顶层文件编写完成后先右击 "Synthesize - XST" ->"run"综合编译一下确保没有错误，编译结束后我们发现出现黄色的感叹号，这说明我们的代码中存在一些警告，我们来看工程任务信息打印区看出现的警告，单击警告的粉红色字体部分软件会自动定位到警告位置，发现这并不是我们编写的代码所产生的警告，所以可以忽略（**注意：在设计中不仅要确保没有错误，每一条出现的警告也要确保不是因为编写的代码所造成的**）



- (14) 创建并编写 UCF 文件，我们将输出的 4 个时钟信号分别配置到扩展口 J3 的 PIN3，PIN4，PIN5，PIN6 几个管脚

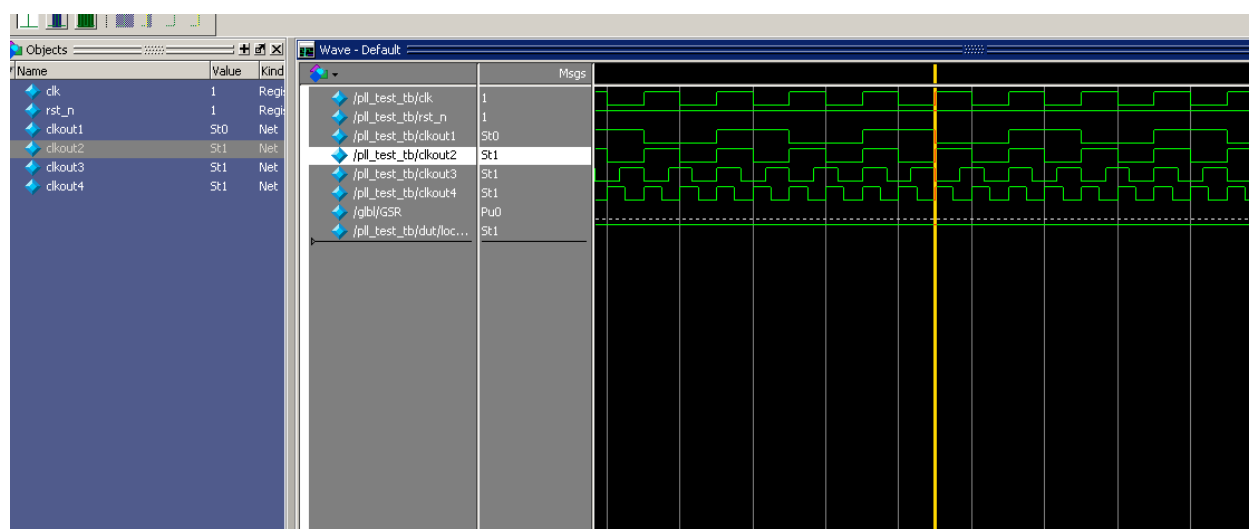


- (15) 再次编译，布局布线，生成 bit 文件。

5 仿真

关于 ISE 的 Modelsim 配置方法参考\01_学习教程之例程篇\基础教程"05.ISE 工程的 Modelsim 仿真验证.pdf"。

这里添加 sim 文件夹下的 pll_test_tb 仿真文件，运行 Modelsim 后 PLL 的 lock 信号会变高，说明 PLL IP 锁相环已经初始化完成。clk_out1 频率是 clk 的 1/2，说明是 25mhz; clk_out2 跟 clk 时钟一样，说明是 50mhz, clk_out3 频率是 clk 的 1.5 倍，说明是 75mhz；clk_out3 是 clk 的 2 倍，说明是 100mhz。

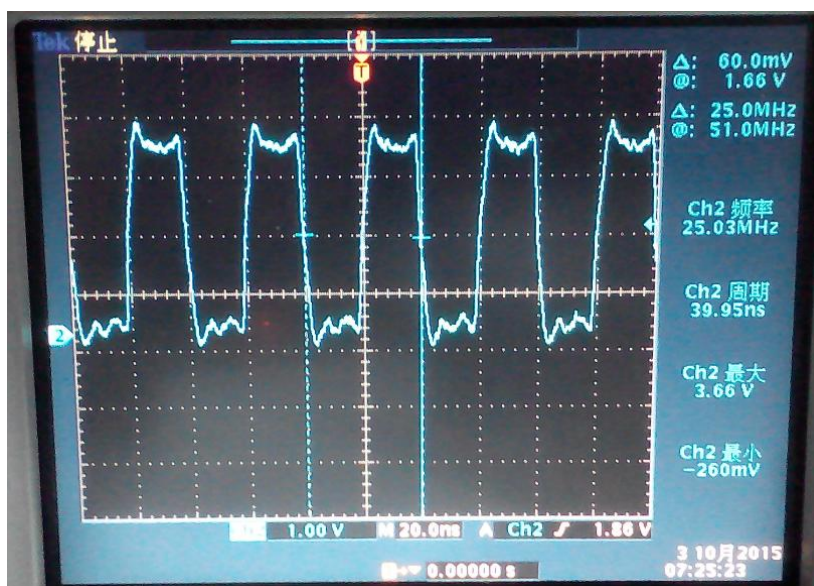


6 测量 PLL 输出波形

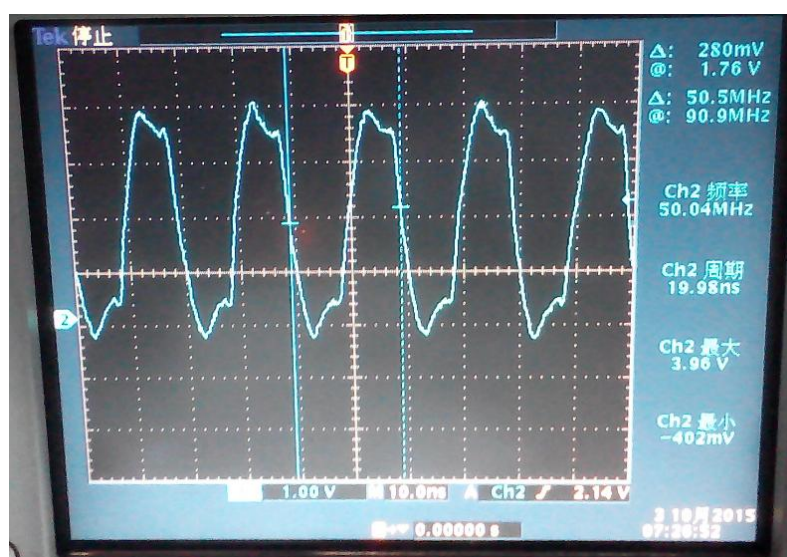
这里需要使用示波器来测量，如果没有示波器，再其他例程中会有 PLL 使用的例程，也能体现出 PLL 的作用。使用示波器测量 FPGA 的 IO 输出时要特别小心，如果有高电压碰到 FPGA 的 IO 管脚，会损坏 FPGA 芯片。

我们再用 IMPACT 里用下载器把 pll_test.bit 文件下载到 FPGA 中，接下去我们就可以用示波器来 J3 接口上 Pin3, Pin4, Pin5, Pin6 的输出时钟波形了。

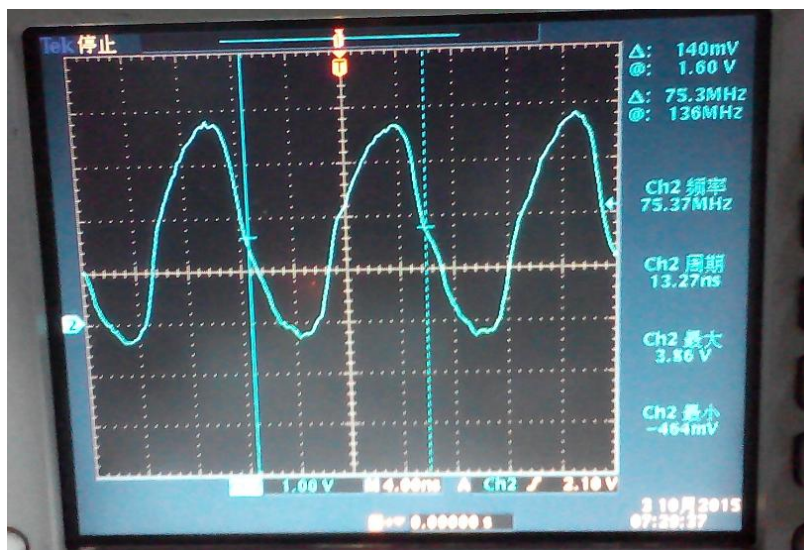
用示波器探头的地线连接到开发板上的地（J3 的 Pin1），示波器探头点中 J3 的 Pin3,示波器测量到的波形为 25Mhz 的方波：



再用示波器探头点中 J3 的 Pin4,示波器测量到的波形为 50Mhz 的方波:



再用示波器探头点中 J3 的 Pin5,示波器测量到的波形为 75Mhz 的方波 (因为示波器的带宽原因, 波形有一定程度的失真):



再用示波器探头点中 J3 的 Pin6,示波器测量到的波形为 100Mhz 的方波 (因为示波器的带宽原因, 波形有一定程度的失真):

