

一. 普通单端线的线宽设置

该约束定义为PCS，即physical constraint set，选中physical-->physical constraint set-->all layers，对右边的功能名字点击右键，creat-->physical cset即可创建pcs约束，如下图所示，我的工程名字是newcore。

newcore					
Type	Objects	Line Width		Neck	
		Min	Max	Min Width	Max Length
		mil	mil	mil	mil
*	*	*	*	*	*
Dsn	newcore	4.000	40.000	3.000	0.000
PCS	DEFAULT	4.000	40.000	3.000	0.000

如果需要对每层设置不同的线宽的话，只要把default展开，修改需要单独设置的层的线宽即可。上图中设置最小线宽为4mil，最大为40mil，在走线的时候，默认走的是最小线宽4mil，NECK下的线宽用于NECK MODE下的线宽，一般在bga下面走线的时候有时候两个管脚间距过小，需要使用neck mode，走线时，鼠标右键，选择neck mode即进入neck模式。

如果需要设置某些线的默认线宽不是4mil的话，比如设置默认电源、地的默认线宽不是4mil，那么可以创建一个PCS，适用于电源和地信号，默认线宽为10mil，如下图

newcore					
Type	Objects	Line Width		Neck	
		Min	Max	Min Width	Max Length
		mil	mil	mil	mil
*	*	*	*	*	*
Dsn	newcore	6.000	40.000	3.000	0.000
PCS	DEFAULT	6.000	40.000	3.000	0.000
PCS	PCS_POWER	10.000	120.000	7.000	0.000

设置好后，在physical-->net中对GND信号使用PCS\_POWER规则，如下图

Allegro Constraint Manager (connected to Allegro PCB Design GXL 16.3) - [Physical: Nets: All Layers [newcore]]

File Edit Objects Column View Analyze Audit Tools Window Help

Worksheet selector

Electrical

Physical

Physical Constraint Set

- All Layers
- By Layer

Net

- All Layers

Region

- All Layers

newcore						
Type	Objects	Referenced Physical CSet	Line Width		Neck	
			Min	Max	Min Width	Max Length
			mil	mil	mil	mil
*	*	*	*	*	*	*
DPr	DDR_CK3	DEFAULT	6.000	40.000	3.000	0.000
Net	+1.2V	PCS_POWER	10.000	120.000	7.000	0.000
Net	+2.5V	PCS_POWER	10.000	120.000	7.000	0.000
Net	+3.3V	PCS_POWER	10.000	120.000	7.000	0.000
Net	AVDD1	PCS_POWER	10.000	120.000	7.000	0.000
Net	AVDD2	PCS_POWER	10.000	120.000	7.000	0.000
Net	AVDD3	PCS_POWER	10.000	120.000	7.000	0.000
Net	AVDD4	PCS_POWER	10.000	120.000	7.000	0.000
Net	DDR_CAS	DEFAULT	6.000	40.000	3.000	0.000
Net	DDR_CKE	DEFAULT	6.000	40.000	3.000	0.000
Net	DDR_CS0*	DEFAULT	6.000	40.000	3.000	0.000
Net	DDR_CS1*	DEFAULT	6.000	40.000	3.000	0.000
Net	DDR_CS2*	DEFAULT	6.000	40.000	3.000	0.000
Net	DDR_CS3*	DEFAULT	6.000	40.000	3.000	0.000
Net	DDR_RAS	DEFAULT	6.000	40.000	3.000	0.000
Net	DDR_VREF	DEFAULT	6.000	40.000	3.000	0.000
Net	DDR_VTT	DEFAULT	6.000	40.000	3.000	0.000
Net	DDR_WE*	DEFAULT	6.000	40.000	3.000	0.000
Net	GND	PCS_POWER	10.000	120.000	7.000	0.000
Net	IIC1_SCL	DEFAULT	6.000	40.000	3.000	0.000
Net	IIC1_SDA	DEFAULT	6.000	40.000	3.000	0.000

二. 普通单端线的线距设置

该约束定义为SCS，即spacing constraint set，选中spacing-->spacing constraint set-->all layers，对右边的功能名字点击右键，creat-->physical cset即可创建pcs约束，如下图所示。

newcore												
Type	Objects	Line To										
		Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via	Microvia	Shape	Bond Finger	Hole
		mil	mil	mil	mil	mil	mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*	*	*	*	*	*	*
Dsn	newcore	8.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
SCS	DEFAULT	8.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
SCS	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000

default是3w间距设置，SCS\_5W是5w间距设置，3w或5w都是line to line或者line to shape的，因为line to line和line to shape的平行距离可能较大。而line to hole、line to via、line to pin之类的最小间距仅是非常小的一段，所以这些间距的值可以是很小的，设置5即可。

如果需要设置某些线对其它线的线间距为5w的话，只要在net-->all layers中对该线应用scs\_5w规则即可，如下图，对DDR的时钟线应用了5w规则，注意到这里的DDR\_CK0是差分线对，5w规则应用于该差分线对与其他线之间的间距，而不是差分线内两线之间的间距：

newcore					
Type	Objects	Referenced Spacing C Set			
			Line	Thru Pin	SMD Pin
			mil	mil	mil
*	*	*	*	*	*
Dsn	newcore	DEFAULT	8.000	5.000	5.000
NCIs	DDR_ADDR (17)	DEFAULT	8.000	5.000	5.000
NCIs	DDR_DBUS0 (10)	DEFAULT	8.000	5.000	5.000
NCIs	DDR_DBUS1 (10)	DEFAULT	8.000	5.000	5.000
NCIs	DDR_DBUS2 (10)	DEFAULT	8.000	5.000	5.000
NCIs	DDR_DBUS3 (10)	DEFAULT	8.000	5.000	5.000
NCIs	DDR_DBUS4 (10)	DEFAULT	8.000	5.000	5.000
NCIs	DDR_DBUS5 (10)	DEFAULT	8.000	5.000	5.000
NCIs	DDR_DBUS6 (10)	DEFAULT	8.000	5.000	5.000
NCIs	DDR_DBUS7 (10)	DEFAULT	8.000	5.000	5.000
DPr	DDR_CK0	SCS_5W	16.000	5.000	5.000
DPr	DDR_CK1	SCS_5W	16.000	5.000	5.000
DPr	DDR_CK2	SCS_5W	16.000	5.000	5.000
DPr	DDR_CK3	SCS_5W	16.000	5.000	5.000

三. 差分线线宽、内线距的设置

这里的内间距指的是差分对内两线的间距

在physical-->physical constraint set-->all layers中，有differential pair的一些设置，但是我应用时这些设置都是无效的，如下图所示，我还不清楚这些设置是做什么用的。

Neck		Differential Pair					Vias
Min Width	Max Length	Min Line Spacing	Primary Gap	Neck Gap	(+)Tolerance	(-)Tolerance	
mil	mil	mil	mil	mil	mil	mil	
*	*	*	*	*	*	*	*
3.000	0.000	0.000	0.000	0.000	0.000	0.000	VIA_BGA
3.000	0.000	0.000	0.000	0.000	0.000	0.000	VIA_BGA
7.000	0.000	0.000	0.000	0.000	0.000	0.000	VIA_BGA

我知道的有效的差分线线宽、内间距的设置是在electrical-->electrical constraint set-->routing-->differential pari中是实现的，我的设置如下图：

newcore													
Type	Objects	Uncoupled Length		Static Phase Tolerance	Dynamic Phase		Min Line Spacing	Coupling Parameters					
		Gather Control	Max		Max Length	Tolerance		Primary Gap	Primary Width	Neck Gap	Neck Width	(+)Tolerance	(-)Tolerance
			mil		mil	mil		mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*	*	*	*	*	*	*	*
Dsn	<div><div></div>newcore</div>												
ECS	ECS_DIFF100						5.000	9.000	5.000	7.000	5.000		



uncoupled length: 一般不需要设置，没有用single trace mode去调节差分线的话，uncoupled length只在引脚附近出现，手动调一下该段uncoupled length即可。

Min line spacing: 内间距最小线距，若实际走线内间距小于这个值，DRC就会出错。

Primary Gap: 默认内间距

Primary width: 默认线宽

Neck Gap: neck mode模式下默认内间距

Neck Width: neck mode 模式下默认线宽

四. 差分线外间距的设置


这里的外间距指的是差分对中任何一线和与其它任何线的线间距，该线间距的设置和普通单端线的线距设置方法一致。可参考第二点的内容

五. CLASS规则的应用

DDR的信号线可以分为时钟线、数据线和地址与控制线这三类。以64bit带宽为例，数据线又按照8bits的宽度分为8组，DDR的硬件设计文档会要求每组数据线的组内间距3w即可，组间间距起码要5w，或者要求组内线和组外线的间距为5w。这里就可以应用class规则了。

1.net class的创建:

net class的创建在spacing-->net-->all layers中实现，在右面界面中将需要组成class的线都选中，然后右键creat-->class即可，创建后的class会在net class-class中出现，如下图:

newcore													
Type	Objects	Referenced Spacing CSet	Line To										
			Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via	Microvia	Shape	Bond Finger	Hole
			mil	mil	mil	mil	mil	mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*	*	*	*	*	*	*	*
Dsn	 newcore	DEFAULT	8.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
NCIs	DDR_ADDR	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
NCIs	DDR_DBUS0	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
NCIs	DDR_DBUS1	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
NCIs	DDR_DBUS2	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
NCIs	DDR_DBUS3	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
NCIs	DDR_DBUS4	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
NCIs	DDR_DBUS5	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
NCIs	DDR_DBUS6	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
NCIs	DDR_DBUS7	SCS_5W	16.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000

如图所示，如果没有进一步设置的话，图中的SCS\_5W代表组内线与组外所有线的间距为5W，同时组内各线的间距也是5W！！！

2.net class-class的应用

如果想设置class DDR\_ADDR与class DDR\_DBUS0的间距为4w，该两个class与其它信号线的间距不变仍为5W时，步骤如下：

选中任何一个class-->右键 creat-->class-class，在跳出的框中选中DDR\_ADDR和DDR\_DBUS0，并确定后，在referenced spacing cset中选择SCS\_4W。如下两图所示

Create ClassClasses

Net Classes:

DDR\_ADDR  
DDR\_DBUS0  
DDR\_DBUS1  
DDR\_DBUS2  
DDR\_DBUS3  
DDR\_DBUS4  
DDR\_DBUS5  
DDR\_DBUS6  
DDR\_DBUS7

Net Classes:




DDR\_ADDR  
DDR\_DBUS0  
DDR\_DBUS1  
DDR\_DBUS2  
DDR\_DBUS3  
DDR\_DBUS4  
DDR\_DBUS5  
DDR\_DBUS6  
DDR\_DBUS7

OK

Apply

Close

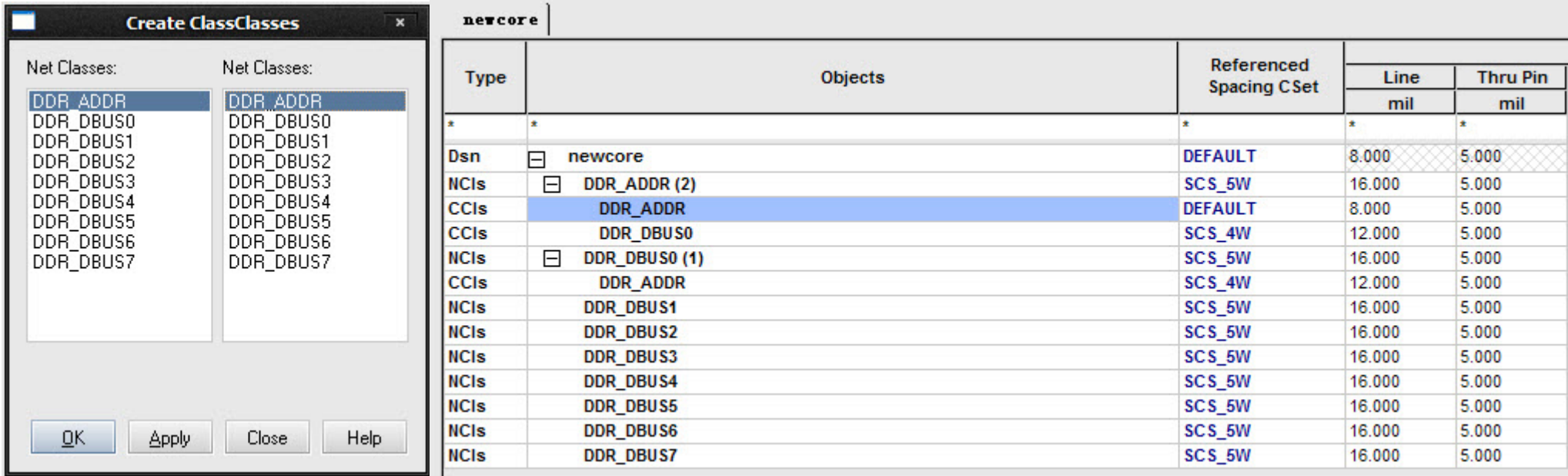
Help

newcore						
Type	Objects	Referenced Spacing CSet	Line	Thru Pin	SMD Pin	
			mil	mil	mil	
*	*	*	*	*	*	
Dsn	 newcore	DEFAULT	8.000	5.000	5.000	
NCIs	 DDR_ADDR (1)	SCS_5W	16.000	5.000	5.000	
CCIs	DDR_DBUS0	SCS_4W	12.000	5.000	5.000	
NCIs	 DDR_DBUS0 (1)	SCS_5W	16.000	5.000	5.000	
CCIs	DDR_ADDR	SCS_4W	12.000	5.000	5.000	
NCIs	DDR_DBUS1	SCS_5W	16.000	5.000	5.000	
NCIs	DDR_DBUS2	SCS_5W	16.000	5.000	5.000	
NCIs	DDR_DBUS3	SCS_5W	16.000	5.000	5.000	
NCIs	DDR_DBUS4	SCS_5W	16.000	5.000	5.000	
NCIs	DDR_DBUS5	SCS_5W	16.000	5.000	5.000	
NCIs	DDR_DBUS6	SCS_5W	16.000	5.000	5.000	
NCIs	DDR_DBUS7	SCS_5W	16.000	5.000	5.000	

3.区分class内和class外间距的应用

上面的设置完成后，class DDR\_ADDR中的任何线与class DDR\_DBUS0的任何线的线间距是4w，与其余所有信号线的线间距是5W，同时class DDR\_ADDR内部各线的线间距也是5W！！！  
如果想修改class DDR\_ADDR组内的间距为3W该如何实现呢? 步骤如下：

选中任何一个class-->右键 creat-->class-class，在跳出的框中选中DDR\_ADDR和DDR\_ADDR，并在对应的referenced spacing cset中选中SCS\_3W，如下两图所示



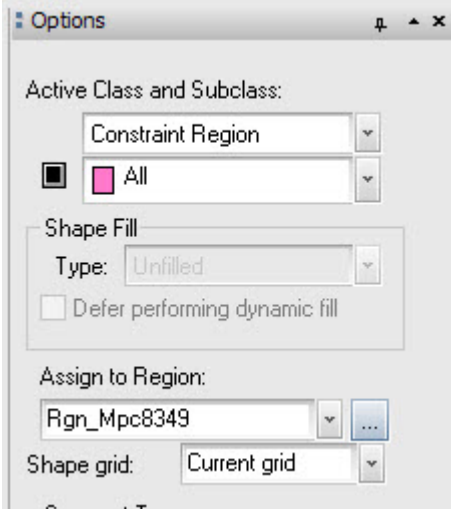
如上两图设置后，DDR\_ADDR组内各线的线距为8mil，改组与DDR\_DBUS0的线距为12mil，与其它任何线的线距为16mil！

六、region规则的应用

在spacing-->region中创建region，右键create-->region，创建后如下图

newcore													
Type	Objects	Referenced Spacing CSet	Line To										
			Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Thru Via mil	BB Via mil	Test Via mil	Microvia mil	Shape mil	Bond Finger mil	Hole mil
*	*	*	*	*	*	*	*	*	*	*	*	*	*
Dsn	newcore	DEFAULT	8.000	5.000	5.000	5.000	5.000	5.000	5.000	5.000	8.000	5.000	5.000
Rgn	RGN_MPC8349		6.000										

在上图中，RGN\_MPC8349中的line to line的间距将不再是3w而是2.5w的6mil了。region这个规则比较特殊，创建后还需要将一个具体的region赋值给这个约束的region，操作为：shape-->rectangular,修改options选项如下图



之后，框中MPC8349芯片下区域即可。

创建region后，就可以创建region-class规则和region-class-class规则了，region-class规则应用于class的处于region中的部分线段的线宽线距设置，原先应用于class的规则被region-class代替，region-class-class应用于两个class在region中的部分的class之间间距，原先的net class-class规则被代替。这里不再详述。

