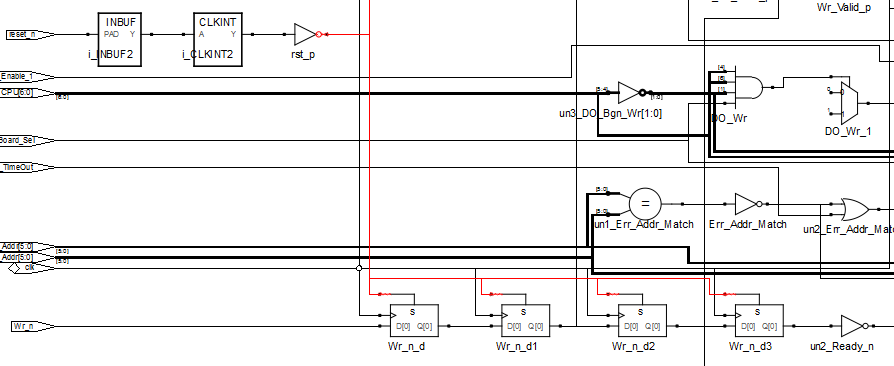
FPGA Notes

# 复位信号

fpga代码中复位信号一般用在always中，初始化变量。如下，

|  |
| --- |
| always@(posedge clk or posedge rst\_p)  begin  if(rst\_p)  begin  Wr\_n\_d <= 1'b1;  Wr\_n\_d1 <= 1'b1;  Wr\_n\_d2 <= 1'b1;  Wr\_n\_d3 <= 1'b1;  end  else  begin  Wr\_n\_d <= Wr\_n;  Wr\_n\_d1 <= Wr\_n\_d;  Wr\_n\_d2 <= Wr\_n\_d1;  Wr\_n\_d3 <= Wr\_n\_d2;  end  end |

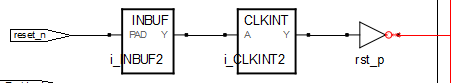
ProASIC3 nano FPGA中，复位信号rst\_p接到D-Flip-Flop的Set信号上。上面代码的RTL网表如下，



D-Flip-Flop的Set信号是高电平有效，Y=Data；低电平时，Y=1。（Clear信号是低电平时Y=0）

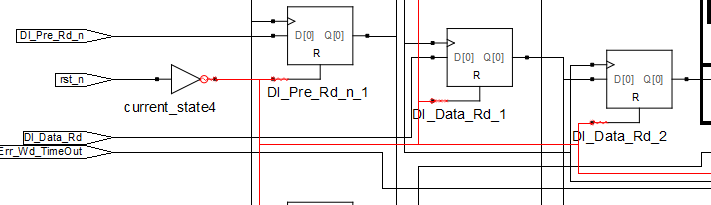


而一般的复位芯片或复位电路，都是设置/reset信号低电平有效，高电平复位。所以不至于在每一个用到reset信号的D-Flip-Flop前加反相器。一般的处理方法是在复位信号的入口处取反，使用取反后的复位信号rst\_p（assign rst\_p= ~rst\_n;）。



如果没有对复位信号取反，在编译时会自动加反向器（即语句!rst\_n）。

|  |
| --- |
| always@(posedge clk or negedge rst\_n)  begin  if(!rst\_n)  begin  DI\_Pre\_Rd\_1 <= 1'b0;  DI\_Pre\_Rd\_2 <= 1'b0;  DI\_Data\_Rd\_1 <= 1'b0;  DI\_Data\_Rd\_2 <= 1'b0;  DI\_Pre\_Rd\_n\_1 <= 1'b0;  DI\_Pre\_Rd\_n\_2 <= 1'b0;  end |



注：网表文件是.srl或.srs。在Synplify中双击即可打开。

