

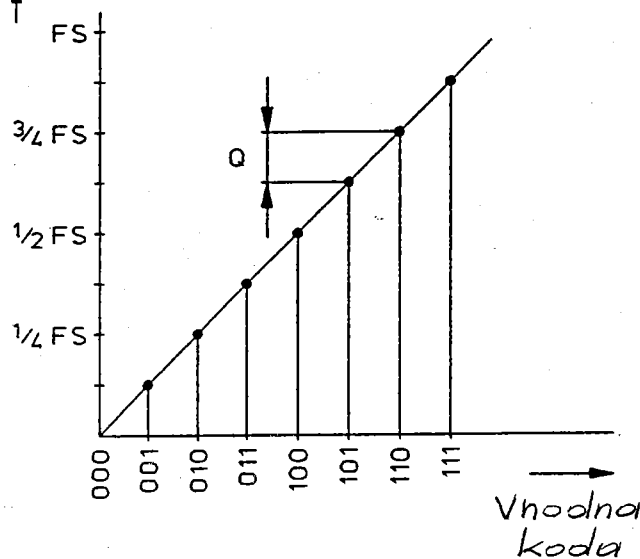
Digitalno analogni pretvorniki (D/A pretvorniki)

Analogna obdelava podatkov iz nekega računalnika zahteva najprej digitalno analogni pretvorbo.

Področje uporabe:

- video
- audio
- avtomatski merilni sistemi
- digitalno vodene regulacije
- krmiljenje procesov

Analogni izhod



$$U_{izh} = U_{LSB} \cdot Z$$

U_{LSB} (Least Significant Bit)
 Z -število bitov digitalne
veličine

Slika 1: Karakteristika idealnega D/A pretvornika

Vsaki vhodni kodi pripada odgovarjajoča izhodna vrednost, največkrat napetost, redkeje tok. Če je tok, potem služi za pretvorbo v napetost bodisi upor ali pa operacijski ojačevalnik v invertirajoči vezavi. Celotno izhodno območje zavzema 2^n vrednosti vključno z ničlo. Izhodne napetosti odgovarjajo vhodnim kodam brez principiellnih napak kot pri A/D pretvornikih, ki po pretvorbi vedno vključujejo določeno napako.

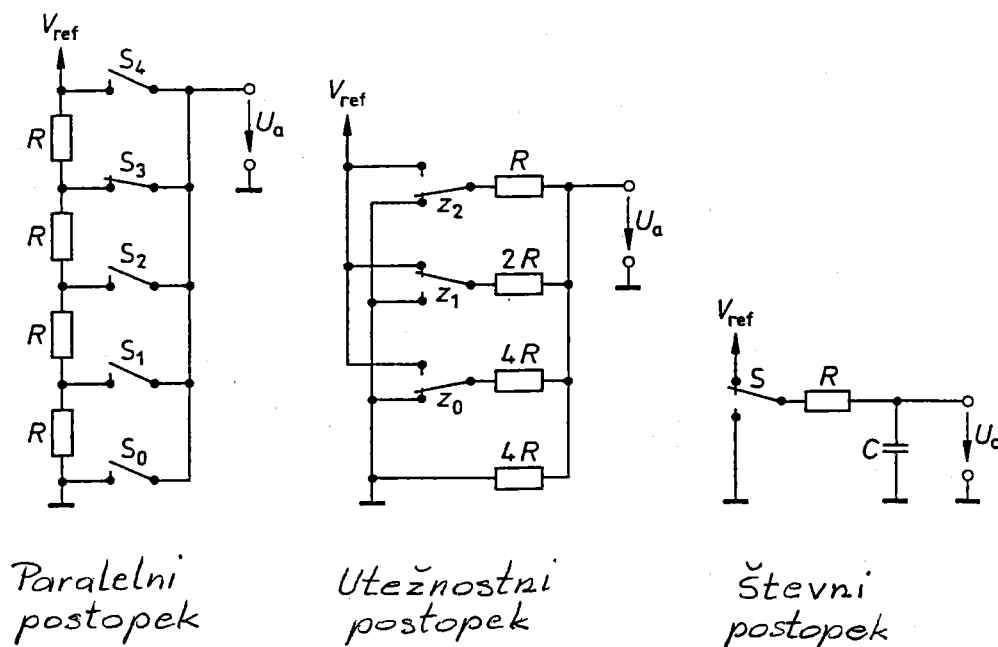
Osnovni principi D/A pretvorbe

Osnovna naloga D/A pretvornika je neko digitalno število pretvoriti v analogno vrednost v obliki neke napetosti.

Obstajajo trije osnovni principi:

- paralelni
- utežnostni
- števn

Prikazani so na sliki 2.



Slika 2: Možni načini D/A pretvorbe

Pri paralelnem principu so z nekim delilnikom napetosti formirane vse možne izhodne napetosti, ki jih lahko predstavimo z nekim digitalnim obsegom. Z dekoderjem 1 iz n vklopimo tisto stikalo, ki prireja odgovarjajočo vhodno napetost digitalni vrednosti (za osem bitno besedo 256 stikal).

Pri utežnostnem postopku je vsakemu bitu prirejeno eno stikalo. Čez ustrezno izbrane upore se potem seštevajo izhodne napetosti (za osem bitno besedo 8 stikal).

Števeni postopek zahteva eno samo stikalo, ki se periodično odpira in zapira. Pulzno razmerje je s pomočjo nekega pulznoširinskega modulatorja nastavljeno tako, da aritmetična srednja vrednost izhodne napetosti zavzame želeno vrednost.

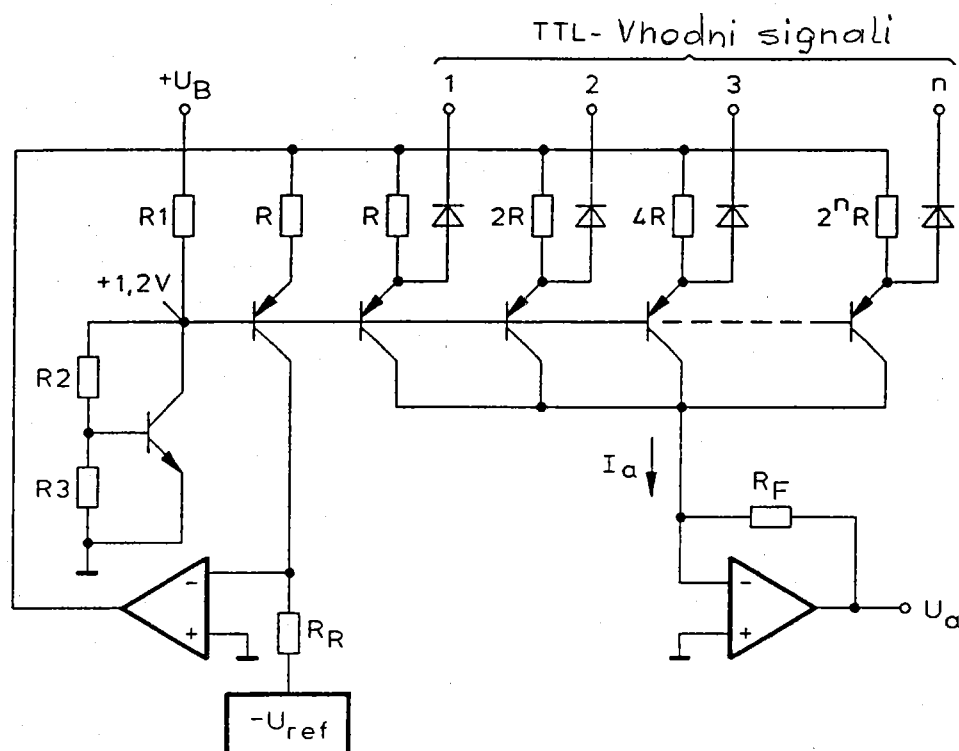
Paralelni princip se zaradi ogromnega števila stikal uporablja le redko.

Števeni postopek pridobiva na pomenu, saj je problem le v pulznoširinskem modulatorju, ki je vedno lažje izvedljiv.

Najpomembnejši je utežnostni postopek, ki ga vidimo na sliki 3.

Na sliki 3 vidimo v srednjem delu transistorsko krmiljene tokovne vire, vsakega z drugačno binarno utežjo. To določajo emitorski upori z vrednostmi $R, 2R, 4R, 8R, \dots, 2^n R$. Rezultirajoči kolektorski toki se seštevajo v sumacijski točki in na ta način dobimo skozi operacijski ojačevalnik odgovarjajočo izhodno napetost. Napetost na bazah tranzistorjev je nastavljena na 1,2 V, kar jim zagotavlja odprtost na meji nasičenja. To je zaželeno predvsem zaradi čim hitrejšega zhtevanega stikalnega delovanja. Za konstanten tok skrbita regulacijski ojačevalnik in precizna napetostna referenca v povezavi z bipolarnim transistorjem. Tokovni viri posameznih utežnih bitov so proženi preko TTL vhodov. Pri signalu 1 transistorji prevajajo, pri signalu 0 prevajajo diode in transistorji so zaprti.

Nekateri D/A pretvorniki napajajo na izhodu direktno nek bremenski upor, kar je smiselno za hitre prehodne pojave, ker odpade časovna konstanta ojačevalnika.

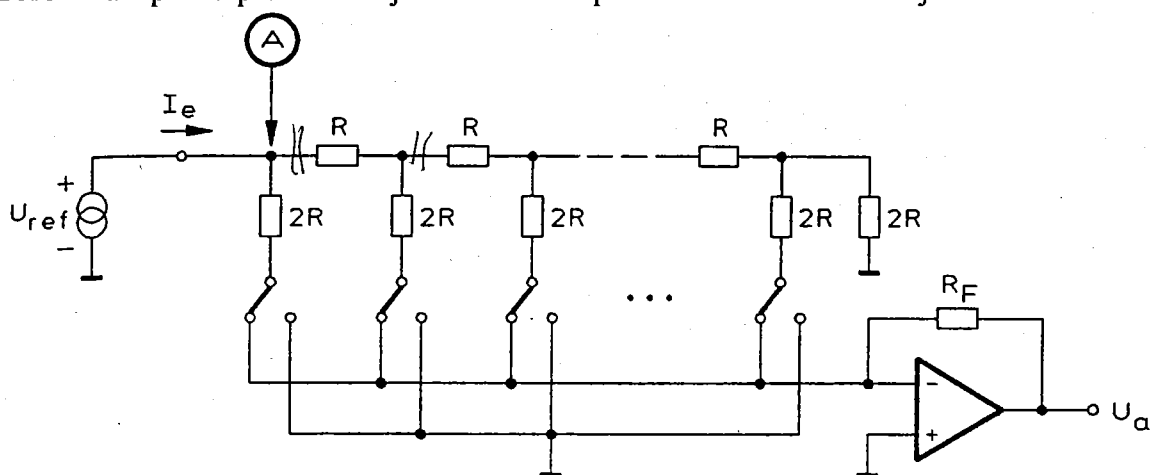


Slika 3: D/A pretvornik z utežnostnimi tokovnimi viri

Ta način pretvorbe je, lahko rečemo, najbolj razširjen in uporaben v različnih tehnologijah PNP in NPN (nekoliko težja za TTT tehnologijo).

Težave so pri večji ločljivosti zlasti zaradi temperaturne stabilnosti emitorskih uporov in preklopnih hitrosti tranzistorjev.

Zelo znan princip te vrste je R-2R D/A pretvornik. Razviden je na sliki 4.



Slika 4: R-2R D/A pretvornik

Princip delovanja sloni na binarni delitvi tokov skozi vezje. Vsako stikalo na uporu 2R je bodisi na masi ali pa na sumacijski točki. Iz točke A v desno se

čuti upornost $2R$. Na ta način se v vsaki točki R-2R tok deli na dva enaka dela, ker v obeh smereh čuti enako upornost $2R$.

Digitalno krmiljena stikala vodijo tok bodisi na maso ali pa v sumacijsko točko, koder s svojo utežjo prispeva k izhodni analogni vrednosti.

Če je digitalno število polno (same enice), dobimo tok v sumacijski točki:

$$I_a = \frac{U_{ref}}{R} \left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \dots + \frac{1}{2^n} \right)$$

$$I_a = \frac{U_{ref}}{R} \left(1 - \frac{1}{2^n} \right)$$

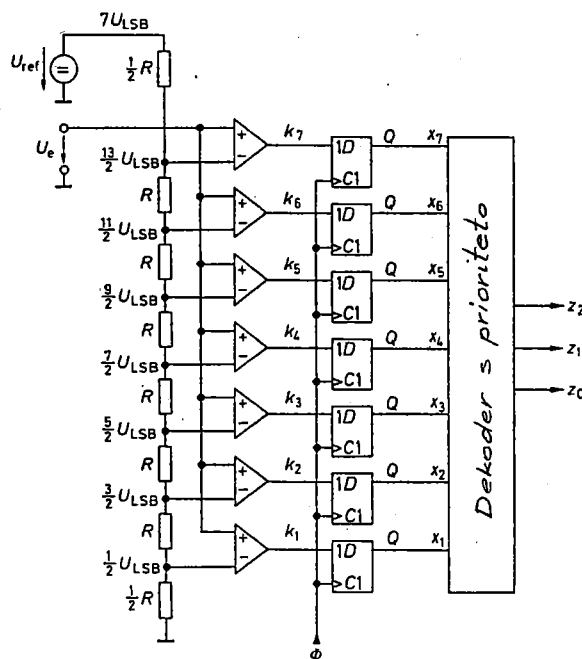
$\frac{1}{2^n}$ pomeni tok skozi skrajni $2R$ in pomeni bit z najmanjšo utežjo

R-2R princip ima to prednost, da je treba umeriti le dve uporovni vrednosti, kar zagotavlja boljšo temperaturno stabilnost.

Izvedba A/D pretvornikov

Paralelni pretvornik

Principielna izvedba 3-bitnega paralelnega pretvornika je na sliki 5.



Slika 5

S tremi biti lahko predstavimo 8 različnih digitalnih vrednosti, vključno z ničlo. Zato potrebujemo 7 komparatorjev, ki primerjajo sedem ekvidistančnih referenčnih napetosti v obliki nekega napetostnega delilnika. Če na primer priključimo vhodno napetost, ki zavzema vrednost med $5/2 U_{\text{LSB}}$ in $7/2 U_{\text{LSB}}$, potem zavzemajo komparatorji od 1 do 3 vrednost 1, komparatorji od 4 do 7 pa 0. Potrebujemo samo še neko logiko (dekoder), ki stanje teh komparatorjev predstavi v obliki digitalnega števila 3.

Ker se vhodna analogna napetost spreminja, lahko pride pri dekodiranju do napake. Zato so vrednosti na vhodu dekoderja zadržane. Lahko bi uporabili na vhodu člen za vzorčenje in zadržanje, ki pa ima to slabo stran, da potrebuje relativno dolg sprostitveni čas in s tem znatno lahko vpliva na frekvenco signala. Boljša rešitev je, če shranimo digitalno vrednost.

Na sliki so to dinamični D-Flip flopi, ki zadržijo stanje komparatorjev tako, da ima prioritetni dekodec celotno periodo konstantne vhodne signale. Pred nastopom naslednje taktne periode ima dekodec že razpoznavne izhodne podatke.

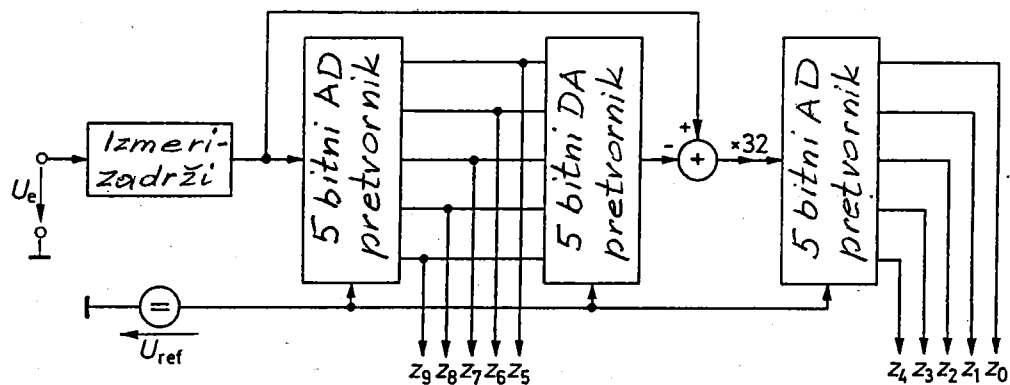
Linearnost A/D pretvornikov je pri nižjih frekvencah $\pm \frac{1}{2}$ LSB ali celo $\pm \frac{1}{4}$ LSB. Pri višjih frekvencah pa napaka v linearnosti močno narašča, tako da včasih najnižja dva bita nista uporabna.

Kaskadni pretvorniki

Slaba stran paralelnih pretvornikov je število potrebnih komparatorjev, ki narašča eksponentialno z dolžino binarne besede. 10 bitni pretvornik zahteva npr. 1023 komparatorjev.

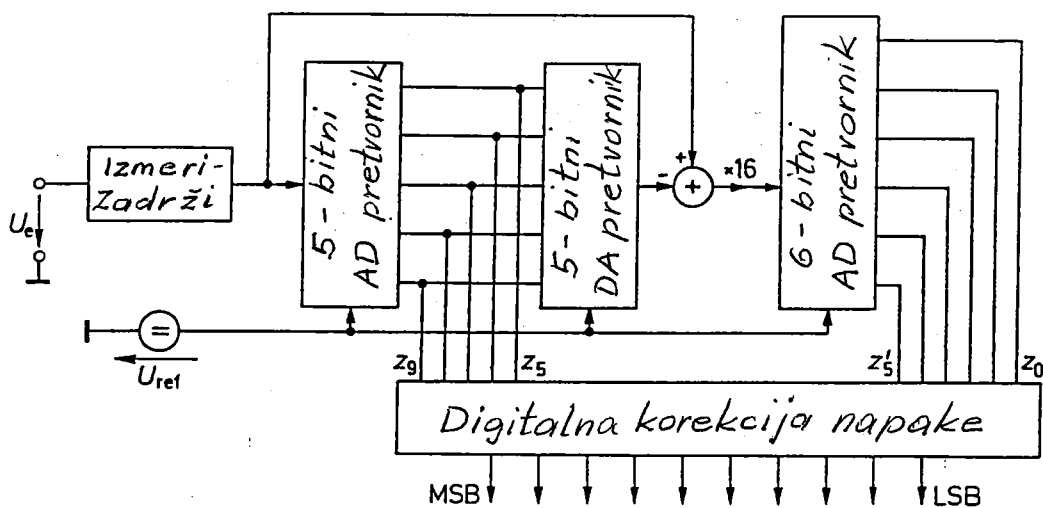
Če pozabimo na bistveno zmanjšano hitrost pretvorbe, potem lahko rešimo primer 10 bitne pretvorbe po sliki 6.

Kot vidimo na sliki, v prvem koraku pretvorimo analogno veličino v grobih 5 bitov, nato s pomočjo DA pretvornika in pretvarjane veličine dobimo ostanek analogne vrednosti za pretvorbo v drugem koraku. Če dobljeno razliko pomnožimo z 32, lahko delamo v drugem koraku z enakim napetostnim območjem in torej z enakim 5-bitnim AD pretvornikom.



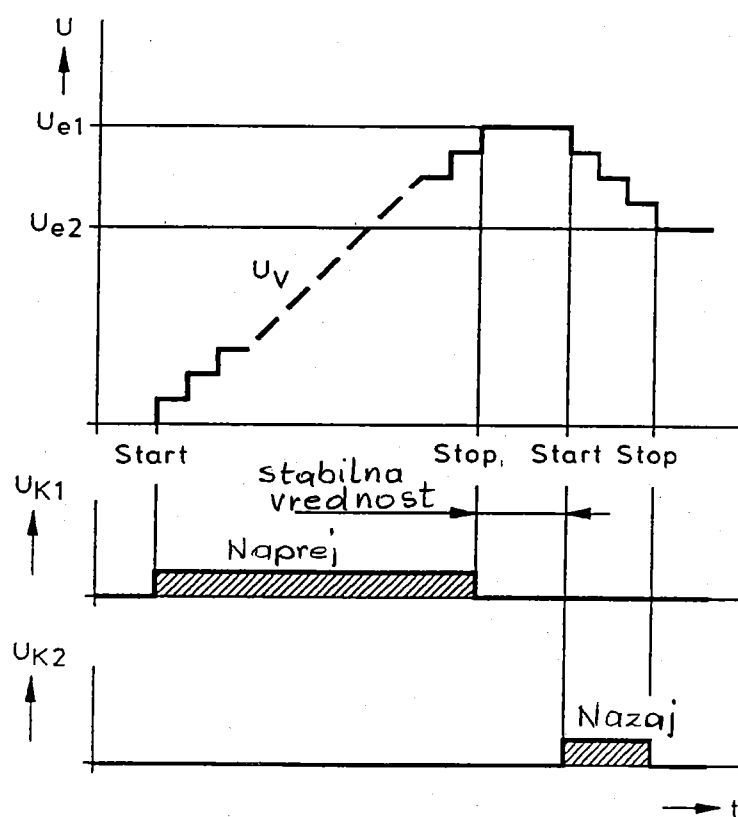
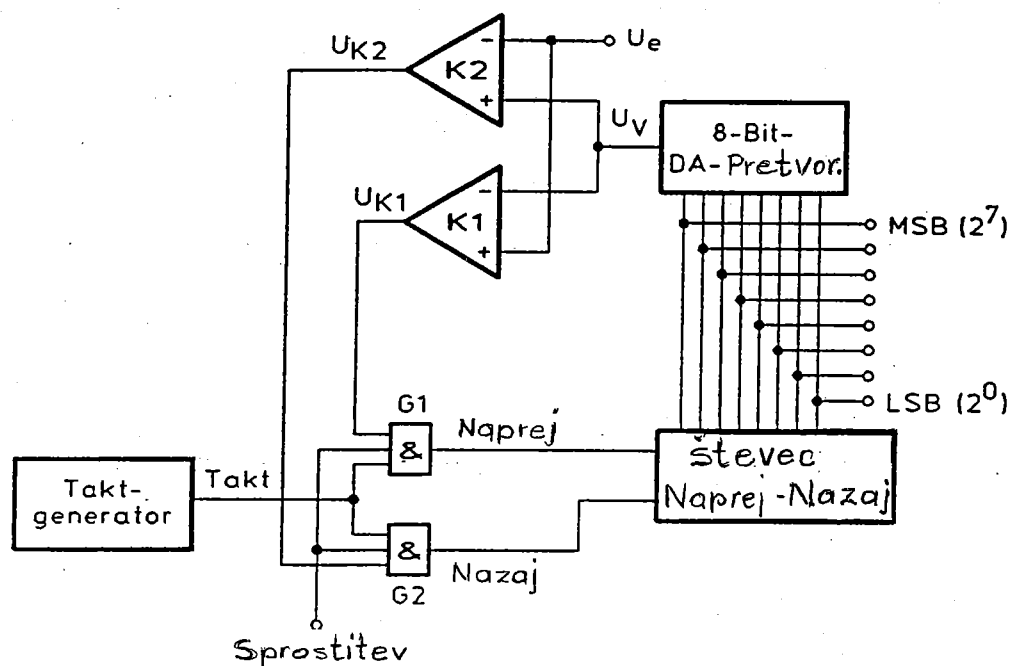
Slika 6: Princip kaskadnega pretvornika

Problem je v linearnosti takšnih AD pretvornikov, ki s frekvenco postaja vse slabša. Zaradi tega obstoja nevarnost, da preostanek pomnožen z 32 izpade iz merilnega dosega drugega AD pretvornika. Zato se poslužujejo rešitve po sliki 7, koder se vrednost bita Z_5 testira obakrat (drugič v vrednosti Z'_5). To doseže-



Slika 7

mo na ta način, da preostanek analogne veličine pomnožimo s 16 in le-tega potem pretvarjamo s 6 bitnim pretvornikom.



Slika 8: Sledilni A/D pretvornik

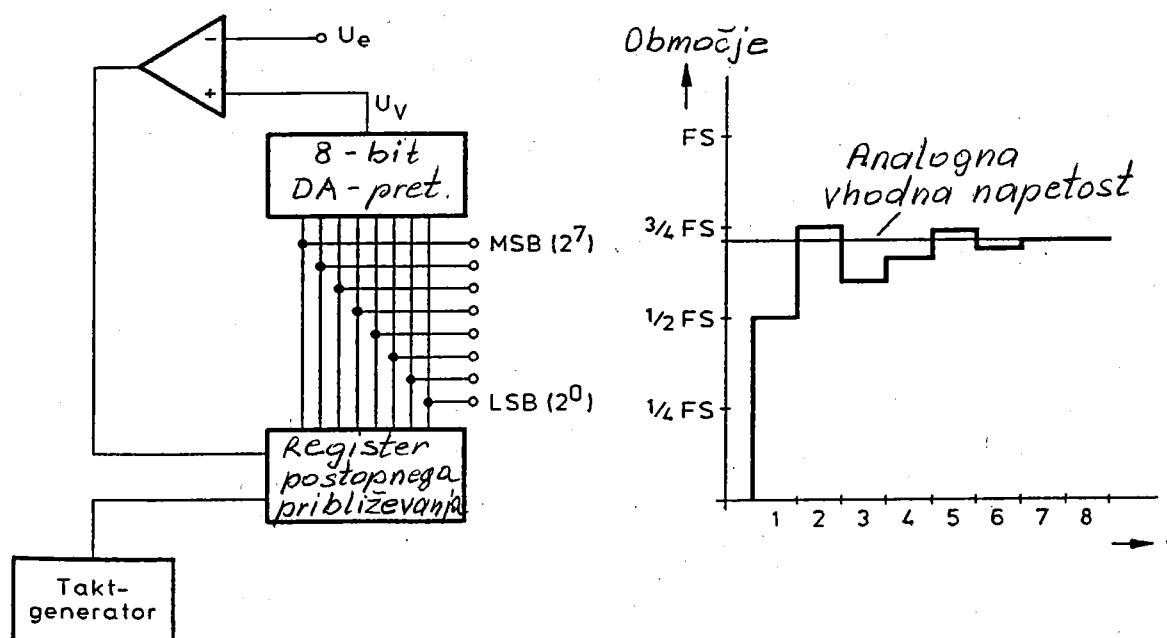
Slaba lastnost kaskadnih pretvornikov je daljši čas pretvorbe in na vhodu potreben analogni člen meri - zadrži (SAMPLE&HOLD).

Ena od preprostejših rešitev A/D pretvornika je t.i. sledilni pretvornik (Tracking - ADC).

Razlaga delovanja je podana na sliki 8. Pri tem pretvorniku sta uporabljena 2 komparatorja, ki primerjata izhodno napetost D/A pretvornika z merjeno napetostjo. Oba komparatorja krmilita IN vrata s po tremi vhodi (še sprostitutev in skupni generator takta). Glede na to, kateri od obeh komparatorjev je aktiven, šteje števec navzgor ali navzdol in "zasleduje" merjeno napetost. Če je $U_V = U_e$ se štetje ustavi. Ta pretvornik je uporaben za pretvorbo počasnejših signalov z majhnimi trenutnimi spremembami.

Problem je v ojačenju komparatorjev, k morata zagotoviti zanesljive preklope pri vrednostih analognе veličine manjših od vrednosti, ki jo predstavlja U_{LBS} .

Večjo hitrost pretvorbe zagotavljajo pretvorniki s postopnim približevanjem (utežnostni postopek) oziroma s sukcesivno aproksimacijo. Shemo tega pretvornika vidimo na sliki 9.

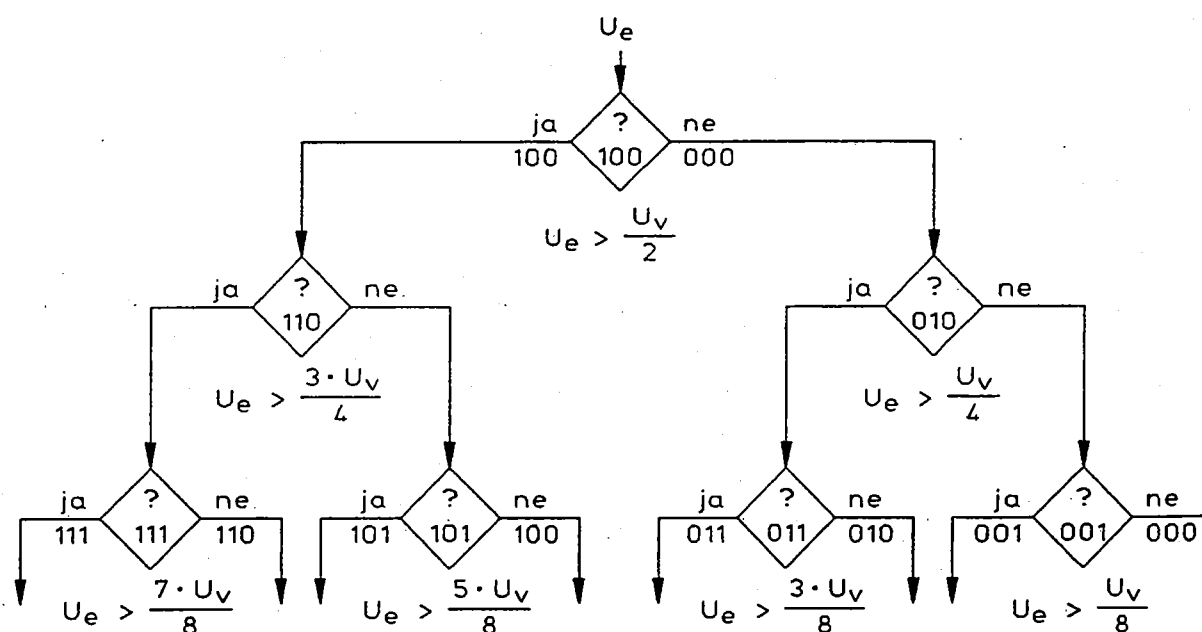


Slika 9: A/D pretvornik s postopnim približevanjem

Več kot polovica A/D pretvornikov deluje po tem principu.

Tudi ta pretvornik ima v digitalni povratni zvezi D/A pretvornik, katerega izhod se stalno primerja z merjeno analogno vrednostjo. Pretvorba traja toliko časa, da sta merjena (vhodna) vrednost in digitalna (izhodna) vrednost enaki. Pri tem je interni D/A pretvornik krmiljen preko registra za sukcesivno aproksimacijo tako, da doseže pri n bitnem pretvorniku pretvorbo v n -korakih.

Temu načinu pretvorbe rečemo tudi *utežnostni* postopek, kar je lepo razvidno na sliki 9, ki kaže diagram poteka pretvorbe za primer 3-bitnega pretvornika, ki deluje po principu postopnega približevanja.



Slika 10: Diagram poteka postopnega približevanja za 3-bitni A/D pretvornik

Delovanje

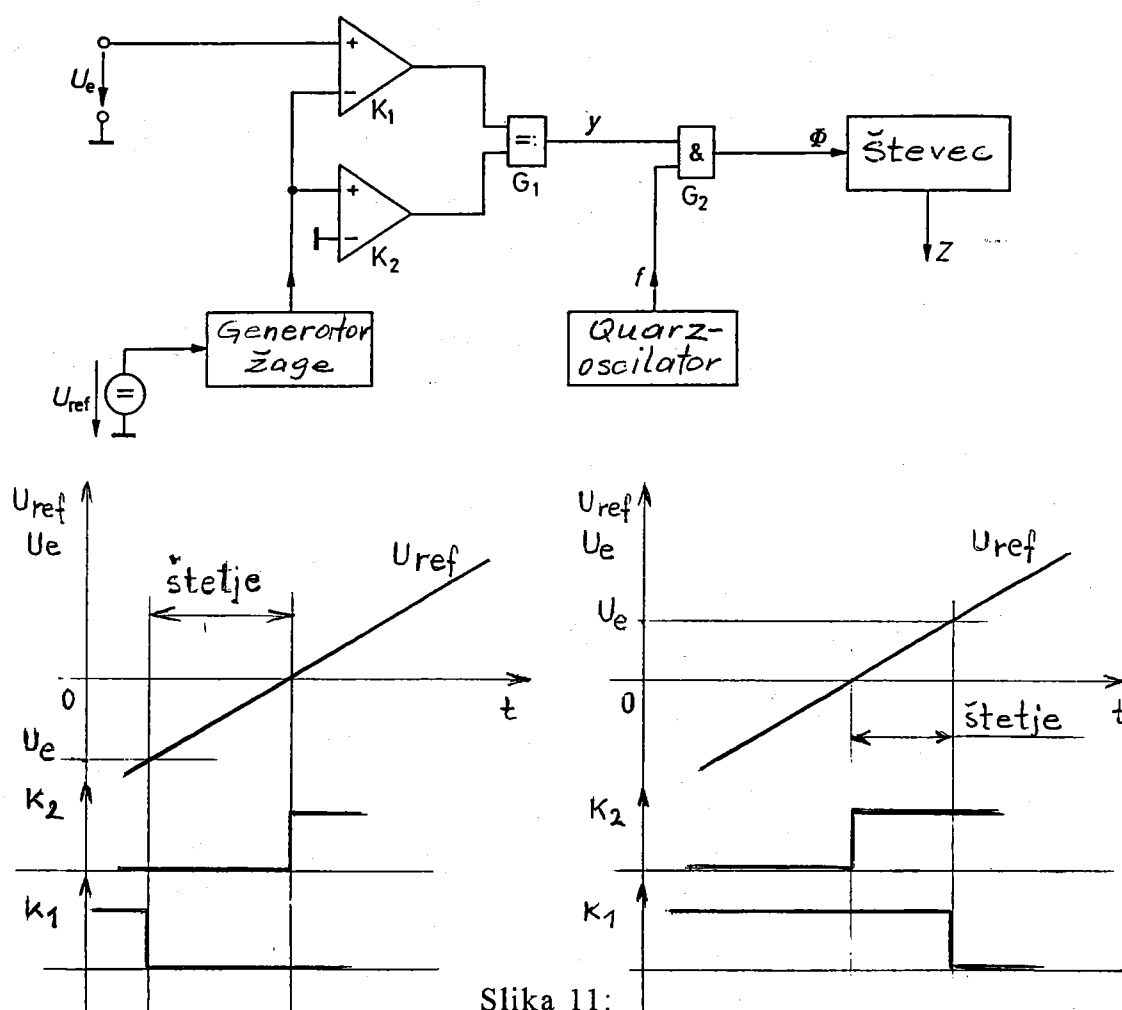
Merjena napetost se postavi najprej na vrednost največjega bita 100. D/A proizvede odgovarjajočo izhodno napetost, ki se v komparatorju primerja z merjeno napetostjo. Če je merjena napetost večja, se MSB ustavi v končno vrednost in se doda bit z naslednjo največjo utežjo torej je sedaj vrednost MSB + MSB-1. Če je merjena napetost manjša, potem MSB ni vstavljen, naslednji korak pa se preizkusi z MSB-1. To se ponavlja proti najmanjšemu bitu, dokler ni pretvorba končana.

Časovni potek določa generator takta. Ta način pretvorbe zagotavlja velike hitrosti, saj je n.pr. dvanajstbitno pretvorbo možno doseči v manj kot 800 ns.

Nadalje ta način omogoča delovanje s skrajšanim ciklom (Short-Cycle). Pretvorba se vrši z različnimi frekvencami. Biti z največjo utežjo npr. s frekvenco 1 MHz, srednji biti z 2 MHz in biti z najmanjšo utežjo, koder imamo opraviti z najmanjšimi izhodnimi napetostnimi (kvantizacijskimi) koraki s frekvenco 4 MHz.

Naslednji A/D pretvorniki so integrirajoči in delujejo po principu indirektna pretvorbe. Najprej si oglejmo pretvornik z enojnim naklonom (Single Slope).

Ta pretvornik sicer nima več posebnega praktičnega pomena. Ker pa je osnova naslednjim, izboljšanim postopkom, si ga nekoliko pobliže oglejmo. Princip delovanja je razviden iz slike 11.



Slika 11:

Integracija je izvedena po neki rampi, ki jo generira generator žagaste referenčne napetosti. Ta je priključena na dva komparatorja. K_1 primerja to napetost z maso (OV), drugi K_2 pa z merjeno napetostjo.

Čas pretvorbe se začne, ko K_1 zazna prehod žage skozi 0, konča pa se, ko rampa doseže merjeno napetost. V času med preklopoma obeh komparatorjev števec šteje impulze iz nekega generatorja takta. Število impulzov je digitalna vrednost merjene veličine. Negativno napetost lahko merimo tako, da se starta štetje pri preklopu komparatorja K_2 , zaključi pa pri preklopu komparatorja K_1 .

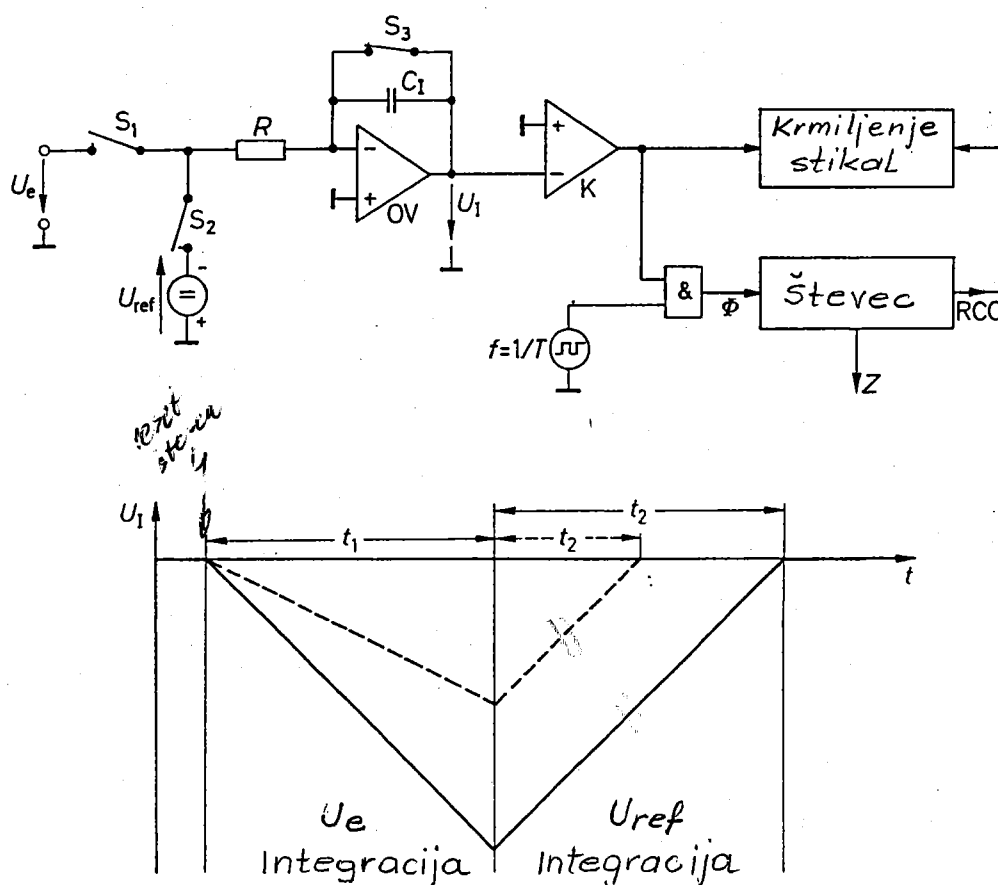
Štetje se vrši, ko je eden od obeh komparatorjev v stanju 1 (Ekskluzivni ALI povezuje oba komparatorja). Po vsaki meritvi moramo števec vrniti nazaj na nič. Pretvorba se vrši po enačbi:

$$Z = \tau \cdot f \cdot U_e / U_{ref} = \frac{\Delta t}{T} ; T = \frac{1}{f} ;$$

Glavni problem je časovna konstanta τ , ki zaradi temperaturnega drifta močno vpliva na točnost pretvorbe. Zato je težko dosegljiva natančnost pretvorbe pod 0,1 %.

Boljše rezultate zagotavlja pretvornik z dvojnim naklonom (Dual Slope).

Pri tem principu je poleg referenčne napetosti integrirana tudi vhodna merjena napetost.



Slika 12: Pretvornik z dvojnim naklonom

$$Z = (Z_{max} + 1) U_e / U_{ref}$$

V času mirovanja sta stikali S1 in S2 odprti, S3 pa je zaprt. S tem je izhodna napetost iz integratorja nič.

Pri začetku meritve se briše števec, stikalo S3 se odpre (integrator lahko integrira) in S1 se zapre. S tem se integrira vhodna napetost U_e . Če je pozitivna, je izhod integratorja negativen in komparator sprosti generator takta.

Konec meritve je dosežen, ko števec doseže število taktnih impulzov $Z_{\max} + 1$ in se s tem postavi na vrednost nič.

$$U_I(t_1) = - \frac{1}{\tau} \int_0^{t_1} U_e dt = - \frac{\bar{U}_e}{\tau} (Z_{\max} + 1) T \quad T = \frac{1}{f}$$

Ko je ta maksimalna vrednost dosežena (po času t_1) se preklopi integrator na referenčno napetost preko stikala S_2 (S_1 se izklopi). Predznak napetosti je obrnjen, zato integrira integrator v pozitivni smeri in se zato napetost zmanjšuje proti nič.

S pomočjo komparatorja in števca iznosa lahko ugotovimo čas trajanja do ponovnega prehoda napetosti iz integratorja skozi nič:

$$t_2 = Z \cdot T = \frac{\tau}{U_{ref}} \{ U_I(t_1) \}$$

Iz obeh enačb dobimo:

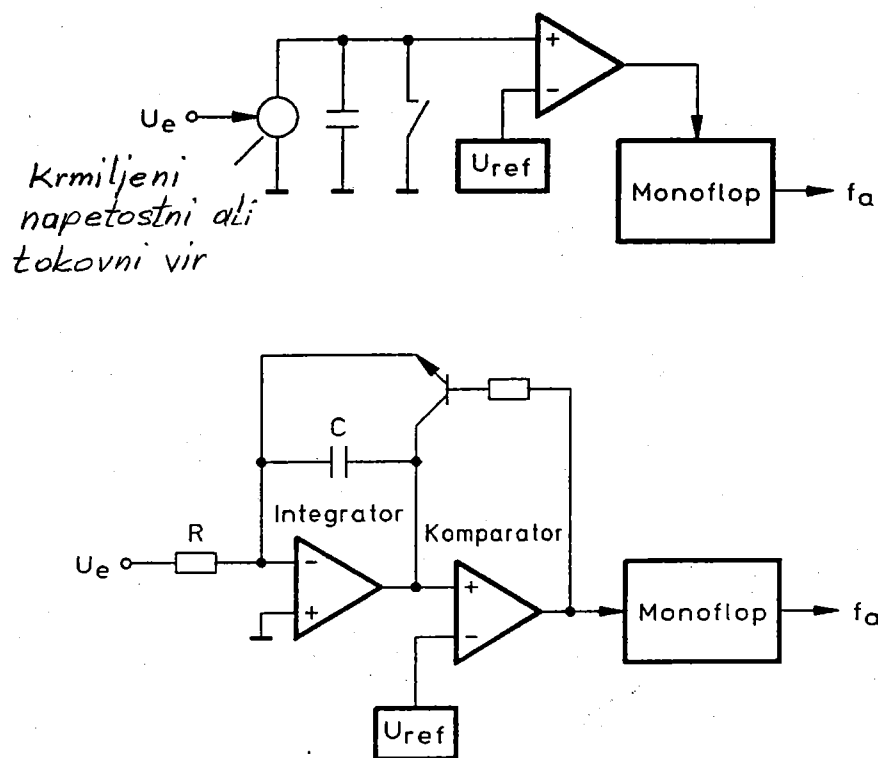
$$Z = (Z_{\max} + 1) \frac{U_e}{U_{ref}}$$

Pri tem vidimo, da na rezultat ne vpliva niti frekvenca ure $1/T$, niti integracijska konstanta $\tau = RC_1$. Obe ti dve vrednosti je v tem kratkem času ($t_1 + t_2$) možno realizirati praktično stabilno že z enostavnimi elementi. Zato je doseganje točnosti pretvorbe po tem principu možno pod $0,01 \% = 100 \text{ ppm}$.

Ta integracijski postopek zagotavlja neobčutljivost na motnje zlasti še na superponirane izmenične napetosti visokih frekvenc. Frekvence, ki so mnogokratnik osnovne frekvence $1/t_1$ so lahko popolnoma nemoteče. Zato se ta način pretvorbe uporablja zlasti pri elektronskih voltmetrih, koder niso zahtevane visoke hitrosti pretvorbe. Števec je lahko tudi BCD-kodiran.

Napetostno frekvenčni pretvorniki

Dve varianti takšnega pretvornika sta na sliki 13.



Slika 13: Napetostno frekvenčna pretvornika

Enostavnejša principiella izvedba je na sliki 13a. Z zunanjo merjeno napetostjo krmiljen tokovni ali napetostni vir polni kondenzator. Ko le-ta doseže referenčno napetost, komparator prekucne in proži monoflop. Monoflop proizvede impulz s konstantim časom trajanja. Ko monoflop prekucne se preko stikala izprazni kondenzator in proces se ponovi. Hitrost oziroma frekvenca je odvisna od velikosti vhodne napetosti U_e .

Boljšo izvedbo kaže slika 13b. Tu imamo uporabljen operacijski ojačevalnik kot integrator, kondenzator C se izprazni ob preklopu komparatorja, ki proži monoflop.

Nelinearnost, napake v ojačenju, offset in temperaturni koeficient ojačanja, offseta in linearnosti so skupni problem A/D, D/A in U/f pretvornikov.

Specialne lastnosti U/f pretvornikov so:

Frekvenčni obseg: odvisen od polnjenja in praznjenja internega integratorja. Maksimalna izhodna frekvenca je proporcionalna maksimalnemu vhodnemu signalu. Čim večja je f , tem večji je dinamični obseg. Običajne vrednosti so 1 KHz in 1 MHz.

Dinamični obseg: Logaritmično razmerje med maksimalnimi in minimalnimi možnimi delovnimi signali v dB.

Response Time. To je minimalen potreben čas, v katerem se pri skočni spremembi vhodne veličine izhod stabilizira. Ta parameter je zlasti zanimiv tam, koder se zahteva velika točnost pri hitro spreminjajočih se vhodnih signalih.