

Εργαστήριο #10

1. Σύνοψη προηγούμενων εργαστηρίων.

Στα προηγούμενα εργαστήρια ολοκληρώσατε τη σχεδίαση ενός **μονοπατιού δεδομένων (datapath) των 8 bits**, το οποίο εκτελεί πράξεις: α) μεταξύ δεδομένων από 2 καταχωρητές και β) μεταξύ δεδομένων από 1 καταχωρητή και δεδομένων από την άμεση είσοδο $im[7:0]$. Η λειτουργία του μονοπατιού δεδομένων ελέγχεται από 23 σήματα ελέγχου/δεδομένων (**είσοδοι στο μονοπάτι δεδομένων**):

Σήματα	Λειτουργία
sub, s1, s0	επιλογή πράξης ΑΛΜ
sel	επιλογή εισόδου στην ΑΛΜ (1=από register file-έξοδος A, 0=από άμεση είσοδο $im[7:0]$)
rdb[2:0]	επιλογή καταχωρητή για την έξοδο B του register-file
rda[2:0]	επιλογή καταχωρητή για την έξοδο A του register-file
wrsel[2:0]	επιλογή καταχωρητή για εγγραφή
$im[7:0]$	άμεση είσοδος (8-bit)
wrclk	Εγγραφή δεδομένων στην ανερχόμενη ακμή του wrclk
rstbar	Μηδενισμός περιεχομένων καταχωρητών εάν $rstbar=0$

Επίσης, το μονοπάτι δεδομένων παράγει ως **εξόδους τα σήματα κατάστασης (flags) C/S/Z/V**, τα οποία θα χρησιμοποιήσετε αργότερα για τον έλεγχο των εντολών διακλάδωσης.

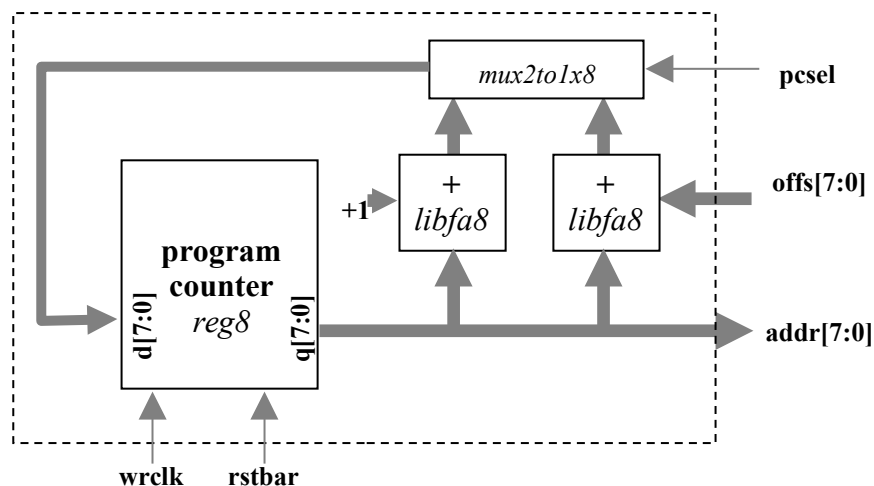
2. Μονάδα μετρητή εντολών (program counter - PC).

Στη συνέχεια θα αρχίσετε να υλοποιείτε τη **μονάδα ελέγχου**, η οποία θα συνδυαστεί με το **μονοπάτι δεδομένων** για την κατασκευή μιας **πλήρους ΚΜΕ**. Στο παρόν εργαστήριο θα υλοποιήσετε τη **μονάδα του μετρητή εντολών**, η οποία:

α) Διαθέτει έναν 8-bit καταχωρητή (**program counter – PC**) για τη διεύθυνση της επόμενης εντολής.

β) **Αυξάνει την τιμή του PC κατά 1** μετά την εκτέλεση μιας εντολής.

γ) **Παρέχει τη δυνατότητα αλλαγής τιμής στον PC**, για την υλοποίηση των εντολών διακλάδωσης. Η αλλαγή υλοποιείται μέσω της πρόσθεσης ενός **8-bit offset** στην τρέχουσα τιμή του PC.



3. Σχεδίαση της μονάδας μετρητή εντολών.

Δημιουργήστε ένα νέο cell στη βιβλιοθήκη σας και ονομάστε το **pclogic**. Το σχηματικό διάγραμμα της μονάδας φαίνεται στο **σχήμα της προηγούμενης σελίδας**.

Ο μετρητής εντολών (PC) φυλάσσεται σε έναν **καταχωρητή των 8 bits (reg8)**, θα τον βρείτε στη βιβλιοθήκη **lablib.jelib**. Η έξοδος του καταχωρητή q[7:0] παρέχει τη διεύθυνση addr[7:0] για τη μνήμη εντολών.

Το περιεχόμενο του PC περνά μέσα από 2 **αθροιστές (libfa8)**, θα τους βρείτε στη βιβλιοθήκη **lablib2.jelib** στο site του εργαστηρίου). Κάθε αθροιστής προσθέτει 2 8-bit εισόδους a[7:0] και b[7:0] και εμφανίζει το αποτέλεσμα στην έξοδο s[7:0]. Ο πρώτος αθροιστής παράγει το (PC+1) και ο δεύτερος το (PC+offset).

Η επιλογή μεταξύ του (PC+1) και του (PC+offset) γίνεται σε **πολυπλέκτη (mux2to1x8)**, βιβλιοθήκη **lablib.jelib** μέσω του σήματος **pcsel** (με 0 περνά το PC+1, με 1 το PC+offset).

Η τιμή που περνά από τον πολυπλέκτη θα αποτελέσει τη νέα τιμή του PC, η οποία θα αποθηκευτεί στον καταχωρητή στην επόμενη ανερχόμενη ακμή του σήματος ρολογιού **wrclk**. Ο καταχωρητής διαθέτει είσοδο άμεσου μηδενισμού (**rstbar**) για την αρχικοποίηση του PC σε 0.

4. Διαδικασία ελέγχου.

Εξομοιώστε τη λειτουργία της νέας μονάδας. Θέστε τα rstbar, wrclk και pcsel σε 0 (low). Στη συνέχεια το rstbar πρέπει να γίνει 1 (high) για κανονική λειτουργία. Αμέσως μετά:

α) Μετακινήστε το σημείο χρόνου 20ns δεξιάτερα και επιλέξτε το σήμα **wrclk**.

γ) Κάνετε zoom-out στο παράθυρο της εξομοίωσης, πιέζοντας 4 φορές Ctrl-0.

β) Από το μενού **Tools, Simulation (Built-in)** επιλέξτε **Set clock on selected signal...** και ορίστε ως περίοδο τα 0.000000150s (150ns).

Παρατηρήστε τις γραμμές διεύθυνσης (addr[7:0]). Θα πρέπει να αυξάνονται κατά 1 σε κάθε κύκλο ρολογιού.

Θέστε τα σήματα offs[7:0] σε διάφορες τιμές και το pcsel σε 1. Τώρα οι διευθύνσεις θα πρέπει να αυξάνονται κατά offset σε κάθε κύκλο ρολογιού.