



Preliminary

MY9221

12通道(支持 R/G/B *4)恒流LED驱动芯片 内建灰阶自适应脉冲密度调制

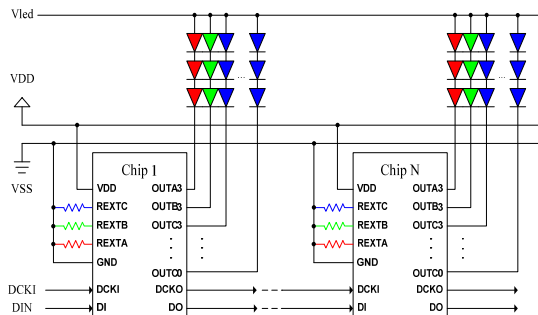
产品说明

MY9221 是一颗 12 通道(支持 R/G/B x 4)恒流 LED 驱动芯片内建灰阶自适应脉冲密度调制, 操作在 3.0 伏特到 5.5 伏特的输入电压范围。MY9221 包括了 12 个漏极开路的定电流沉入输出, 可承受 17 伏特且可输出 60 毫安的高精度电流给每一串 LED。MY9221 的三组输出电流可被三个外接电阻设置。MY9221 提供一独特的可降低电磁干扰的最大 10MHz 的资料/时钟输入方式。MY9221 也提供了 2 线串接的接口以传送灰阶资料及命令, 资料包括 16/14/12/8 位灰阶选择, 芯片内部灰阶时钟降频选择, 输出极性选择以支援高功率 LED 驱动, 输出上升沿 Tr/下降沿 Tf 速度选择, 使用传统脉冲宽度调制或独家自适应脉冲密度调制选择, 以及内部自动生成锁存信号。MY9221 独特的自适应脉冲密度调制方式可以将刷新率大幅提高至 1000Hz @16 位灰阶时以避免闪烁, 而且 MY9221 还提供独家可有降低电磁波干扰的输出信道电流错位处理的方式。另外 MY9221 利用时钟占空比回复技术以及脉冲宽度重置技术来有效支持长距离及多级串接的应用。MY9221 提供一般值 $\pm 1\%$ 的通道间 LED 输出电流精度, 而且还包括了提供相对于输出脚电压变化 $\pm 0.1\%$ 稳定的电流输出能力以及快速的输出电流响应。MY9221 可提供 20 脚的 QFN 或 24 脚的 SSOP/TSSOP 封装型式。MY9221 可以工作于外在环境温度 -40°C 到 $+85^{\circ}\text{C}$ 的范围。

应用

- ☐ LED数码管/LED网屏
- ☐ 全彩LED点光源
- ☐ 全彩户/内外LED视频/信息显示屏
- ☐ LED装饰照明/亮化工程
- ☐ 全彩LED文字招牌

典型应用图



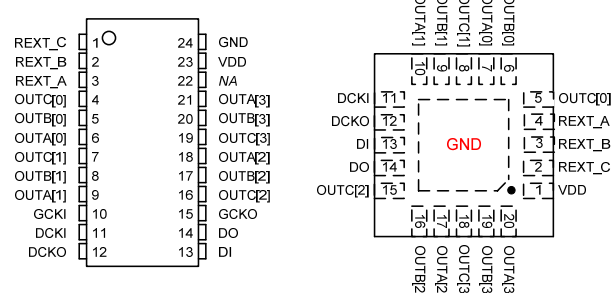
产品特色

- ◆ 3.0伏特~5.5伏特电源电压范围
- ◆ R/G/B x4 共12个恒流输出通道
- ◆ 3~60毫安 恒流输出范围(在5伏特操作电压)
- ◆ 3~35毫安 恒流输出范围(在3.3伏特操作电压)
- ◆ 仅需三个外接电阻来设定三组恒流电流
- ◆ 可承受最大输出电压17伏特以支持多颗LED串联
- ◆ $\pm 1.0\%$ (一般值) 通道间电流差异值
- ◆ $\pm 2.0\%$ (一般值) 芯片间电流差异值
- ◆ 20Mbps (最快) ~ 140 Kbps (最慢) 数据率范围并使用降低EMI的资料传输方式 [专利申请中]
- ◆ 16 / 14 / 12 / 8 位灰阶选择
- ◆ 内置灰阶时钟支援高于1000Hz的刷新率(16位灰阶), 刷新率高于256KHz(8位灰阶)
- ◆ 内置灰阶时钟频率选择以支持高功率LED驱动应用 (最低 33.6KHz)
- ◆ 灰阶时钟来源选择: 内置或外接 (仅适用在封装型式 SSOP和TSSOP)
- ◆ 传统脉冲宽度调制或自适应脉冲密度调制的选择 [专利申请中]
- ◆ 时钟占空比回复以支援多数量的芯片级联应用
- ◆ Schmitt trigger 输入
- ◆ 输出电流支持可程序化的上升时间Tr/下降时间Tf
- ◆ 不同输出通道间电流时域错位处理以降低EMI
- ◆ -40°C 到 $+85^{\circ}\text{C}$ 的环境温度操作范围

下单资讯

编号	封装资讯	
MY9221SS	SSOP24-150mil-0.635mm	2500 颗/捲
MY9221QD	QFN20-4mmx4mm-0.5mm	3000 颗/捲
MY9221TE	TSSOP24-173mil-0.65mm (Exposed Pad)	2500 颗/捲

脚位图

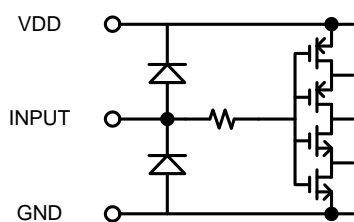


管脚说明

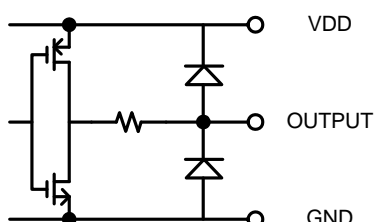
管脚编号		名称	功能说明
SSOP24 TSSOP24	QFN20		
1,2,3	2,3,4	REXT_C,B,A	连接外接电阻之输入端，此外接电阻可设定各组输出通道之输出电流。
19,16,7,4	18,15,8,5	OUTC[3:0]	恒电流输出端。
20,17,8,5	19,16,9,6	OUTB[3:0]	
21,18,9,6	20,17,10,7	OUTA[3:0]	
10	---	GCKI	灰阶时钟外部输入。
11	11	DCKI	时钟信号之输入端。
12	12	DCKO	时钟信号之输出端。
13	13	DI	输入至位移暂存器之串行数据输入端。
14	14	DO	串行数据输出端，可接至下一个驱动器。
15	---	GCKO	灰阶时钟输出
23	1	VDD	3.0V~5.5V 的电源供应端。
24	Exposed pad	GND	控制逻辑及驱动电流的接地端。
22	---	NA	未使用

数位输入端与输出端之等效电路

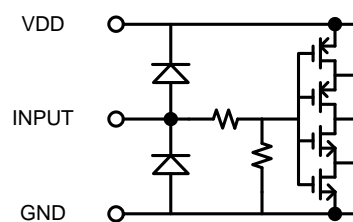
1. DI, DCKI



2. DO, DCKO, GCKO



3. GCKI



最大限定范围 (Ta=25°C, Tj(max) = 150°C)

特性	代表符号	最大限定范围	单位
电源电压	VDD	-0.3 ~ 7.0	V
输入端电压	VIN	-0.3 ~ VDD+0.3	V
输出端电流	IOUT	60	mA
输出端耐受电压	VOUT	-0.3 ~ 17	V
输入资料时钟频率	FDCK	0.07 ~ 10	MHz
输入灰阶时钟频率	FGCK	10	MHz
接地端电流	IGND	750	mA
热阻值(4 层 PCB)	Rth(j-a)	70.5 (SSOP24-150mil-0.635mm) 43 (QFN20-4mmx4mm) 31 (TSSOP24-173mil-0.65mm (EP))	°C/W
IC 工作时的电压	VDD	3.0 ~ 5.5	V
IC 工作时的环境温度	Top	-40 ~ 85	°C
IC 储存时的环境温度	Tstg	-55 ~ 150	°C

(1) 操作在这些规定值之上也许会造成组件永久的损伤。在绝对的最大条件之下延长操作期限也许会降低组件的可靠性。这些仅是部分的规定值，并且不支持在规格之外的其它条件的功能操作。

(2) 所有电压值是以接地端做为参考点。

直流特性(VDD = 5.0 V, Ta = 25°C unless otherwise noted)

特性	代表符号	量测条件	最小值	一般值	最大值	单位
输入端电压 高电平准位	VIH	CMOS 逻辑准位	0.7VDD	—	VDD	V
输入端电压 低电平准位	VIL	CMOS 逻辑准位	GND	—	0.3VDD	
输出端漏电流	ILK	VOUT = 17 V	—	—	0.1	uA
输出电压 (D0)	VOL	IOL = 4.8 mA	—	—	0.4	V
	VOH	IOH = 5.3 mA	VDD-0.4	—	—	
电流偏移量 (通道间)* ¹	dIOUT1	VOUT = 1.0 V R _{rext} = 2340 Ω	—	±1	±3	%
电流偏移量 (芯片间)* ²	dIOUT2		—	±2	±6	%
电流偏移量 vs. 输出电压* ³	% / VOUT	R _{rext} = 2340 Ω VOUT = 1 V ~ 3 V	—	±0.1	—	% / V
电流偏移量 vs. 电源电压* ⁴	% / VDD	R _{rext} = 2340 Ω VDD = 3 V ~ 5.5 V	—	±0.6	±1	
电压源输出电流* ⁵	I _{DD1(off)}	R _{rext} = 未接 所有输出关闭	—	2.40	—	mA
	I _{DD2(off)}	输入信号固定 R _{rext} = 2340Ω 所有输出关闭	—	5.73	—	
	I _{DD1(on)}	输入信号固定 R _{rext} = 2340Ω 所有输出打开	—	5.85	—	
	I _{DD3(off)}	输入信号固定 R _{rext} = 19.5KΩ 所有输出关闭	—	2.84	—	
	I _{DD2(on)}	输入信号固定 R _{rext} = 19.5KΩ 所有输出打开	—	2.84	—	

*¹ 通道间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\frac{I_{out_n}}{(I_{out_0} + I_{out_1} + \dots + I_{out_3})} - 1 \right] * 100\%$$

*² 芯片间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\frac{(I_{out_0} + I_{out_1} + \dots + I_{out_3}) - (Ideal\ Output\ Current)}{(Ideal\ Output\ Current)} \right] * 100\%$$

*³ 输出电流对输出电压变化的偏移量公式定义如下:

$$\Delta(\% / V) = \left[\frac{I_{out_n} (@ V_{out_n} = 3V) - I_{out_n} (@ V_{out_n} = 1V)}{I_{out_n} (@ V_{out_n} = 3V)} \right] * \frac{100\%}{3V - 1V}$$

*⁴ 输出电流对电源电压变化的偏移量公式定义如下:

$$\Delta(\% / V) = \left[\frac{I_{out_n} (@ V_{DD} = 5.5V) - I_{out_n} (@ V_{DD} = 3V)}{I_{out_n} (@ V_{DD} = 3V)} \right] * \frac{100\%}{5.5V - 3V}$$

*⁵ 輸出入除外.

直流特性(VDD = 3.3 V, Ta = 25°C unless otherwise noted)

特性	代表符号	量测条件	最小值	一般值	最大值	单位
输入端电压 高电平准	VIH	CMOS 逻辑准位	0.7VDD	—	VDD	V
输入端电压 低电平准	VIL	CMOS 逻辑准位	GND	—	0.3VDD	
输出端漏电流	ILK	VOUT = 17 V	—	—	0.1	uA
输出电压 (D0)	VOL	IOL = 3.9 mA	—	—	0.4	V
	VOH	IOH = 3.8 mA	VDD-0.4	—	—	
电流偏移量 (通道间)* ¹	dIOUT1	VOUT = 1.0 V R _{rext} = 2340 Ω	—	±1	±3	%
电流偏移量 (芯片间)* ²	dIOUT2		—	±2	±6	%
电流偏移量 vs. 输出电压* ³	% / VOUT	R _{rext} = 2340 Ω VOUT = 1 V ~ 3 V	—	±0.1	—	% / V
电流偏移量 vs. 电源电压* ⁴	% / VDD	R _{rext} = 2340 Ω VDD = 3 V ~ 5.5 V	—	±0.6	±1	
电压源输出电流* ⁵	I _{DD1(off)}	R _{rext} = 未接 所有输出关闭	—	1.97	—	mA
	I _{DD2(off)}	输入信号固定 R _{rext} = 2340Ω 所有输出关闭	—	5.22	—	
	I _{DD1(on)}	输入信号固定 R _{rext} = 2340Ω 所有输出打开	—	5.22	—	
	I _{DD3(off)}	输入信号固定 R _{rext} = 19.5KΩ 所有输出关闭	—	2.74	—	
	I _{DD2(on)}	输入信号固定 R _{rext} = 19.5KΩ 所有输出打开	—	2.79	—	

*¹ 通道间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\frac{I_{out_n}}{(I_{out_0} + I_{out_1} + \dots + I_{out_3})} - 1 \right] * 100\%$$

*² 芯片间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\left(\frac{(I_{out_0} + I_{out_1} + \dots + I_{out_3})}{4} - (Ideal\ Output\ Current) \right) / (Ideal\ Output\ Current) \right] * 100\%$$

*³ 输出电流对输出电压变化的偏移量公式定义如下:

$$\Delta(\% / V) = \left[\frac{I_{out_n} (@ V_{out_n} = 3V) - I_{out_n} (@ V_{out_n} = 1V)}{I_{out_n} (@ V_{out_n} = 3V)} \right] * \frac{100\%}{3V - 1V}$$

*⁴ 输出电流对电源电压变化的偏移量公式定义如下:

$$\Delta(\% / V) = \left[\frac{I_{out_n} (@ V_{DD} = 5.5V) - I_{out_n} (@ V_{DD} = 3V)}{I_{out_n} (@ V_{DD} = 3V)} \right] * \frac{100\%}{5.5V - 3V}$$

*⁵ 输出输入除外

动态特性 (VDD = 5.0V, Ta = 25°C unless otherwise noted)

特性		代表符号	量测条件	最小值	一般值	最大值	单位
延迟时间 (‘低’ to ‘高’)	DCKI-to-DO	tpLH1	VIH = VDD VIL = GND Rrxt = 2340 Ω VL = 5.0 V RL = 150 Ω CL = 13 pF	—	29	39	ns
	DCKI-to-DCKO	tpLH2		—	6.3	19	
	GCKI-to-GCKO	tpLH3		—	10.5	19	
	DI-to-DO @ Internal-latch control cycle	tpLH4		—	12	—	
延迟时间 (‘高’ to ‘低’)	DCKI-to-DO	tpHL1		—	39	59	
	DCKI-to-DCKO	tpHL2		—	6.3	19	
	GCKI-to-GCKO	tpHL3		—	9	19	
脉波宽度	DCKI	tw(DCK)		50	—	7200	
	GCKI	tw(GCK)		50	—	—	
	DI @ Internal-latch control cycle	twH(DI)		70	—	—	
	DI @ Internal-latch control cycle	twL(DI)		230	—	—	
建立时间	DI	tsu(D)		10	—	—	
保持时间	DI	th(D)		10	—	—	
DO/DCKO/GCKO 的爬升时间		tr(DO)		—	5	—	
DO/DCKO/GCKO 的下降时间		tf(DO)		—	5	—	
电流输出的爬升时间(fast)		Tor_f		—	10	—	
电流输出的下降时间(fast)		Tof_f		—	4	—	
电流输出的爬升时间(slow)		Tor_s		—	90	—	
电流输出的下降时间(slow)		Tof_s		—	66	—	
DI 波形重置 当在自我锁存产生的时候		Tw_re		70	90	110	
内部栓锁开始时间		Tstart		220	—	—	us
内部栓锁停止时间*		Tstop		200	—	—	ns
DCKI 频率		F(DCKI)		0.07	—	10	MHz
内部震荡频率		F(OSC)		6.9	8.6	10.3	MHz
GCKI 频率		F(GCKI)		—	—	10	MHz

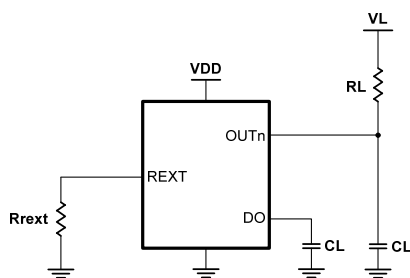
* Tstop (min.) for cascade application must > “200ns + N*10ns” (N is the cascade number of drivers)

动态特性(VDD = 3.3V, Ta = 25°C unless otherwise noted)

特性		代表符号	量测条件	最小值	一般值	最大值	单位
延迟时间 (‘低’ to ‘高’)	DCKI-to-DO	tpLH1	VIH = VDD VIL = GND R _{ext} = 2340 Ω VL = 5.0 V RL = 150 Ω CL = 13 pF	—	34	39	ns
	DCKI-to-DCKO	tpLH2		—	7.9	19	
	GCKI-to-GCKO	tpLH3		—	12	19	
	DI-to-DO @ Internal-latch control cycle	tpLH4		—	18	—	
延迟时间 (‘高’ to ‘低’)	DCKI-to-DO	tpHL1		—	40	59	
	DCKI-to-DCKO	tpHL2		—	8.2	19	
	GCKI-to-GCKO	tpHL3		—	10.5	19	
脉波宽度	DCKI	tw(DCK)		50	—	7200	
	GCKI	tw(GCK)		50	—	—	
	DI @ Internal-latch control cycle	twH(DI)		70	—	—	
	DI @ Internal-latch control cycle	twL(DI)		230	—	—	
建立时间	DI	tsu(D)		10	—	—	
保持时间	DI	th(D)		10	—	—	
DO/DCKO/GCKO 的爬升时间		tr(DO)		—	8.5	—	
DO/DCKO/GCKO 的下降时间		tf(DO)		—	8.5	—	
电流输出的爬升时间(fast)		Tor_f		—	13.4	—	
电流输出的下降时间(fast)		Tof_f		—	7.5	—	
电流输出的爬升时间(slow)		Tor_s		—	153	—	
电流输出的下降时间(slow)		Tof_s		—	77	—	
DI 波形重置 当在自我锁存产生的时候		Tw_re		90	110	130	
内部栓锁开始时间		Tstart		220	—	—	us
内部栓锁停止时间*		Tstop		200	—	—	ns
DCKI 频率		F(DCKI)		0.07	—	10	MHz
内部震荡频率		F(OSC)		6.7	8.4	10.1	MHz
GCKI 频率		F(GCKI)		—	—	10	MHz

* Tstop (min.) for cascade application must > “200ns + N*10ns” (N is the cascade number of drivers)

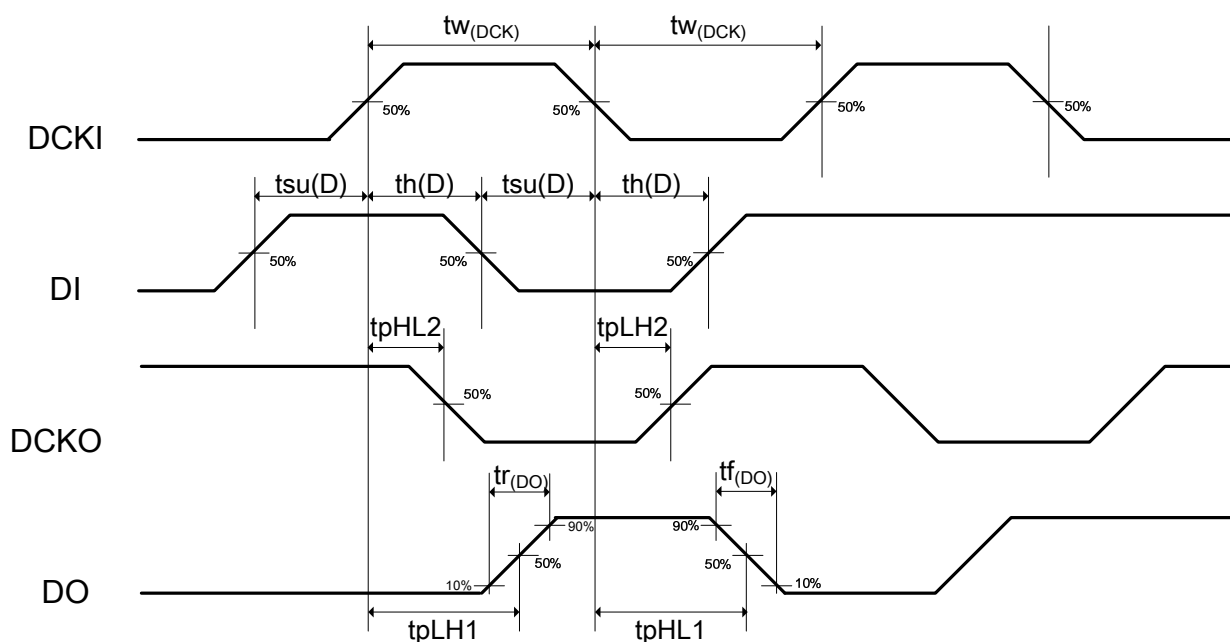
动态特性测试电路



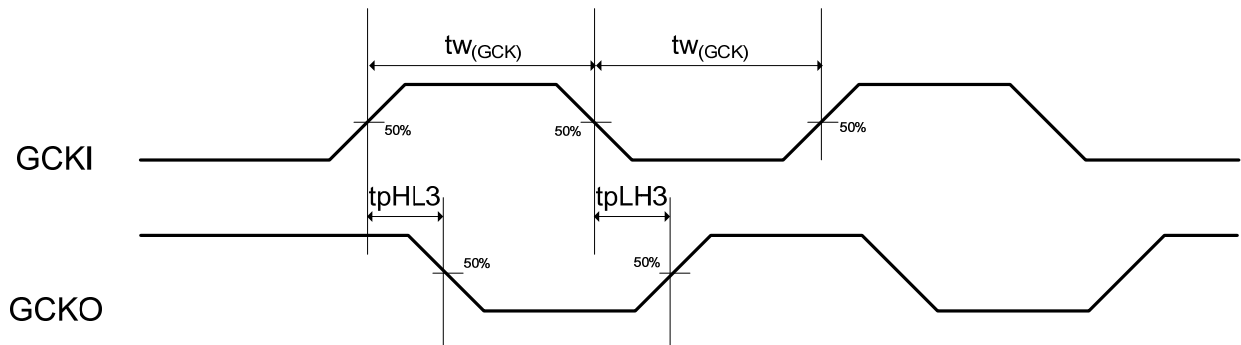
Switching Characteristics Test Circuit

时序图

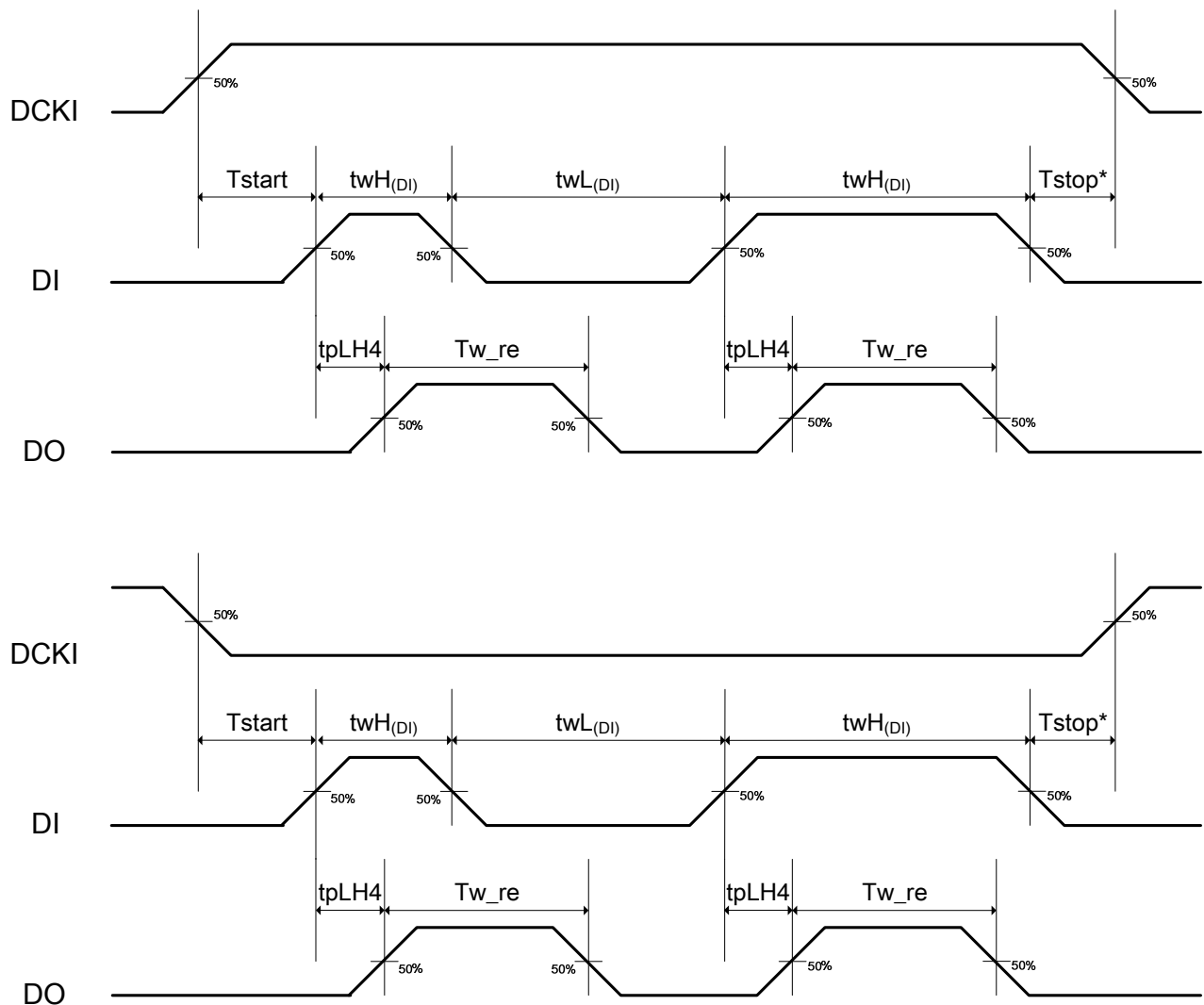
1. DCKI, DCKO - DI, DO



2. GCKI-GCKO



3. DCKI-DI & DI-DO @ Internal-latch control cycle



* T_{stop} (min.) for cascade application must > "200ns + N*10ns" (N is the cascade number of drivers)

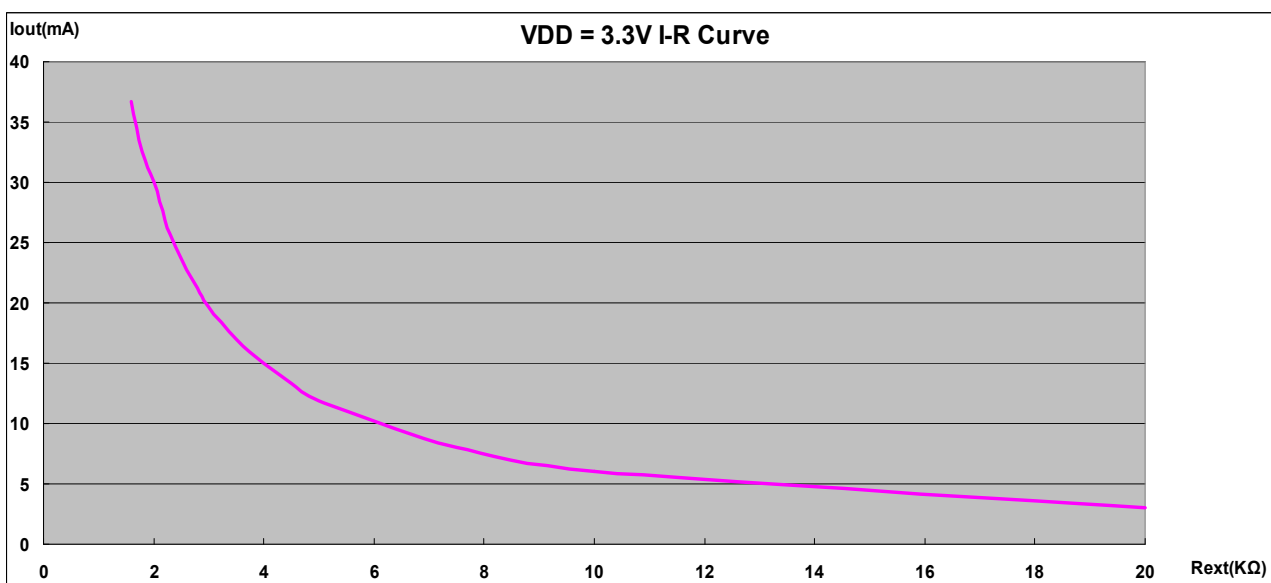
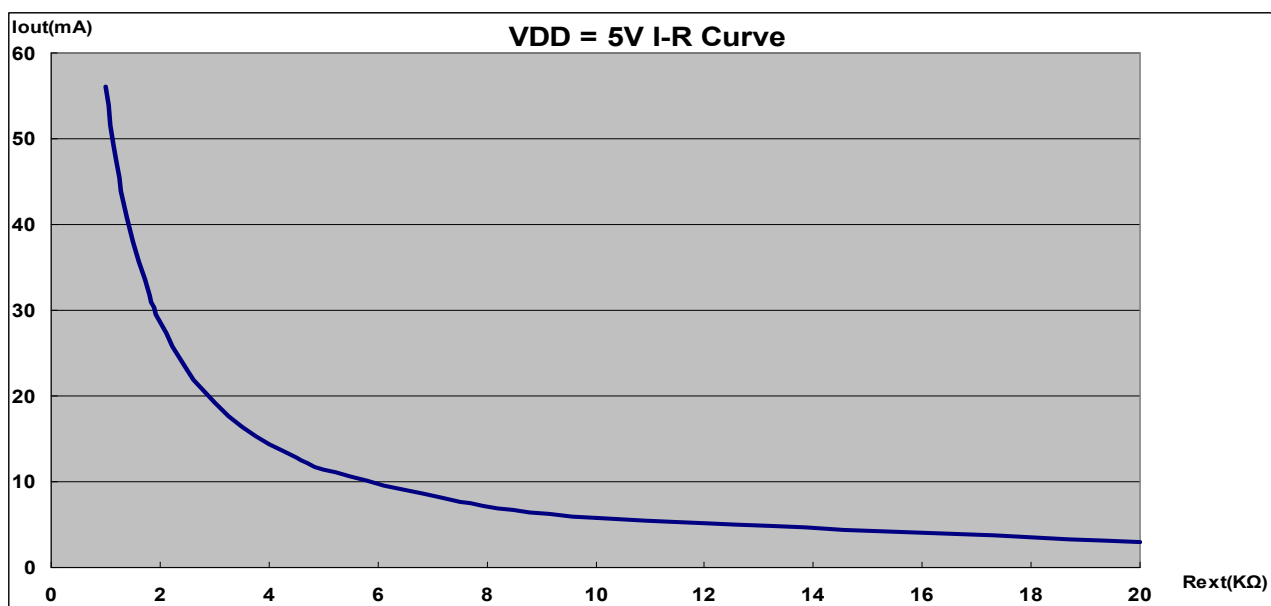
调整输出电流

恒流的大小是被跨接于 REXT 和地的外接电阻所决定。电流值的大小可以用以下的公式做计算：

$$I_{out}(mA) = \frac{58.24}{R_{ext} (K\Omega)}$$

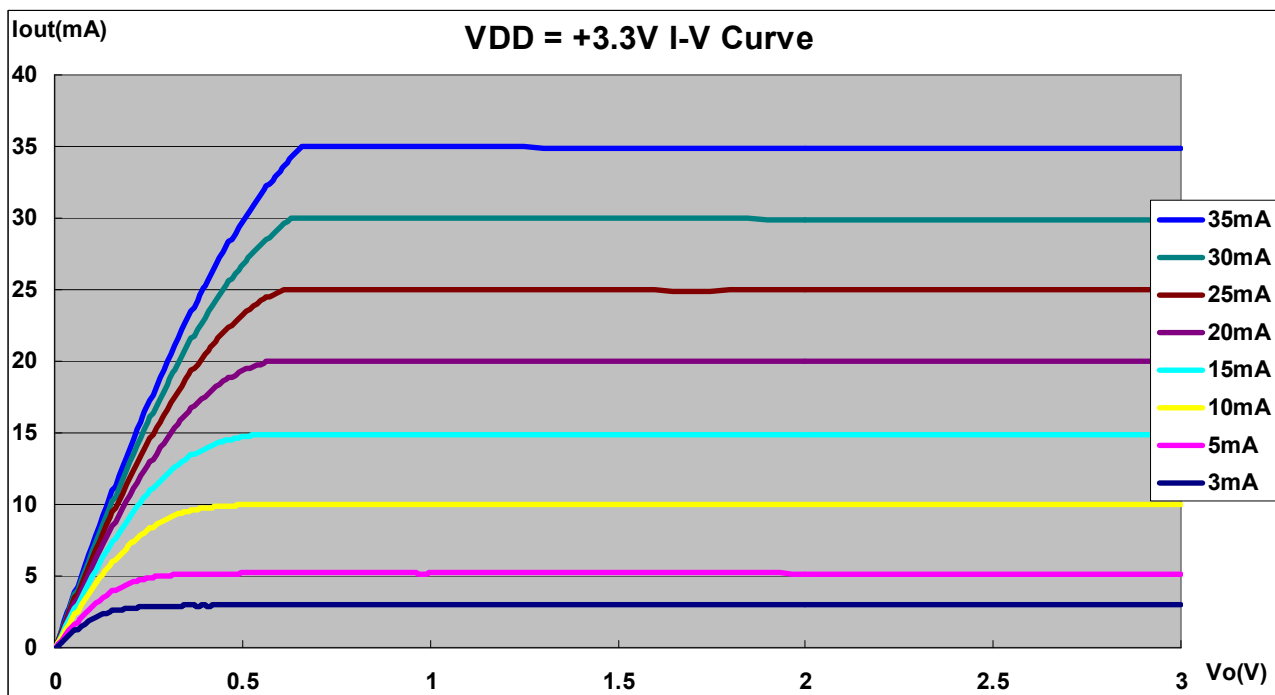
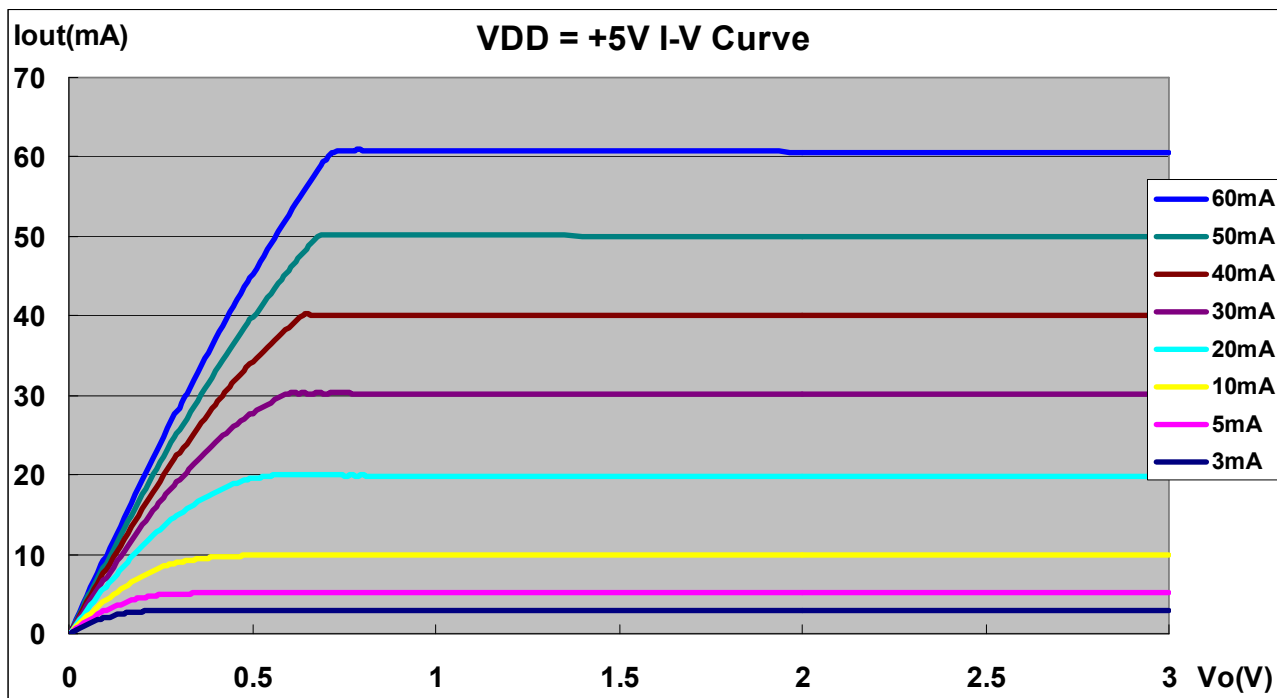
R_{ext} 是一跨接于 REXT 和 GND 之间的电阻。

例如：I_{out} 是约 25mA 当 R_{ext}=2.34 KΩ 和 I_{out} 是约 3mA 当 R_{ext}=19.5 KΩ



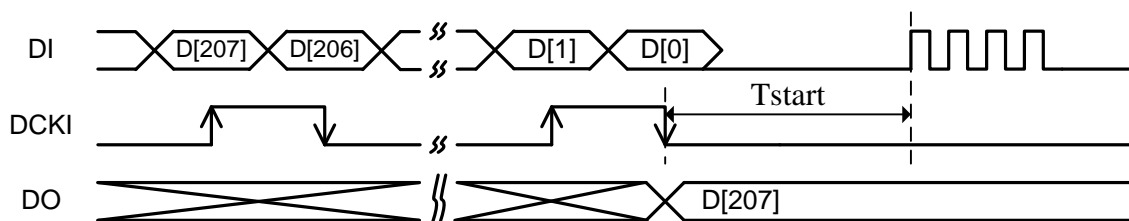
恒流输出特性

输出电流几乎不会受到输出电压的影响而有所变动,因此 MY9221 在不同的 LED 正向电压下仍能够提供精准的恒流输出,下图描述了如何设计适当的输出电压以达到最佳的恒流特性。



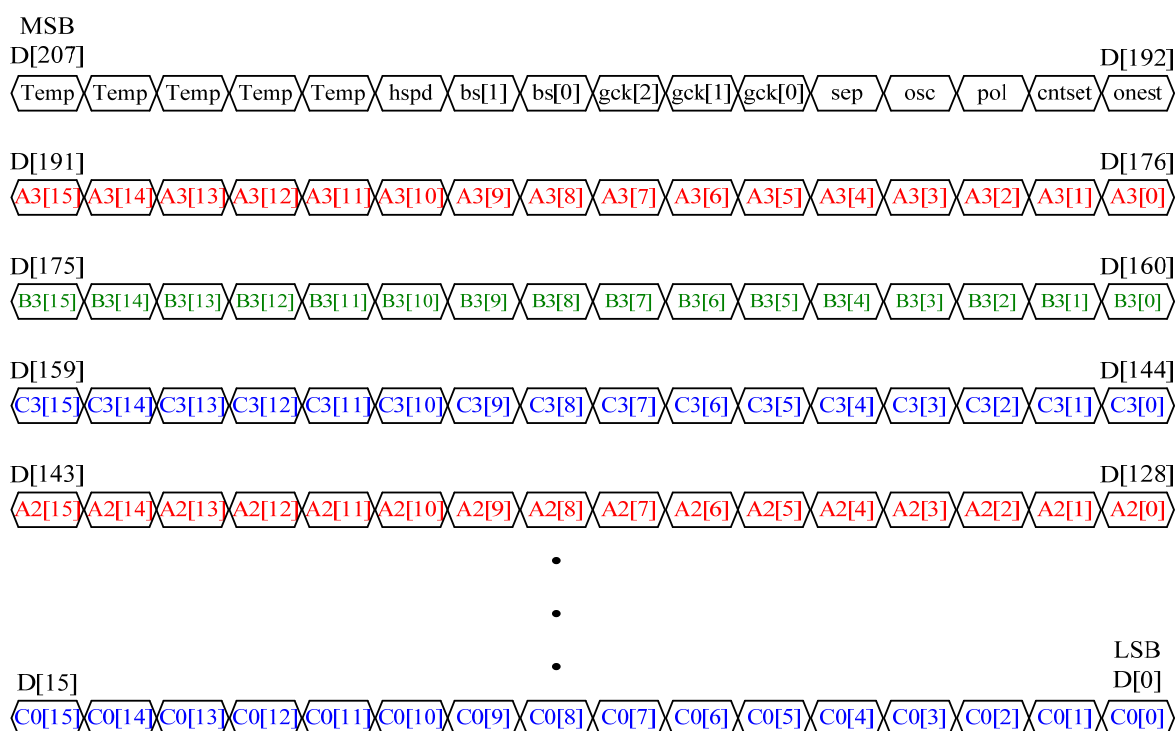
串序资料传送介面

MY9221 利用资料时钟信号 (DCKI) 的上升缘与下降缘撷取 DI 脚位传送进来的资料，当所需的资料被传送进 208-bit 移位暂存器后，可藉由内部栓锁功能将资料储存至栓锁器，串序资料可经由 DO 脚位在资料时钟信号 (DCKI) 的上升缘与下降缘传送至下一级芯片。



资料格式

16-bit 命令资料加上 12x16-bit 灰阶资料，总资料长度为 208-bit，传送方式为 MSB 先进。



16-bit 命令资料描述 (CMD[15:0]) = D[207:192])

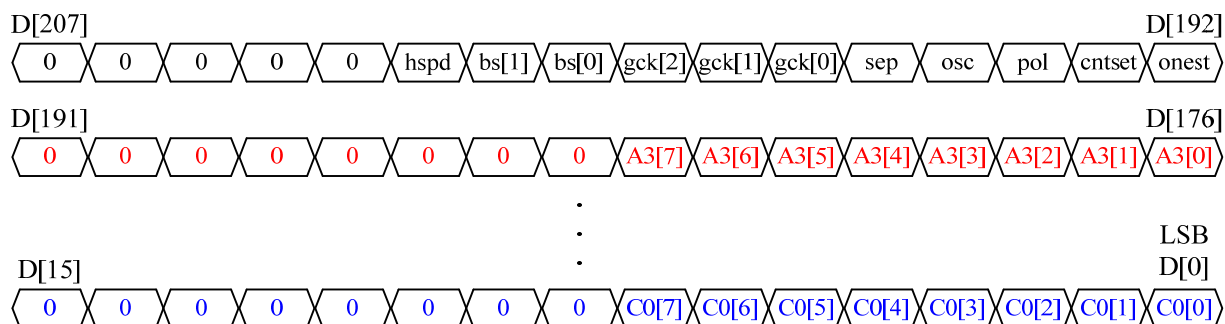
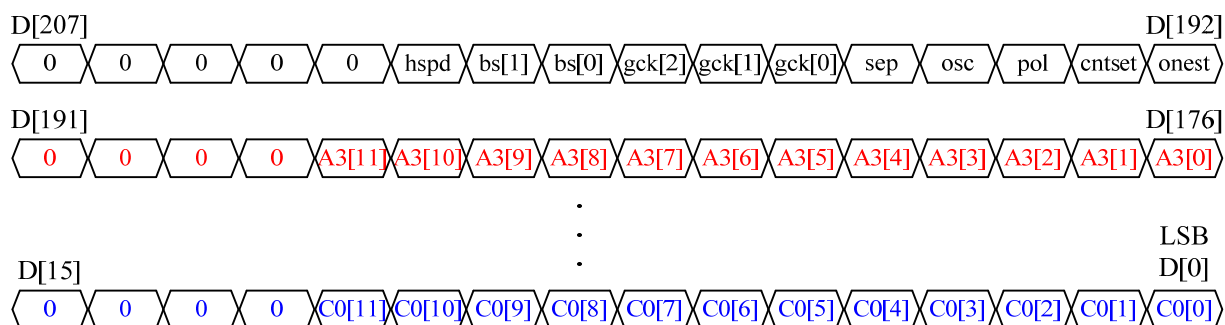
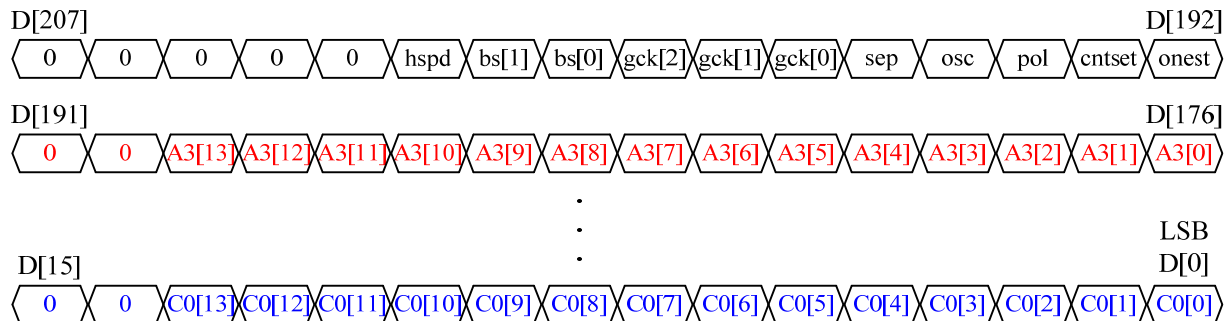
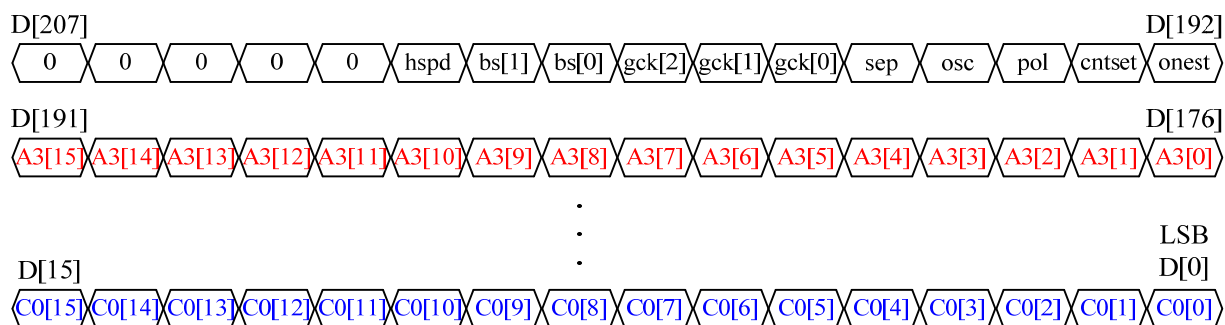
BIT No.	名称	描述	功能
CMD[15:11]	Temp	保留位元	请都填 “0”
CMD[10]	hspd	输出电流反应速度选择	0: 输出电流慢速模式 1: 输出电流快速模式
CMD[9:8]	bs[1:0]	灰阶选择	00: 8-bit 灰阶应用 01: 12-bit 灰阶应用 10: 14-bit 灰阶应用 11: 16-bit 灰阶应用
CMD[7:5]	gck[2:0]	内置灰阶时钟频率选择	000: 原始频率 001: 原始频率/2 010: 原始频率/4 011: 原始频率/8 100: 原始频率/16 101: 原始频率/64 110: 原始频率/128 111: 原始频率/256 若 CMD[3]=1, 请将 CMD[7:5] 设定为 000
CMD[4]	sep	输出电流打散与不打散选择	0: MY-PWM 输出波行(与传统 PWM 输出波型相似) 1: APDM 输出波型(打散)
CMD[3]	osc	灰阶时钟频率来源选择	0: 内部震荡器 (~8.6MHz) (internal GCK source) 1: 由外部 GCKI 脚位传送 (external GCK source)
CMD[2]	pol	输出电流极性选择	0: 当做是 LED 驱动器 1: 当做是 MY-PWM/APDM 产生器
CMD[1]	cntset	自动更换画面模式或强制更换画面模式选择	0: 自动更换画面模式 free running mode 1: 强制更换画面模式 (当命令资料 osc = “1” 时才能使用)
CMD[0]	onest	画面重复显示或只亮一次选择	0: 画面重复显示模式 1: 画面只亮一次模式(One-shot mode) (当命令资料 cntset = “1” 时才能使用)

注意：关于命令资料的设定方式请参考第 18 页。

灰阶资料格式

每通道固定 16-bit 灰阶长度(D[191:176], D[175:160], D[159:144], D[143:128]...D[15:0])

bs[1:0]	描述	灰阶资料格式
00	8-bit 灰阶应用	请在高位元前 8-bit 填上“0”，并将 8-bit 灰阶资料填在低位元的 8-bit 位置。
01	12-bit 灰阶应用	请在高位元前 4-bit 填上“0”，并将 12-bit 灰阶资料填在低位元的 12-bit 位置。
10	14-bit 灰阶应用	请在高位元前 2-bit 填上“0”，并将 14-bit 灰阶资料填在低位元的 14-bit 位置。
11	16-bit 灰阶应用	请直接填上 16-bit 灰阶资料。

8-bit 灰阶应用的资料格式 (命令资料 bs[1:0]=00)

12-bit 灰阶应用的资料格式 (命令资料 bs[1:0]=01)

14-bit 灰阶应用的资料格式 (命令资料 bs[1:0]=10)

16-bit 灰阶应用的资料格式 (命令资料 bs[1:0]=11)


内部栓锁时序图

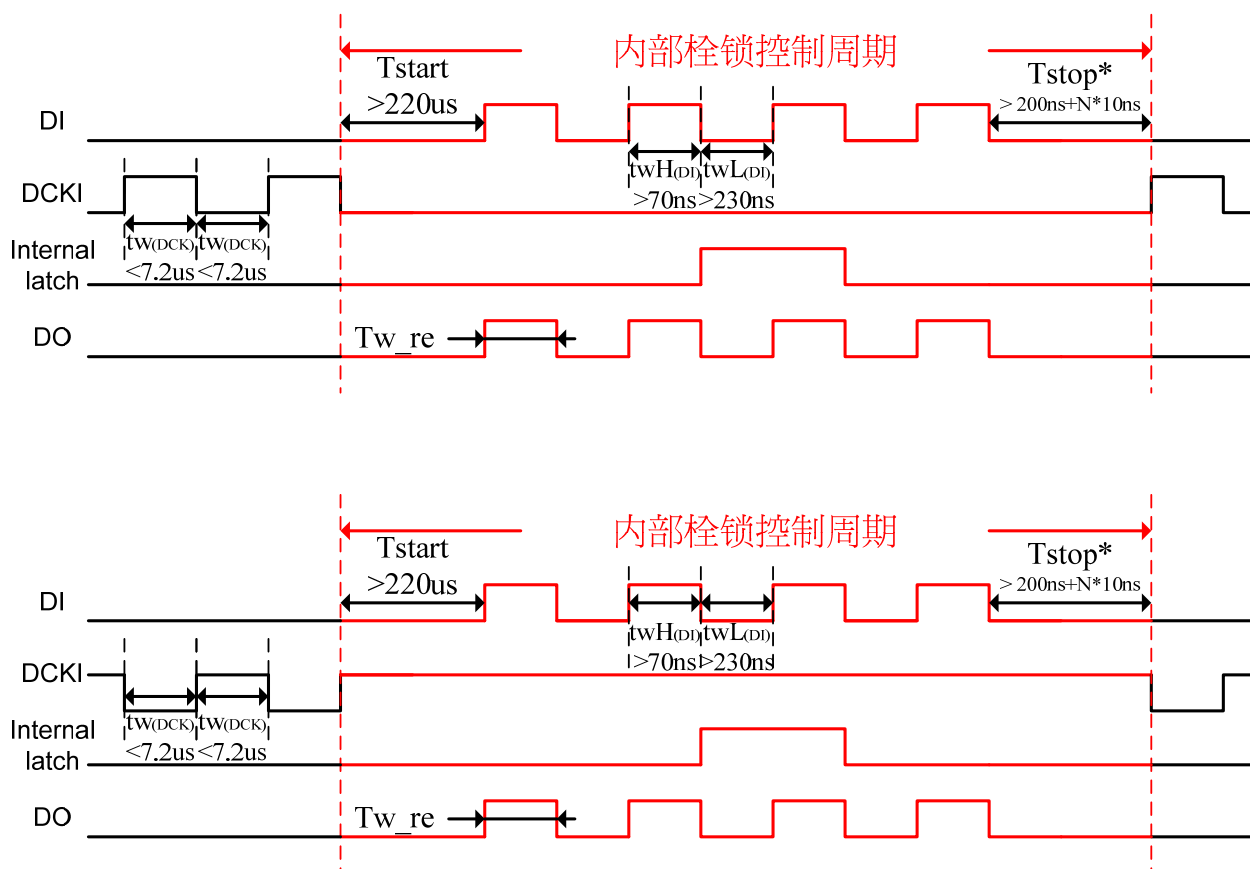
内部栓锁的控制步骤如下：（请注意相关时间的规范）

步骤 1：当所有灰阶资料都传送至移位暂存器后，保持 DCKI 在一固定准位(无论高准位或低准位皆可)并维持超过 220us。(Tstart > 220us)

步骤 2：传送 4 个 DI 讯号。(twH(DI)>70ns, twL(DI)> 230ns, Tstop*)

步骤 3：灰阶资料将会在第 2 个 DI 信号的下降缘被栓锁至栓锁器。

步骤 4：在第 4 个 DI 信号的下降缘后，使 Tstop* > 200ns 即可再传送新的灰阶资料。



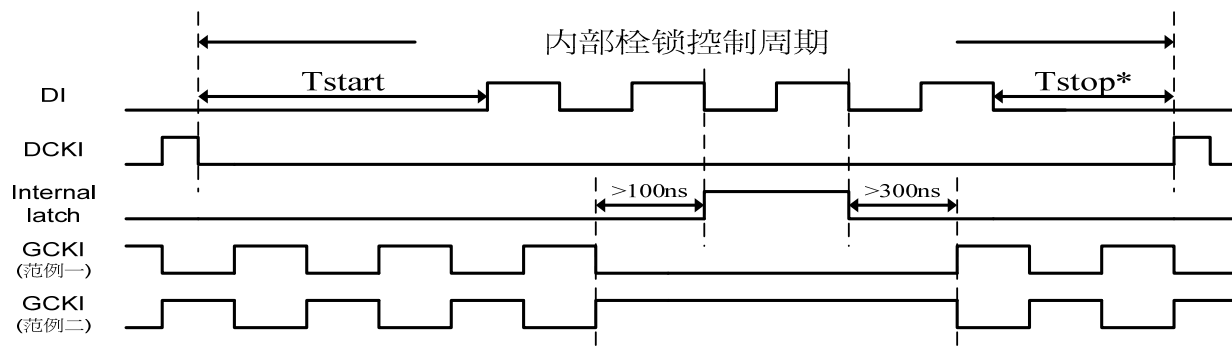
注意：在串接应用下，Tsop(最小值)必须大于 $[200ns + N \times 10ns]$ ，其中 N 为芯片串接数目。

波型时序重置(Pulse retiming)

在内部栓锁控制周期时，MY9221 会使用波型时序重置的技术确保 Tw_re = 90ns@VDD=5V，如此可避免输出讯号经过长串后的衰减。

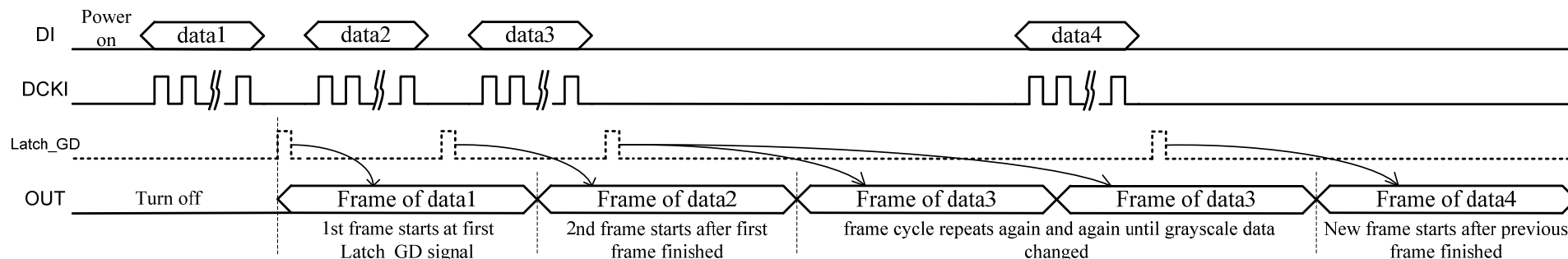
外部灰阶时钟信号的使用规范(命令资料 CMD[3]=OSC=“1”)

当命令资料 CMD[3]=“1” 时，使用者便能藉由 GCKI 接脚来传送外部灰阶时钟信号，其中灰阶时钟信号的上升缘与下降缘，皆会致使内部计数器计数，芯片会自动比较灰阶资料与计数器的计数值以决定是否要输出电流，当灰阶资料大于计数值时即输出电流，小于计数值则关闭。外部灰阶时钟频率无法藉由 CMD[7:5]作调整，请将 CMD[7:5]设定为 000。下图显示出使用外部灰阶时钟信号时的一些时序规定：



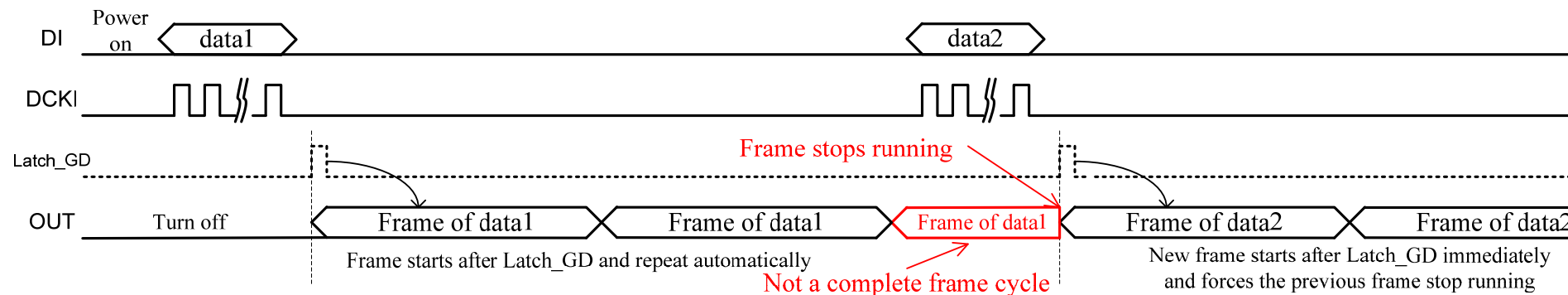
自动更换画面模式说明(Free-Run Mode, 命令资料 cntset=0)

开机后的第一个画面会与第一个 Latch_GD 信号同步，其中 Latch_GD 信号为灰阶资料的栓锁信号，当画面资料都没改变时，芯片会自动重复这个画面直到新的画面资料传送至芯片，新资料的新画面的开始会自动等待前一个旧的画面完整呈现完后才开始，如此可确保画面的完整性。



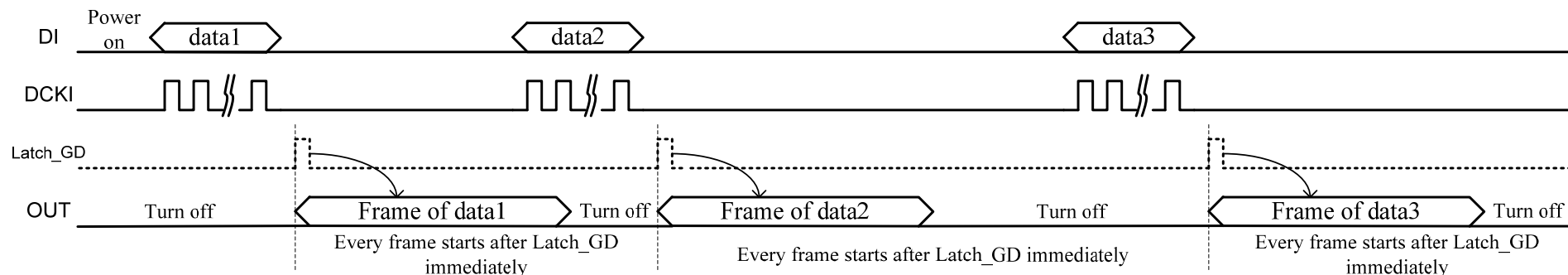
强制更换画面模式说明(命令资料 osc=1 & cntset=1 & onest=0)

开机后的第一个画面会与第一个 Latch_GD 信号同步，其中 Latch_GD 信号为灰阶资料的栓锁信号，假设没有新的画面资料传送进来，则画面会重复显示，直到新的画面资料传送至芯片并栓锁，此时芯片则会立即中断旧的画面改跑新的画面。



一笔亮一次模式说明(One-Shot Mode, 命令资料 osc=1 & cntset=1 & onest=1)

开机后的第一个画面会与第一个 Latch_GD 信号同步，其中 Latch_GD 信号为灰阶资料的栓锁信号，每一笔画面资料只会呈现一次完整的周期，假设没有新的画面资料传送进来，则在呈现一次完整周期之后画面即会关闭，直到新的画面资料传送至芯片并开始显示新的画面。假使旧的画面资料还没呈现完即传送当新的画面资料并栓锁后，芯片则会立即中断旧的画面改跑新的画面。



不同应用条件下的命令资料设定方式

1. 采用内置灰阶时钟频率

灰阶	CMD[15:11]	CMD[10]	CMD[9:8]	CMD[7:5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]	画面刷新率 (Hz)
	temp	hspd	bs[1:0]	gck[2:0]	sep	osc	pol	cntset	onest	
16-bit	00000	d	11	000	1	0	d	0	0	1,001
16-bit	00000	d	11	011	1	0	d	0	0	125
14-bit	00000	d	10	000	1	0	d	0	0	4,004
14-bit	00000	d	10	011	1	0	d	0	0	500
12-bit	00000	d	01	000	1	0	d	0	0	16,016
12-bit	00000	d	01	100	1	0	d	0	0	1,001
12-bit	00000	d	01	101	1	0	d	0	0	250
8-bit	00000	d	00	000	1	0	d	0	0	256,250
8-bit	00000	d	00	100	1	0	d	0	0	16,016
8-bit	00000	d	00	101	1	0	d	0	0	4,004
8-bit	00000	d	00	111	1	0	d	0	0	1,001
8-bit	00000	d	00	000	0	0	d	0	0	32,031
8-bit	00000	d	00	011	0	0	d	0	0	4,004

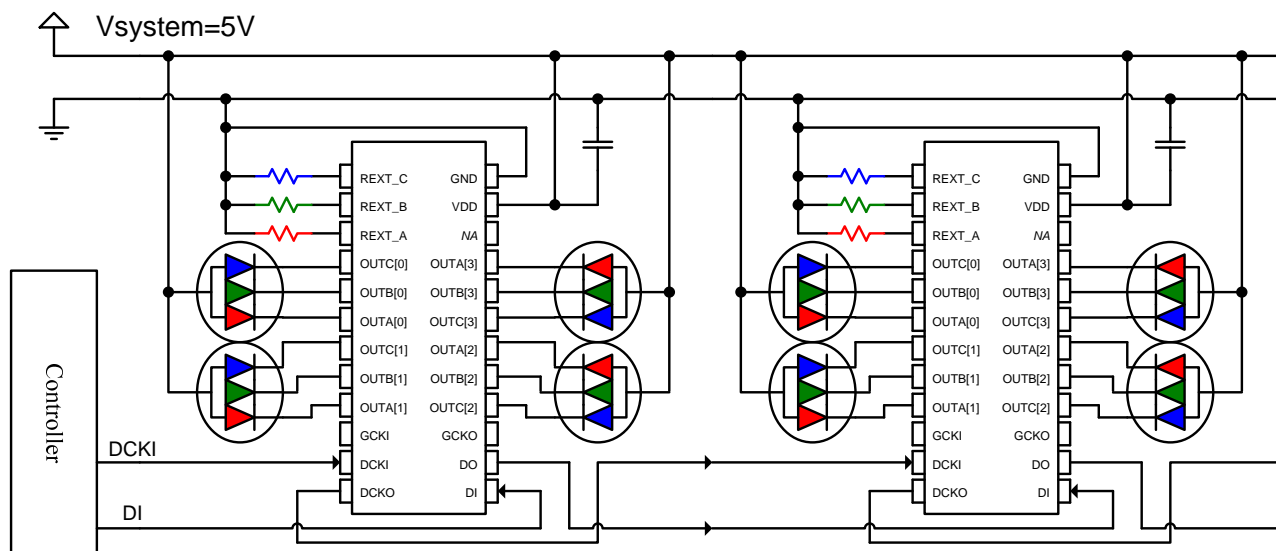
2. 采用外部灰阶时钟频率

灰阶	CMD[15:11]	CMD[10]	CMD[9:8]	CMD[7:5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]	GCKI Freq. (MHz)	画面刷新率 (Hz)
	temp	hspd	bs[1:0]	gck[2:0]	sep	osc	pol	cntset	onest		
16-bit	00000	d	11	000	1	1	d	0	0	10	2,441
16-bit	00000	d	11	000	1	1	d	0	0	2	488
14-bit	00000	d	10	000	1	1	d	0	0	10	9,766
14-bit	00000	d	10	000	1	1	d	0	0	2	1,953
12-bit	00000	d	01	000	1	1	d	0	0	10	39,063
12-bit	00000	d	01	000	1	1	d	0	0	2	7,813
8-bit	00000	d	00	000	1	1	d	0	0	10	625,000
8-bit	00000	d	00	000	1	1	d	0	0	2	125,000
8-bit	00000	d	00	000	0	1	d	0	0	10	78,125
8-bit	00000	d	00	000	0	1	d	0	0	2	15,625

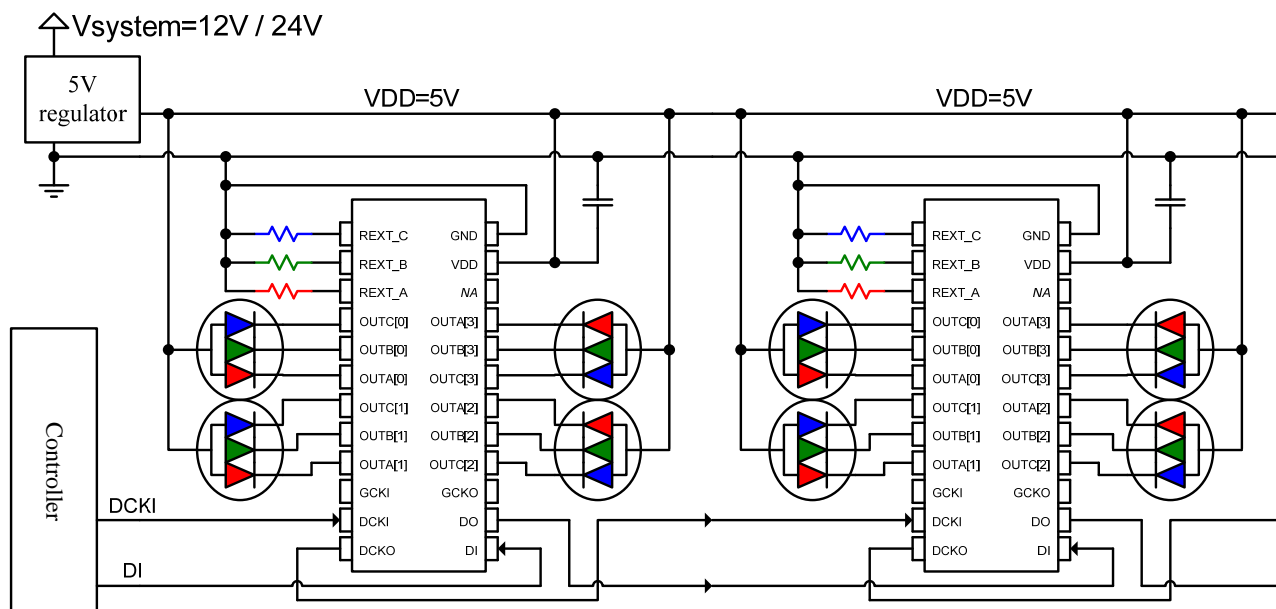
注意. “d” 表示 0 或 1 皆可. (依应用决定)

应用线路图

当LED驱动芯片工作在系统工作电压为5V时，且使用芯片内部灰阶时钟以及芯片内部自我锁存产生功能



当LED驱动芯片工作在系统工作电压为12V/24V时，且使用芯片内部灰阶时钟以及芯片内部自我锁存产生功能



若是护栏管或点光源应用，建议在输入及输出端加上电阻，以保护当接头热插拔时对芯片造成伤害

封装散热功率

当 12 个输出被打开时，芯片的实际消耗功率是以下的公式决定：

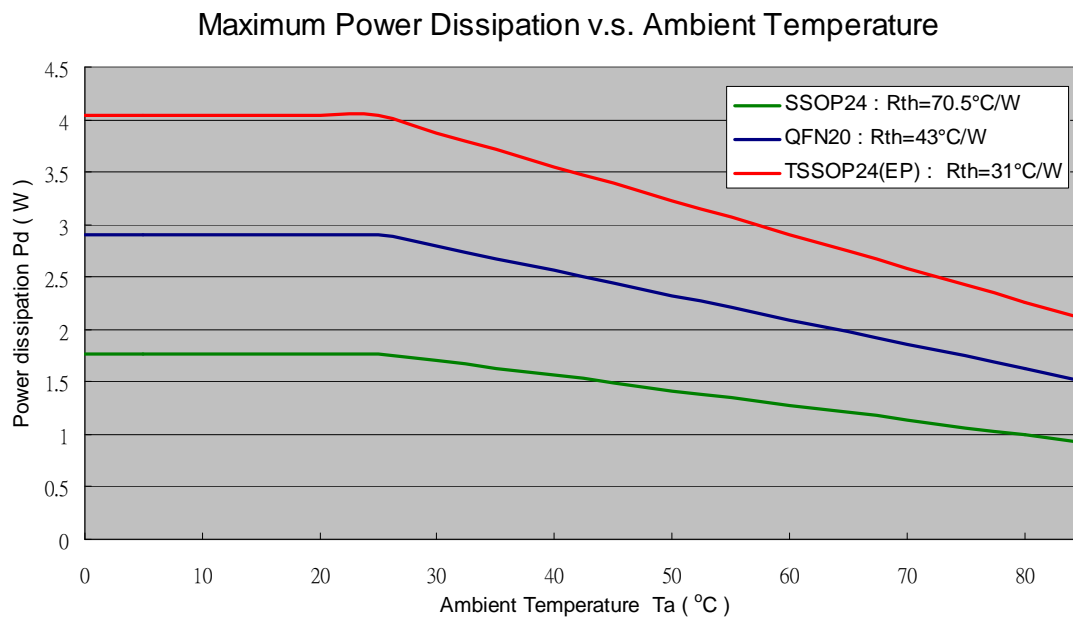
(V_{out} 表示在电流开启时的输出端电压；Duty 表示电流开启的时间比例)

$$PD (practical) = V_{DD} \times I_{DD} + V_{outA3} \times I_{outA3} \times DutyA3 + \dots + V_{outC0} \times I_{outC0} \times DutyC0$$

为了在安全的条件下操作，芯片的功率消耗必须小于最大容许功率，而这功率是由环境温度以及封装型式所决定，最大功率消耗的公式如下：

$$PD (max) = \frac{T_j(max)(^{\circ}C) - T_a(^{\circ}C)}{R_{th(j-a)}(^{\circ}C/Watt)}$$

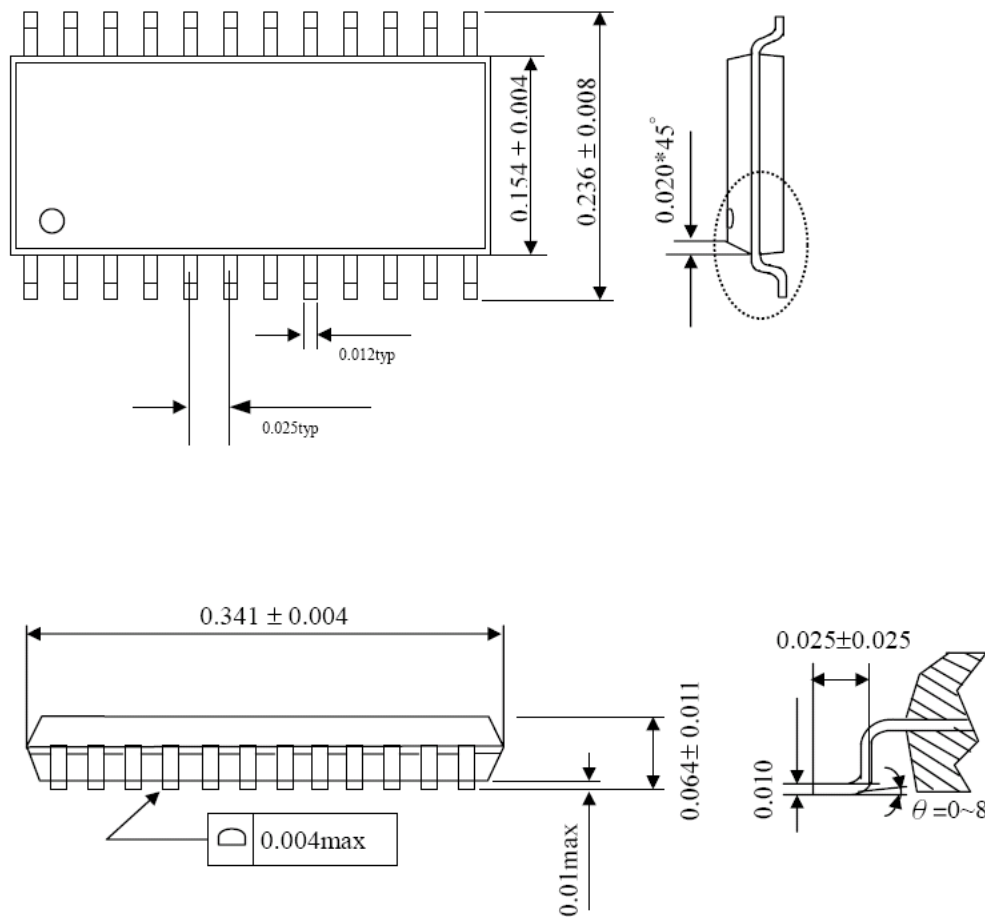
PD(最大值)会随着环境温度上升而下降，因此需要根据封装型式和环境温度小心的设计操作条件，下面的图表描述了三种不同封装在最大消耗功率和环境温度的关系：



封装示意图

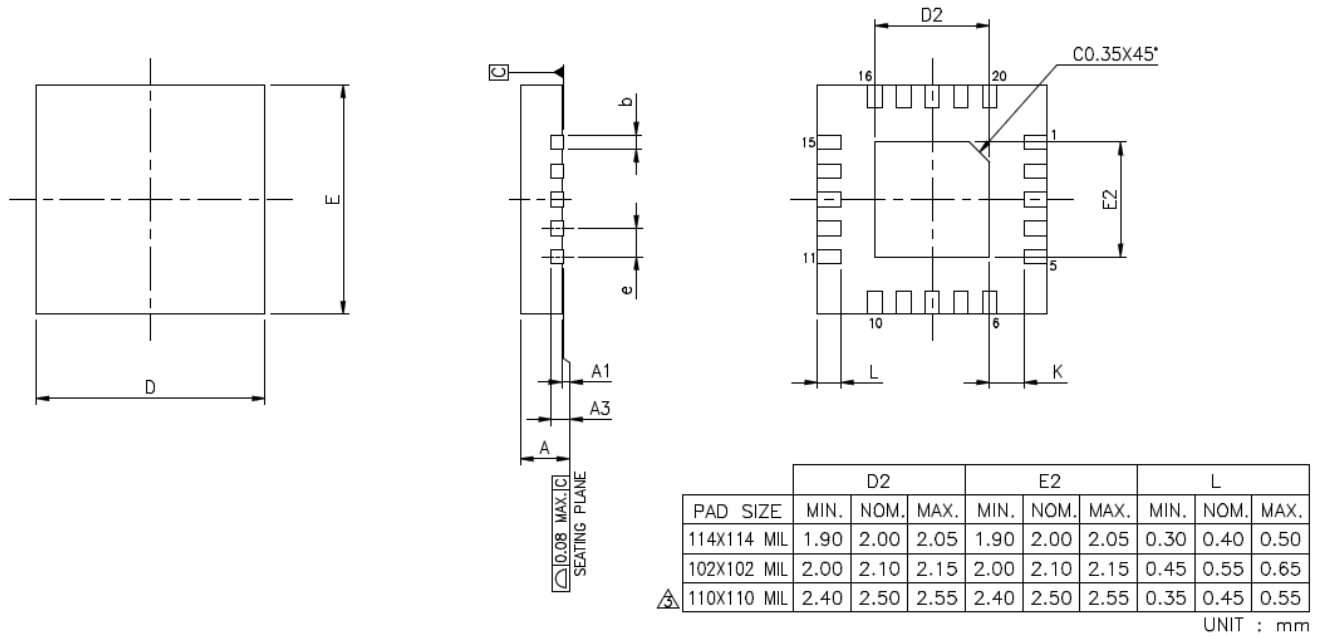
Unit: inch

SSOP24-150mil-0.635mm



封装示意图

QFN20-4mmx4mm

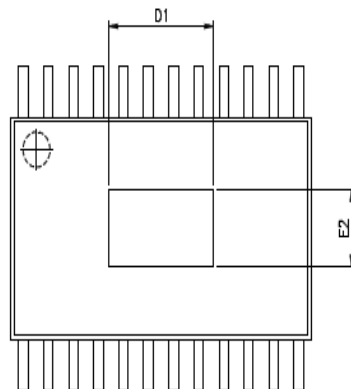
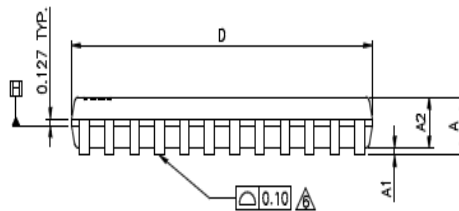
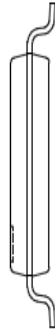
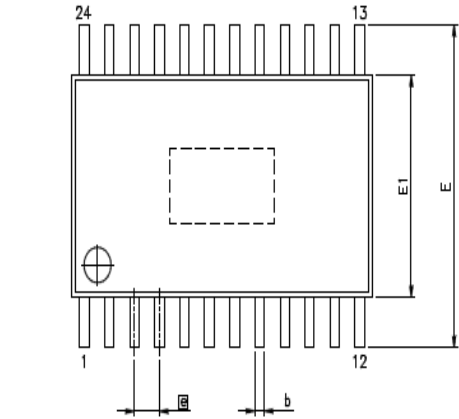


SYMBOLS	MIN.	NOM.	MAX.
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.203 REF.		
b	0.20	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC.		
K	0.20	—	—

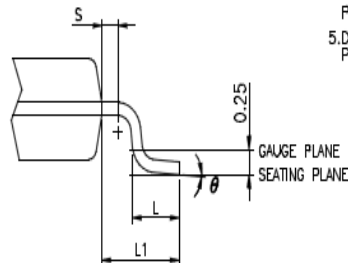
UNIT : mm

封装示意图

TSSOP24-173mil-0.65mm (EP)



THERMALLY ENHANCED VARIATIONS ONLY



VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

SYMBOLS	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.00	—	0.15
A2	0.80	1.00	1.05
b	0.19	—	0.30
D	7.70	7.80	7.90
E1	4.30	4.40	4.50
E	6.40 BSC		
e	0.65 BSC		
L1	1.00 REF		
L	0.45	0.60	0.75
S	0.20	—	—
θ	0°	—	8°

THERMALLY ENHANCED DIMENSIONS (SHOWN IN MM)

PAD SIZE	E2		D1	
	MIN.	MAX.	MIN.	MAX.
112X18E	2.28	2.85	3.70	4.62

NOTES:

1. JEDEC OUTLINE :
STANDARD : MO-153 AD REV.F
THERMALLY ENHANCED : MO-153 ADT REV.F
2. DIMENSION 'D' DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 PER SIDE.
3. DIMENSION 'E1' DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 PER SIDE.
4. DIMENSION 'b' DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE 'b' DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND ADJACENT LEAD IS 0.07 MM.
5. DIMENSIONS 'D' AND 'E1' TO BE DETERMINED AT DATUM PLANE B.

这里列出的产品是设计用于普通电子产品的应用，例如电器、可视化设备、通信产品等等。因此，建议这些产品不应该用于医疗设施、手术设备、航天器、核电控制系统、灾难/犯罪预防设备等类似的设备。这些产品的错误使用可能直接或间接导致威胁到人们的生命或者导致伤害或财产损失。

明阳半导体将不负任何因这些产品的错误使用而导致的责任。任何人若购买了这里所描述的任何产品，并含有上述意图或错误使用，应自负全责与赔偿。明阳半导体与它的通路商及所有管理者和员工必捍卫己方抗拒所有索赔、诉讼，及所有因上述意图或操作而衍生的损坏、成本、及费用。