

Sprawozdanie nr 5

Układy Elektroniczne – Laboratoria

Temat:

C-4. Logika sekwencyjna



WFİS AGH

11.06.2021

Łukasz Wajda

1. Cel ćwiczenia

Celem ćwiczenia jest zaprojektowanie układów sekwencyjnych oraz sprawdzenie ich działania w praktyce za pomocą matrycy logicznej zasilanej napięciem pojedynczym +5[V] względem masy.

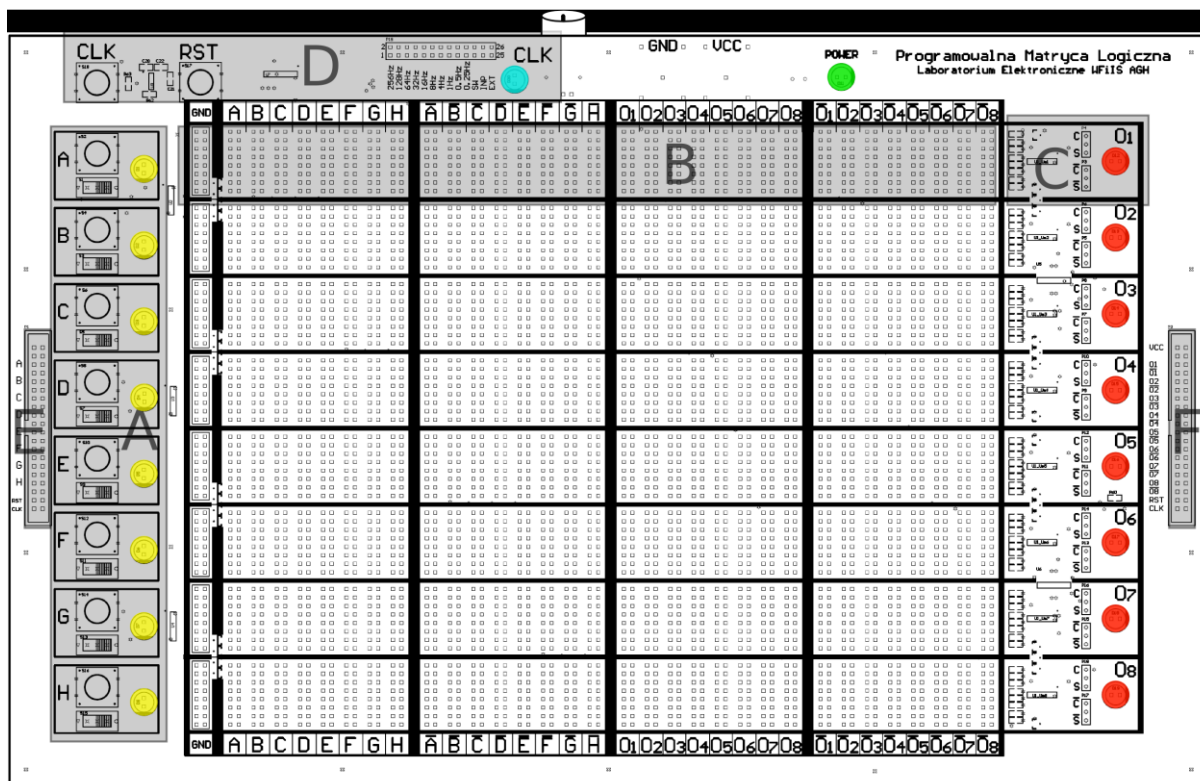
2. Przebieg ćwiczenia

- A. Zaprojektowanie 4-bitowego licznika synchronicznego modulo 14 liczącego w górę.
- B. Zaprojektowanie 3-bitowego licznika synchronicznego z wejściem sterującym A.

3. Wyniki opracowanie

3.1. Licznik modulo 11 (4-bitowy)

Korzystając z 4 wyjść matrycy zaprojektowano licznik synchroniczny modulo 14 liczący w górę. Licznik liczy w kodzie Gray'a. Do jego budowy wykorzystano wyjścia O₄– O₁ matrycy pracujące w trybie sekwencyjnym z przerzutnikiem typu D na wyjściu. Wszystkie stany poza zakresem licznika (14 i 15) potraktowano jako nadmiarowe – nie wystąpią nigdy więc stany następne, do których one prowadzą mogą być dowolne (w Tabeli 1 oznaczone jako x). Licznik zmontowano na matrycy logicznej, której schemat przedstawiono na poniższym rysunku.



Rys.1. Budowa programowalnej matrycy logicznej

Matryca umożliwia bezpośrednią implementację funkcji logicznych w postaci sumy iloczynów. Na każde wyjście przypada 8 bramek AND, których wyjścia są podpięte do jednej bramki OR. Każdy kolejny wiersz symbolizuje jedną bramkę AND, a jej wejścia zaznaczono zworkami w odpowiednich miejscach. Jeżeli w danym bloku logicznym któraś bramka AND powinna pozostać wyłączona należy wpiąć w tym rzędzie zworkę w kolumnie oznaczonej GND – powoduje to wyłączenie bramki AND.

W tabeli prawdy zapisano wszystkie stany licznika ($O_1 - O_4$) oraz odpowiadające im stany następne ($O_1' - O_4'$).

Tabela 1. Tabela prawdy (stanów)

Stan	O_4	O_3	O_2	O_1		O_4'	O_3'	O_2'	O_1'
0	0	0	0	0		0	0	0	1
1	0	0	0	1		0	0	1	1
2	0	0	1	1		0	0	1	0
3	0	0	1	0		0	1	1	0
4	0	1	1	0		0	1	1	1
5	0	1	1	1		0	1	0	1
6	0	1	0	1		0	1	0	0
7	0	1	0	0		1	1	0	0
8	1	1	0	0		1	1	0	1
9	1	1	0	1		1	1	1	1
10	1	1	1	1		1	1	1	0
11	1	1	1	0		1	0	1	0
12	1	0	1	0		1	0	1	1
13	1	0	1	1		0	0	0	0
14	1	0	0	1		X	X	X	X
15	1	0	0	0		X	X	X	X

Jak widać licznik zależy tylko od swojego poprzedniego stanu. Stany przechodzą cyklicznie od 0 do 13 ($0 \rightarrow 13$), a stany 14 i 15 nigdy nie występują.

Następnie dokonano minimalizacji funkcji logicznych dla każdego z wyjść $O_1' - O_4'$ wykorzystując metodę tablic Karnaugh'a. Gdy pomagało to w minimalizacji, znaki x traktowane były jako „1”, w przeciwnym wypadku reprezentowały „0”.

I. Tablica Karnaugh'a i funkcja logiczna dla O_1'

$O_4 O_3 \backslash O_2 O_1$	00	01	11	10
00	1	1	0	0
01	0	0	1	1
11	1	1	0	0
10	x	x	0	1

Zatem $O_1' = O_4 \bar{O}_3 O_2 \bar{O}_1 + \bar{O}_4 O_3 O_2 + O_4 \bar{O}_2 + \bar{O}_3 \bar{O}_2$.

II. Tablica Karnaugh'a i funkcja logiczna dla O_2'

$O_4 O_3 \backslash O_2 O_1$	00	01	11	10
00	0	1	1	1
01	0	0	0	1
11	0	1	1	1
10	x	x	0	1

Zatem $O_2' = O_2 \bar{O}_1 + \bar{O}_4 \bar{O}_3 O_2 + O_4 O_3 O_2 + \bar{O}_3 \bar{O}_2 O_1 + O_4 \bar{O}_2 O_1$.

III. Tablica Karnaugh'a i funkcja logiczna dla O_3'

$O_4 O_3 \backslash O_2 O_1$	00	01	11	10
00	0	0	0	1
01	1	1	1	1
11	1	1	1	0
10	x	x	0	0

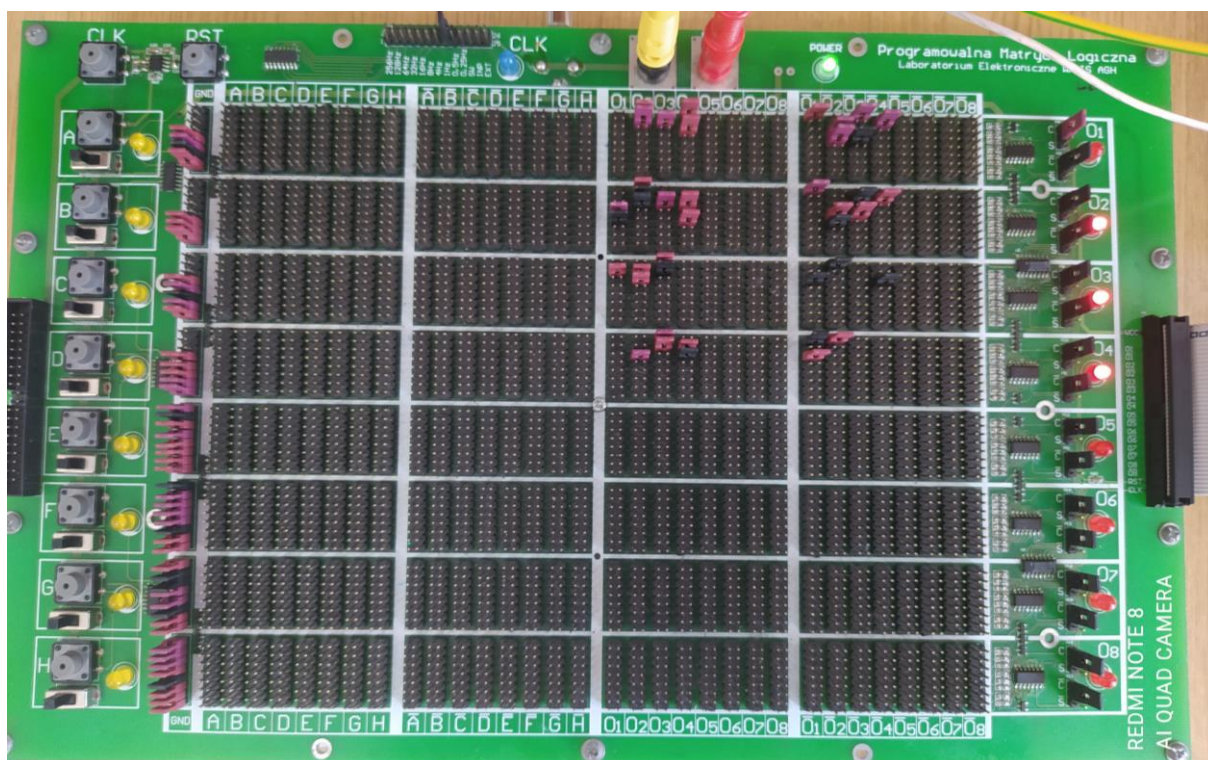
Zatem $O_3' = O_3 \bar{O}_2 + O_3 O_2 O_1 + \bar{O}_4 O_2 \bar{O}_1$.

IV. Tablica Karnaugh'a i funkcja logiczna dla O_4'

$O_4 O_3 \backslash O_2 O_1$	00	01	11	10
00	1	0	0	0
01	1	0	0	0
11	1	1	1	1
10	x	x	0	1

Zatem $O_4' = O_3 \bar{O}_2 \bar{O}_1 + O_4 O_3 + O_4 O_2 \bar{O}_1$.

Poniżej przedstawiono schemat realizacji licznika na programowalnej matrycy logicznej. Na rysunku schematycznych kolorem niebieskim zaznaczono miejsca gdzie wpinano zworki.



Rys.2a) Programowalna matryca logiczna z przedstawieniem implementacji licznika modulo 14 liczącego w górę.

	GND	A	B	C	D	E	F	G	H		\bar{A}	\bar{B}	\bar{C}	\bar{D}	\bar{E}	\bar{F}	\bar{G}	\bar{H}		O ₁	O ₂	O ₃	O ₄	O ₅	O ₆	O ₇	O ₈		\bar{O}_1	\bar{O}_2	\bar{O}_3	\bar{O}_4	\bar{O}_5	\bar{O}_6	\bar{O}_7	\bar{O}_8		
A																																						Wyjście O ₁
B																																						Wyjście O ₂
C																																						Wyjście O ₃
D																																						Wyjście O ₄
E																																						Wyjście O ₅
F																																						Wyjście O ₆
G																																						Wyjście O ₇
H																																						Wyjście O ₈

Rys.2b) Rysunek schematyczny programowalnej matrycy logicznej z przedstawieniem licznika modulo 14 liczącego w górę.

Po zaprojektowaniu licznika został on przetestowany i wyjścia były zgodne z Tabelą 1 co wskazuje na poprawność wykonanego ćwiczenia.

3.2. Licznik binarny 3-bitowy ze sterowaniem zewnętrznym

W kolejnym etapie zajęć laboratoryjnych zaprojektowano licznik synchroniczny z wejściem sterującym A, liczący w kodzie binarnym. Zgodnie ze szczegółami wersji nr 3 licznik dla wartości stanu wejściowego A równego 0 przechodził kolejno po wartościach parzystych $0 \rightarrow 2 \rightarrow 4 \rightarrow 6$. Wszystkie stany nadmiarowe prowadziły do 0. W przypadku stanu wejściowego A równego 1, licznik przechodził kolejno po wartościach nieparzystych $1 \rightarrow 3 \rightarrow 5 \rightarrow 7$.

Wszystkie stany nadmiarowe prowadziły do 1. Użyto jednego wejścia A matrycy jako wejścia sterującego oraz wyjść O1 – O3 pracujących w trybie sekwencyjnym z przerzutnikiem typu D na wyjściu.

Na początku zaprojektowano tabelę stanów (Tabela 2), gdzie dla każdego z 16 stanów słowa wejściowego $AO_3O_2O_1$ przypisano jednoznaczną wartość wszystkich 8 wyjść dekodera związanych z wyświetlaczem.

Tabela 2. Tabela prawdy (stanów)

Stan	A	O ₃	O ₂	O ₁		O ₃ '	O ₂ '	O ₁ '
0	0	0	0	0		0	1	0
1	0	0	0	1		0	0	0
2	0	0	1	0		1	0	0
3	0	0	1	1		0	0	0
4	0	1	0	0		1	1	0
5	0	1	0	1		0	0	0
6	0	1	1	0		0	0	0
7	0	1	1	1		0	0	0
8	1	0	0	0		0	0	1
9	1	0	0	1		0	1	1
10	1	0	1	0		0	0	1
11	1	0	1	1		1	0	1
12	1	1	0	0		0	0	1
13	1	1	0	1		1	1	1
14	1	1	1	0		0	0	1
15	1	1	1	1		0	0	1

Tym razem licznik zależy zarówno od swojego stanu poprzedniego jak i od wejścia sterującego A.

Następnie dokonano minimalizacji funkcji logicznych dla każdego z wyjść O_1' – O_3' wykorzystując metodę tablic Karnaugh'a. Gdy pomagało to w minimalizacji, znaki x traktowane były jako „1”, w przeciwnym wypadku reprezentowały „0”.

I. Tablica Karnaugh'a i funkcja logiczna dla O_1'

$AO_3 \backslash O_2 O_1$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	1	1	1	1

Zatem $O_1' = A$.

II. Tablica Karnaugh'a i funkcja logiczna dla O_2'

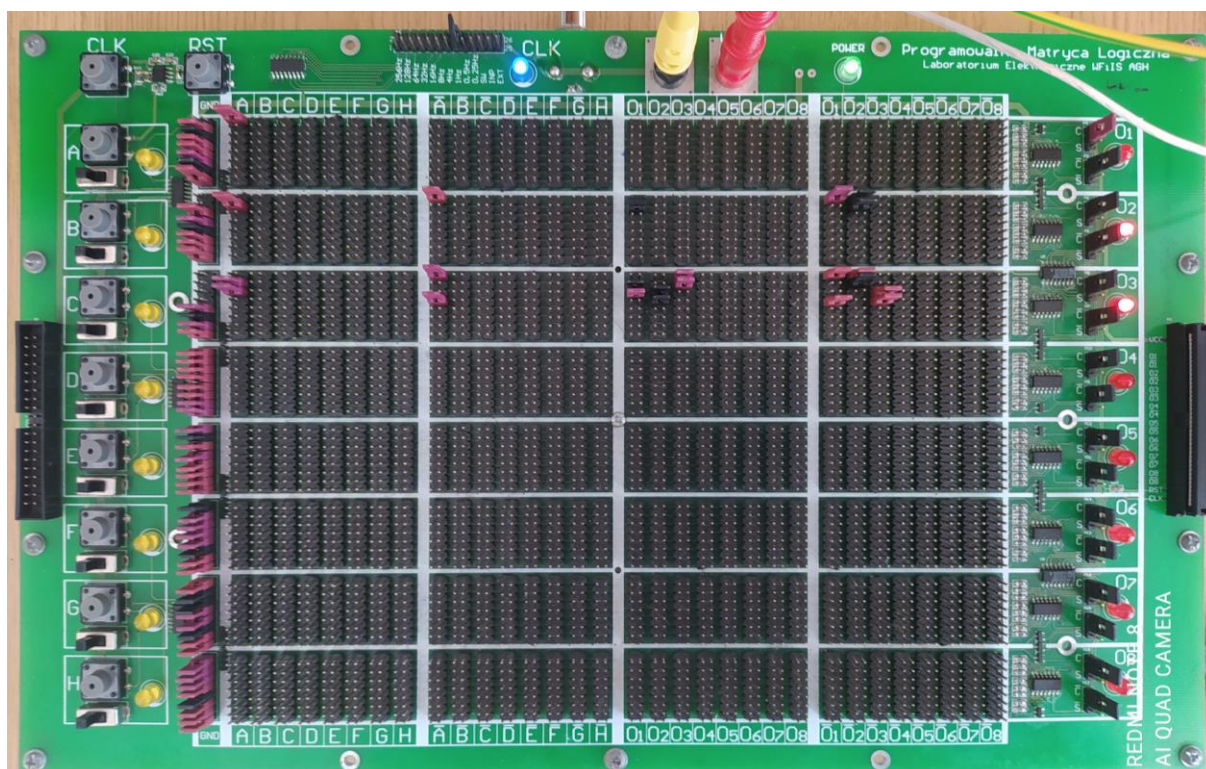
$AO_3 \backslash O_2 O_1$	00	01	11	10
00	1	0	0	0
01	1	0	0	0
11	0	1	0	0
10	0	1	0	0

Zatem $O_2' = \bar{A}\bar{O}_2\bar{O}_1 + A\bar{O}_2O_1$.

III. Tablica Karnaugh'a i funkcja logiczna dla O_3'

$AO_3 \backslash O_2 O_1$	00	01	11	10
00	0	0	0	1
01	1	0	0	0
11	0	1	0	0
10	0	0	1	0

Zatem $O_3' = \bar{A}O_3\bar{O}_2\bar{O}_1 + AO_3\bar{O}_2O_1 + A\bar{O}_3O_2O_1 + \bar{A}\bar{O}_3O_2\bar{O}_1$.



Rys.7a) Programowalna matryca logiczna z wpiętymi zworkami dla licznika binarnego 3-bitowego ze sterowaniem zewnętrznym.

	GND	A	B	C	D	E	F	G	H		\bar{A}	\bar{B}	\bar{C}	\bar{D}	\bar{E}	\bar{F}	\bar{G}	\bar{H}		O ₁	O ₂	O ₃	O ₄	O ₅	O ₆	O ₇	O ₈		\bar{O}_1	\bar{O}_2	\bar{O}_3	\bar{O}_4	\bar{O}_5	\bar{O}_6	\bar{O}_7	\bar{O}_8			
A																																							Wyjście O ₁
B																																							Wyjście O ₂
C																																							Wyjście O ₃
D																																							Wyjście O ₄
E																																							Wyjście O ₅
F																																							Wyjście O ₆
G																																							Wyjście O ₇
H																																							Wyjście O ₈

Rys.7b) Rysunek schematyczny programowalnej matrycy logicznej z połączeniem zworek dla licznika binarnego 3-bitowego ze sterowaniem zewnętrznym.

Po zaprojektowaniu licznika został on przetestowany. Przełączając w dowolnym momencie na tryb 1 licznik zaczyna zawsze liczyć od 000, podobnie w trybie 2 zaczyna liczyć od 001. Wyjścia były zgodne z Tabelą 2 co wskazuje na poprawność wykonanego ćwiczenia.