

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.99 LABORATORIO DE MICROPROCESADORES

TRABAJO PRÁCTICO DE LABORATORIO N° 1

HC11

Grupo 5:

Matías LARROQUE
Leg. 56597

Lucero Guadalupe FERNANDEZ
Leg. 57485

Manuel MOLLÓN
Leg. 58023

Ezequiel VIJANDE
Leg. 58057

Profesor:

Daniel JACOBY
Nicolás MAGLIOLA
Diego Matías ISMIRLIAN

Entregado: 23 de Agosto de 2019


```

>d A000
A000 00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F
A010 10 11 12 13 14 15 16 17 18 19 1A 1B 1C 1D 1E 1F
A020 20 21 22 23 24 25 26 27 28 29 2A 2B 2C 2D 2E 2F  !"#%&'(<)*+,-./
A030 30 31 32 33 34 35 36 37 38 39 3A 3B 3C 3D 3E 3F 0123456789:;<=>?
A040 40 41 42 43 44 45 46 47 48 49 4A 4B 4C 4D 4E 4F 0AB CDEFGHI JKLMNO
A050 50 51 52 53 54 55 56 57 58 59 5A 5B 5C 5D 5E 5F PQRSTU VWXYZ[\]^_
A060 60 61 62 63 64 65 66 67 68 69 6A 6B 6C 6D 6E 6F ' abcdefghijklmno
A070 70 71 72 73 74 75 76 77 78 79 7A 7B 7C 7D 7E 7F pqrstuvwxyz
A080 80 81 82 83 84 85 86 87 88 89 8A 8B 8C 8D 8E 8F

```

Figura 2: Resultado del dump de memoria con “Monitor”

Se puede observar en el resultado, que el contenido de cada unidad de memoria es la parte baja de dicha dirección de memoria. Esto se debe a que se desea realizar un dump de memoria, para lo cual se accede a la zona de memoria en cuestión modificando el bus de address con las direcciones correspondientes. Al realizar esto, el bus de datos que posee la información sobre la parte baja del address a leer (debido a la multiplexación propia del HC11), mantiene esta misma información al momento de leer (con data strobe activo) ya que la zona de memoria no se asigna de ningún periférico (por ser zona libre) lo cual implica que la señal del bus de datos se mantenga igual a la parte baja del address debido a las capacidades de la línea del bus. Es decir, que mediante el bus de datos el HC11 “lee” el valor que anteriormente “escribió” para lograr acceder a la zona de memoria libre.

3. Medición del tiempo de acceso a memoria

Teniendo en cuenta lo mencionado en la sección anterior sobre como las capacidades de las líneas de buses son capaces de mantener el valor de una señal ante una conexión con alta impedancia, se procede a medir el tiempo de acceso tanto de una memoria RAM como ROM. Para esto se procedió a correr un programa tal que intente acceder a una posición de memoria par (al acceder el bit menos significativo del bus de address se encuentra nivel alto) cuyo contenido sea un valor impar (el bit menos significativo del bus de datos, el cual se encuentra multiplexado con el bit menos significativo del bus de address según la señal “data strobe”, se activa a nivel alto) y se midió el tiempo que tardó en realizarse esta transición, siendo este tiempo medido aproximado al tiempo de acceso a memoria si se considera que el tiempo que se tarda en escribir el dato en el bus de datos es despreciable. A continuación se presentan las mediciones realizadas:

La imagen de la izquierda corresponde a la medición de la RAM para la cual se obtuvo un tiempo de acceso de 22(ns), mientras que la medición de la derecha corresponde al tiempo de acceso a la ROM siendo el resultado igual a 33(ns), siendo este mayor al tiempo de acceso la memoria RAM como era de esperar.

Finalmente, el razonamiento nos llevó a obtener un resultado coherente según los tiempo de acceso que se indican en las hojas de datos de las memorias utilizadas.

4. Cableado de un periférico

En el cuarto y último ejercicio de la guía se pretende habilitar un latch de 8 bits como periférico de salida mediante una línea de input/output “IO1” disponible en el conector de expansión del HC11. La señal de habilitación (“CE”) de esta línea es una salida de la PAL de la placa “Equinoxe” utilizada, cuya ecuación es la siguiente:

$$\overline{CE} = A_{15} \cdot \overline{A_{14}} \cdot A_{13} \cdot \overline{A_{12}} \cdot E$$

Siendo “ A_x ” los bits correspondientes al bus de address y “ E ” el bit de “data strobe”.

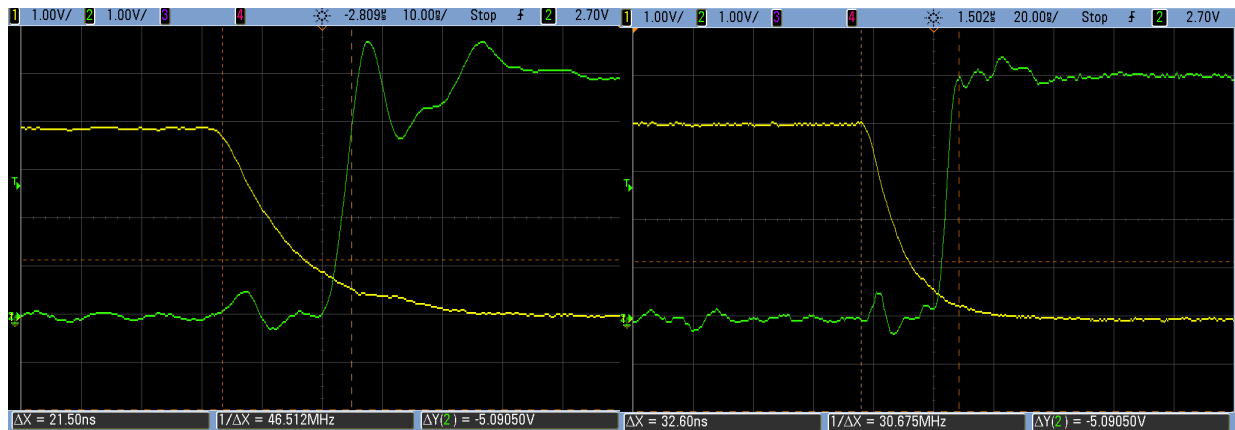


Figura 3: Medición tiempo de acceso a memoria

Dicho esto, se utilizó el integrado “74 hc 374” que contiene 8 flip flops tipo D, cuyo pin de enable (o “clock”) se conectó con la señal “IO1” de la placa Equinox mientras que sus 8 entradas “ D_x ” fueron conectadas con el bus de datos del HC11. Además, para verificar que la línea de “output” esta asociada a la direcciones de memoria A000 - AFFF, a los cuatro bits más significativos del bus de address se conectaron cuatro leds que se deberían prender según el valor hexadecimal “A” (1010).

El programa utilizado para la verificación del correcto conexionado es el siguiente:

```
org $2000

ldaa #0

staa $A000

ldaa #FF

staa $A000

jmp $2000
```

A continuación se exponen imágenes de la Interconexión entre la placa “Equinox” y los flip flops:

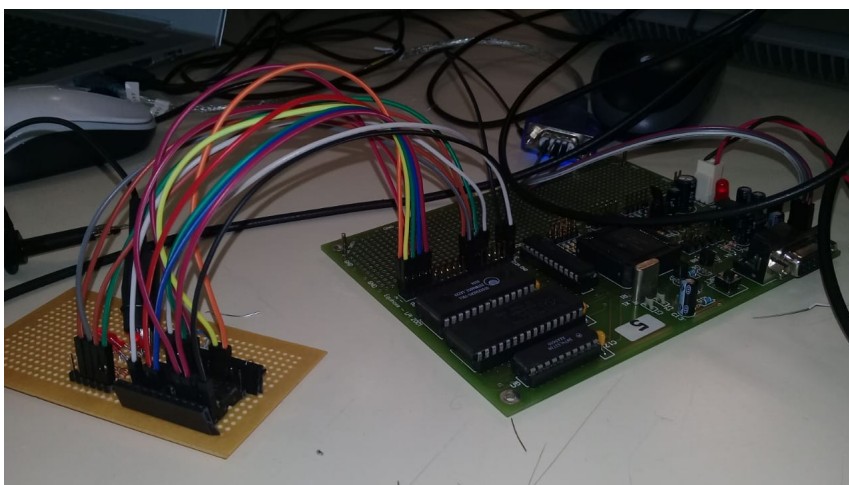


Figura 4: Implementación Física

Luego de ejecutar el programa de prueba se logró identificar el acceso a la dirección asignada, ya que se encendieron los leds indicando que el nibble más significativo del bus de address logra contener "A" en algún momento del programa (al ejecutar la instrucción staa \$A000), y además porque se logró medir la señal IO1. A continuación se muestran las señales de IO1 (color rosa) y data strobe (color amarillo):

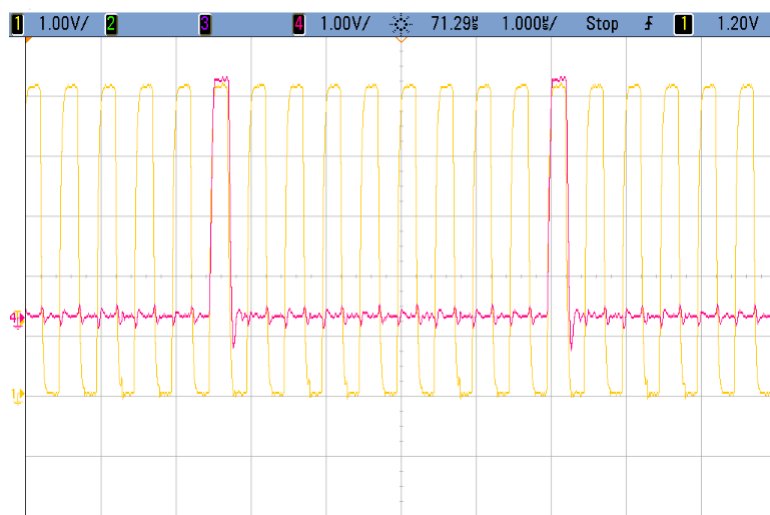


Figura 5: Medición 1 - Chip Enable /IO1 (rosa) y Data Strobe (amarillo)

Se puede notar que la activación del clock del flip flop (flanco ascendente de la señal rosa) coincide con un flanco ascendente del data strobe, pero esto no significa que ante la señal de flanco ascendente del clock existe un dato válido, ya que para esto es necesario un tiempo luego del data strobe. Por ende, con el resultado de esta medición ya se podría concluir que no se logra guardar datos válidos a las salidas de los

flip flops.

En efecto, en la siguiente imagen se muestra el resultado de la medición de un pin de entrada " D_x " de uno de los flip flops (color amarillo) superpuesto con el de la medición de la señal IO1 (color rosa) y se puede notar que el dato arriba al pin luego del flanco ascendente de la señal que funciona como clock.



Figura 6: Medición 2 - Pin D y Señal IO1/Señal de clock

A partir de estos resultados, se puede notar que si se hubiera un "gated - latch" en lugar de un flip flop que se active por flanco, se hubiera logrado "escribir" datos correctamente en el periférico.