

# INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.59 ELECTRONICA 1

TRABAJO PRÁCTICO DE LABORATORIO N° 2

---

## Amplificador Diferencial

---

*Grupo 5:*

Matías LARROQUE  
Leg. 56597

Ariel MARTORELL  
Leg. 56209

Manuel MOLLÓN  
Leg. 58023

Ezequiel VIJANDE  
Leg. 58057

*Profesor:*

Fernando ALCOCER  
Pablo GARDELLA  
Eduardo OREGLIA

Entregado: 14 de Noviembre de 2018

# Índice

<b>1. Amplificador Diferencial</b>	<b>2</b>
1.1. Introducción . . . . .	2
1.2. Componentes Adquiridos . . . . .	2
1.3. Elección del Circuito . . . . .	2
1.3.1. Primera Aproximación - Circuito con Par Diferencial . . . . .	2
1.3.2. Segunda Aproximación - Polarización mediante Fuente de corriente . . . . .	4
1.3.3. Tercera Aproximación - Carga Activa . . . . .	5
1.3.4. Cuarta Aproximación - Alternativa para Evitar Saturación . . . . .	6
1.4. Materialización . . . . .	6
1.5. Simulación en LTspice . . . . .	7
1.6. Mediciones . . . . .	9
1.7. Análisis de Resultados . . . . .	11
1.8. Conclusión . . . . .	11

# 1. Amplificador Diferencial

## 1.1. Introducción

En este artículo se procederá a desarrollar el proceso de diseño e implementación de un amplificador con componentes (transistores y resistencias) discretos. El proceso de diseño se debe realizar a partir de los componentes que se adquieran dentro del marco de una simulación con recursos escasos, y en cuanto a la implementación, se realizará un prototipo que se pondrá a prueba mediante mediciones pertinentes para comprobar el funcionamiento del mismo.

## 1.2. Componentes Adquiridos

Los componentes adquiridos mediante la simulación de subasta son los siguientes:

Par diferencial (con transistores NPN, BC547)

Transistor J-FET (de canal N, MPF102)

Transistor bipolar (NPN, BC557)

Fuente Espejo (con transistores PNP, BC547)

Resistencia de  $10K\Omega$

Resistencia de  $6,8K\Omega$  (dos unidades)

Placa de 5cm X 10 cm.

## 1.3. Elección del Circuito

### 1.3.1. Primera Aproximación - Circuito con Par Diferencial

Para la elección del circuito, se partirá de la siguiente configuración con un par diferencial:

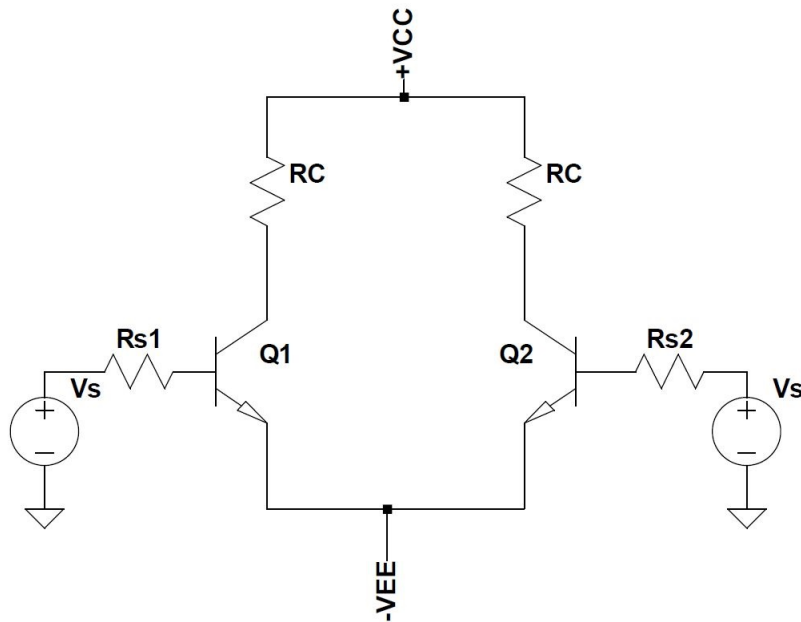


Figura 1: Circuito con Par Diferencial

Al resolver la polarización de este circuito, se podría plantear lo siguiente:

$$I_{CQ1} \approx I_{CQ2} \approx \frac{V_{EE} - V_{BEon}}{\frac{R_{s1}}{HFE} + 2 \cdot R_{EE}} = I_{CQ}$$

$$V_{CE} = V_{CC} + V_{EE} - 2 \cdot I_{CQ} \cdot R_{EE}$$

Siendo  $HFE$  la ganancia de corriente (estática) de los transistores utilizados para el par diferencial (considerada igual para cada transistor) y  $V_{BEon} \approx 0,7V$  (caída de tensión por la juntura base emisor).

Luego, al plantear el circuito incremental se obtiene lo siguiente:

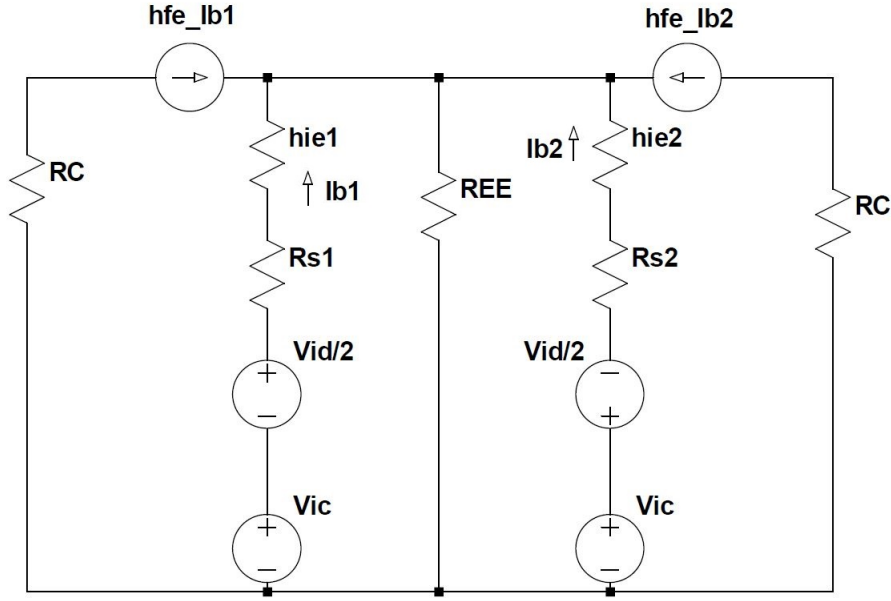


Figura 2: Circuito Incremental con Par Diferencial

Notesé que en la imagen de la derecha se representan las fuentes de señal mediante su modo común "Vic" y su modo diferencial "Vid". Esta forma de plantear la señal de entrada permite plantear el problema utilizando el principio de superposición. Por ende, para la resolución del circuito se procede a resolver el modo común (pasivando el modo diferencial) y luego el modo diferencial (pasivando las dos fuentes de modo común). En este proceso, debido a la simetría del circuito, se puede aplicar el teorema de bartlett para obtener los siguientes hemicircuitos, tanto para el caso de modo común (imagen de la izquierda) como para el de modo diferencial (imagen de la derecha):

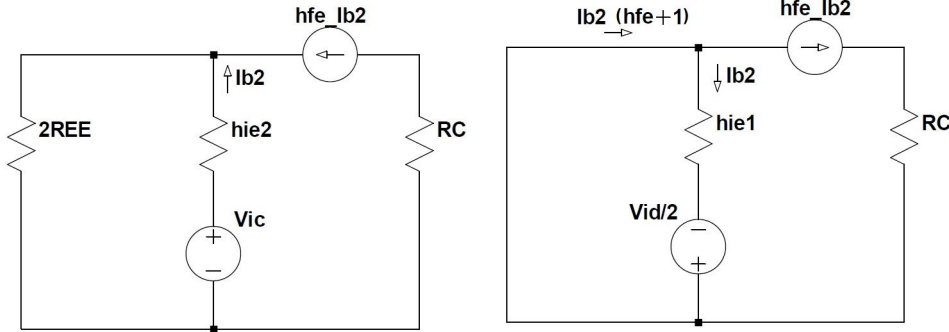


Figura 3: Hemicircuitos - Modo Común y Modo Diferencial

Es importante aclarar que para poder plantear los hemicircuitos se debe cumplir que la corriente del emisor en los dos transistores sean iguales.

Dicho esto, al plantear la transferencia se obtiene lo siguiente:

$$\begin{cases} \Delta v_{diferencial} \triangleq \frac{v_{od}}{v_{id}} \approx \frac{gm \cdot R_c}{2}; \quad gm = \frac{I_{cQ}}{V_T}; \quad V_T \approx 26mV \\ \Delta v_{común} \triangleq \frac{v_{oc}}{v_{ic}} \approx -\frac{R_c}{2 \cdot R_{EE}} \\ CMRR \triangleq \frac{\Delta v_{diferencial}}{\Delta v_{común}} \approx -gm \cdot R_{EE} \end{cases}$$

Es deseable que el parámetro  $CMRR$  (proporción de rechazo del modo común) sea lo mayor posible para que el circuito tome sentido en cuanto a su función de amplificador diferencial. Por ejemplo, para la transmisión de una señal balanceada (para las cuales el modo común es cero, al menos al inicio de su transmisión) no es deseable amplificar el modo común ya que sería equivalente a amplificar el ruido que se induce en la misma al ser transmitida,

mientras que sí es deseable amplificar el modo diferencial que corresponde con la señal en si misma. Por ende, un  $CMRR$  mayor implica una mayor fidelidad de la señal resultante del amplificador, con respecto a la señal de entrada.

Dicho esto, en el circuito propuesto se podría pensar que el  $CMRR$  se vería incrementado al aumentar el valor de la resistencia  $R_{EE}$ , sin embargo, esto a su vez produciría la disminución de  $gm$  ya que  $I_{CQ}$  es inversamente proporcional a  $R_{EE}$ , por lo cual no se obtiene un aumento de  $CMRR$ . Para provocar el aumento de  $CMRR$  tendría que encontrarse la manera de lograr un valor de  $R_{EE}$  elevado sin que disminuya  $I_{CQ}$ . En la siguiente sección se planteará una modificación al circuito mediante un enfoque que permita solucionar este problema.

### 1.3.2. Segunda Aproximación - Polarización mediante Fuente de corriente

Ante la limitación de  $CMRR$  que presenta el circuito presentado anteriormente, se procede a analizar una posible mejora del mismo mediante la introducción de un transistor J-FET de la siguiente manera:

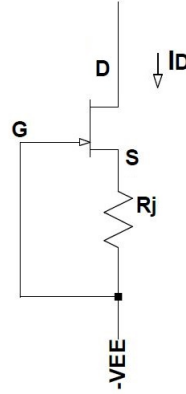


Figura 4: Circuito con J-FET

Dada la fórmula Shockley para la corriente de “Drain” del J-FET se puede notar que si el terminal de “Gate” y “Source” del transistor J-FET se encuentran al mismo potencial ( $V_{GS} = 0$ ), el transistor se convierte en una fuente de corriente ya que  $I_D$  toma el valor de  $I_{DSS}$ .

$$I_D = I_{DSS} \cdot \left(1 - \frac{V_{GS}}{V_P}\right)^2$$

Sin embargo, para controlar aún más la corriente de “Drain” del transistor se puede incorporar la resistencia “ $R_j$ ” y obtener la siguiente expresión:

$$V_{GS} = -I_D \cdot R_j \Rightarrow I_D^2 + I_D \cdot \left(\frac{2 \cdot V_P}{R_j} - \frac{V_P^2}{R_j^2 \cdot I_{DSS}}\right) + \frac{V_P^2}{R_j^2} = 0$$

Según la hoja de datos del J-FET “MPF 102”,  $V_P \approx 88$  y además la corriente  $I_{DSS}$  del transistor utilizado es de  $1mA$ . En cuanto a la elección del valor de la resistencia “ $R_j$ ” debe tenerse en cuenta que la corriente  $I_{CQ}$  sea tal que el transistor opere en su zona segura de trabajo como amplificador (“ $ZOA$ ”, del inglés “safety operation zone”). Con una resistencia  $R_j$  de  $3,4K\Omega$  se obtiene una  $I_D$  de  $780\mu A$ , lo cual asegura el correcto funcionamiento de los transistores que componen el circuito.

Entonces, cada transistor que conforma al par diferencial se proveerá de una corriente  $I_{CQ} = \frac{I_D}{2} \approx 340\mu A$

En cuanto al circuito incremental, se puede realizar el mismo análisis que ya se visto en el circuito con la resistencia  $R_{EE}$ , pero en lugar de esta resistencia habría que involucrar la resistencia  $R_{DS}$  del transistor J-FET, por ende se obtiene lo siguiente:

$$\begin{cases} \Delta v_{diferencial} \triangleq \frac{v_{od}}{v_{id}} \approx \frac{gm \cdot R_c}{2}; & gm = \frac{I_{CQ}}{V_T}; & V_T \approx 26mV \\ \Delta v_{común} \triangleq \frac{v_{oc}}{v_{ic}} \approx -\frac{R_c}{2 \cdot R_{DS}} \\ CMRR \triangleq \frac{\Delta v_{diferencial}}{\Delta v_{común}} \approx -gm \cdot R_{DS} \end{cases}$$

Esto resulta en  $CMRR$  elevado debido al alto valor de  $R_{DS}$  pero sin la necesidad de disminuir  $gm$ .

Con esta implementación se logra aumentar el  $CMRR$ , sin embargo aún no se obtiene una amplificación elevada de la señal de modo diferencial. Esta se podría mejorar aumentando la resistencia “ $R_c$ ”, pero así también se aumentaría la potencia disipada del circuito. A continuación se propondrá una nueva mejora al diseño que permite optimizar aún más la amplificación del modo diferencial, evitando la limitación por potencia.

Antes de finalizar este análisis, vale aclarar que si se agrega una resistencia " $R_j$ " entre Gate y Source del J-Fet para regular la corriente de polarización la resistencia  $R_{DS}$  no representa a la intrínseca del transistor si no que  $R_{DS} = R_{DSintrinsic} (1 + gm.R_j)$ .

### 1.3.3. Tercera Aproximación - Carga Activa

Para poder aumentar la ganancia del modo diferencial se propone el siguiente circuito:

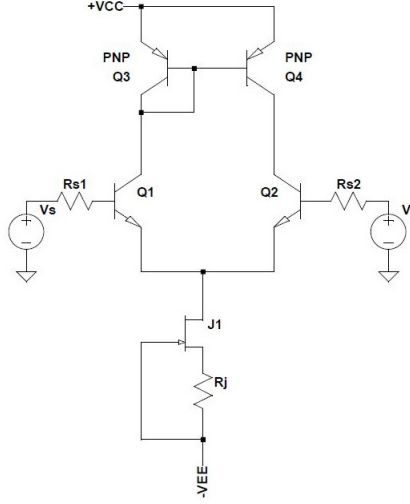


Figura 5: Circuito con Carga Activa - Fuente Espejo

Se puede observar de la figura que se reemplazaron las resistencias " $R_c$ " por una carga activa lograda mediante una fuente espejo con transistores PNP.

En cuanto a la polarización, esta no cambia con la incorporación de la fuente espejo. Solo se debe tener en cuenta que la fuente espejo sea capaz de copiar la corriente de colector de los transistores NPN del par diferencial.

El modelo incremental de este nuevo circuito es el siguiente:

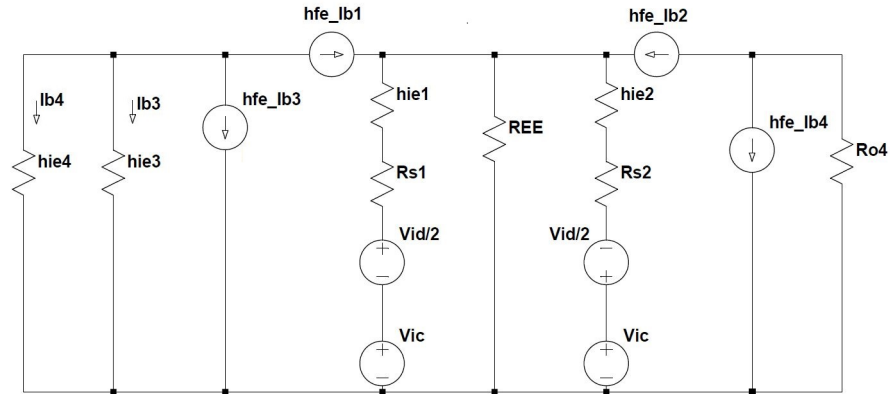


Figura 6: Circuito Incremental - Par Diferencial con Carga Activa

Luego, para analizar la ganancia en modo diferencial se debe proceder a pasivar el modo diferencial. De esta manera, al existir un incremento de modo diferencial en las tensiones de entrada se producirá un cambio en las corrientes del circuito de la siguiente manera:

$$I_{B1} = I_{B2} \text{ (por simetría del par diferencial)}$$

$$I_{B3} = I_{B4} \text{ (coconsiderando } h_{ie3} = h_{ie4})$$

$$I_{B3} \cdot (2 + hfe) \approx I_{B1} hfe \Rightarrow I_{B3} \approx I_{B1} \cdot \frac{hfe}{2 + hfe} \approx I_{B1}$$

⇒Todas las corrientes de base se pueden considerar iguales⇒la tensión sobre la resistencia  $R_{EE}$  es cero.

Luego, el nodo del emisor del transistor “1” se puede considerar como tierra virtual y se puede plantear el siguiente hemicircuito:

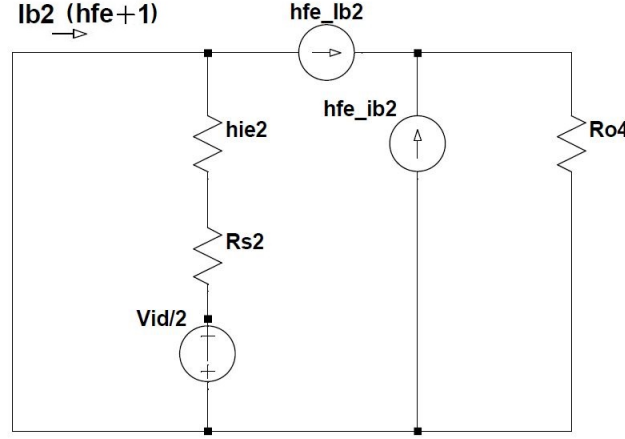


Figura 7: Hemicircuito Diferencial

Luego, se llega a que  $\Delta v_{diferencial} = \frac{1}{2} \cdot \frac{2 \cdot R_{o4} \cdot hfe}{h_{ie2} + R_s}$

Esto tiene sentido ya que la fuente espejo de corriente copia la corriente incremental del colector “1” y obliga a que esta corriente circule por la resistencia  $R_{o4}$  junto con la corriente del colector “2”.

En cuanto al circuito de modo común, teóricamente la ganancia es igual cero ya que en este caso la corriente de colector “2” tiene el mismo sentido que la corriente que copia la fuente espejo. Además la corriente que copia la fuente es igual a la corriente del colector “1”, es decir que también es igual a la del colector “2”. Por ende, la corriente que circula por la resistencia  $R_{o4}$  es nula.

En realidad, este análisis no tiene en cuenta que la corriente copiada por la fuente espejo no es exactamente la corriente de referencia. Un aproximación más cercana a la realidad es plantear que la fuente copiada “ $I_o$ ” es aquella obtenida mediante la expresión  $I_o = \frac{I_{ref}}{1 + \frac{2}{hfe}}$ . De esta manera, la corriente “ $I$ ” que circula por la resistencia  $R_{o4}$  en el análisis de modo común es  $I = I_{ref} - \frac{I_{ref}}{1 + \frac{2}{hfe}} = I_{ref} \cdot (\frac{2}{2 + hfe})$ . Por lo tanto,  $\Delta v_{común} \approx (I_{ref} \cdot (\frac{2}{2 + hfe}) \cdot R_{o4} / I_{ref} \cdot R_{DS}) \approx$

$$\frac{2R_{o4}}{(2 + hfe_{PNP}) \cdot R_{DS}}$$

Dicho esto, la expresión de la proporción de rechazo al modo común es la siguiente:

$$CMRR \approx \frac{R_{o4} \cdot hfe_{PNP}}{h_{ie2} + R_s} \cdot \frac{(2 + hfe_{PNP}) \cdot R_{DS}}{2R_{o4}} = \frac{2 \cdot hfe_{PNP} \cdot R_{DS} + hfe_{PNP} \cdot hfe_{PNP} \cdot R_{DS}}{2 \cdot (h_{ie2} + R_s)}$$

#### 1.3.4. Cuarta Aproximación - Alternativa para Evitar Saturación

El circuito anteriormente analizado se puede caracterizar por su ganancia de tensión en modo diferencial elevada, sin embargo, esto tiene un límite debido a las fuentes de alimentación que polarizan los transistores. Más aún, al trabajar con tensiones de entrada elevadas, una ganancia como la analizada en el amplificador diferencial en cuestión, es contraproducente ya que provoca la saturación de la señal de salida y por ende se pierde gran parte de la información de la misma.

Este problema se puede evitar al agregar una resistencia “ $R_L$ ” como carga. Esta carga provoca que disminuya la ganancia, y esto se puede ver sin modificar el análisis ya realizado para el modelo incremental. De hecho, en las expresiones de ganancia se debe reemplazar la resistencia  $R_{o4}$  por el equivalente del paralelo entre  $R_{o4}$  y  $R_L$ .

### 1.4. Materialización

A la hora de realizar el prototipo del circuito se utilizaron las dos resistencias de  $6,8K\Omega$  asociadas en paralelo para formar la resistencia  $R_j$  de  $3,4K\Omega$  y poder lograr la corriente  $I_D$  de  $780\mu A$ . Esta corriente fue comprobada experimentalmente en un prototipo aparte, ya que la hoja de datos del J-Fet utilizado (MPF102) no otorga un valor de  $I_{DSS}$  (en realidad otorga un rango entre  $2mA$  y  $20mA$ ) y por ende no se podía asegurar el valor de  $I_D$  hasta medirlo en el laboratorio.

Una vez asegurado el valor de la corriente  $I_D$ , solo se debió corroborar con la hoja de datos que los transistores BC557 y BC547 logren polarizarse correctamente con una corriente de  $I_D/2$ , es decir,  $340\mu A$ .

Al verificar esta condición, se concluyó que los transistores se polarizan correctamente y además presentan las siguientes características (teniendo en cuenta la corriente de polarización):

	BC547 (NPN)	BC557 (PNP)
hfe	180	120
hie	$9K\Omega$	$7,35K\Omega$
Ro	$85K\Omega$	$70K\Omega$

Cuadro 1: Características de los Transistores

Finalmente, se realizó el prototipo del circuito con los componentes obtenidos en el sistema de subastas comentado al principio del artículo, pero además se agregó un “jumper” para poder medir el circuito propuesto en la “tercera aproximación” o el de la “cuarta aproximación” según se lo requiera. En cuanto a la cuarta aproximación, la  $R_L$  utilizada fue de  $10K\Omega$ .

A continuación se muestra una imagen del prototipo del circuito:

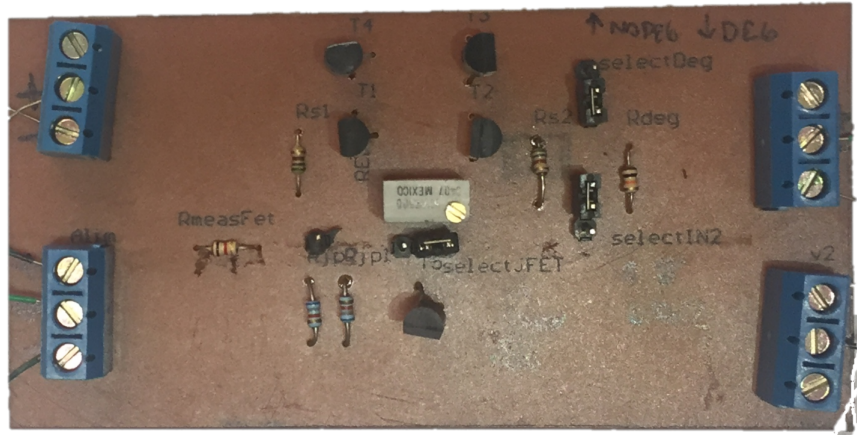


Figura 8: Imagen del Prototipo

## 1.5. Simulación en LTspice

Se utilizó la herramienta de LTspice para simular el circuito propuesto anteriormente en la “tercer aproximación”. Como primer paso se procedió excitar el circuito con una “pequeña señal” senoidal de  $5mV$  de amplitud en modo diferencial y se obtuvo la siguiente respuesta:

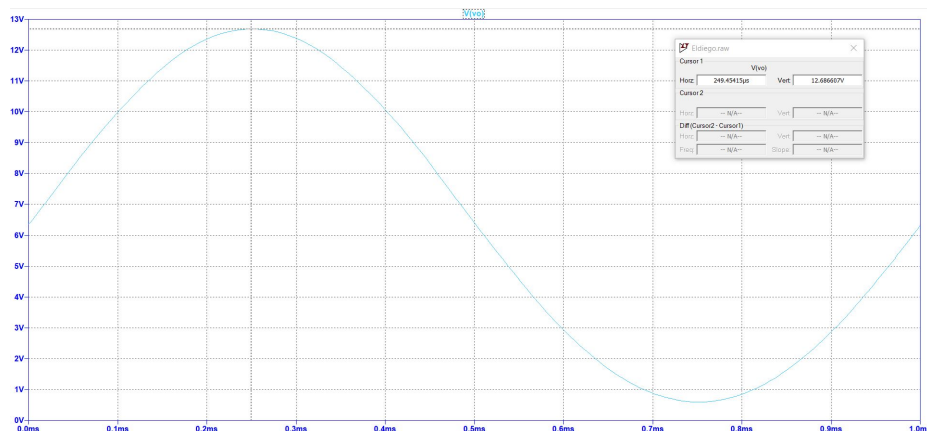


Figura 9: Tensión de Salida - Modo Diferencial



<

Luego se ingresaron  $100mV$  en modo común y se obtuvo lo siguiente:

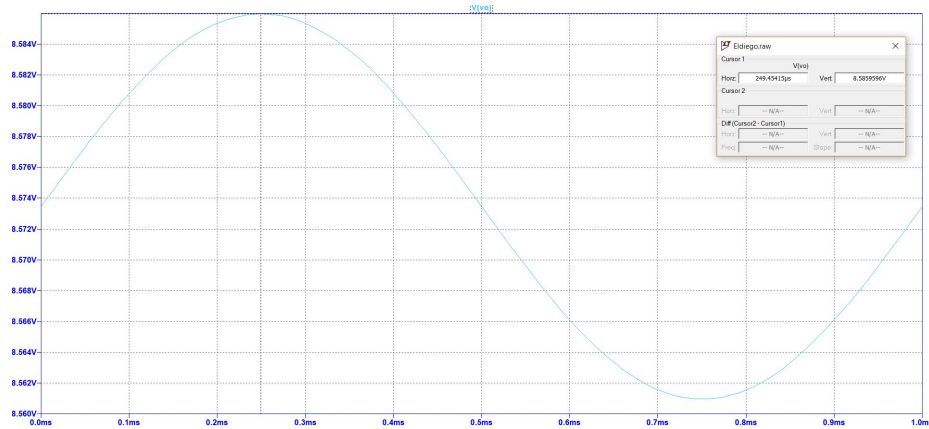


Figura 10: Tensión de Salida - Modo Común

De estas simulaciones se puede concluir que la ganancia en modo diferencial simulada es de aproximadamente 1200, mientras que la de modo común es de 0.002. Luego el CMRR es de 115.6dB

Por último, se realizó un análisis de Montecarlo de la ganancia en modo diferencial, al variar el valor de  $I_{DSS}$  del transistor J-Fet utilizado para la polarización. A continuación se muestra el resultado:

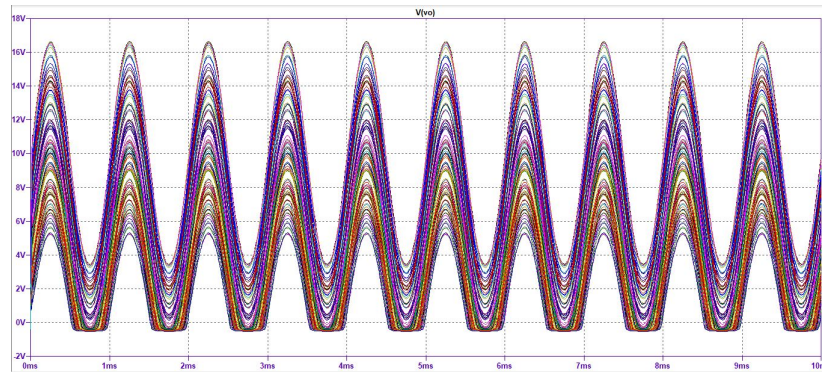


Figura 11: Análisis de Montecarlo - Ganancia en Modo Diferencial ante Variaciones de  $I_D$

De esta simulación se puede notar que la variación de la corriente de polarización produce variaciones significativas en la ganancia de tensión. Más aún, se puede notar que puede llegar a saturar la tensión de salida. En fin, los resultados de esta simulación reafirma la importancia del análisis de la polarización.

Para el circuito propuesto en la “cuarta aproximación”, también se simuló la tensión de salida al excitar con una tensión en modo diferencial de  $100mV$  de amplitud (imagen de superior mostrada a continuación) y luego con  $100mV$  de modo común (imagen inferior):

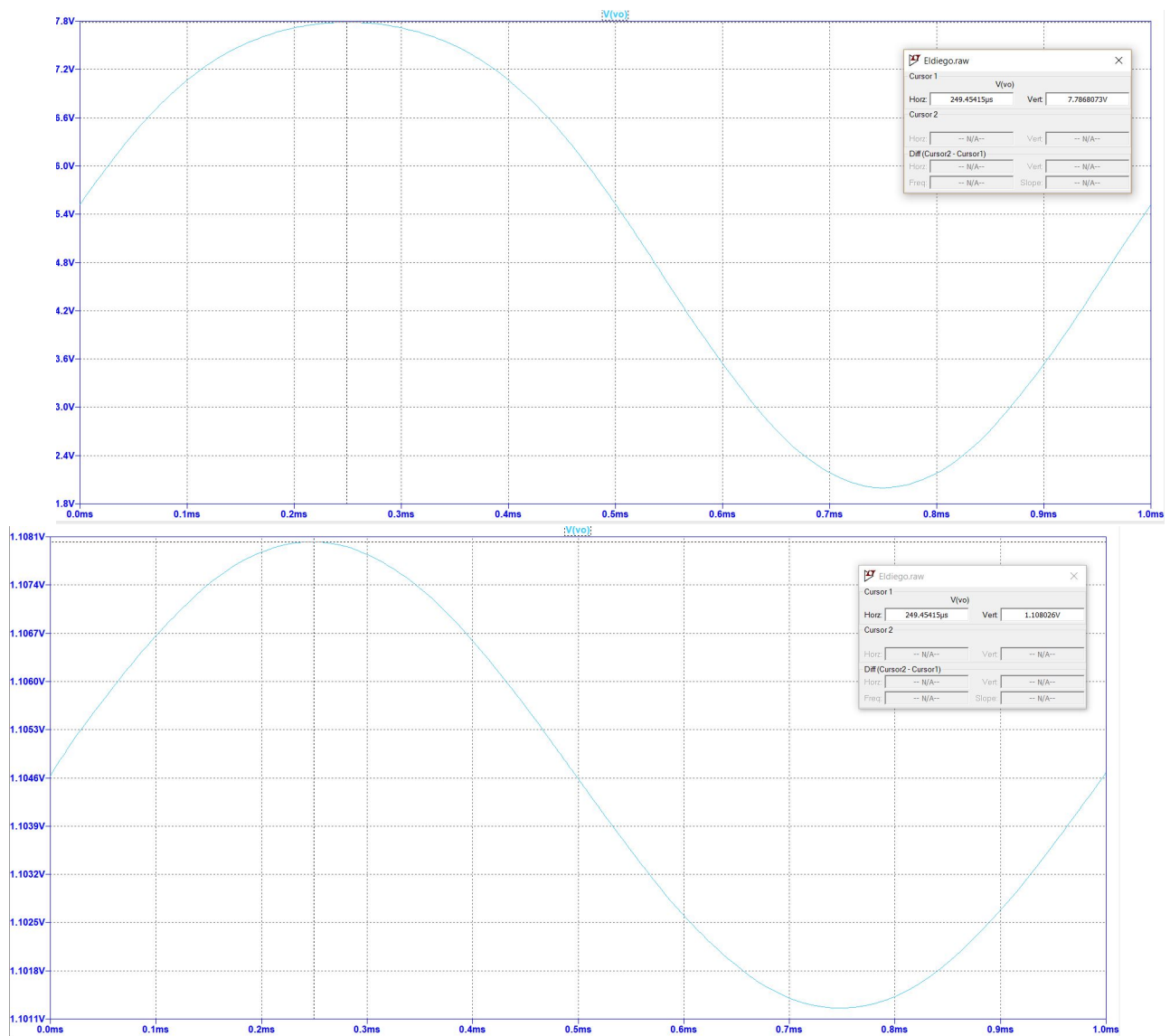


Figura 12: Simulaciones Modo Común y Diferencial - “Cuarta Aproximación”

Finalmente, la simulación indica una ganancia de modo común de 0.03, mientras que la de modo diferencial es 24, lo que significa un CMRR de 58.1.

Vale aclarar que la frecuencia de trabajo para las simulaciones fue de  $1KHz$ .

## 1.6. Mediciones

Al momento de realizar de mediciones, primero se analizó el circuito propuesto en la tercer aproximación. Mediante el borne de entrada de  $Vs1$  se ingresó una excitación de senoidal  $20mV$  de amplitud, mientras que el borne de entrada de  $Vs2$  se conectó a “tierra”, y se midió la señal de salida con el osciloscopio. A continuación se muestran las capturas de pantalla del mismo:

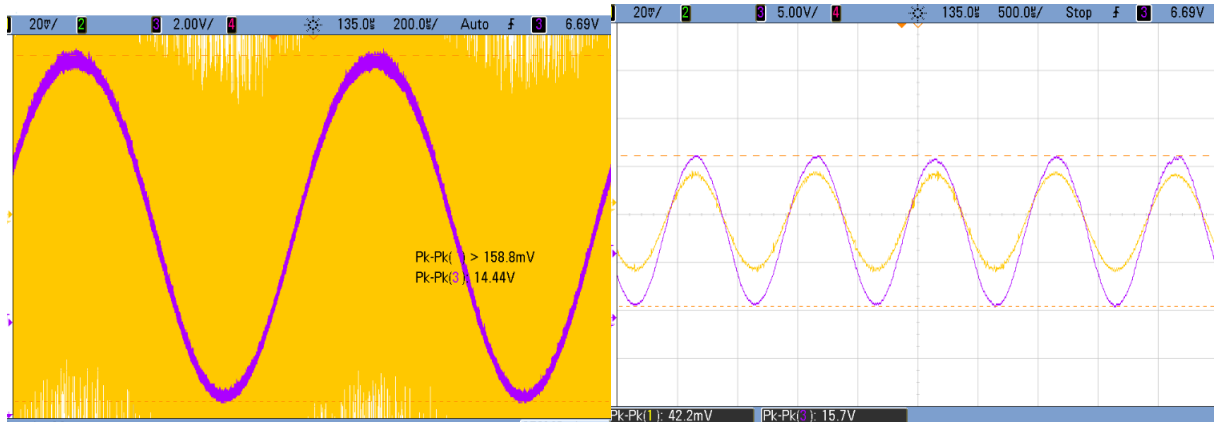


Figura 13: Medición con Osciloscopio - Circuito sin  $R_L$

Debesé tener en cuenta que la imagen de la izquierda fue tomada con “ACQUIRE” del osciloscopio en “NORMAL” mientras que para la de la derecha se utilizó el modo “HIGH RESOLUTION”.

Luego, a partir de estas imagenes se procede a calcular la ganancia de tensión como  $\Delta v = \frac{15,7V \cdot (1000)}{42,2V} \approx 372$

Por otro lado, se procedió a realizar la misma medición para el circuito con  $R_L$  y se obtuvo lo siguiente:

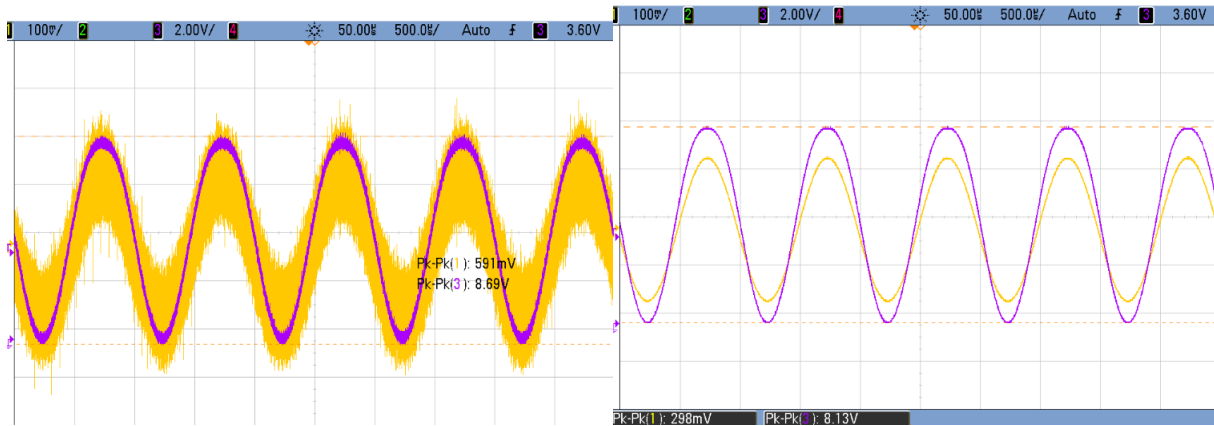


Figura 14: Medición - Circuito con  $R_L$

Luego,  $\Delta v = \frac{8,13V \cdot (1000)}{298V} \approx 27,3$

Además, para el circuito con  $R_L$  se utilizó el borne de  $V_{s2}$  para ingresar al circuito con una señal lo más aproximado posible a una diferencial “pura”, es decir con modo común nulo. A continuación se muestra el resultado obtenido:



Figura 15: Medición - Excitación Diferencial

Luego,  $\Delta v_{diferencial} = \frac{8,11V \cdot (1000)}{300V} \approx 27,03$ . El motivo de esta medición es intentar mostrar que la ganancia en modo diferencial es significativamente mayor a la ganancia del modo común del circuito.

Vale aclarar que este último análisis es tan solo una aproximación a partir de la medición tomada del osciloscopio.

Finalmente, se procedieron a medir las impedancias de entrada y de salida del circuito con  $R_L$ .

Para la impedancia de entrada se procedió a excitar el circuito con una señal de tensión, con una resistencia en serie al generador de dicha señal, y luego se midió la tensión a la entrada del circuito y se calculó la impedancia mediante la siguiente expresión:

$$R_{in} = \frac{|V_{in}| \cdot R_{serie}}{|V_{in} - V_{generador}|}$$

Con este razonamiento se obtuvo una impedancia de entrada de aproximadamente  $270K\Omega$  de magnitud.

Aplicando el mismo método, se procedió a medir la impedancia de salida pero esta vez se ingresó la señal desde el borne de salida del circuito mientras que el borne de entrada se conectaron a “tierra”. Mediante este método se obtuvo una magnitud de  $7,5K\Omega$ .

Vale aclarar que la frecuencia de trabajo para las mediciones fue de  $1KHz$ .

## 1.7. Análisis de Resultados

De las capturas de pantalla de osciloscopio mostradas en la sección anterior se puede notar que las mediciones se ven ampliamente afectadas por señales de ruido, ya que las señales que se ingresan al amplificador diferencial son comparables a los niveles de ruido que prevalecen en el laboratorio en el cual se tomaron dichas mediciones. Para poder tomar mediciones que describan mejor la realidad, fue de gran utilidad el modo de HIGH RESOLUTION del osciloscopio para promediar el ruido que se ingresó a la señal, sin embargo, es importante observar la realidad de lo que se mide mediante el modo NORMAL.

Los resultados obtenidos a partir de las mediciones tomadas al excitar el circuito solo mediante el borne de entrada  $V_{s1}$  son solo de ganancia y como era de esperar, la ganancia es mayor para el circuito sin  $R_L$  con respecto al circuito que sí posee la resistencia de carga. Sin embargo, para extraer conclusiones particularmente para la ganancia en modo diferencial y en modo común y así poder obtener el CMRR de cada circuito se debe realizar un análisis más profundo que solo observar las amplitudes medidas por el osciloscopio.

Sin embargo, al observar la imagen en modo NORMAL del osciloscopio se puede notar que ambos circuitos poseen CMRR apreciable ya que la señal de entrada se visualiza con un ruido significativamente mayor a la señal de salida, a pesar de que ambos puntos del circuito (tanto la entrada como la salida) fueron expuestos a las mismas señales de ruido.

## 1.8. Conclusión

Como conclusión del trabajo realizado, se puede afirmar que para diseñar un circuitos con transistores discretos se debe tener en cuenta la compatibilidad entre ellos, como por ejemplo sus puntos de polarización,  $h_{fe}$ ,  $h_{ie}$  y  $R_o$ , ya que en el análisis teórico generalmente se suelen desestimar estos posibles “mismatch” y eso provoca que se generen

diferencias con los resultados de las mediciones experimentales. Además, se debe prestar especial atención sobre los niveles de ruido que pueden afectar mediciones que pretendan poner en evidencia resultados del modelo de pequeña señal del transistor.

Dicho esto, la experiencia mostró que ambos circuitos realizados son competentes debido a su ganancia de tensión en modo diferencial y por su relativamente alto rechazo al modo común, sobre todo el circuito sin  $R_L$ . En cuanto al circuito con  $R_L$ , este además ofrece un rango lineal que acepta señales de hasta  $150mV$  de amplitud, lo cual es aceptable para circuitos que se resuelven mediante el análisis de pequeña señal.

Finalmente, se han logrado medir impedancias de entrada y de salida medias que pueden ser fácilmente llevadas a los extremos (por ejemplo, impedancia de entrada superior e impedancia de salida inferior) mediante otras etapas de baja complejidad.