**Xilinx ISE:** (  INTEGRADO Synthesis EMBIENTE)  é uma ferramenta de software produzida pela  [Xilinx](https://en.wikipedia.org/wiki/Xilinx),  para a síntese e análise de [HDL](https://en.wikipedia.org/wiki/Hardware_description_language) desenhos, permitindo que o promotor possa  [sintetizar](https://en.wikipedia.org/wiki/Logic_synthesis) ("compilar") seus modelos, realizar [análise de temporização](https://en.wikipedia.org/wiki/Static_timing_analysis) , examinar [RTL](https://en.wikipedia.org/wiki/Register_transfer_level) diagramas, simule a reação de um projeto a diferentes estímulos e configure o dispositivo de destino com o [programador](https://en.wikipedia.org/wiki/Programmer_(hardware)) . O Xilinx ISE é um ambiente de design para produtos FPGA, e está fortemente acoplado à arquitetura desses chips e não pode ser usado com produtos FPGA de outros fornecedores.

**ModelSim:**  é um ambiente de simulação de HDL em vários idiomas da [Mentor Graphics](https://en.wikipedia.org/wiki/Mentor_Graphics) , para simulação de [linguagens de descrição](https://en.wikipedia.org/wiki/Hardware_description_language) de [hardware](https://en.wikipedia.org/wiki/Hardware_description_language) como [VHDL](https://en.wikipedia.org/wiki/VHDL) , [Verilog](https://en.wikipedia.org/wiki/Verilog) e [SystemC](https://en.wikipedia.org/wiki/SystemC) , e inclui um depurador C embutido. [O](https://en.wikipedia.org/wiki/ModelSim#cite_note-b1-1) ModelSim pode ser usado independentemente ou em conjunto com o [Intel Quartus Prime](https://en.wikipedia.org/wiki/Altera_Quartus) , o [Xilinx ISE](https://en.wikipedia.org/wiki/Xilinx_ISE) ou o [Xilinx Vivado](https://en.wikipedia.org/wiki/Xilinx_Vivado) .  [A](https://en.wikipedia.org/wiki/ModelSim#cite_note-b5-3) simulação é realizada usando a [interface gráfica do usuário](https://en.wikipedia.org/wiki/Graphical_user_interface) (GUI) ou automaticamente usando scripts. O ModelSim usa um kernel unificado para simulação de todos os idiomas suportados, e o método de depuração do código C incorporado é o mesmo que o VHDL ou o Verilog.

**Simulink:** desenvolvido pela companhia MathWorks, é uma ferramenta para modelagem, simulação e análise de sistemas dinâmicos. Sua interface primária é uma [ferramenta de diagramação gráfica por blocos](https://pt.wikipedia.org/wiki/Diagrama_de_bloco) e [bibliotecas](https://pt.wikipedia.org/wiki/Biblioteca_(computa%C3%A7%C3%A3o)) customizáveis de blocos. O software oferece alta integração com o resto do ambiente [MATLAB](https://pt.wikipedia.org/wiki/MATLAB). Simulink é amplamente usado em [teoria de controle](https://pt.wikipedia.org/wiki/Teoria_de_controle) e [processamento digital de sinais](https://pt.wikipedia.org/wiki/Processamento_digital_de_sinais) para projeto e simulação multi-domínios.

**SystemC**:  é um conjunto de classes e macros [C ++](https://en.wikipedia.org/wiki/C%2B%2B) que fornecem uma interface de simulação [orientada a eventos](https://en.wikipedia.org/wiki/Event-driven_programming) (consulte também [simulação de eventos discretos](https://en.wikipedia.org/wiki/Discrete_event_simulation) ). Esses recursos permitem que um designer simule [processos simultâneos](https://en.wikipedia.org/wiki/Concurrent_process) , cada um deles descrito usando a [sintaxe](https://en.wikipedia.org/wiki/Syntax)[C ++](https://en.wikipedia.org/wiki/C%2B%2B) simples . Os processos do SystemC podem se comunicar em um ambiente simulado em tempo real, usando sinais de todos os [tipos de dados](https://en.wikipedia.org/wiki/Datatype) oferecidos pelo C ++, alguns adicionais oferecidos pela biblioteca SystemC e também definidos pelo usuário.  Em certos aspectos, o SystemC imita deliberadamente as [linguagens de descrição de hardware](https://en.wikipedia.org/wiki/Hardware_description_language)[VHDL](https://en.wikipedia.org/wiki/VHDL) e [Verilog](https://en.wikipedia.org/wiki/Verilog) , mas é mais adequadamente descrito como uma linguagem de modelagem no nível do sistema . O SystemC é aplicado à [modelagem em](https://en.wikipedia.org/wiki/Scientific_modelling) nível de sistema , exploração arquitetônica, modelagem de desempenho, [desenvolvimento de software](https://en.wikipedia.org/wiki/Software_development) , [verificação funcional](https://en.wikipedia.org/wiki/Functional_verification) e [síntese de alto nível](https://en.wikipedia.org/wiki/High-level_synthesis) . O SystemC é frequentemente associado ao design de [nível de sistema eletrônico](https://en.wikipedia.org/wiki/Electronic_system-level) (ESL) e à [modelagem em nível de transação](https://en.wikipedia.org/wiki/Transaction-level_modeling) (TLM).

**CORSA**: (Component-ORiented Simulation Architecture) tem base na visão de mundo orientada a componentes. Define um padrão de desenvolvimento de componentes que serve como um contrato entre os desenvolvedores de mecanismos de simulação e os desenvolvedores de componentes. Ele possibilita um cenário no qual uma vez que um mecanismo de simulação compatível com CORSA tenha sido projetado para vincular um determinado tipo de componentes, ele poderá aceitar todos os componentes que pertencem a esse tipo.