

Universidade Federal de Minas Gerais  
Escola de Engenharia – Departamento de Engenharia Eletrônica

# QUARTUS II – DESENVOLVIMENTO DE PROJETOS VIA ESQUEMÁTICO

Versão 1.3a

## Revisão

Dado	Autor	Versão	Modificações
28/18/09	Prof. Ricardo	1.0	Versão inicial
29/07/10	Prof. Frank	1.1	Adaptação para Quartus II 9.1SP2
26/08/11	Prof. Hermes	1.2	Melhoramentos
11/09/12	Prof. Frank	1.3	Adaptação para Quartus II 11.1SP2, QSim

## Sumário

1.	O software Quartus II .....	2
2.	Criando Projetos com o Quartus II .....	2
3.	Desenvolvendo um projeto usando diagrama esquemático .....	8
4.	Simulação de projetos.....	14
5.	Gravação em FPGA/CPLD .....	21
6.	Desenvolvendo um projeto usando VHDL .....	23

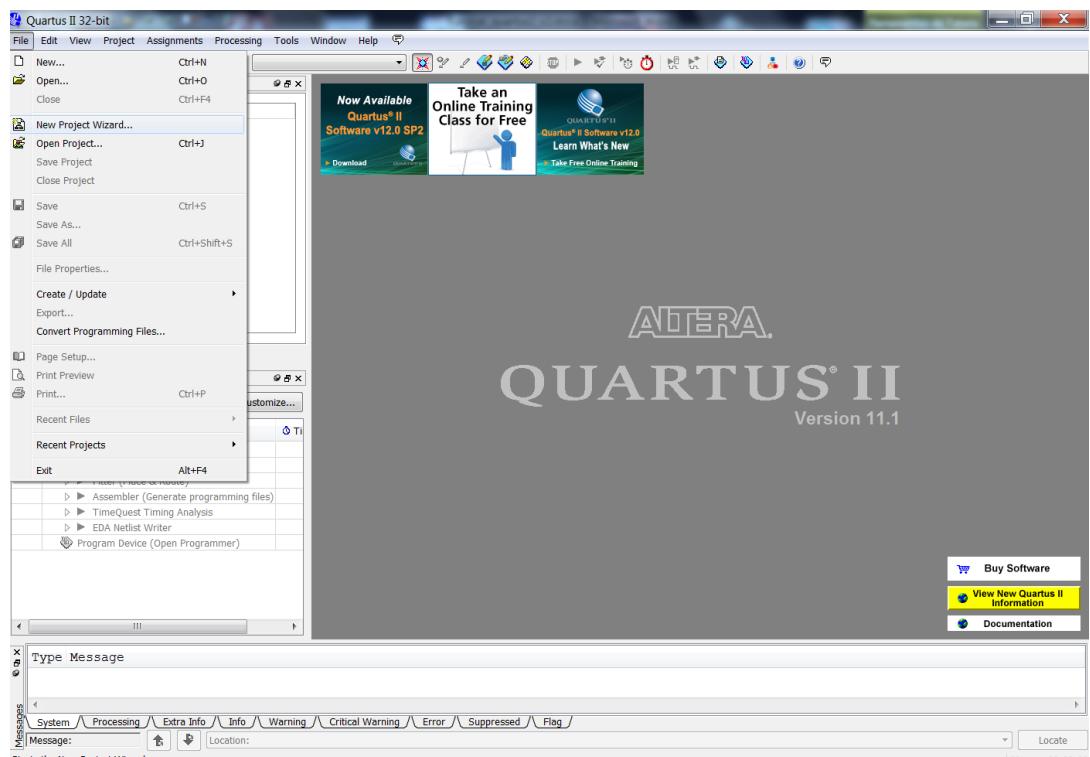
## 1. O software Quartus II

Ao longo do curso será utilizado o software Quartus II da ALTERA Corporation<sup>1</sup>, para se implementar e testar projetos de sistemas digitais, a serem desenvolvidos pelos alunos nas aulas práticas. Este software é um ambiente de desenvolvimento integrado, ou IDE (*Integrated Development Environment*), o qual permite a realização de todas as etapas envolvidas no projeto um sistema digital, desde a descrição da sua lógica, por meio de diagramas esquemáticos ou linguagens de descrição, a simulação do circuito desenvolvido e por fim a gravação do projeto em um dispositivo lógico programável, por exemplo, CPLD ou FPGA.

O Quartus II trabalha com um sistema orientado a projetos, ou seja, o software associa diversos arquivos a um projeto. Este sistema possibilita a utilização de componentes básicos em diversos projetos e simplifica a elaboração de projetos mais complexos uma vez que as funcionalidades de um grande sistema podem ser divididas em diversos sistemas mais simples e por fim, agrupados.

## 2. Criando Projetos com o Quartus II

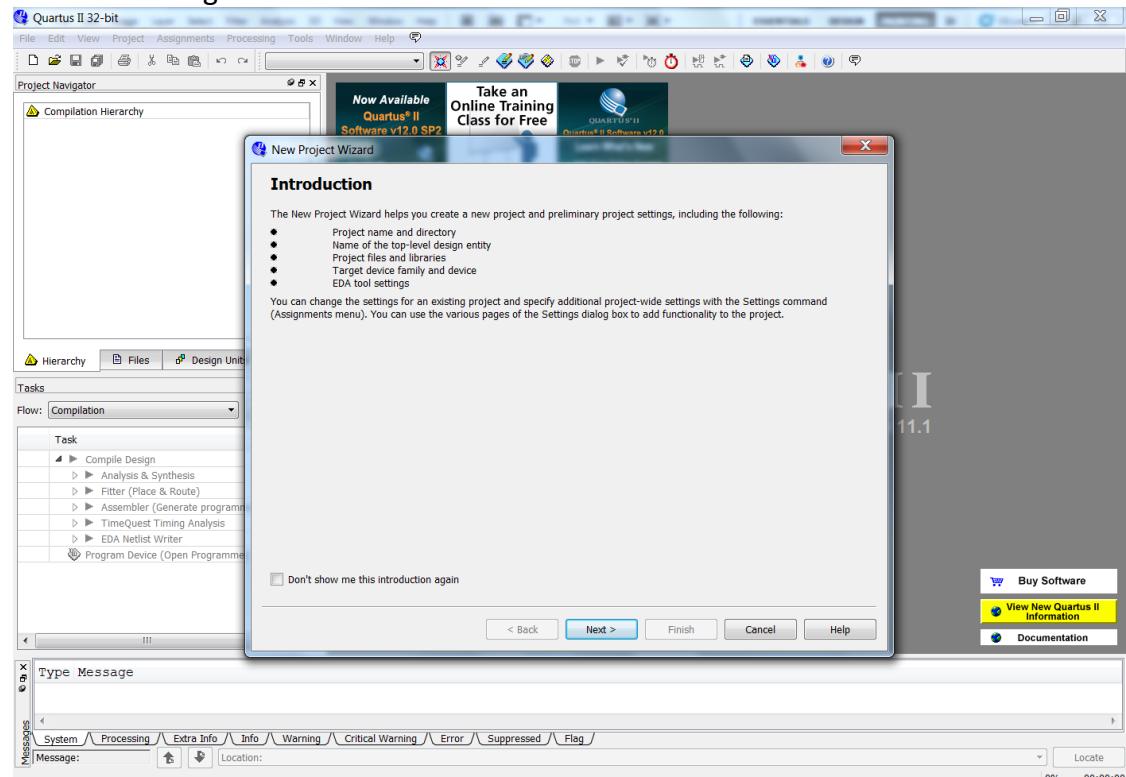
A forma mais simples de se criar um projeto no Quartus II é por meio do aplicativo *Project Wizard*. Para executar tal aplicativo, clique no menu **File -> New Project Wizard...**, como mostrado na Figura 1.



**Figura 1 – Tela de Abertura do Quartus II – Menu File→New Project Wizard...**

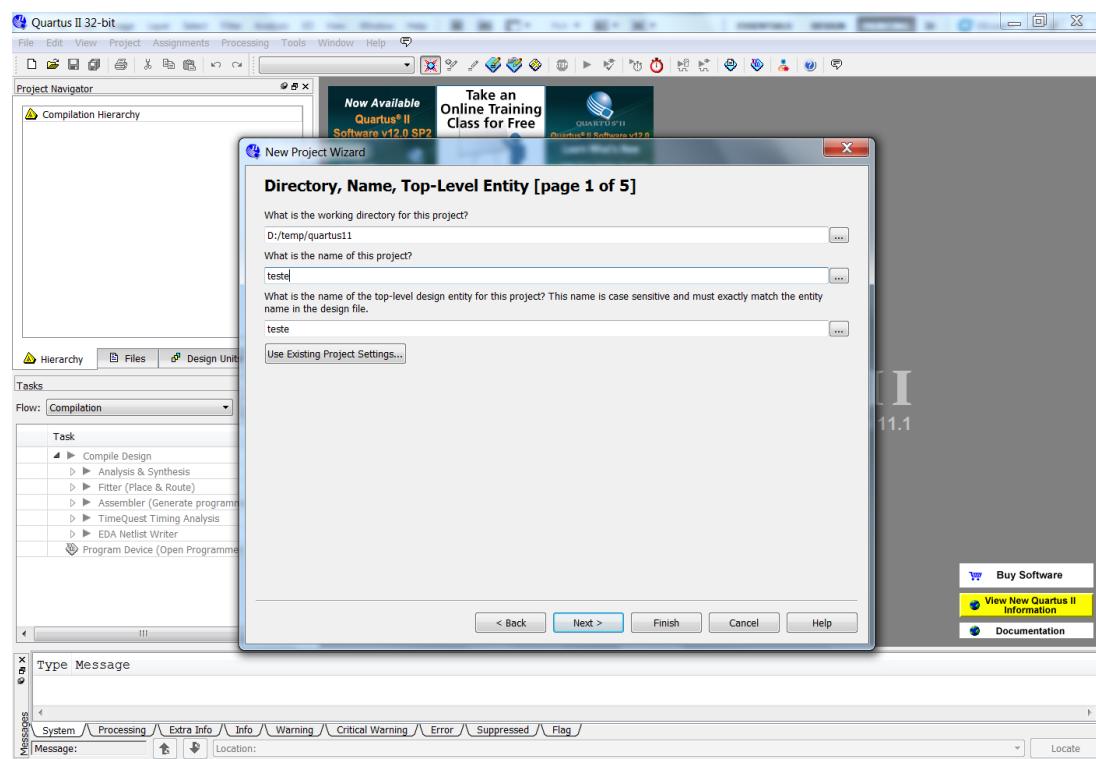
<sup>1</sup> Este tutorial está adequado ao Quartus II Web Edition, Versão 11.1 Service Pack 2 que pode ser baixado gratuitamente da página “Design Software” do site da Altera Corporation através do link <https://www.altera.com/download/software/quartus-ii-we/11.1sp2>.

Com isto a tela de apresentação do aplicativo *Project Wizard* irá se abrir. Esta janela é mostrada na Figura 2.



**Figura 2 – Tela de Introdução do Project Wizard**

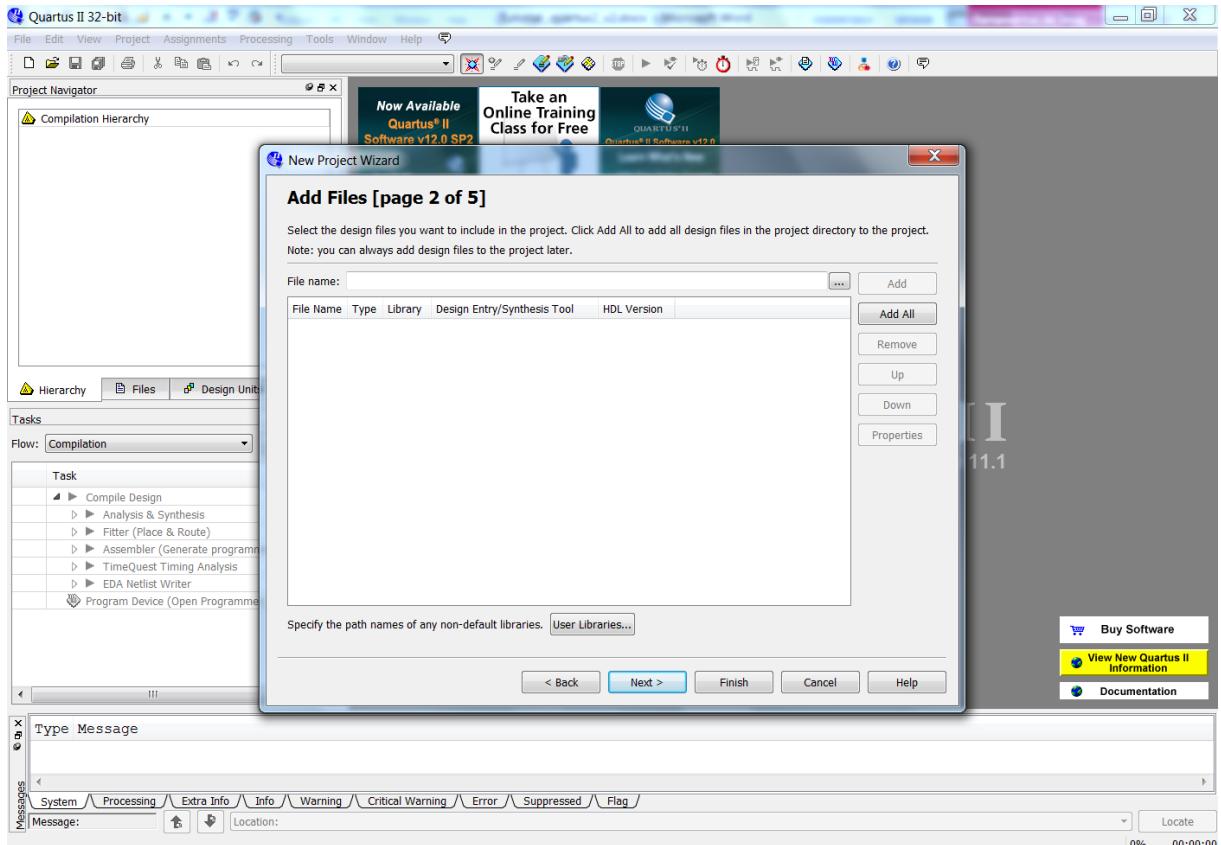
Clique em **Next**. A tela da Figura 3 irá aparecer.



**Figura 3 – Tela de Introdução do Project Wizard. (parte 1 de 5)**

Nesta tela pode-se escolher o diretório do projeto, o nome do projeto e o nome da entidade principal do projeto. É recomendável que para cada projeto, uma pasta diferenciada seja criada, para que não haja conflito entre os diversos arquivos gerados para cada projeto.

Uma vez preenchidos os campos corretamente, clique em **Next**. A tela da Figura 4 aparecerá.



**Figura 4 – Tela de Introdução do Project Wizard. (parte 2 de 5)**

Nesta tela é possível incluir arquivos ao projeto. Através do botão “...” ao lado do campo **File Name** é possível definir o diretório do arquivo a ser incluído. Uma vez selecionado o arquivo, clique em **Add** para adicioná-lo ao projeto. Quando todos os projetos desejados forem incluídos, clique em **Next**. Com isso a tela da figura 5 aparecerá.

**OBS:** Caso esteja criando um projeto que não se utiliza de componentes previamente criados apenas clique em **Next**.

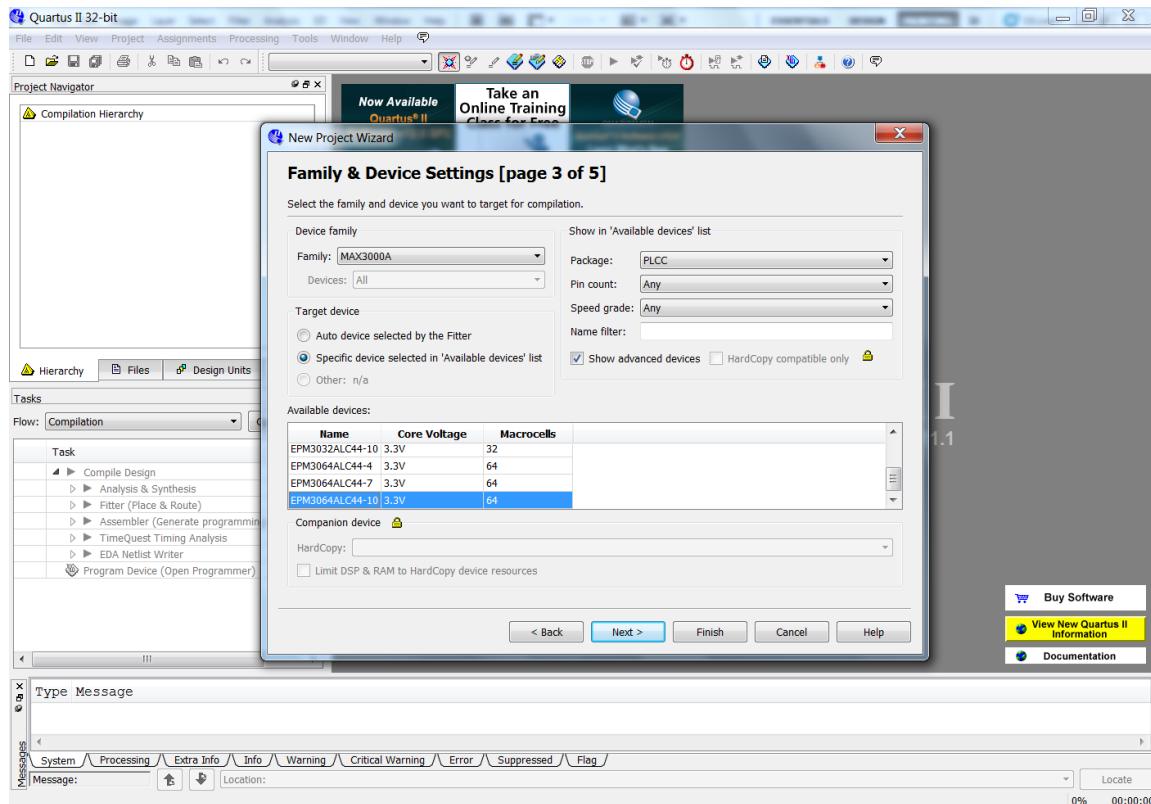


Figura 5 - Tela de Introdução do Project Wizard. (parte 3 de 5)

Nesta tela deve-se escolher o componente a ser utilizado para implementar o projeto, ou seja, em qual dispositivo lógico programável o sistema será gravado. A família do dispositivo pode ser definida no campo **Device Family**. Na seção **Show in 'Available device' list** é possível realizar um filtro de componentes conforme algumas características como encapsulamento (*package*), quantidade de pinos (*pin count*) e faixa de velocidade (*speed grade*). Na lista **Available devices** são apresentados todos os componentes da família escolhida que atendam aos requisitos definidos pelo filtro de componentes. Selecione o dispositivo adequado e clique em **Next** para prosseguir para a próxima tela.

**OBS:** Observe no kit de desenvolvimento qual o dispositivo utilizado. A Figura 5 mostra como exemplo a seleção do chip EPM3064ALC44-10. Este código, conhecido como “part number”, segue critérios de numeração do fabricante do circuito integrado (Altera). Nele está embutida a informação de que é um chip da família MAX3000A (alimentação 3,3V), tem 64 macrocélulas, o encapsulamento é tipo “PLCC” (código ALC), tem 44 pinos e o atraso de porta é de 10 nanosegundos. Esta informação de atrasos é importante para as simulações em que o atraso das portas é levado em consideração, como a simulação na modalidade *timing* vista mais adiante (Item 4: Simulação de projetos). Se você está executando este tutorial sem um kit de desenvolvimento, execute-o selecionando este chip.

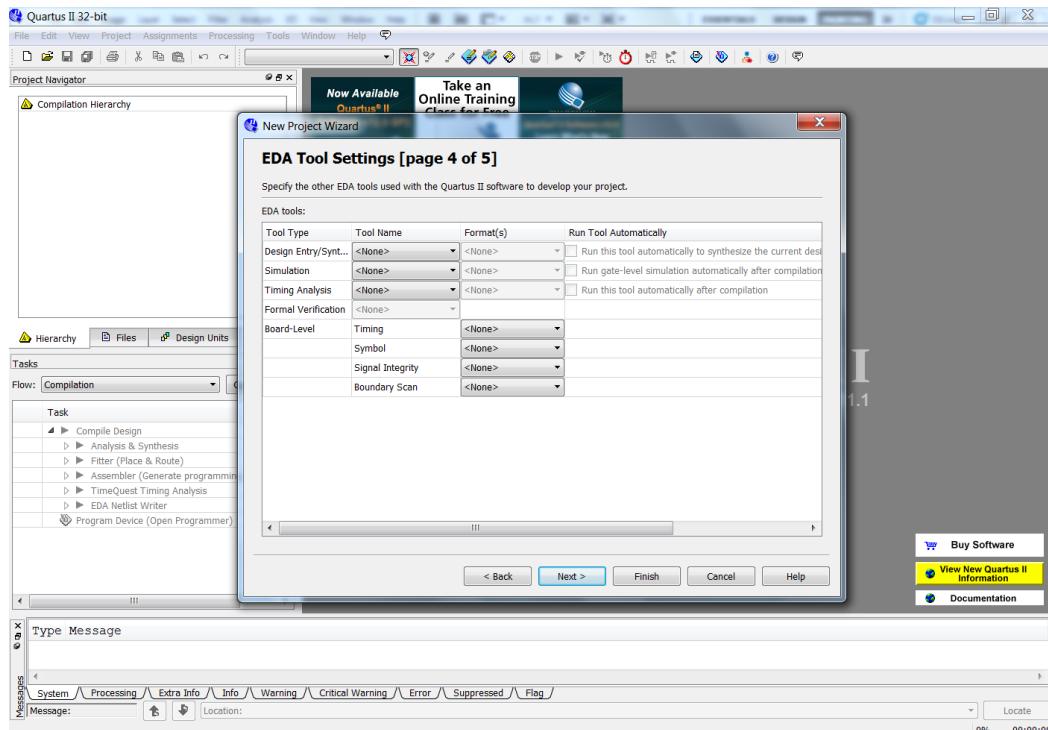


Figura 6 - Tela de Introdução do Project Wizard. (parte 4 de 5)

Nesta janela é possível utilizar outras ferramentas de desenvolvimento em conjunto com o Quartus II, para isto a ferramenta a ser utilizada deve estar instalada no computador, uma vez que estas ferramentas não acompanham o pacote de instalação do Quartus II. No curso de sistemas digitais não será utilizada nenhuma ferramenta adicional. Assim sendo, clique em **Next**.

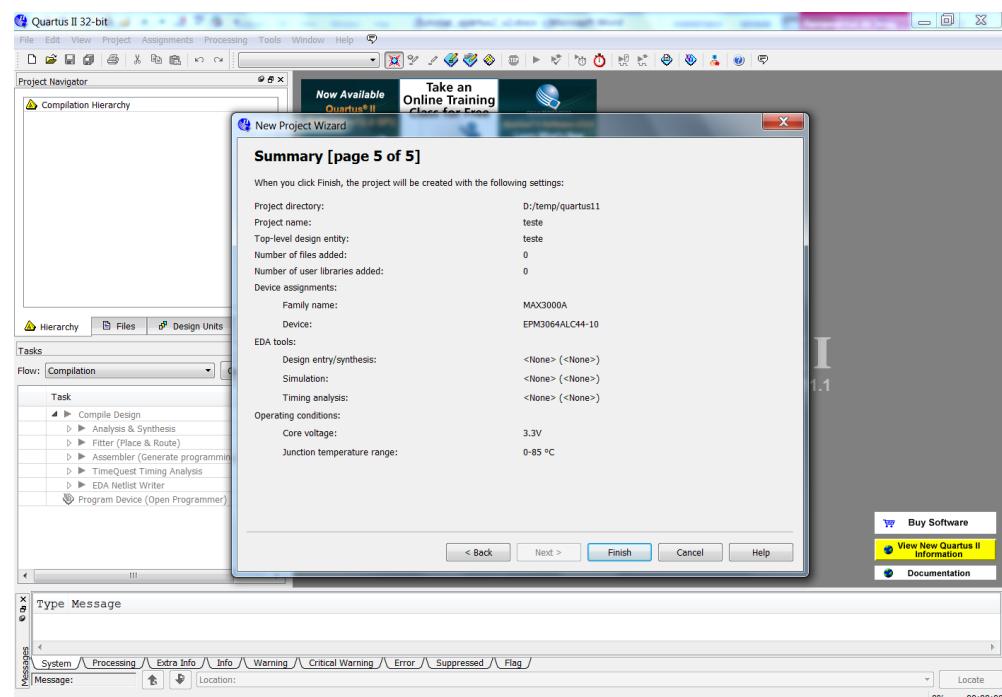


Figura 7 - Tela de Introdução do Project Wizard. (parte 5 de 5)

Esta tela apresenta um resumo do projeto a ser criado. Verifique se todos os dados conferem com os desejados, caso haja algo incorreto retorne à tela adequada, por meio do botão **back** e corrija o erro. Caso não haja erros, clique em **Finish**.

Ao final do processo a janela de projeto (*Project Navigator*) conterá o projeto criado, como mostrado na Figura 8.

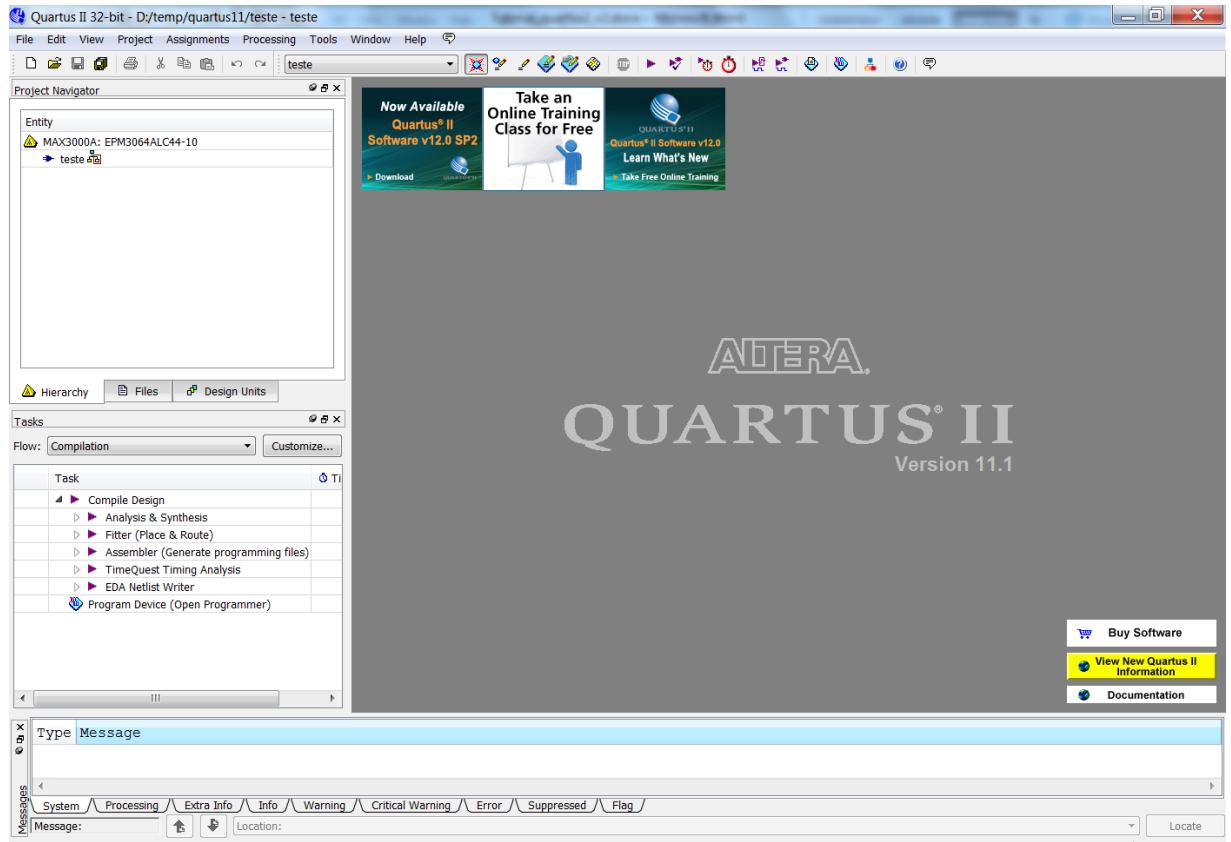
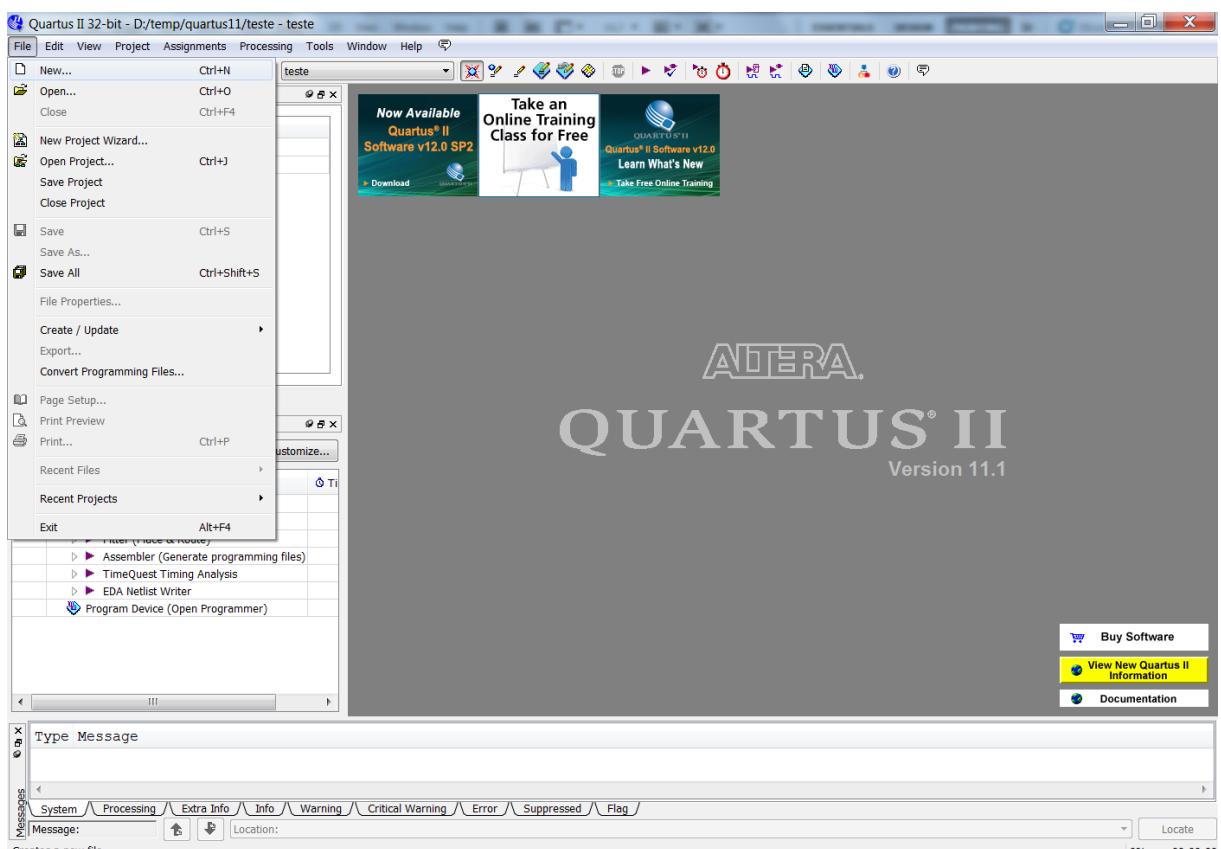


Figura 8 - Tela do Projeto “teste1” da pasta “minha pasta quartus”

### 3. Desenvolvendo um projeto usando diagrama esquemático

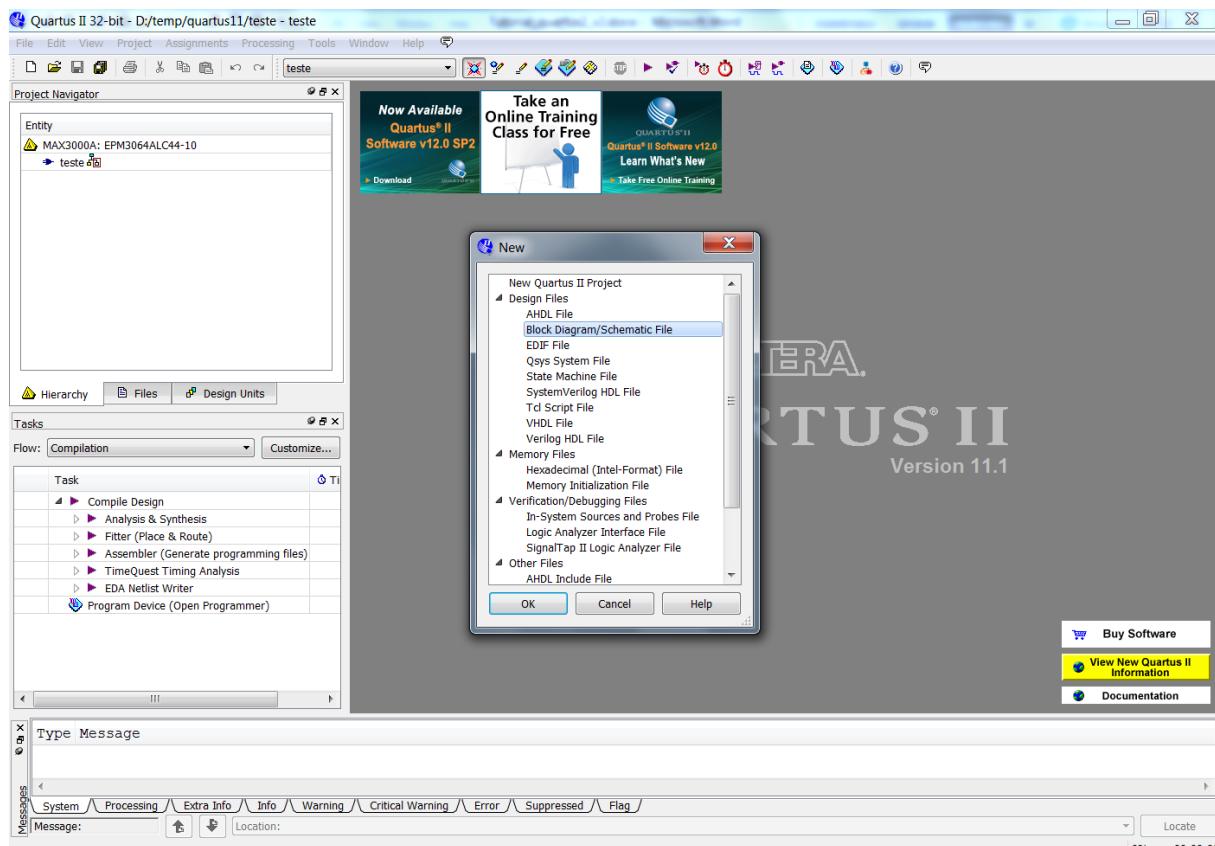
O uso de diagramas esquemáticos é uma das maneiras de se definir a lógica de um sistema digital dentro do ambiente de projeto do Quartus II. Neste modo de projeto os componentes básicos de eletrônica digital (Portas lógicas, Flip-flops, Multiplexadores, etc) são representados por meio de blocos, os quais podem ser arranjados e associados de forma a se definir uma lógica de funcionamento.

Para se iniciar o desenvolvimento de um projeto que utilize o modo de diagrama esquemático, é necessário, primeiramente, adicionar ao projeto principal um arquivo que comporte este tipo de entrada. Assim sendo, para adicionar um arquivo de diagrama esquemático ao projeto clique em *File -> New...*, como mostrado na Figura 9.



**Figura 9 - Tela de Abertura de um novo arquivo dentro do projeto – Menu File→New...**

Uma vez feito isso, a janela mostrada na Figura 10 aparecerá.



**Figura 10 - Tela de Abertura de um novo arquivo esquemático dentro do projeto – Menu File→New...**

Nesta janela é possível escolher o tipo de arquivo que se deseja criar (Diagrama esquemático, VHDL, etc). Selecione a opção **Block Diagram / Schematic File** e clique em **Ok**. Um novo arquivo de diagrama esquemático aparecerá na janela principal do Quartus II. Para salvar este arquivo clique em **File -> Save as...** e dê um nome ao arquivo, salvando-o preferencialmente na pasta do projeto principal.

**OBS:** Para arquivos de descrição de hardware, deve-se sempre lembrar que o nome da entidade principal do arquivo deve ser igual ao nome do arquivo.

A tela de edição de diagramas esquemáticos é mostrada na Figura 11, onde são destacadas as funções de alguns botões:

- **Atracar/Desatracar Janela:** Permite separar a janela de diagrama esquemático da janela principal do Quartus II
- **Ferramenta de Seleção:** Permite selecionar elementos inseridos no arquivo.
- **Ferramenta de texto:** Permite inserir texto no arquivo, com fins explicativos ou de documentação.
- **Ferramenta de símbolo:** Permite inserir símbolos (componentes). Seu uso será detalhado posteriormente.
- **Ferramenta de conexão:** Realiza a ligação entre terminais dos componentes.
- **Ferramenta de barramento:** Realiza a ligação de barramentos (conjunto de sinais associados).

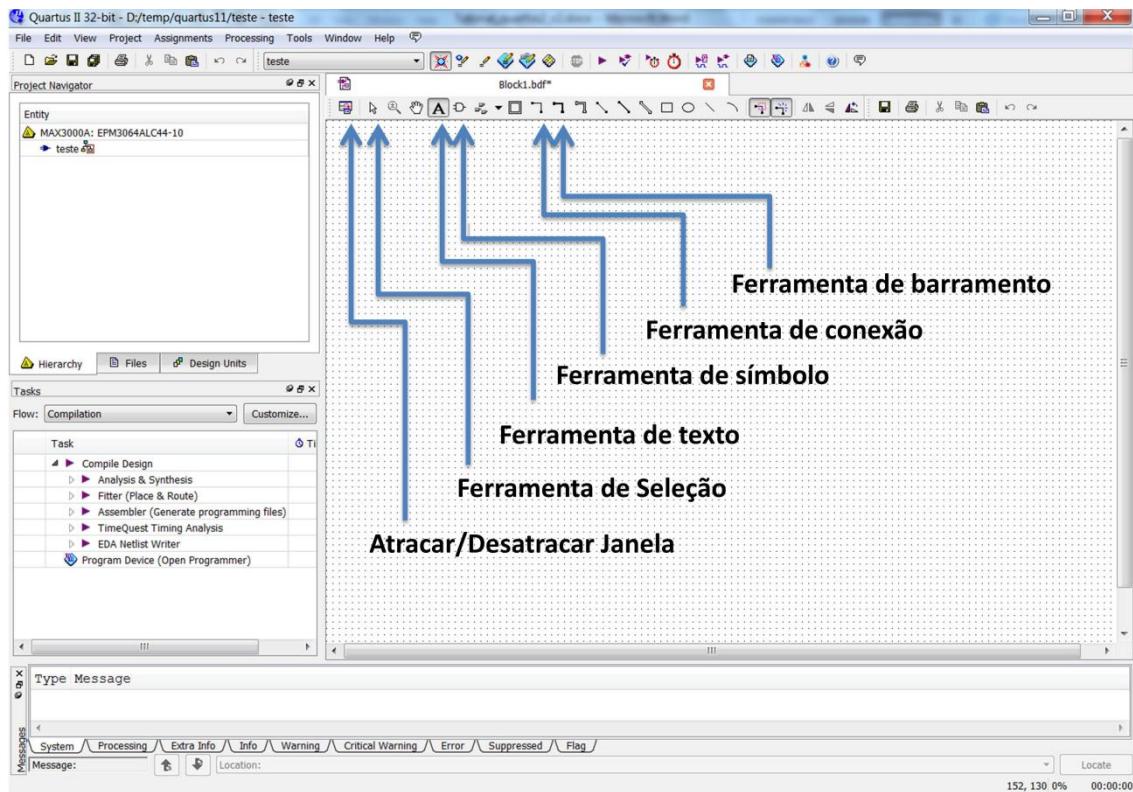


Figura 11 - Tela de Abertura para Edição de um arquivo em Esquemáticos

Através da ferramenta de símbolos é possível inserir componentes no arquivo. Clique nela (ou dê dois cliques na tela em branco) para inserir um componente. Feito isso a janela mostrada na Figura 12 aparecerá.

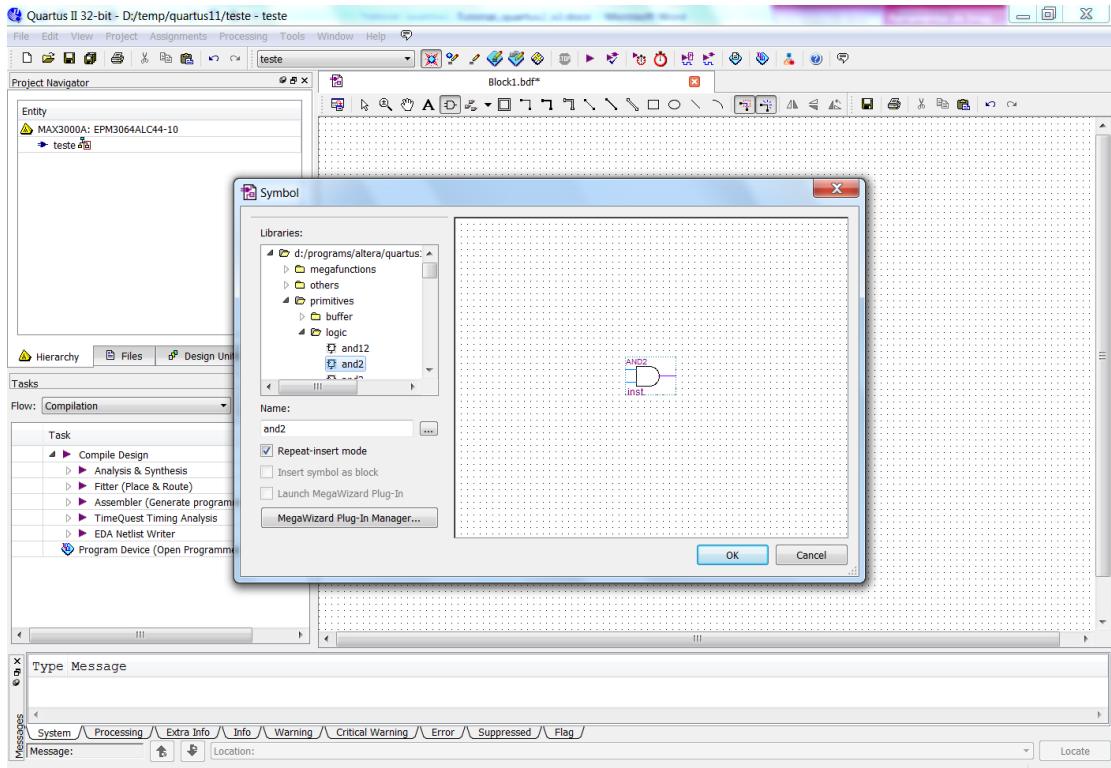


Figura 12 - Tela de Inserção de Portas Lógicas Primitivas em um arquivo do tipo Esquemático

Nessa janela, no campo **Libraries**, é possível explorar as diversas coleções de componentes do Quartus II. As mais relevantes são listadas abaixo:

- **Megafuctions:** Tratam-se de funções complexas já prontas, necessitando muitas vezes de configuração.
- **Others:**
  - Maxplus2: esta coleção possui modelos de componentes equivalentes aos da família de dispositivos 74xx. Dessa forma é possível realizar qualquer combinação lógica feita com componentes discretos dentro do CPLD.
- **Primitives:** componentes básicos:
  - **Buffers:** diversos tipos de buffers, incluindo os de saída tri-state.
  - **Logic:** Elementos lógicos básicos (AND, OR, NOR, XOR, etc...) com diversos números de entradas.
  - **Others:** elementos diversos.
  - **Pin:** diversos tipos de pinos suportados pelo componente: entrada, saída ou bidirecional.
  - **Storage:** elementos de armazenamento de dados, ou seja, flip-flops de diversos tipos.

Selecione o componente desejado e clique **OK**.

#### Exemplo:

Para exemplificar o modo de desenvolvimento via diagrama esquemático, será realizada a montagem de um circuito combinacional capaz de executar a operação:

$$S = A \cdot B \oplus C \cdot D$$

- Primeiramente insira as portas lógicas necessárias e os pinos de entrada e saída, como mostrado na Figura 13. (Para renomear os pinos de entrada e saída dê duplo clique sobre o pino a ser alterado)

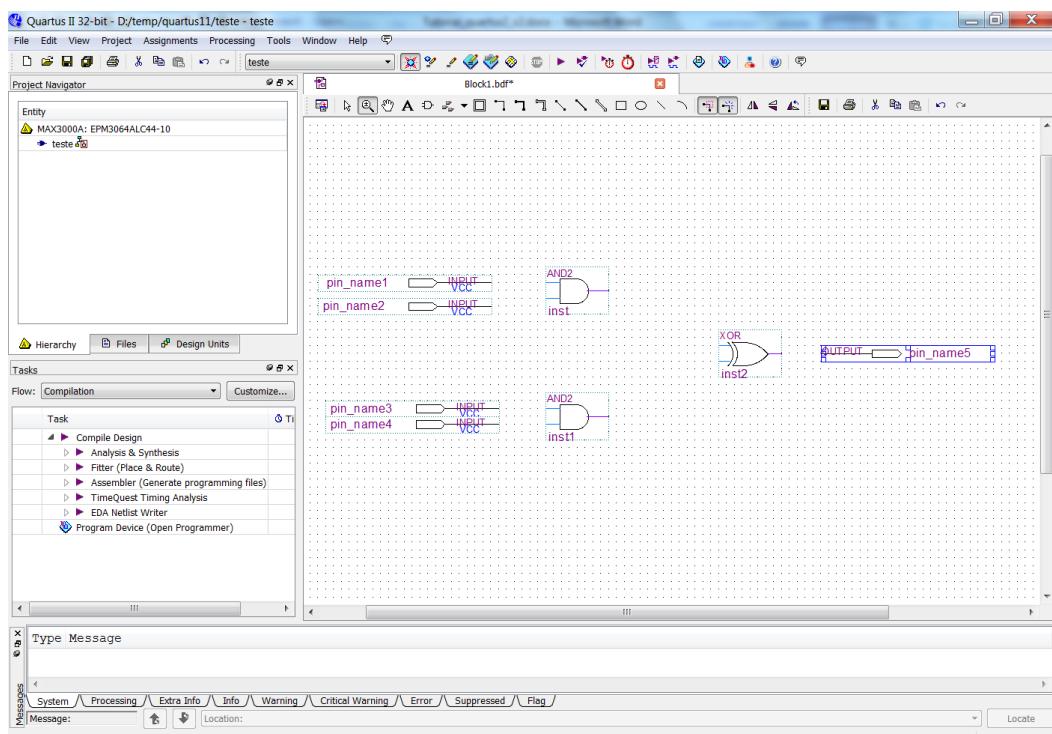


Figura 13 - Tela de Inserção de Portas Lógicas Primitivas e Pinos na forma de Esquemáticos

- Faça as conexões entre os pinos de entrada e saída e as portas lógicas utilizando a ferramenta de conexão. Para isso clique nos terminais a serem conectados, observando se de fato foi feito o contato. Ao fim desse processo, a tela se tornará como a mostrada na Figura 14.

**OBS:** As conexões são feitas sempre com o traço fazendo 90º com a borda do componente. Junções de duas trilhas eletricamente conectadas são marcadas automaticamente com um pequeno círculo escuro no ponto de junção. Trilhas que “passarem do ponto” de conexão ao componente terão suas extremidades inadvertidamente “soltas” marcadas com um  $\times$ , como mostra a Figura 14, além de exibirem desnecessariamente o círculo escuro no ponto de conexão real com o componente.

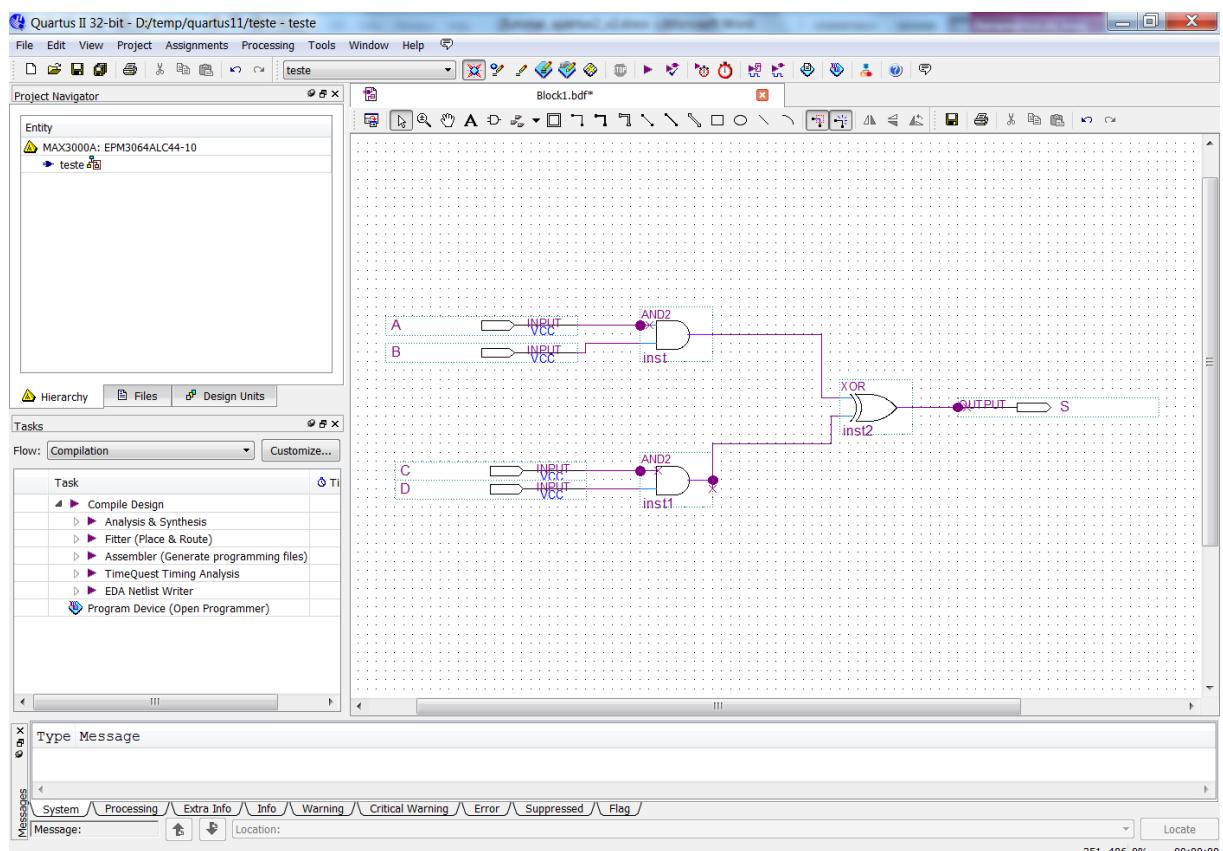


Figura 14 - Tela de Inserção de Portas Lógicas Primitivas e Pinos na forma de Esquemáticos

- Compile o projeto. Para isso clique em **Processing -> Start Compilation**, ou clique no item de compilação na janela principal, como mostrado na Figura 15. Esse processo é bastante complexo e pode demorar vários segundos para ser concluído. Na janela de status é possível acompanhar a evolução de cada uma das etapas de compilação.

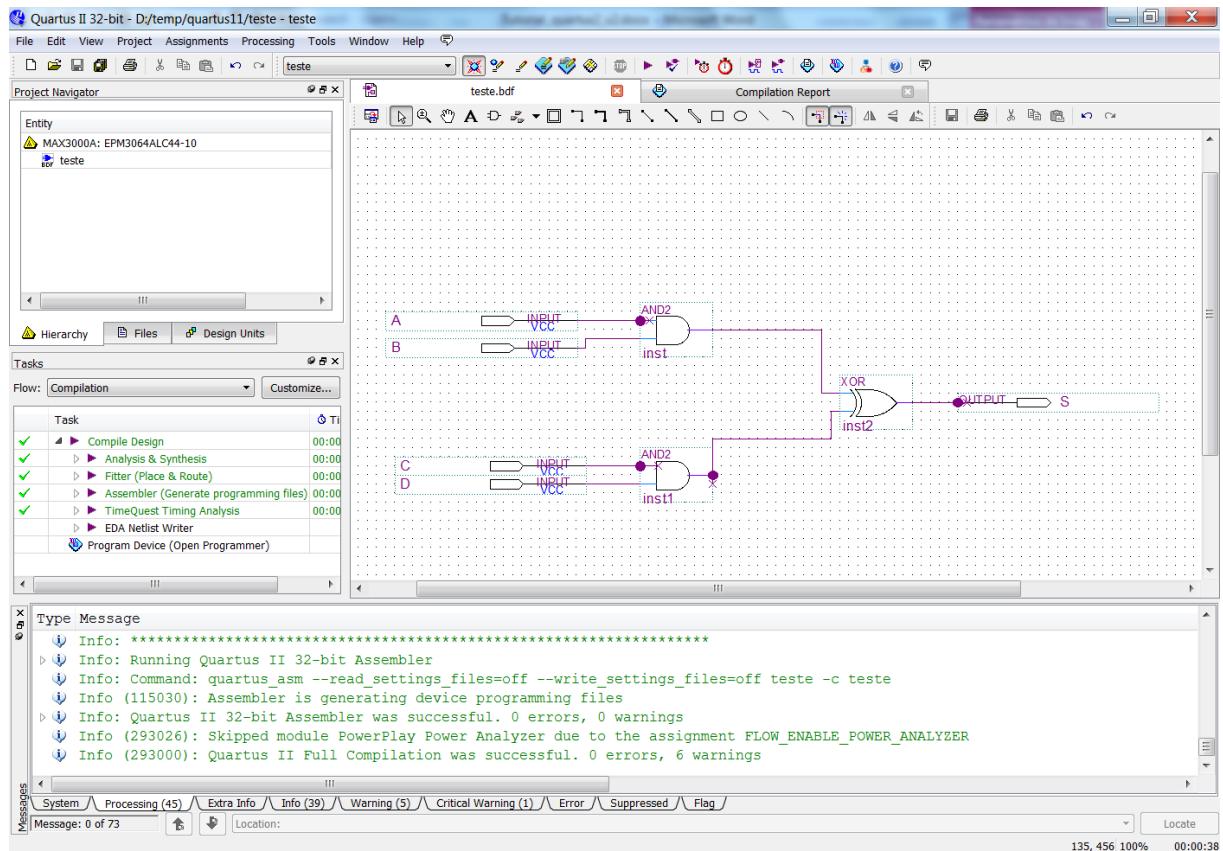


Figura 15 - Ícone “Start Compilation” da Barra de Tarefas do Quartus II – Altera

Ao final do processo de compilação aparecerá, abaixo da tela do diagrama esquemático, uma janela de mensagens com o resultado da compilação. Caso algum erro, no processo de compilação, ocorra ele será mostrado nesta janela, com indicações do motivo da ocorrência e, no caso de linguagens de descrição de hardware, da parte do código onde se encontra o erro. Corrija sempre os ocasionais erros e repita o processo de compilação.

#### 4. Simulação de projetos

A Altera fornece o simulador “Altera University Program Simulator”, também chamado QSim, para realizar simulações do projeto desenvolvido (veja a Figura 16). O simulador QSim pode ser iniciado pela área de trabalho do Windows<sup>2</sup>.

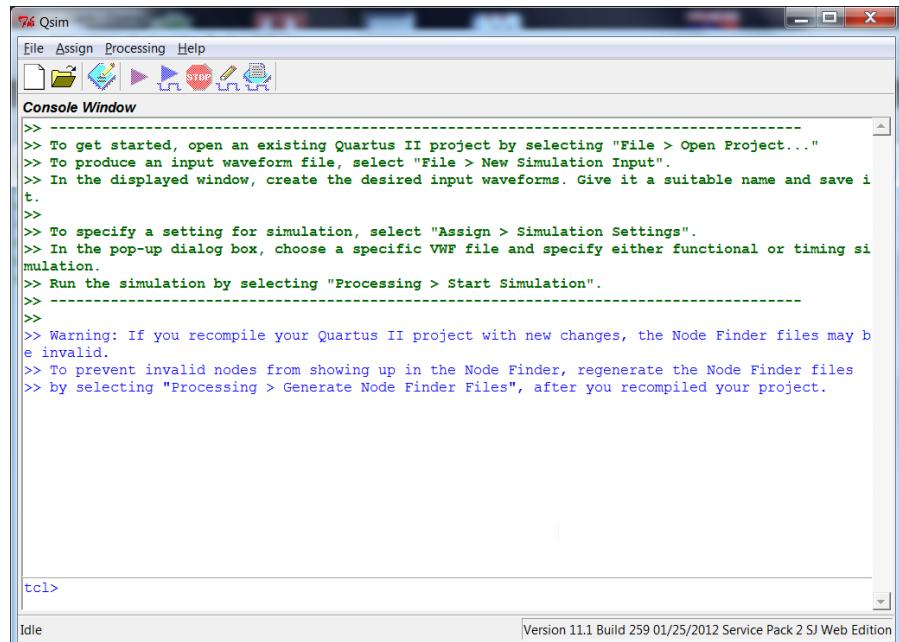


Figura 16 - QSim janela inicial

Para executar uma nova simulação, clique no menu **File -> Open Project...**, como mostrado na Figura 17, direcione-se para a pasta do seu projeto e selecione a arquivo **\*.qpf**.

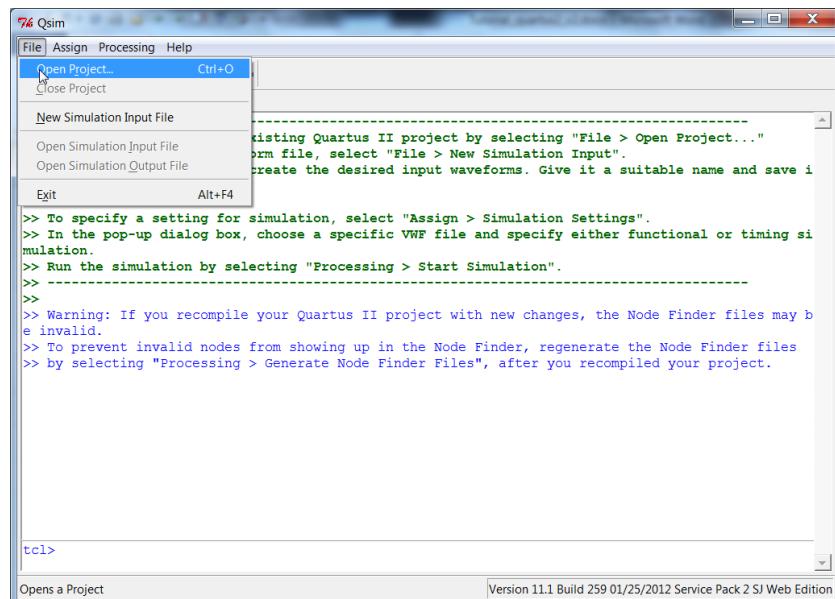


Figura 17 - Abrir projeto em QSim

<sup>2</sup> A partir da versão 11.1 do Quartus II Web Edition, a ferramenta de simulação QSim está incluída no pacote, mas é uma ferramenta separada. Estando no Windows, você pode abri-la usando a linha de comando “quartus\_sh -- qsim” precedida, se necessário, do caminho de instalação do Quartus, por exemplo, “c:\altera\11.1sp2\quartus\bin\quartus\_sh -- qsim”. Sugestão: crie um atalho com esta linha de comando. Caso necessite baixar diretamente o QSim, ele está disponível em <http://www.altera.com/education/univ/software/qsim/univ-qsim.html> (atenção para a escolha adequada do “Filter Materials” – VHDL e versão 11.1 para o Quartus II).

As simulações podem ser de dois tipos: funcional e temporal. A simulação funcional permite verificar se a funcionalidade do projeto desenvolvido está correta; em outras palavras, a simulação funcional verifica a lógica. Por sua vez, a simulação de tempo, além do aspecto funcional, verifica as características de temporização, que são inerentes à construção interna do CPLD ou FPGA usado e da forma como o projeto é construído dentro do chip. Ou seja, uma simulação temporal verifica o funcionamento do projeto, simulando também os atrasos de tempo de propagação das portas para o chip escolhido.

O primeiro passo para simular é criar um arquivo de entradas para a simulação, ou um arquivo com os estímulos dos sinais de entrada de seu circuito. Esse arquivo vai aplicar às entradas de sinais as condições possíveis de funcionamento de forma que a saída possa ser então avaliada. Para criar um arquivo de simulação, clique em **File -> New Simulation Input File**. Assim a tela a seguir será aberta (Figura 18).

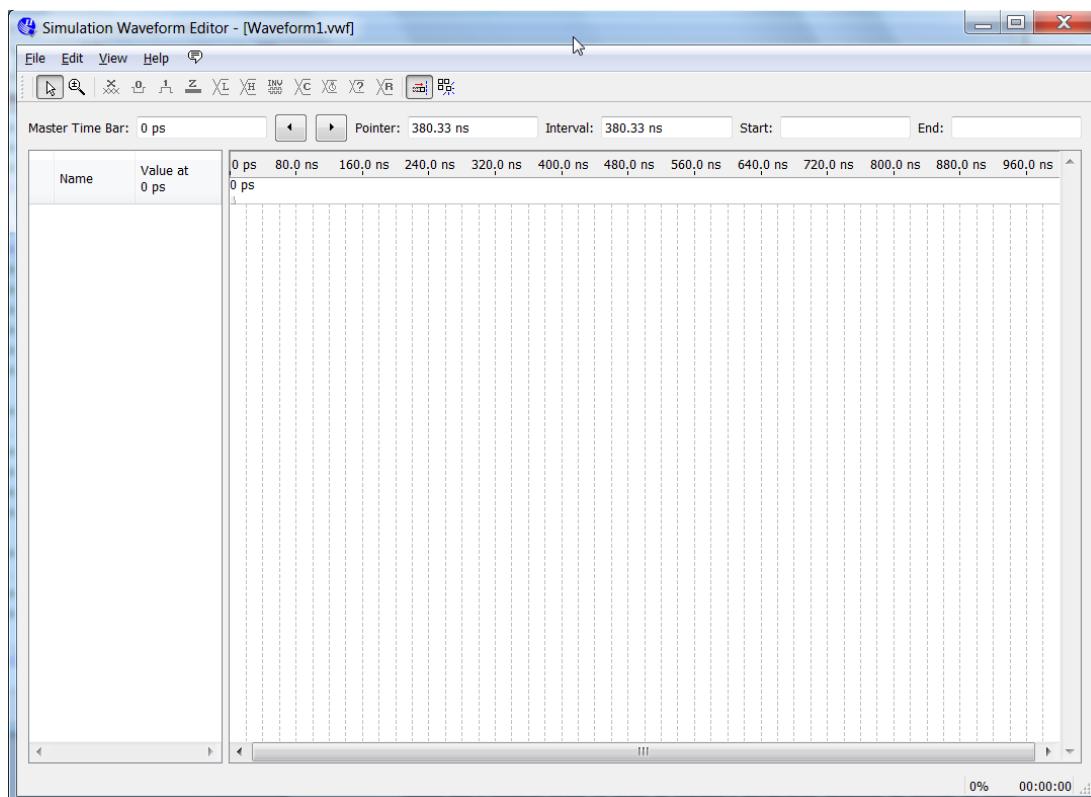


Figura 18 - Tela do editor de formas de onda

Nessa tela é possível incluir os sinais de entrada e literalmente desenhar as formas de onda dos sinais aplicados. Para inserir sinais vá a **Edit -> Insert -> Insert Node or Bus...** ou dê um clique duplo na tela em branco logo abaixo da coluna **Name**. Fazendo isso a seguinte tela irá se abrir (Figura 19):

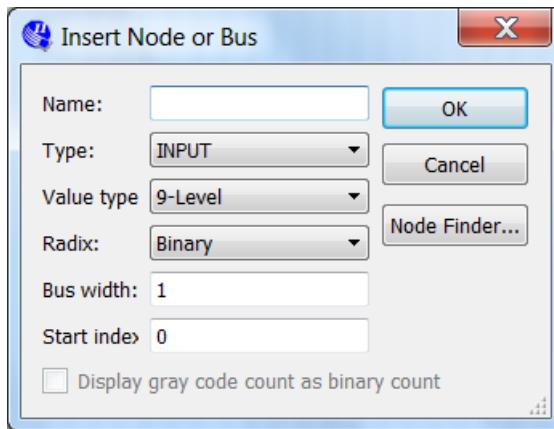


Figura 19 - Tela Insert Node or Bus

Nesta tela, clique em **Node Finder...**, a seguinte tela aparecerá (Figura 20):

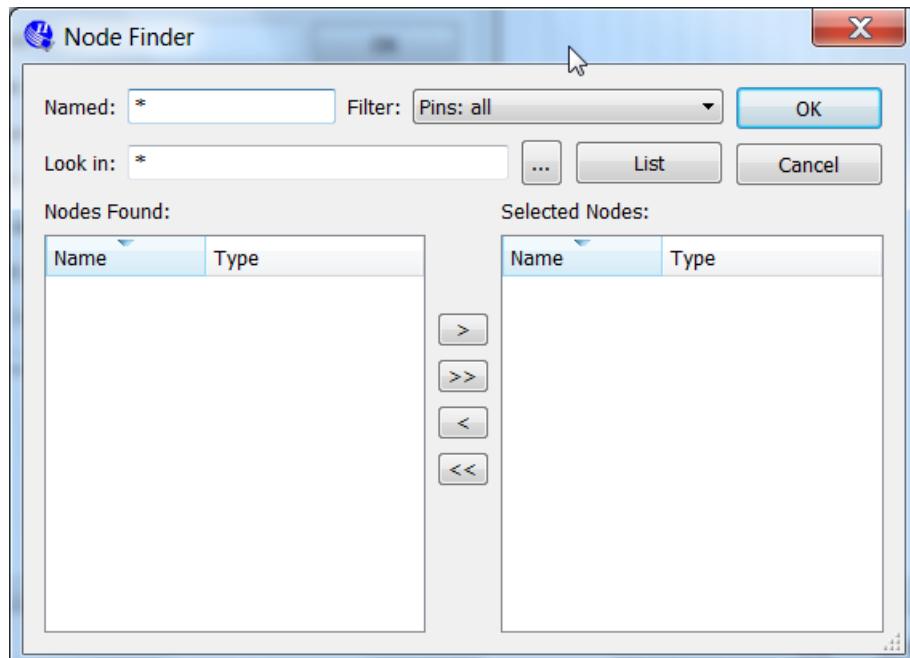


Figura 20 - Tela do Node Finder

No campo **Filter** é possível escolher a categoria de sinais com os quais se deseja trabalhar. O campo **Look in** informa qual projeto ou arquivo será usado. Por fim, clicando em **List** serão apresentados todos os sinais do projeto. Para incluir um sinal na simulação, selecione-o no campo **Nodes Found** e clique no botão “>”; os sinais selecionados serão transferidos para o campo **Selected Nodes**. Devem ser selecionados os sinais de entrada, e os de saída, cujo resultado se deseja analisar (veja Figura 21).

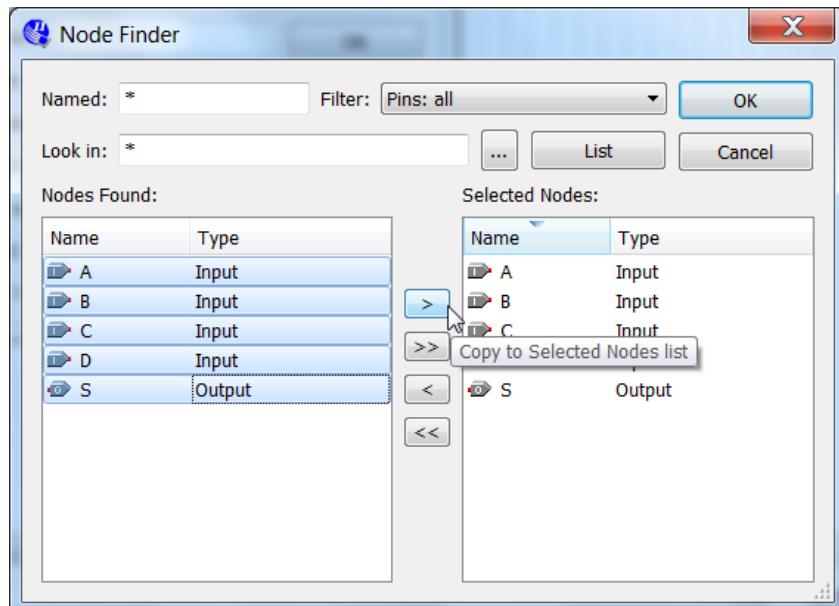


Figura 21 - Seleção dos Sinais no Node Finder

Uma vez que todos os sinais tenham sido escolhidos, clique em **Ok**, retornando assim à tela da Figura 19. Clique novamente em **Ok**, para retornar à tela do editor de formas de onda. Antes de se iniciar a edição dos sinais de entrada, é necessário definir o tempo total de simulação e o tamanho do grid. Para isso, inicialmente clique em **Edit -> Set End Time...**, a seguinte tela irá se abrir (Figura 22):

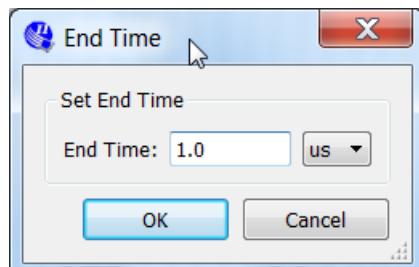


Figura 22 - Tela do editor de tempo total de simulação

Nesta janela, no campo Time: pode-se definir o tempo total, no qual se deseja analisar o comportamento do sistema projetado. Uma vez definido o tempo total de simulação, clique em **Edit -> Grid Size...**, e defina o tamanho do grid, ou seja, a resolução do eixo tempo para manipular e editar graficamente as formas de onda usando o mouse. Este intervalo de tempo será demarcado na tela do editor de forma de onda. A utilização do grid facilita o trabalho de desenhar as formas de onda desejadas (veja Figura 23).

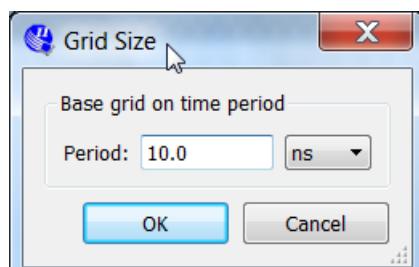


Figura 23 - Tela do Grid Size

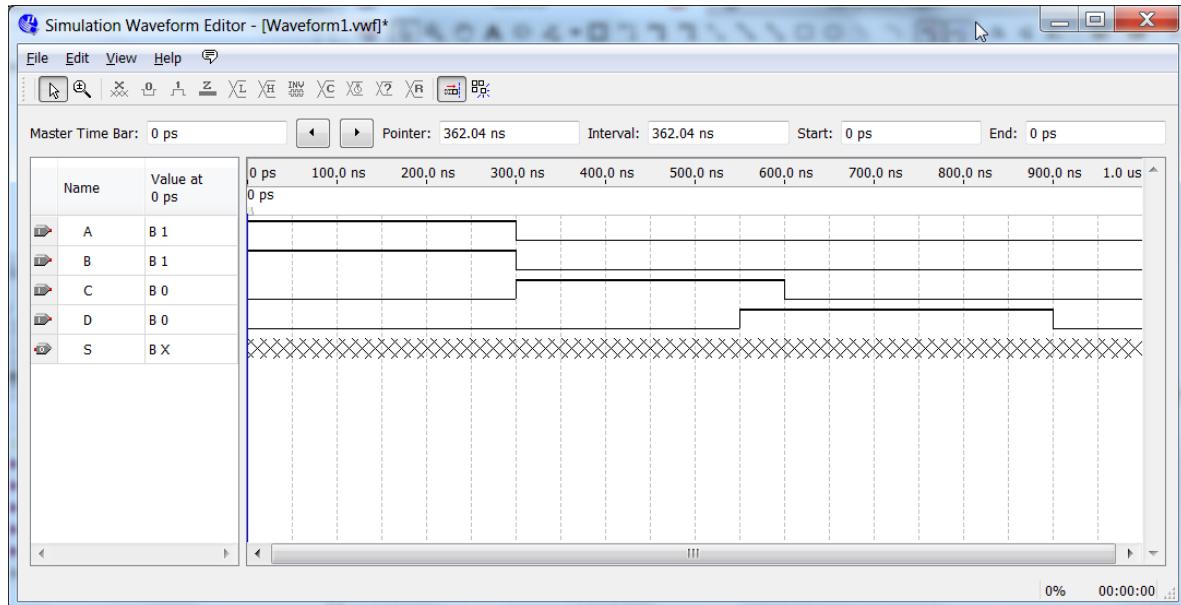


Figura 24 - Marcação visual do grid

**OBS:** Para facilitar a visualização de eventos é interessante que o tempo total de simulação e o tamanho do grid sejam da mesma ordem de grandeza. A Figura 24 exemplifica uma relação de 20 vezes entre o *grid size* (50ns) e o tempo total (1us).

Uma vez definidos estes itens, pode-se iniciar o processo de desenhar as formas de onda. Para tal utilizam-se os botões encontrados na parte esquerda da tela de edição de formas de onda, dos quais alguns são descrito na tabela a seguir.

Botão	Nome	Função
	Zoom	Permite aumentar e diminuir o zoom da tela de tempo, isto é, mudar a escala de tempo apresentado. Clique com botão direito: aumenta o zoom Clique com botão esquerdo: diminui o zoom
	Desconhecido	O estado do pino não é definido, permanece desconhecido
	Nível lógico baixo	Força o pino para 0
	Nível lógico 1	Força o pino para 1
	Alta impedância	Mantém o pino em alta impedância
	Não importa (don't care)	O estado do pino não é definido.
	Contagem	Gera um contagem nos pinos. Só pode ser usado para barramentos (conjuntos de pinos)
	Clock	Aplica um sinal de clock de freqüência definida.

**Dica:** para definir um valor de um sinal em um intervalo, marque o intervalo sem cruzar as linhas horizontais (Figura 25). Depois clique duas vezes na caixa azul e define a valor desejado na janela que se abre (Figura 26).

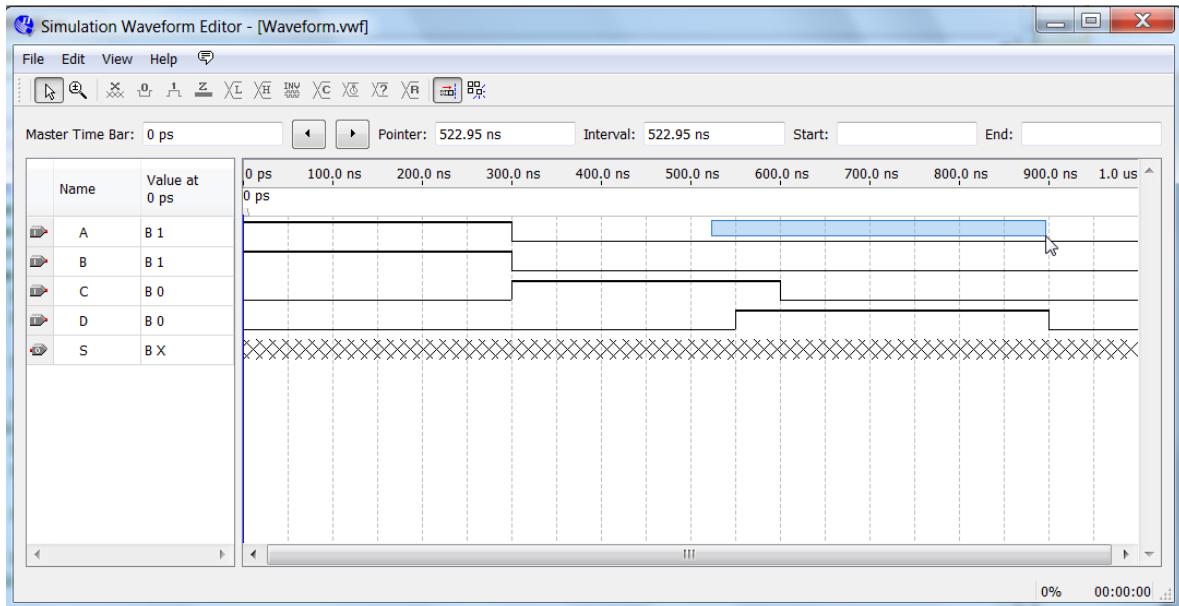


Figura 25 - Marcação de um intervalo para definir um valor

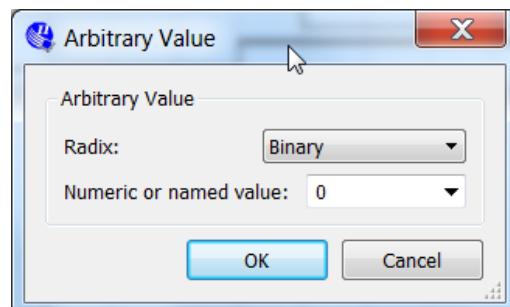


Figura 26 - Seleção de um valor

Uma vez configuradas as formas de onda dos sinais de entrada, salve o arquivo clicando em **File -> Save as...**

O passo seguinte é definir o tipo e o arquivo da simulação. Para isso, clique na janela do QSim **Assign -> Simulation Settings....** A seguinte tela se abrirá:

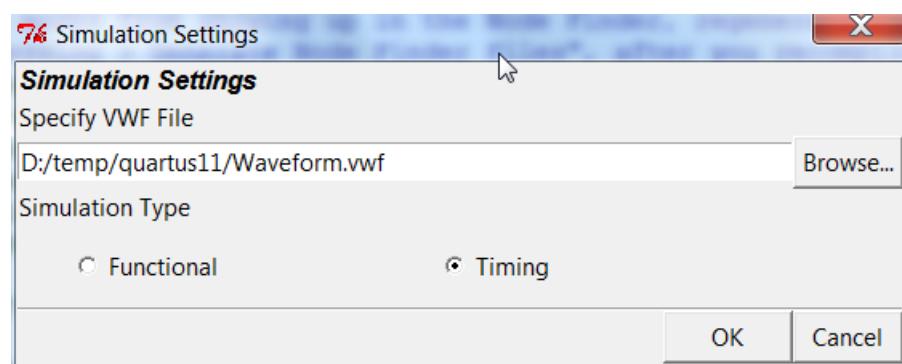


Figura 27 - Tela do Simulator Settings

Nesta tela, selecione o arquivo de forma de onda no campo **Specify VWF File**. Em seguida escolha **Timing** no campo **Simulation Type** se for levar em conta na sua análise os atrasos das portas. Caso queira um teste apenas funcional, escolha **Functional** para o campo **Simulation Mode**. Por fim, clique em **OK**. Se você selecionou uma simulação de tipo funcional você tem que abrir o menu “**Processing**” e clicar em “**Generate Simulation Netlist**”. Para dar início agora a simulação clique em **Processing -> Start simulation**. Esse processo pode demorar algum tempo. Ao completar a simulação uma nova janela, semelhante a janela de edição de forma de onda, deve ser apresentada. Caso esta janela não apareça, clique no botão “**Open Output VWF File**” (Figura 28).

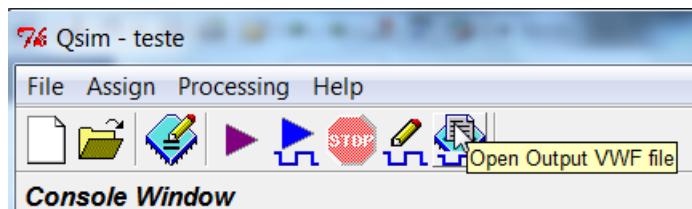


Figura 28 - Botão “Open Output VWF File”

A Figura 29 mostra a tela do *Simulator report*, respectivamente, após a da simulação do projeto.

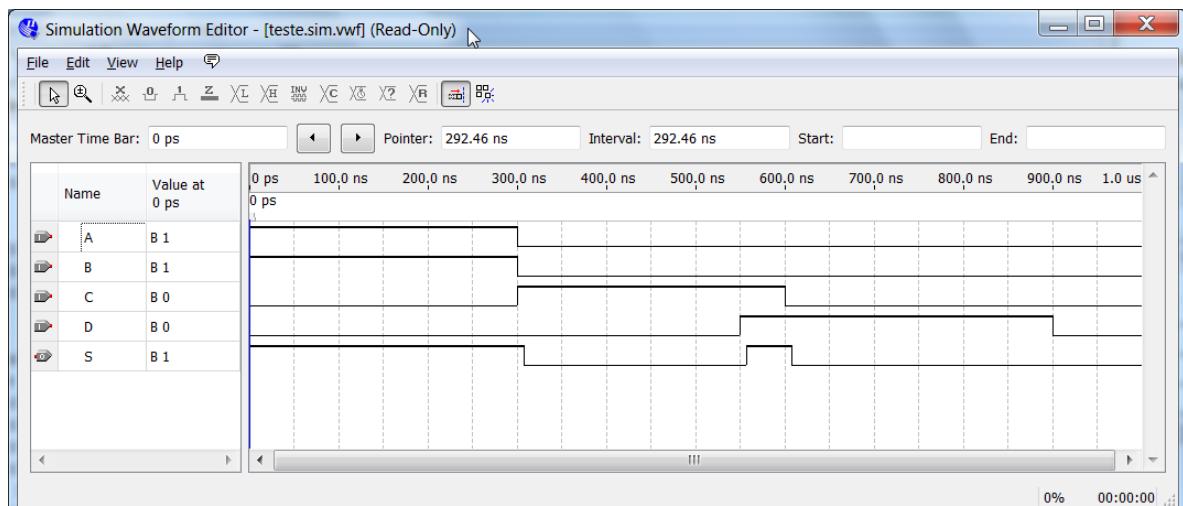


Figura 29 - Tela do Simulator Report

## 5. Gravação em FPGA/CPLD

Uma vez criado o circuito, deve-se definir a qual pino físico do CPLD cada pino do esquemático está ligado. Para isso clique em **Assignments -> Pin Planer**. Abrirá a janela a seguir, que permite definir a ligação entre os pinos físicos e os pinos do diagrama (Figura 30).

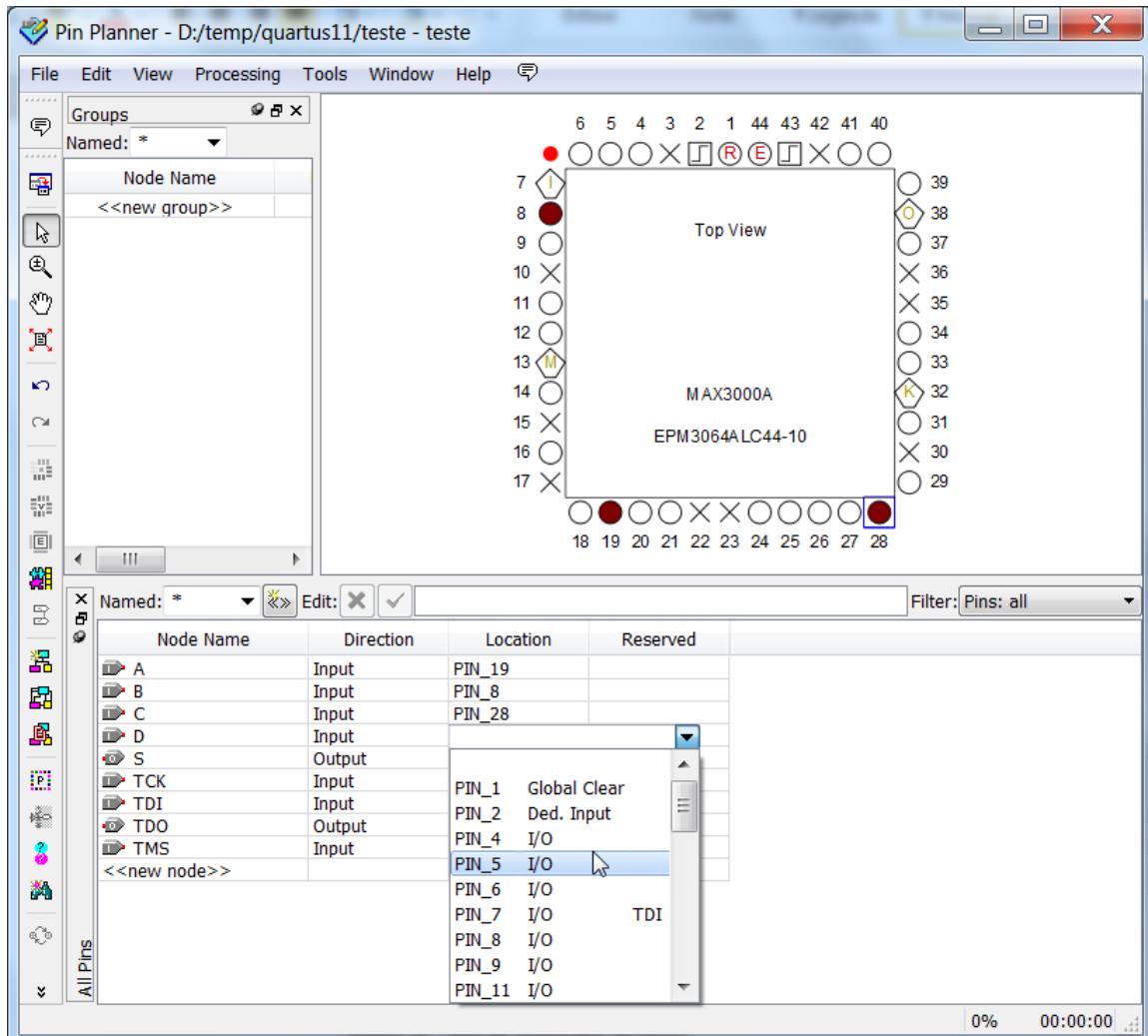


Figura 30 - Tela do associador de pinos

Nessa tela é apresentada uma figura da pinagem do CPLD. Na coluna **Node Name** estão listados os pinos presentes no projeto. Na coluna **Direction** está descrita a direção desse pino. Na coluna **Location**, pode-se definir a qual pino físico estará ligado o pino lógico. Para isso, dê um clique duplo em uma célula da coluna **Location** e escolha o pino desejado na lista que aparecerá. Repita esse processo para todos os pinos.

Para validar a atribuição de pinos repita a compilação e observe se não ocorrem erros.

Feita a associação dos pinos do CPLD, e havendo um programador instalado e ligado, pode-se então gravar o projeto no dispositivo lógico programável disponível. Clique em **Tools -> Programmer**, chamando assim a seguinte tela:

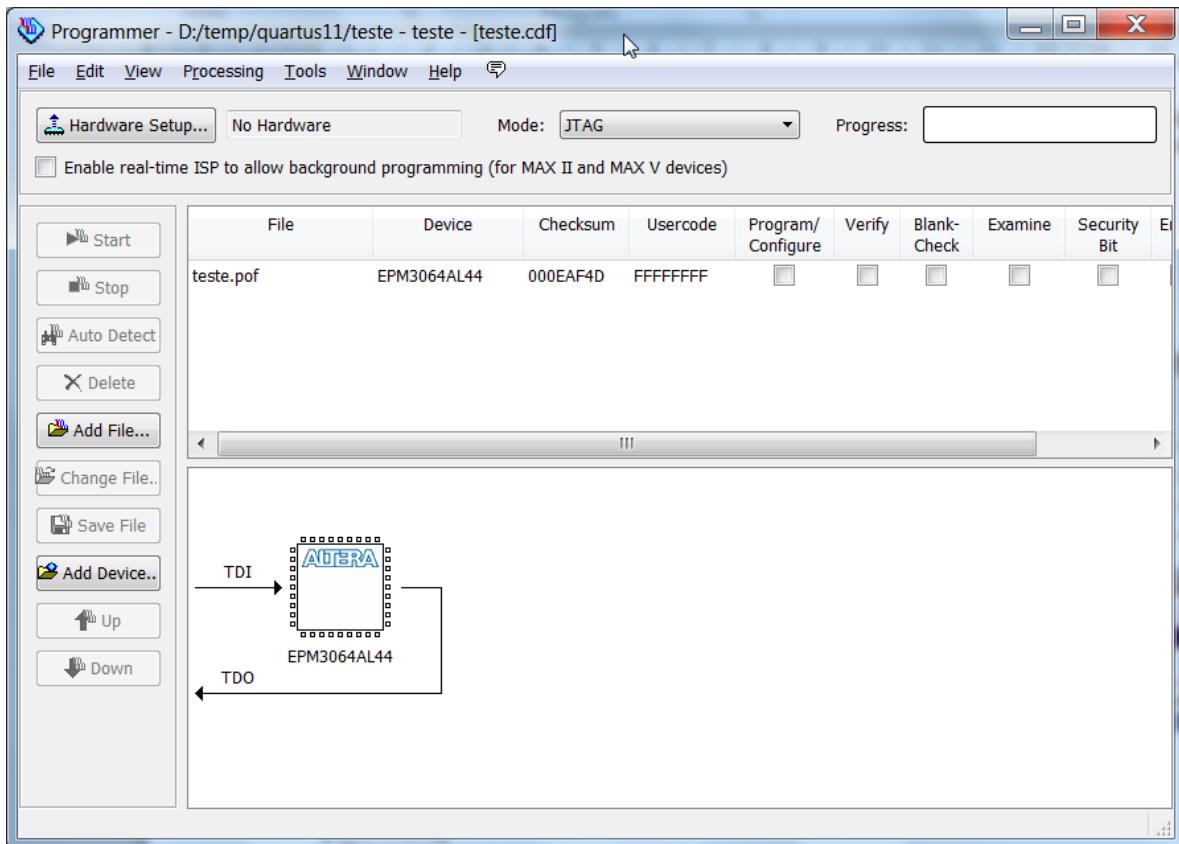


Figura 31 - Tela do gravador de programas

Na área de configuração apresentada, é preciso assegurar que as opções de hardware do gravador estejam corretas, através do atalho **Hardware Setup...**. Caso não haja nenhum hardware selecionado, em **Add Hardware** selecione manualmente ByteBlaster ou USBBlaster, conforme o gravador do kit utilizado. Vale aqui também uma conferência final para certificar-se que o CPLD selecionado na coluna “Device” é o mesmo CPLD existente no kit.

Ainda é preciso marcar a opção Program/Configure. Outras opções como verificação da gravação são também disponibilizadas. Clique em **Start** para iniciar gravação. A janela de mensagens da tela principal do Quartus II irá informar se a gravação foi executada com sucesso. Caso isso ocorra, seu projeto já estará rodando no CPLD.

Caso haja algum erro de gravação, verifique se:

- Os cabos estão corretamente ligados
- O kit está ligado
- O modelo de gravador está correto
- O modelo de CPLD está correto

## 6. Desenvolvendo um projeto usando VHDL

O VHDL é uma linguagem de descrição de hardware. Para se iniciar o desenvolvimento de um projeto que utilize o modo VHDL, é necessário, primeiramente, repetir os passos de criação de um projeto descrito no item 2 deste tutorial. Após isto, adicionar ao projeto principal um arquivo que comporte este tipo de entrada (VHDL). Assim sendo clique em **File -> New...**, como mostrado na Figura 9.

Uma vez feito isso, a janela mostrada na Figura 10 aparecerá. Nesta janela é possível escolher o tipo de arquivo que se deseja criar (Diagrama esquemático, VHDL, etc). Selecione a opção **VHDL file** e clique em **Ok**. Será aberto um arquivo texto onde o código VHDL pode ser escrito. Depois de escrever este código você deve criar um símbolo baseado neste código e em seguida, abrir um diagrama em bloco para inserir seu componente (criado com base no VHDL) para atribuição dos pinos e demais processos do projeto.

Para salvar este arquivo clique em **File -> Save as...** e dê um nome ao arquivo, salvando-o preferencialmente na pasta do projeto principal.

**OBS:** Para arquivos de descrição de hardware, deve-se sempre lembrar que o nome da entidade principal do arquivo deve ser igual ao nome do arquivo.

Dica, para escrever um código VHDL você pode utilizar os modelos disponíveis no Quartus II. Basta clicar em Edit > Insert Template > VHDL e escolher o que deseja.

Para compilar e simular o circuito em código VHDL basta seguir o último passo descrito no item 3 e depois os passos descritos no item 4 deste tutorial.

Você pode utilizar este arquivo de código VHDL em outros projetos, bastando para isto fornecer o nome e endereço deste arquivo na tela descrita na figura 4 deste tutorial. Esta tela também pode ser acessada clicando em **Project -> Add/Remove files in project**.