

## **11. DODATAK C: PROJEKTOVANJE U ALTERA QUARTUS II PROGRAMSKOM PAKETU**

Za rešavanje zadataka iz ove knjige je korišćen programski paket *Altera Quartus II Web Edition*. Ovo poglavlje je zapravo kratko uputstvo za korišćenje ovog veoma kvalitetnog alata za projektovanje digitalnih sistema.



Projektovanje složenih digitalnih sistema uz pomoć *Altera Quartus II* programskog paketa je moguće na 2 različita načina: formiranjem logičke šeme digitalnog sistema ili formiranjem HDL (*Hardware Description Language*) opisa digitalnog sistema, tj. opisa pomoću jezika za opis fizičke arhitekture.

*Altera Quartus II* programski paket podržava opis digitalnih sistema pomoću tri različita jezika za opis fizičke arhitekture:

1. AHDL (*Altera HDL*)
2. VHDL (*Very High Speed Integrated Circuit Hardware Description Language*)
3. VERILOG

Postupak projektovanja se uopšteno može podeliti u nekoliko uzastopnih koraka:

1. Odabir komponente koja će se programirati
2. Formiranje hijerarhijske strukture projekta
3. Realizacija svih hijerarhijskih nivoa (entiteta, modula)
4. Funkcionalna simulacija svih modula pojedinačno
5. Funkcionalna simulacija celog projekta
6. Vremenska simulacija celog projekta
7. Određivanje maksimalne frekvencije rada isprojektovanog sistema, kao i analiza vremena propagacije signala kroz elemente fizičke arhitekture programabilne sekvencijalne mreže
8. Punjenje programabilne komponente i testiranje u realnim uslovima

U ovom dodatku će biti opisan postupak projektovanja pomoću VHDL jezika za opis fizičke arhitekture i način formiranja šeme logičkih elemenata u *Altera Quartus II* programskom paketu. Ovaj programski paket omogućuje i mešoviti način projektovanja, gde su različiti moduli implementirani na različiti način, ali se ovakav način projektovanja ne preporučuje zbog neuniformnog opisa digitalnog sistema.

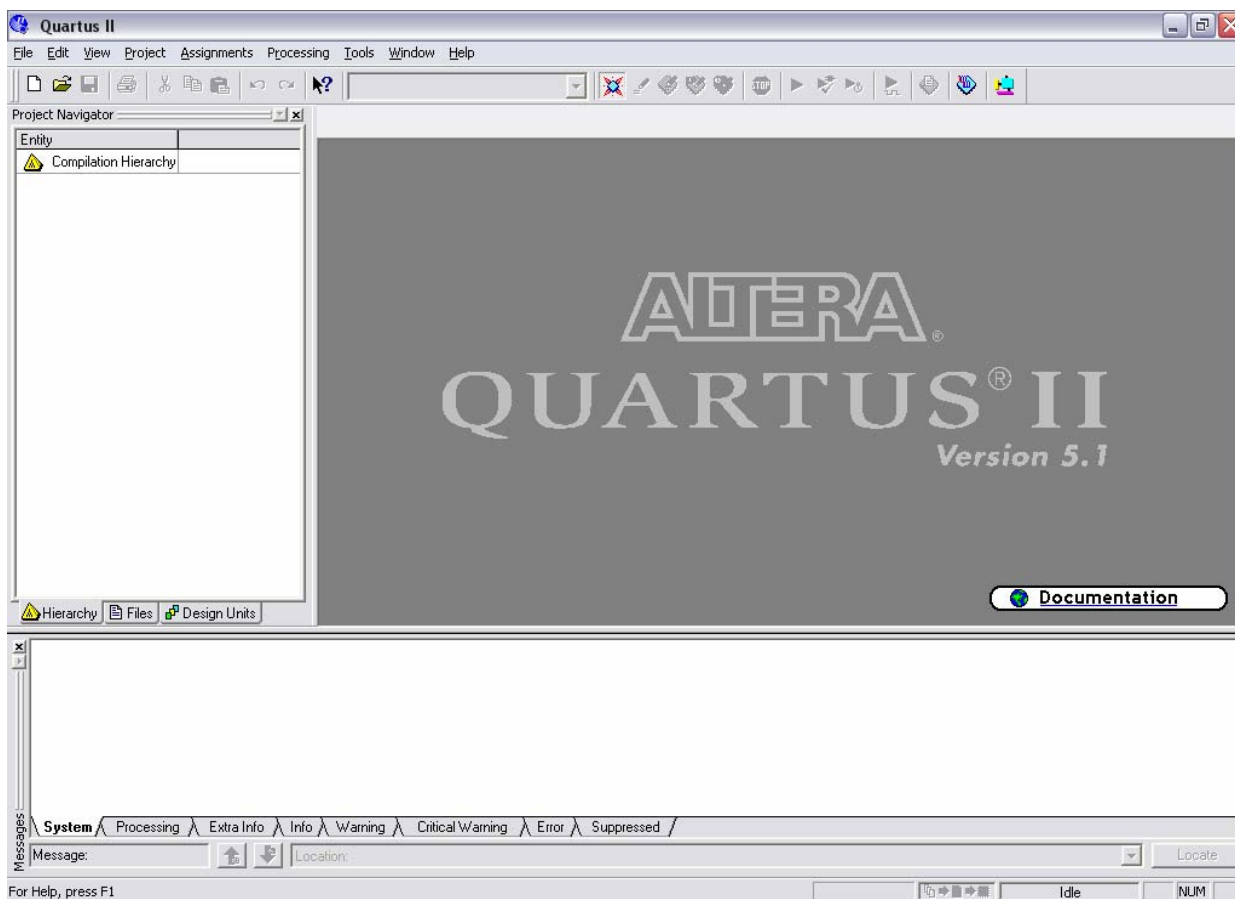
Postupak projektovanja će biti pokazan na primeru *Altera Quartus II* programskog paketa verzija 5.1. Kompletna procedura projektovanja se može uz manje izmene preslikati i na ostale programske pakete za projektovanje arhitekture programibilnih sekvencijalnih mreža (*Altera MAX+PLUS*, *Xilinx ISE*, *Cypres Galaxy* ...).

## 11.1 KREIRANJE PROJEKTA

Slika 11.1 prikazuje osnovni prozor *Altera Quartus* programskog paketa. Vidi se da je on podeljen na četiri sastavna dela:

- Projektni prozor (**Project Navigator**) – levi gornji deo ekrana  
Tu se može videti spisak svih datoteka uključenih u projekat, hijerarhijska struktura projekta i spisak izlaznih datoteka.

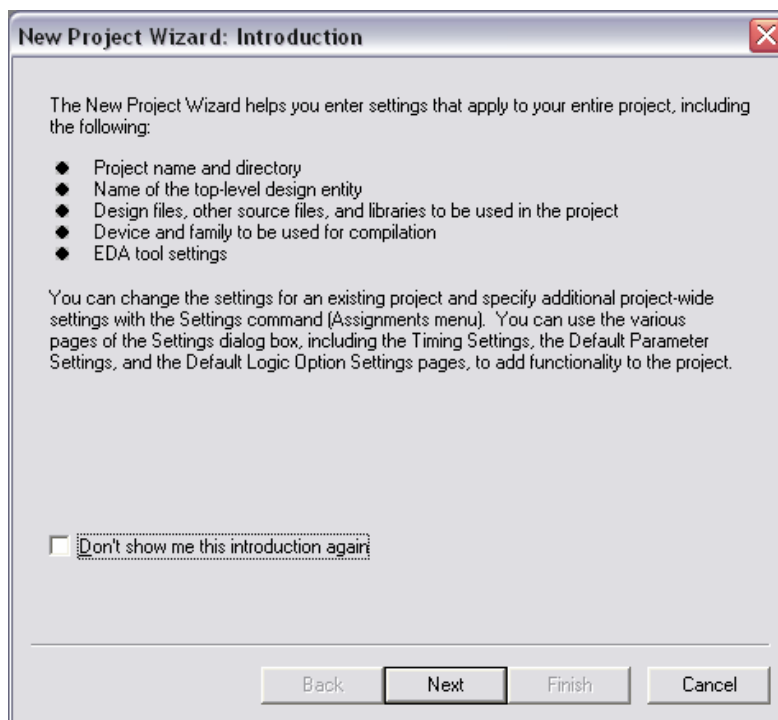
- Statusni prozor (**Status**) – levi donji deo ekrana  
Ovaj prozor prikazuje status projekta koji se odnosi na izvršenu proceduru prevođenja projekta i simulaciju istog
- Izlazni prozor (**Messages**) – donji deo ekrana  
Prikazuje izlazne poruke prevodioca.
- Radni prozor (**Edit Window**) – desni deo ekrana  
U ovom prozoru se vrši pisanje i ispravljanje VHDL koda ili drugih tekstualnih datoteka, kao i formiranje logičkih šema elemenata.



Slika 11.1: Osnovni prozor *Altera Quartus II* programskog paketa

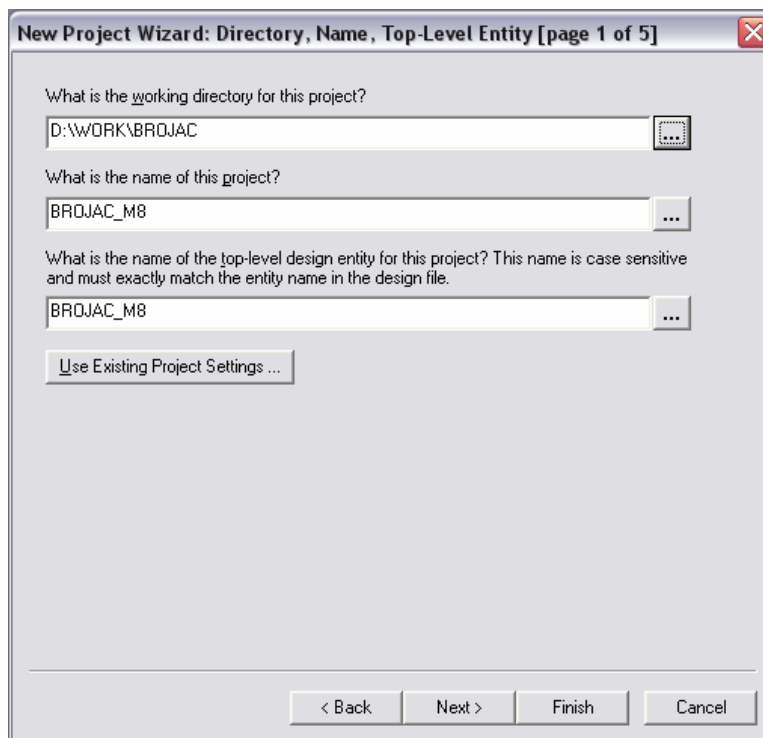
Na početku je potrebno otvoriti projektnu datoteku koja će pamti sve relevantne podatke o projektu (ime projekta, korišćena komponenta, hijerarhijska struktura, datoteke). Projektne datoteke se prepoznaju po ekstenziji **\*.qpf**. Kreiranje projekta se može započeti komandom **New Project Wizard** iz **File** menija. Na ovaj način se jednostavno objedinjuju svi potrebni koraci za kreiranje novog projekta.

Odabirom ove komande na ekranu se pojavljuje uvodni prozor koji govori koji koraci će se izvesti radi kreiranja novog projekta, Slika 11.2.



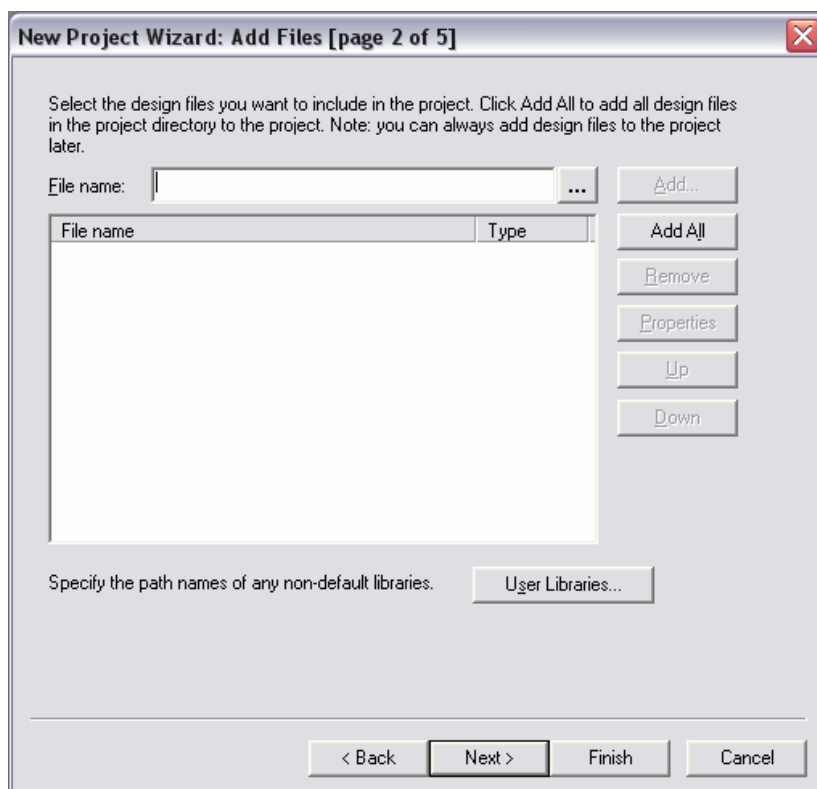
Slika 11.2: Uvodni prozor prilikom formiranja novog projekta

Pritiskom na dugme **Next** prelazi se na prvi korak kreiranja projekta gde se upisuju osnovne informacije o projektu, Slika 11.3. Tu spada lokacija projekta na disku računara odnosno putanja do projektnog direktorijuma, ime projekta i ime modula na najvišem hijerarhijskom nivou. Ime projekta i ime modula na najvišem hijerarhijskom nivou je najčešće jedinstveno.



Slika 11.3: Osnovne informacije o projektu

Sledeći korak je uključivanje datoteka sa opisom digitalnog sistema (VHDL ili logička šema) u projekat (Slika 11.4).



Slika 11.4: Uključivanje datoteka u projekat

Ukoliko su VHDL kodovi, ili logičke šeme, već ranije napisani treba ih prekopirati u projektni direktorijum pre početka kreiranja projekta. U tom slučaju potrebno ih je uključiti u projekat klikom na dugme **...** i odabirom datoteka u prozoru koji će se pojaviti ili klikom na dugme **Add All** ako želimo uključiti sve datoteke koje se nalaze u radnom direktorijumu.

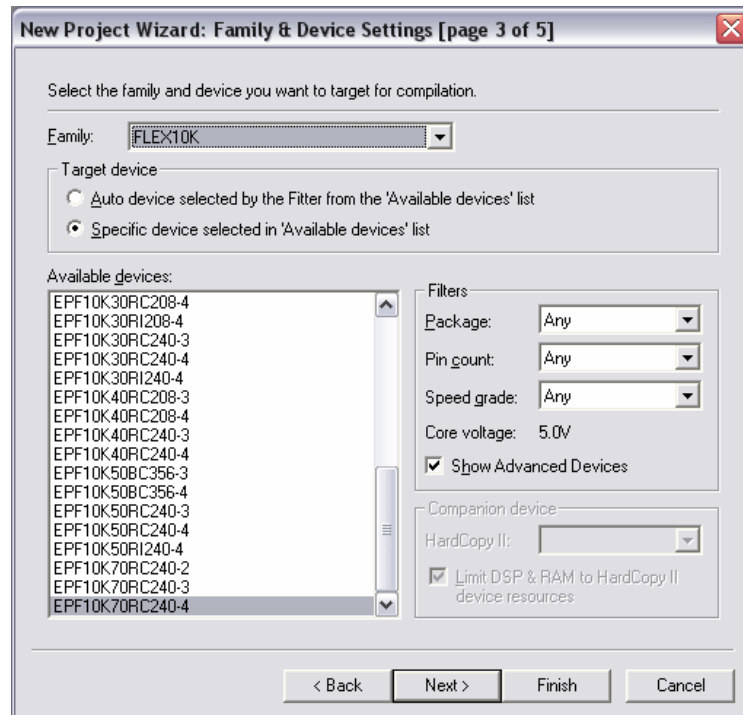
Slika 11.4 ilustruje situaciju kada datoteke sa opisom digitalnog sistema ne postoje. U tom slučaju se preskače ovaj korak klikom na **Next** dugme. Ubacivanje datoteka u projekat je moguće i u kasnijoj fazi projektovanja, odabirom komande **Add/Remove Files in Project** iz **Project** menija.

Sledi odabir programabilne komponente za koju se projektuje digitalni sistem. Potrebno je prvo odabrati familiju kojoj pripada programabilna komponenta i nakona toga sledi odabir komponente iz selektovane familije, Slika 11.5.

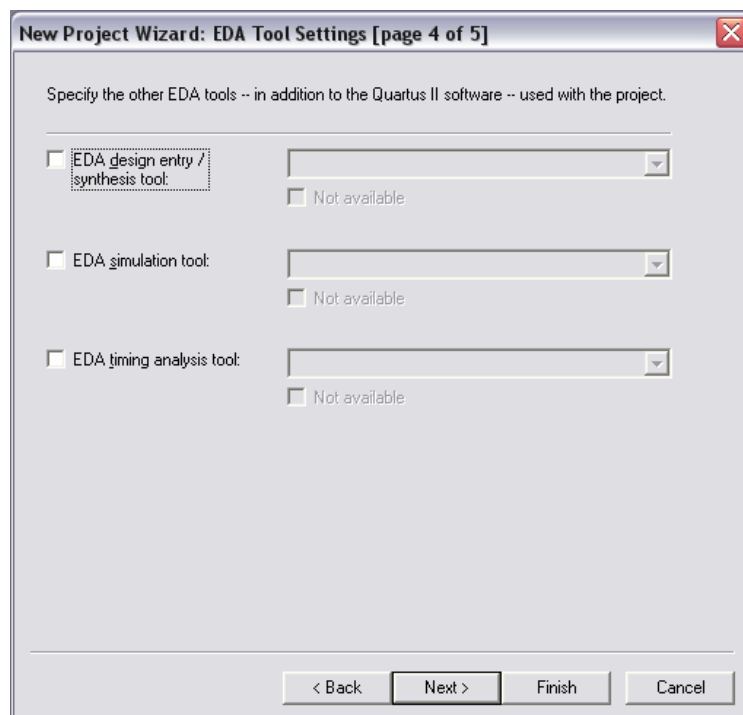
Na slici je prikazan odabir FPGA programabilne sekvencijalne mreže iz Altera FLEX 10K familije koja se nalazi na razvojnoj pločici UP2. Ova razvojna pločica je sastavni deo Alterinog University Programa. To je komponenta EPF10K70RC240-4 koja je u PLCC pakovanju sa 240 nožica sa brzinskom oznakom -4

Sledeći korak prikazuje Slika 11.6. U ovom koraku je moguće odabrati druge programske alate koji se mogu koristiti tokom projektovanja digitalnog sistema

(**EDA Tool Settings**). Tako je na primer, moguće odabrati neki drugi alat za sintezu projekta (**Synplicity Synplify**, **Synopsys FPGA Compiler II** ...) ili za simulaciju rada projekta (**ModelSim** od **Mentor Graphics**-a ili npr. **Cadence NCSim**). U ovom slučaju se koriste samo alati koji su sadržani u **Altera Quartus II** programskom paketu, tako da se podešavanja u ovom koraku preskaču klikom na dugme **Next**.

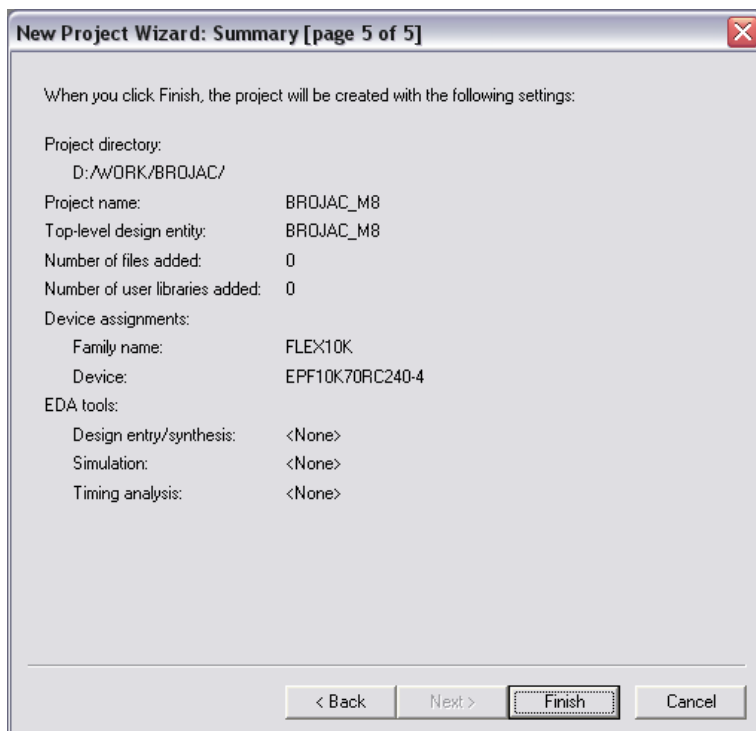


Slika 11.5: Odabir komponente iz selektovane familije



Slika 11.6: Odabir dodatnih alata za projektovanje

Nakon toga se prelazi na poslednji korak kreiranja projekta, gde se može videti sažetak informacija o projektu, Slika 11.7.



Slika 11.7: Završni korak kreiranja projekta

Klikom na dugme **Finish** završava se kreiranje novog projekta i projektna datoteka će biti snimljena u projektnom direktorijumu. U ovom slučaju datoteka **BROJAC\_M8.qpf** biće snimljena u direktorijumu **D:\WORK\BROJAC**.

Naknadno podešavanje parametara aktivnog projekta je moguće odabirom raspoloživih komandi iz **Assignments** menija (**Device**, **Assign Pins**, **Settings ...**).

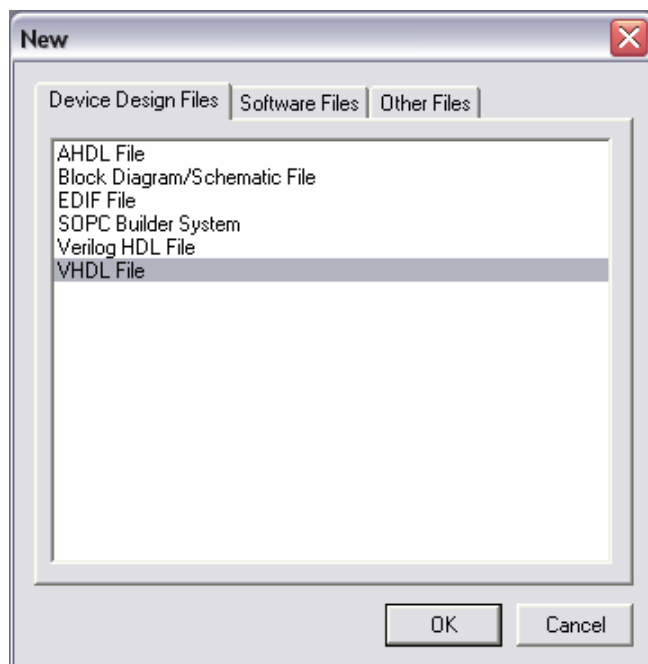
## 11.2 PROJEKTOVANJE U VHDL-U

Pošto je projekat kreiran, može se početi sa pisanjem VHDL koda. Za to je potrebno otvoriti radni list u integrisanom editoru teksta klikom na ikonu praznog papira koja se nalazi skroz levo u u paleti alatki (□), ili uz pomoć komande **New** iz **File** menija, i iz ponuđenog izbora na kartici **Device Design Files** odabirom opcije **VHDL File**, Slika 11.8.

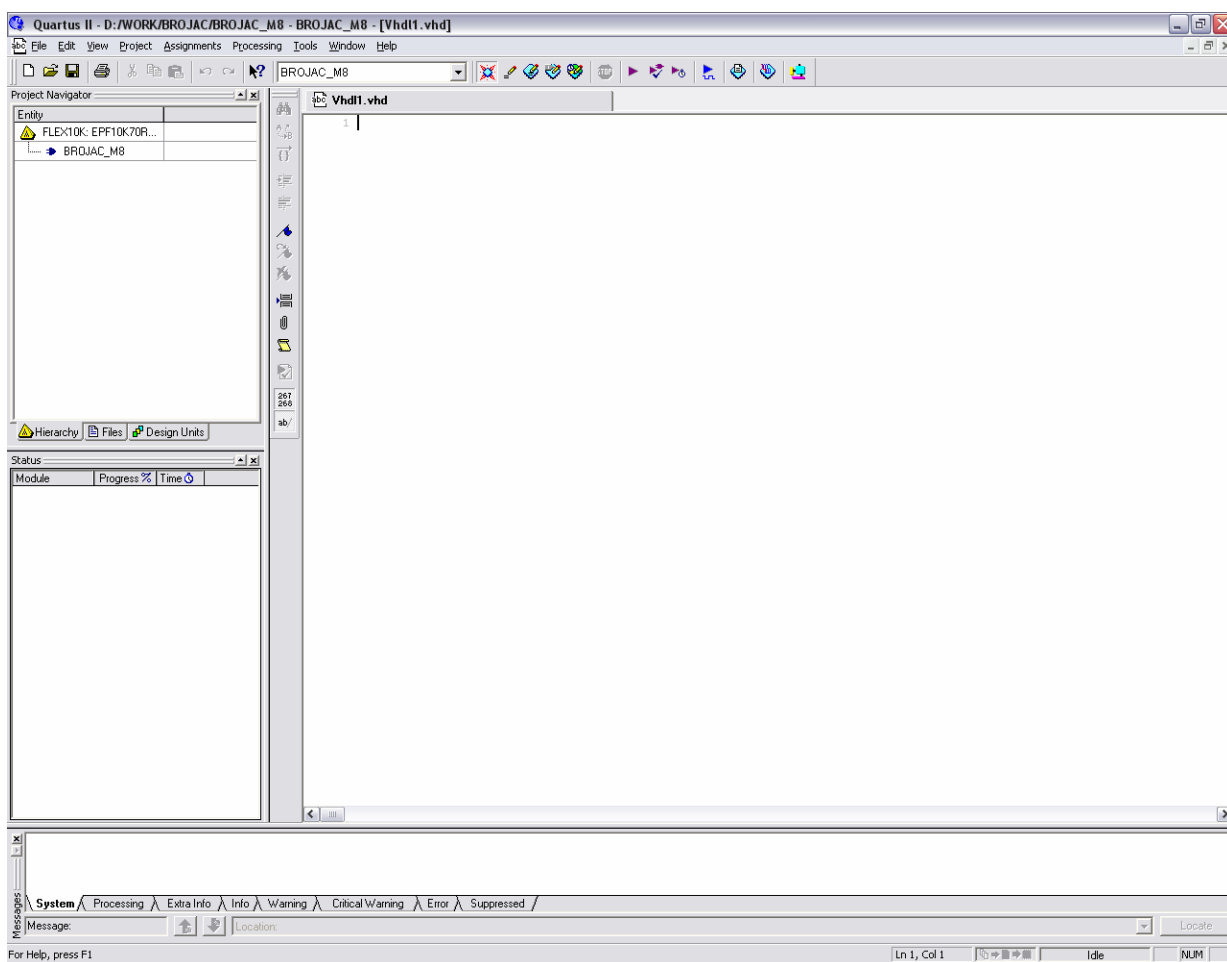
Slika 11.9 prikazuje prazan list za pisanje VHDL koda.

U ovom primeru biće opisan postupak projektovanja četvorobitnog brojača. Uz pomoć editora teksta treba ukucati VHDL kod za opis četvorobitnog brojača i snimiti datoteku u projektni direktorijum (**D:\WORK\BROJAC\BROJAC\_M8.VHD**). Ime datoteke i entiteta koji je opisan u njoj moraju biti isti kao i naziv projekta. Sve datoteke sa VHDL kodom treba da imaju ekstenziju **\*.VHD**.





Slika 11.8: Formiranje VHDL datoteke



Slika 11.9: Prazan list za pisanje VHDL koda u integrisanom editoru teksta

Opis četvorobitnog brojača u VHDL-u je sledeći:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.numeric_std.all;

ENTITY BROJAC_M8 IS
    PORT (
        iCLK, inCLR,
        inLOAD, iUP_DOWN: IN STD_LOGIC;
        iD: IN UNSIGNED(3 DOWNTO 0);
        oQ: OUT UNSIGNED(3 DOWNTO 0) );
END BROJAC_M8;

ARCHITECTURE ARH_BROJAC_M8 OF BROJAC_M8 IS
    SIGNAL sCNT: UNSIGNED(3 DOWNTO 0);
BEGIN

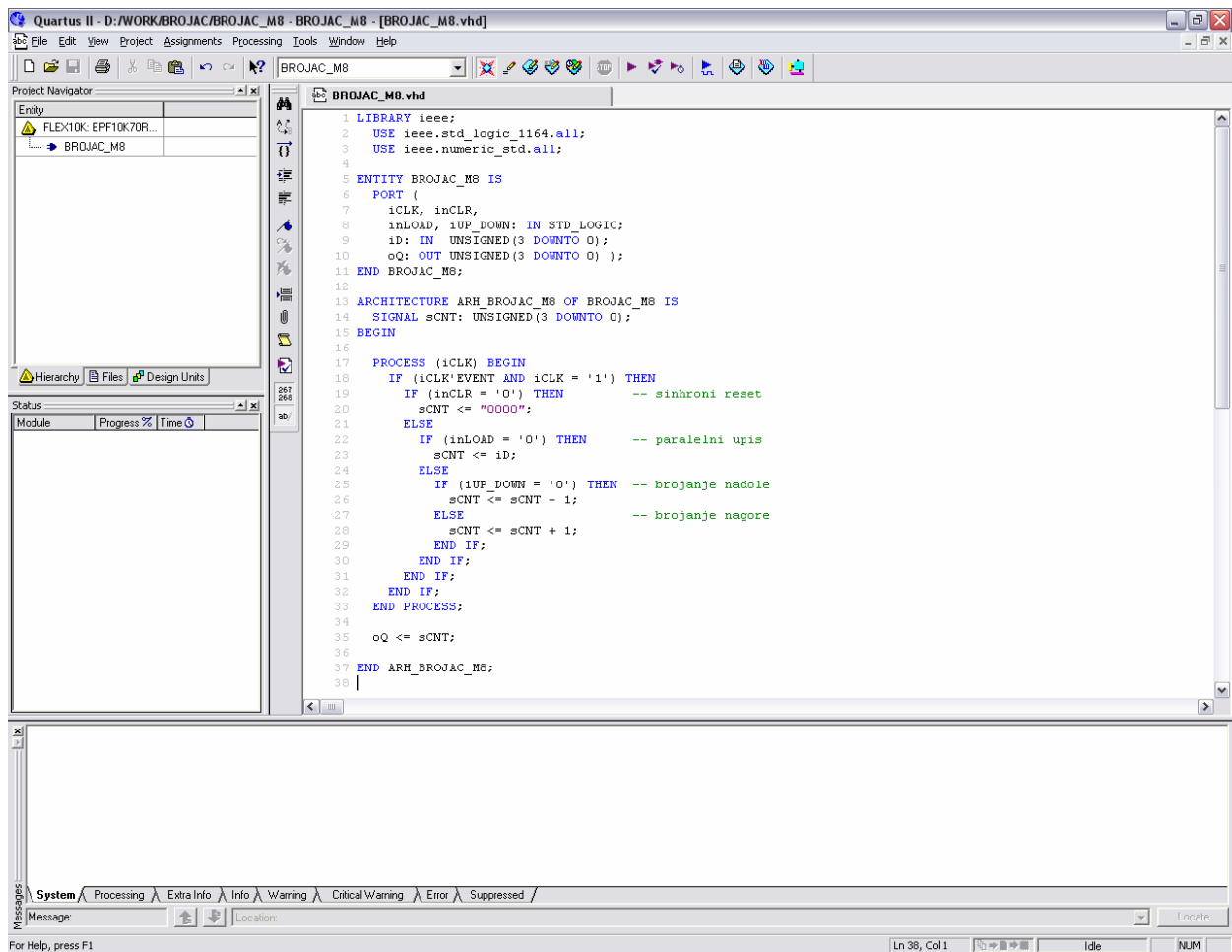
    PROCESS (iCLK) BEGIN
        IF (iCLK'EVENT AND iCLK = '1') THEN
            IF (inCLR = '0') THEN                -- sinhroni reset
                sCNT <= "0000";
            ELSE
                IF (inLOAD = '0') THEN            -- paralelni upis
                    sCNT <= iD;
                ELSE
                    IF (iUP_DOWN = '0') THEN      -- brojanje nadole
                        sCNT <= sCNT - 1;
                    ELSE                           -- brojanje nagore
                        sCNT <= sCNT + 1;
                    END IF;
                END IF;
            END IF;
        END IF;
    END PROCESS;

    oQ <= sCNT;

END ARH_BROJAC_M8;
```

Kao što se vidi iz VHDL koda, ovaj brojač ima sinhroni kontrolni signal za brisanje stanja brojača (inCLR) koji je aktivan na niskom nivou i sinhroni kontrolni signal za dozvolu paralelnog ulaza (inLOAD), takođe aktivan na niskom nivou. Ulazni vektor iD predstavlja vrednost signala za paralelni upis. Brojač poseduje mogućnost brojanja na gore i na dole, što se kontroliše ulaznim signalom iUP\_DOWN. Stanje brojača se menja na rastuću ivicu takt signala (iCLK). Brojač kao izlaz generiše izlazni vektor koji predstavlja stanje brojača (oQ)


Slika 11.10 prikazuje kako to izgleda kada je prethodni VHDL kod napisan u *Altera Quartus II* editoru teksta.



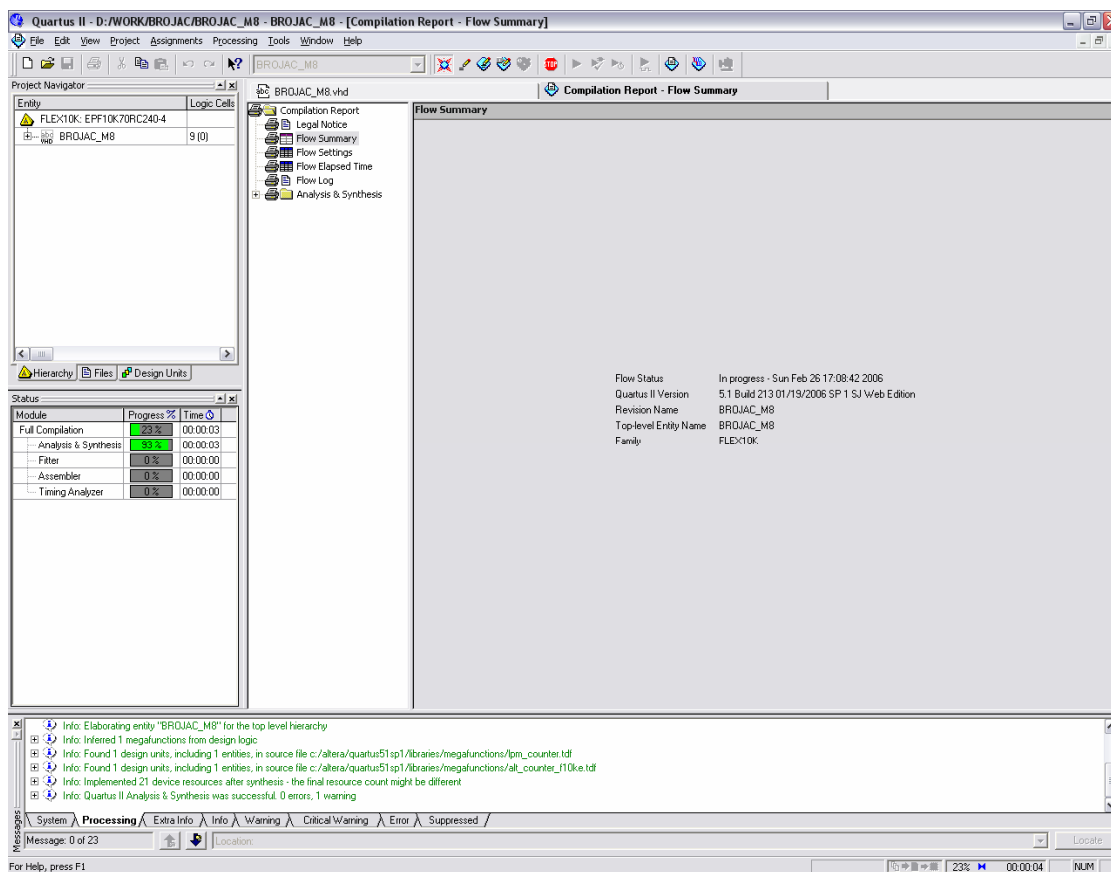
Slika 11.10: Kreirana datoteka sa VHDL opisom četvorobitnog brojača

Snimanjem datoteke u radni direktorijum ona se istovremeno uključuje u aktivni projekat, kao što to i prikazuje Slika 11.10.

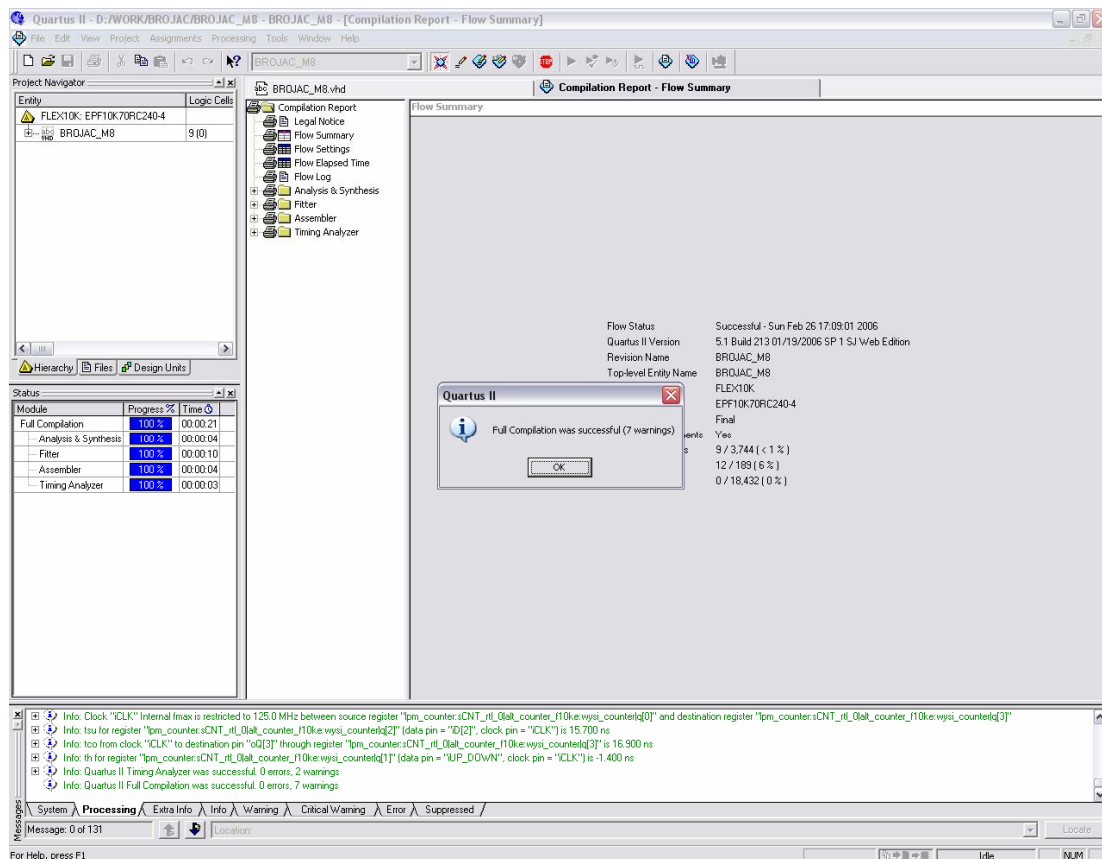
U slučaju da se projekat sastoji iz više datoteka, potrebno je odrediti koji modul je na najvišem hijerarhijskom nivou. To se postiže selektovanjem odgovarajuće datoteke u projektnom prozoru (kartica **Files**) i iz menija koji se dobija klikom na desni taster miša odabiranjem komande **Set Compiler Focus to Current Entity**. Ista komanda se nalazi i u **Project** meniju. Time je projekat spreman za prevođenje i funkcionalnu simulaciju.

Nakon ovog koraka može se preći na korak prevođenja (kompajliranja) projekta. Prevođenje se započinje komandom **Start Compilation** iz **Processing** menija. Takođe postoji i ikona na paleti alatki za tu komandu: . Tokom procesa prevođenja u statusnom prozoru se može videti tok izvršenja ovog procesa, Slika 11.11.

Posle ispravki svih greški koje prijavi prevodilac i ponovnog prevođenja dobija se poruka o uspešnom završetku prevođenja projekta (Slika 11.12).



Slika 11.11: Proces prevođenja projekta

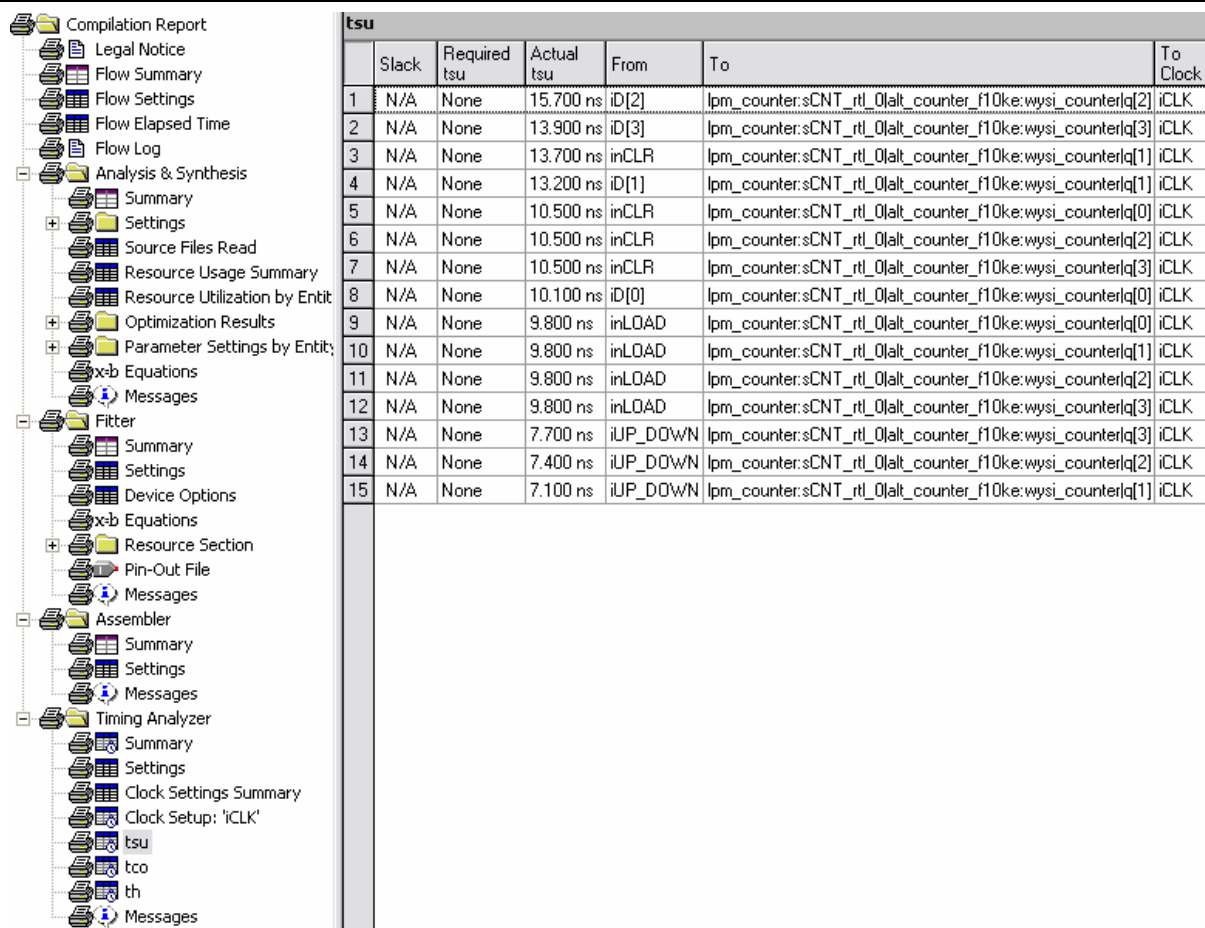


Slika 11.12: Uspešno preveden projekat

Nakon uspešno prevedenog projekta programski paket *Altera Quartus II* automatski otvara prozor sa detaljnim izveštajem o prevođenju (**Compilation Report**). Izveštaj prikazuje sve relevantne podatke o toku prevođenja i o rezultatima tog procesa. Time su obuhvaćene sledeće informacije:

- **Flow Summary;**  
**Flow Settings;**  
**Elapsed Time;**  
 krataki izveštaji o rezultatima i toku prevođenja
- **Analysis & Synthesis,**  
 izveštaji o postavljenim parametrima, toku i rezultatima analize i sinteze projekta.  
 Tako se na primer dobijene jednačine nakon procesa minimizacije projekta mogu videti u **Equations** prozoru.
- **Fitter,**  
 izveštaji o postavljenim parametrima, toku i rezultatima smeštanja projekta u odabranu programabilnu sekvencijalnu mrežu.  
 Posebno interesantni su sledeći izveštaji:
  - **Device Options,** postavljeni parametri odabrane programibilne sekvencijalne mreže
  - **Resource Section,** izveštaji o zauzetim resursima programibilne sekvencijalne mreže nakon izvršenja procesa prevođenja
  - **Pin-Out File,** spisak svih pinova sa dodeljenim ulazno/izlaznim signalima
- **Assembler,**  
 izveštaji o postavljenim parametrima, toku i rezultatima generisanja binarnih datoteka za punjenje odabrane programibilne sekvencijalne mreže.
- **Timing Analyzer,**  
 izveštaji o vremenskoj analizi projekta.  
 Tu se nalaze izveštaji o maksimalnoj radnoj frekvenciji isprojektovanog digitalnog sistema (**Clock Setup:<ime takt signal>**) i kašnjenjima u okviru sistema (**tpd, tsu, tco, th**)

Tako na primer Slika 11.13 prikazuje vremensku analizu projekta koja prikazuje vremena uspostavljanja signala (**Input Setup Times**).



The screenshot shows the Xilinx ISE Timing Analyzer interface. On the left is a project hierarchy tree with folders like 'Analysis & Synthesis', 'Fitter', 'Assembler', and 'Timing Analyzer'. The 'Timing Analyzer' folder is expanded, showing 'tsu' (Timing Summary) and 'tco' (Timing Constraints). The main window displays a table titled 'tsu' with the following data:

	Slack	Required tsu	Actual tsu	From	To	To Clock
1	N/A	None	15.700 ns	iD[2]	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[2]	iCLK
2	N/A	None	13.900 ns	iD[3]	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[3]	iCLK
3	N/A	None	13.700 ns	inCLR	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[1]	iCLK
4	N/A	None	13.200 ns	iD[1]	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[1]	iCLK
5	N/A	None	10.500 ns	inCLR	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[0]	iCLK
6	N/A	None	10.500 ns	inCLR	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[2]	iCLK
7	N/A	None	10.500 ns	inCLR	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[3]	iCLK
8	N/A	None	10.100 ns	iD[0]	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[0]	iCLK
9	N/A	None	9.800 ns	inLOAD	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[0]	iCLK
10	N/A	None	9.800 ns	inLOAD	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[1]	iCLK
11	N/A	None	9.800 ns	inLOAD	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[2]	iCLK
12	N/A	None	9.800 ns	inLOAD	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[3]	iCLK
13	N/A	None	7.700 ns	iUP_DOWn	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[3]	iCLK
14	N/A	None	7.400 ns	iUP_DOWn	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[2]	iCLK
15	N/A	None	7.100 ns	iUP_DOWn	lpm_counter:sCNT_rtl_0alt_counter_f10ke:wysi_counterlq[1]	iCLK


Slika 11.13: Vremenska analiza projekta

### 11.3 SIMULACIJA PROJEKTA

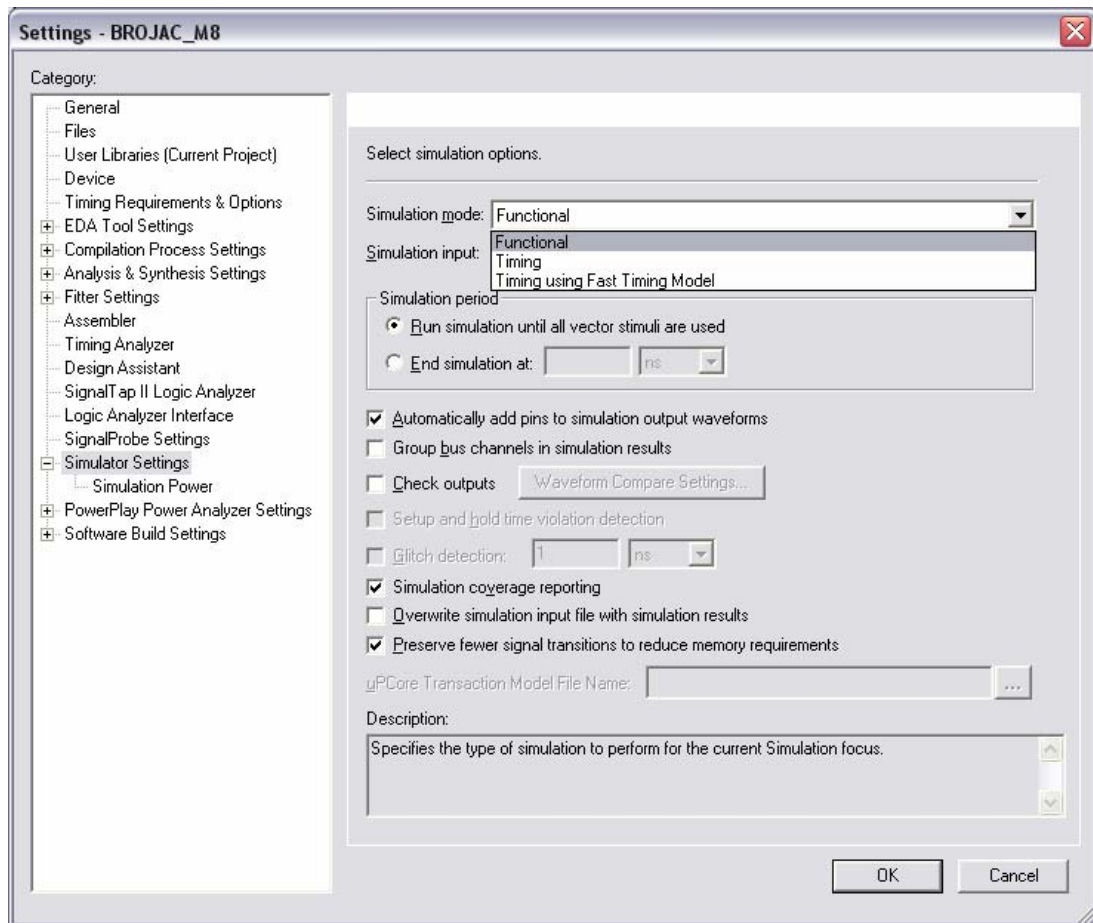
Nakon uspešnog prevođenja projekta prelazi se na funkcionalnu simulaciju projekta.

Prvo je potrebno simulator postaviti u režim funkcionalne simulacije. To se postiže odabirom komande **Setings** iz **Assignments** menija. U dobijenom prozoru je potrebno u kategoriji **Simulator Settings** odabrati opciju **Mode**, gde se u polju **Simulation Mode** odabere **Functional**, Slika 11.14.

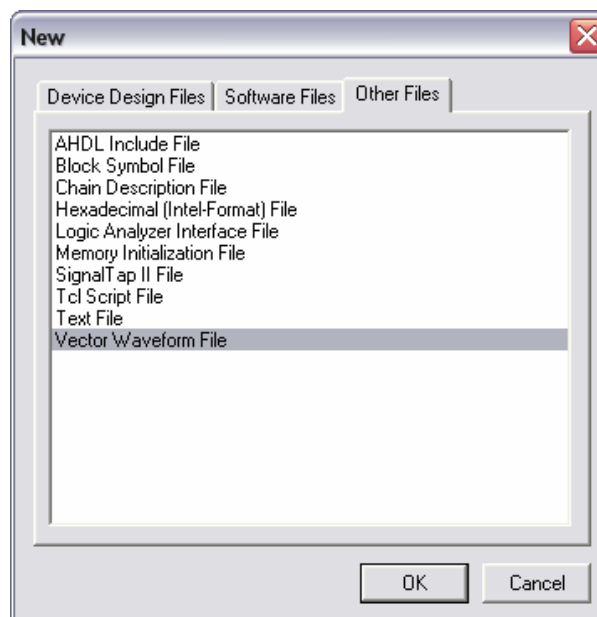
**NAPOMENA:** Pre početka funkcionalne simulacije potrebno je formirati posebnu listu povezivanja komponenti za potrebe funkcionalne simulacije. To se postiže pomoću komande **Generate Functional Simulation Netlist** iz **Processing** menija.

Nakon toga sledi korak formiranja datoteke sa signalima čije će se ponašanje pratiti tokom simulacije (engl. *Trace*). Za to je potrebno otvoriti datoteku koja će sadržati vremenske dijagrame signala klikom na ikonu koja se nalazi skroz levo u paleti alatki (  ), ili uz pomoć komande **New** iz **File** menija, i iz ponuđenog

izbora na kartici **Other Files** odabirom opcije **Vector Waveform File**, Slika 11.15.

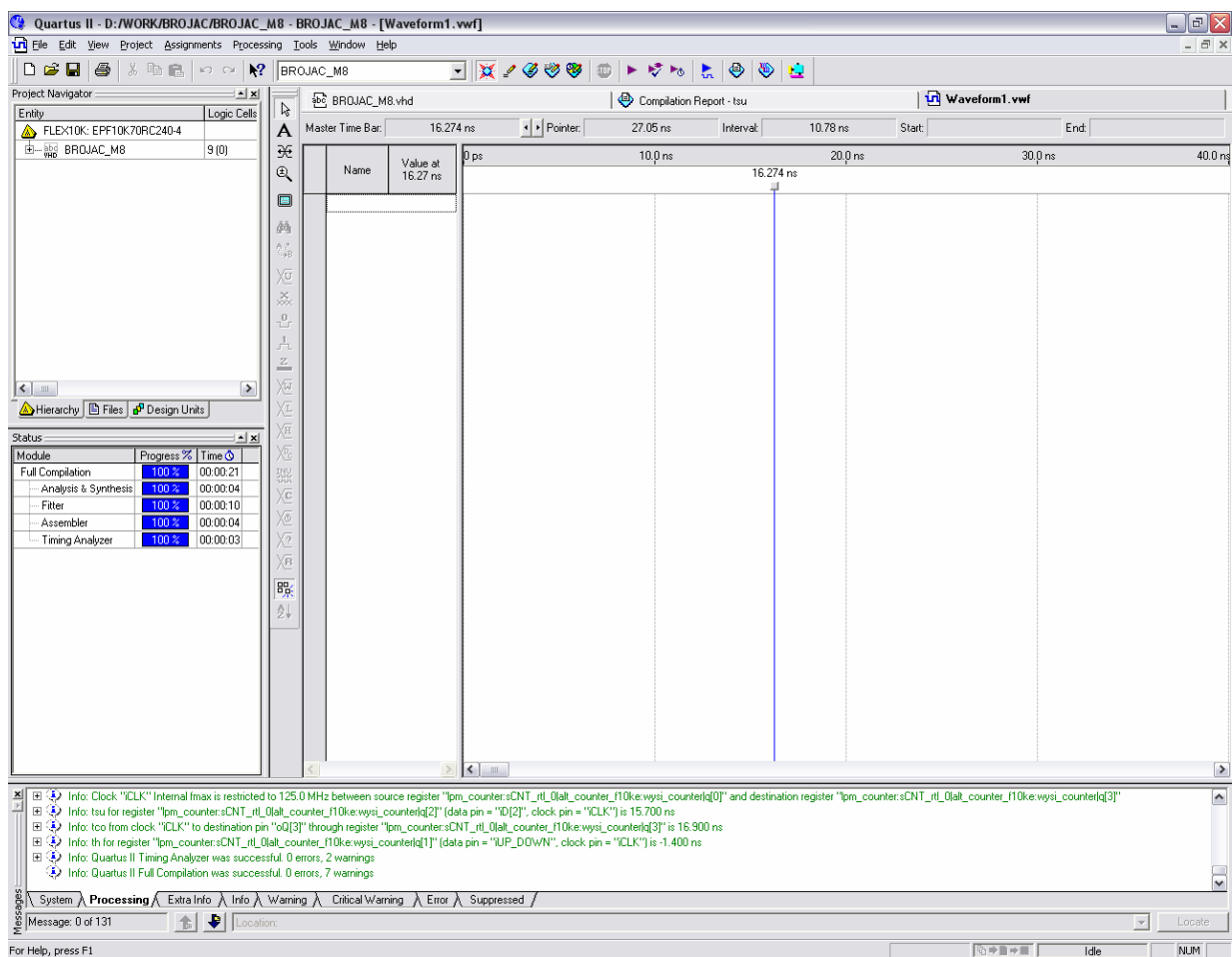


Slika 11.14: Postavljanje simulatora u režim funkcionalne simulacije



Slika 11.15: Otvaranje datoteke za simulaciju rada projekta

Slika 11.16 prikazuje praznu datoteku za simulaciju rada projekta.

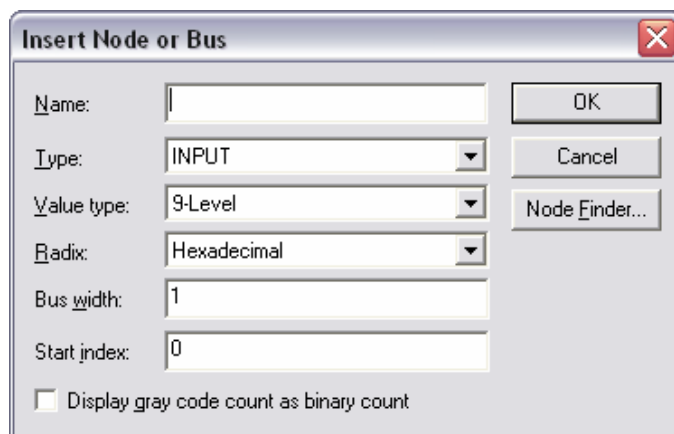


Slika 11.16: Prazna datoteka za simulaciju rada projekta

Sada sledi ubacivanje signala čije će se ponašanje pratiti tokom simulacije. Tu su obavezno uključeni svi ulazni i izlazni signali, i odabrani unutrašnji signali koji su od interesa za praćenje rada digitalnog sistema u vremenu. Pri tome treba napomenuti da je od unutrašnjih signala moguće pratiti samo stanja registara, brojača i automata. Izlaze kombinacionih mreža nije moguće videti, izuzev ako nisu izvučeni na izlazne pinove digitalnog sistema kao određeni signali za testiranje.

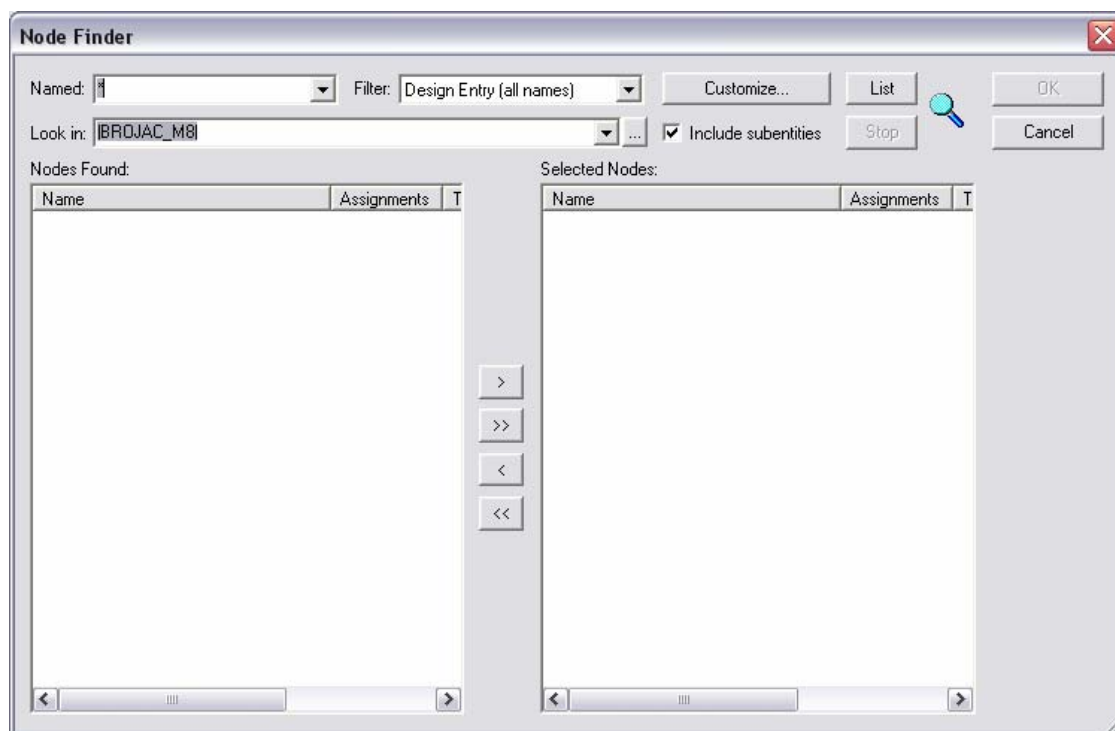
Za tu operaciju je potrebno iz **Edit** menija odabrati komandu **Insert Node or Bus**, ili dvaput kliknuti u levo polje vremenskog dijagrama. Ova komanda je takođe dostupna iz menija koji se dobija desnim klikom u levo polje vremenskog dijagrama. Nakon izvršenja jedne od ove tri operacije dobija se prozor koji prikazuje Slika 11.17.





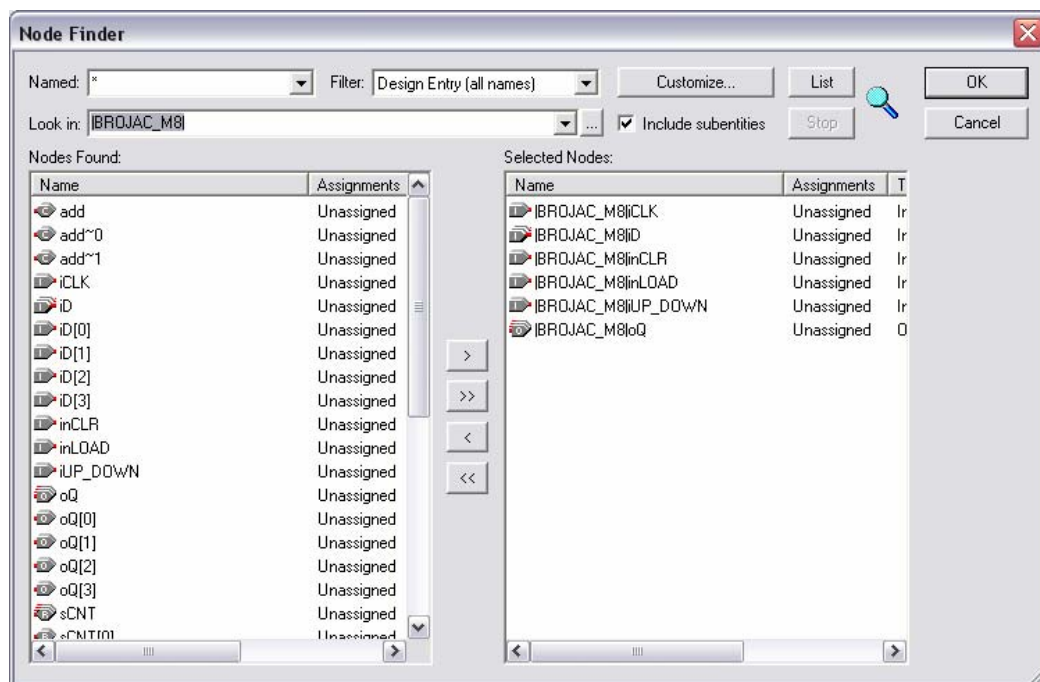
Slika 11.17: Prozor za ubacivanje signala na vremenski dijagram

Radi očiglednijeg odabira signala potrebno je pritisnuti dugme **Node Finder**, čime se dobija prozor za odabir signala, Slika 11.18.



Slika 11.18: Prozor za odabir signala za simulaciju

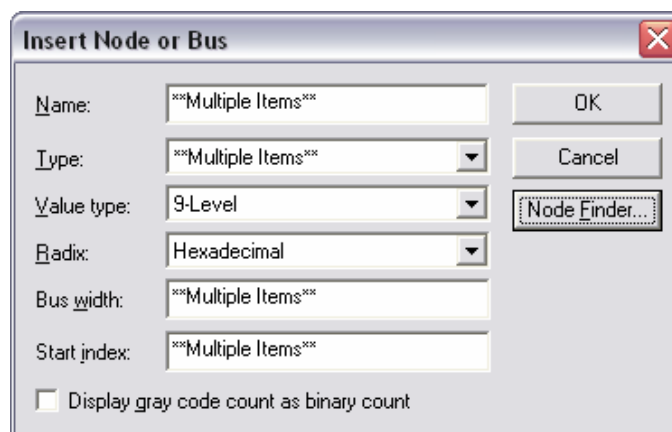
Za dobijanje liste svih dostupnih signala za simulaciju potrebno je u polju **Filter** odabrati opciju **Design Entry (all names)** i pritisnuti dugme **Start**. Izvršenjem ove komande se u levom prozoru pojavljuje lista svih signala, odakle je potrebno odabrati signale koje želimo pratiti tokom simulacije i prebaciti ih u desni prozor, Slika 11.19.



Slika 11.19: Odabrani signali za simulaciju

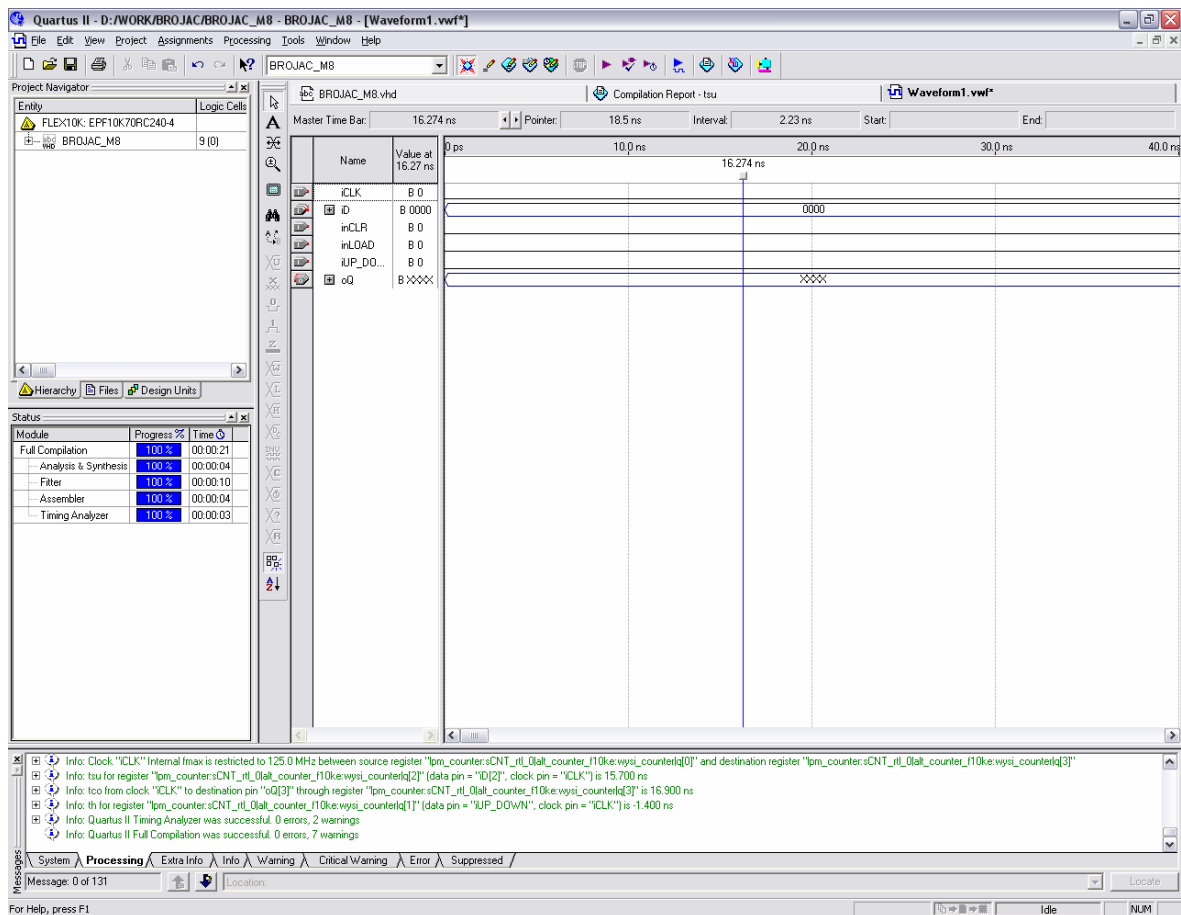
**NAPOMENA:** Ako se neki unutrašnji signal ne nalazi u listi signala koji su dostupni u simulatoru, a želi se posmatrati njegovo ponašanje u simulatoru, tada treba taj signal proglasiti za izlazni, ponovo iskompajlirati projekat i iznova započeti proceduru simulacije.

Pritiskom na dugme **OK** dobija se ponovo prozor za ubacivanje signala na vremenski dijagram, Slika 11.20, gde je ponovo potrebno kliknuti **OK**.
















Slika 11.20: Prozor za ubacivanje signala na vremenski dijagram

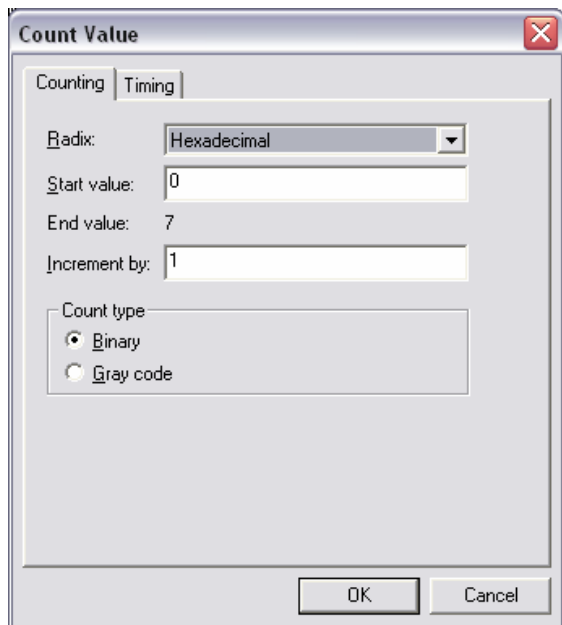
Nakon toga se dobija vremenski dijagram sa odabranim signalima čije su vrednosti postavljene na odabrane predefinisane vrednosti, Slika 11.21.



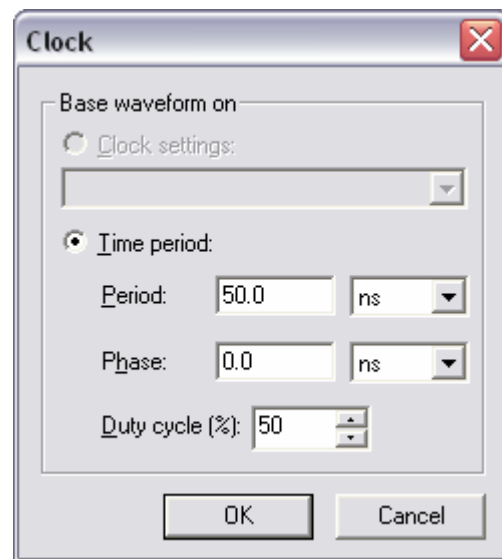
Slika 11.21: Signali ubačeni na vremenski dijagram

U ovom trenutku sledi formiranje vektora ulaznih signala (engl. *Stimulus*). To se postiže selektovanjem dela signala (ili celog signala) i odabirom odgovarajuće komande za postavljanje vrednosti iz palete alatki sa leve strane vremenskog dijagrama:

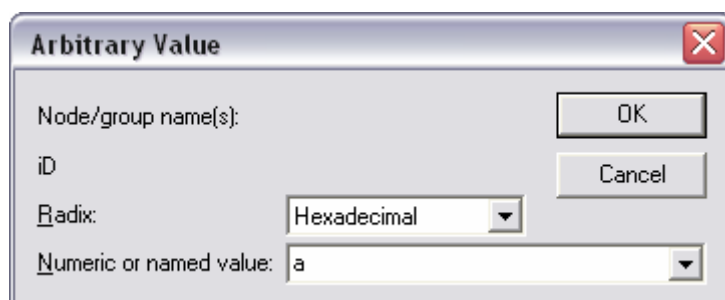
-  postavljanje selektovanog signala na neinicijalizovanu vrednost
-  postavljanje selektovanog signala na nedefinisanu vrednost
-  postavljanje selektovanog signala na nizak logički nivo
-  postavljanje selektovanog signala na visok logički nivo
-  postavljanje selektovanog signala u stanje visoke impedanse
-  postavljanje selektovanog signala na slabu nedefinisanu vrednost
-  postavljanje selektovanog signala na slab nizak logički nivo
-  postavljanje selektovanog signala na slab visok logički nivo
-  postavljanje selektovanog signala na vrednost koja nije bitna
-  invertovanje vrednosti selektovanog signala
-  formiranje brojačkih ulaza, Slika 11.22
-  postavljanje takt signala, Slika 11.23
-  postavljanje predefinisane vrednosti na vektorske signale, Slika 11.24



Slika 11.22: Postavljanje brojačkog ulaza




Slika 11.23: Postavljanje takt signala



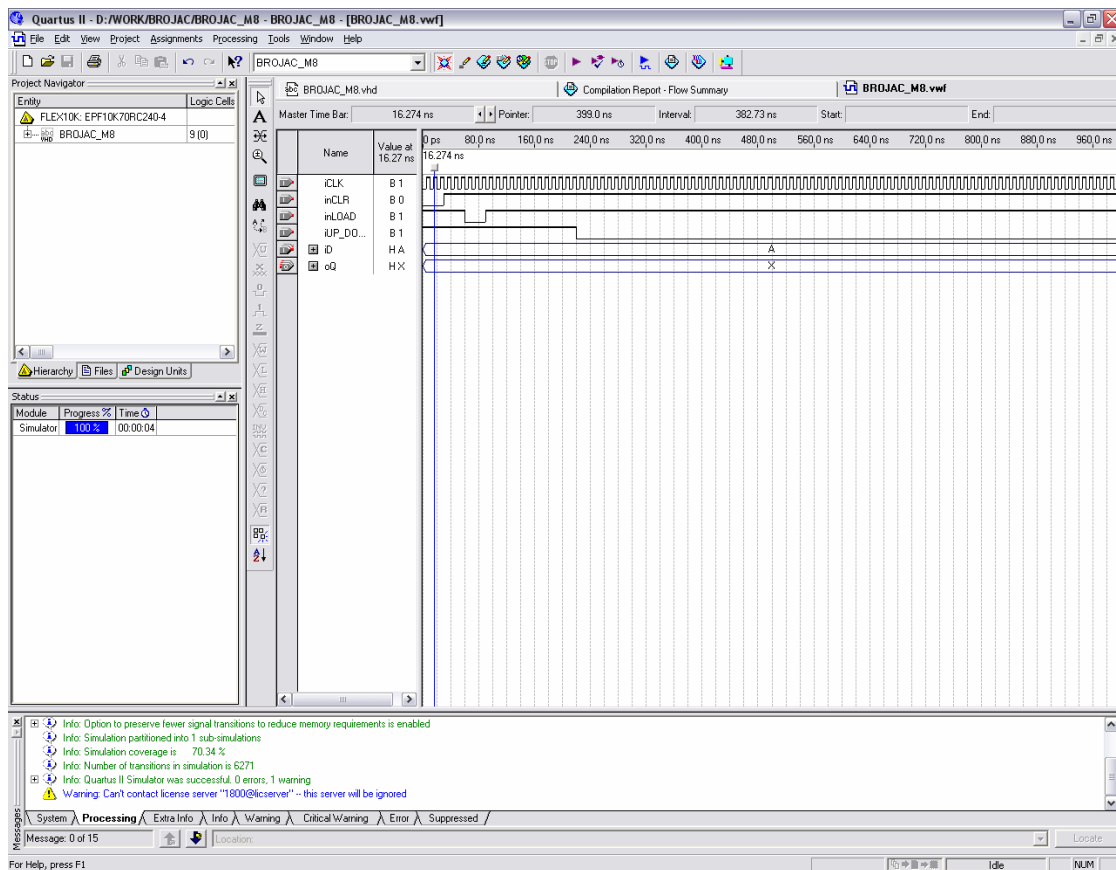
Slika 11.24: Postavljanje predefinisane vrednosti vektorskih ulaza

Za uspešnu simulaciju je potrebno postaviti realne vrednosti za sve ulazne signale u digitalni sistem koji se simulira. Formirani vremenski dijagram ulaznih signala treba snimiti u datoteku koja se nalazi u projektnom direktorijumu (D:\WORK\BROJAC\BROJAC\_M8.vwf). Sve datoteke sa vremenskim dijagramima u *Altera Quartus II* programskom paketu treba da imaju ekstenziju \*.vwf. Snimanjem se datoteka automatski ubacuje u spisak projektnih datoteka pod opcijom **Other Files** u projektnom prozoru (kartica **Files**). Konačan izgled ove datoteke prikazuje Slika 11.25.

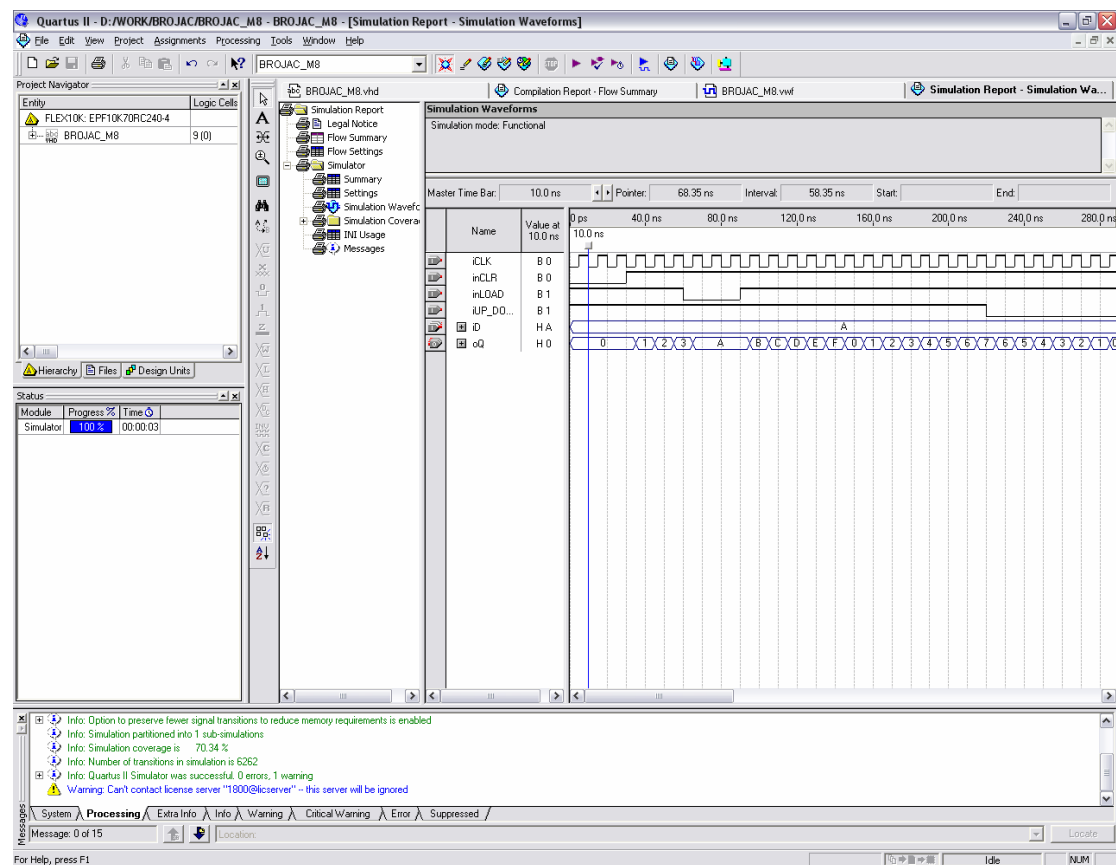
Trajanje simulacije se može postaviti pomoću komande **End Time** iz **Edit** menija.

Simulacija se pokreće komandom **Start Simulation** iz **Processing** menija ili klikom na ikonu  iz palete alatki. Po završetku procesa simulacije prikazuje se prozor sa izveštajem o rezultatima simulacije gde se i prikazuje rezultujući vremenski dijagram, Slika 11.26.

## PROJEKTOVANJE U ALTERA QUARTUS II PROGRAMSKOM PAKETU




Slika 11.25: Formirana datoteka sa vrednostima ulaznih signala tokom simulacije

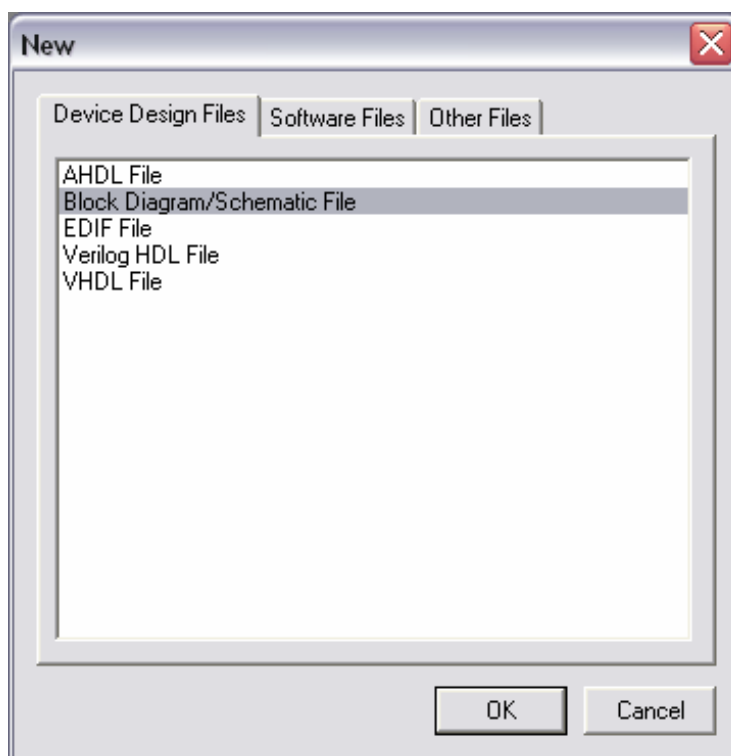


Slika 11.26: Rezultat simulacije

## 11.4 PROJEKTOVANJE FORMIRANJEM LOGIČKIH ŠEMA

Postupak projektovanja u ovom slučaju je isti kao i kod projektovanja u VHDL-u. Razlika je samo u tome što se umesto VHDL opisa digitalnog sistema formira šema logičkih elemenata koja se takođe uključuje u projekat i simulira već opisanom procedurom.

Nakon kreiranja projekta potrebno je krenuti sa crtanjem logičke šeme. Za to je potrebno otvoriti radni list u integrisanom editoru za crtanje logičkih šema klikom na ikonu praznog papira koja se nalazi skroz levo u u paleti alatki (  ), ili uz pomoć komande **New** iz **File** menija, i iz ponuđenog izbora na kartici **Device Design Files** odabirom opcije **Block Diagram/Schematic File**, Slika 11.27.






Slika 11.27: Formiranje datoteke za crtanje logičke šeme

















Slika 11.28 prikazuje prazan list za crtanje logičke šeme.

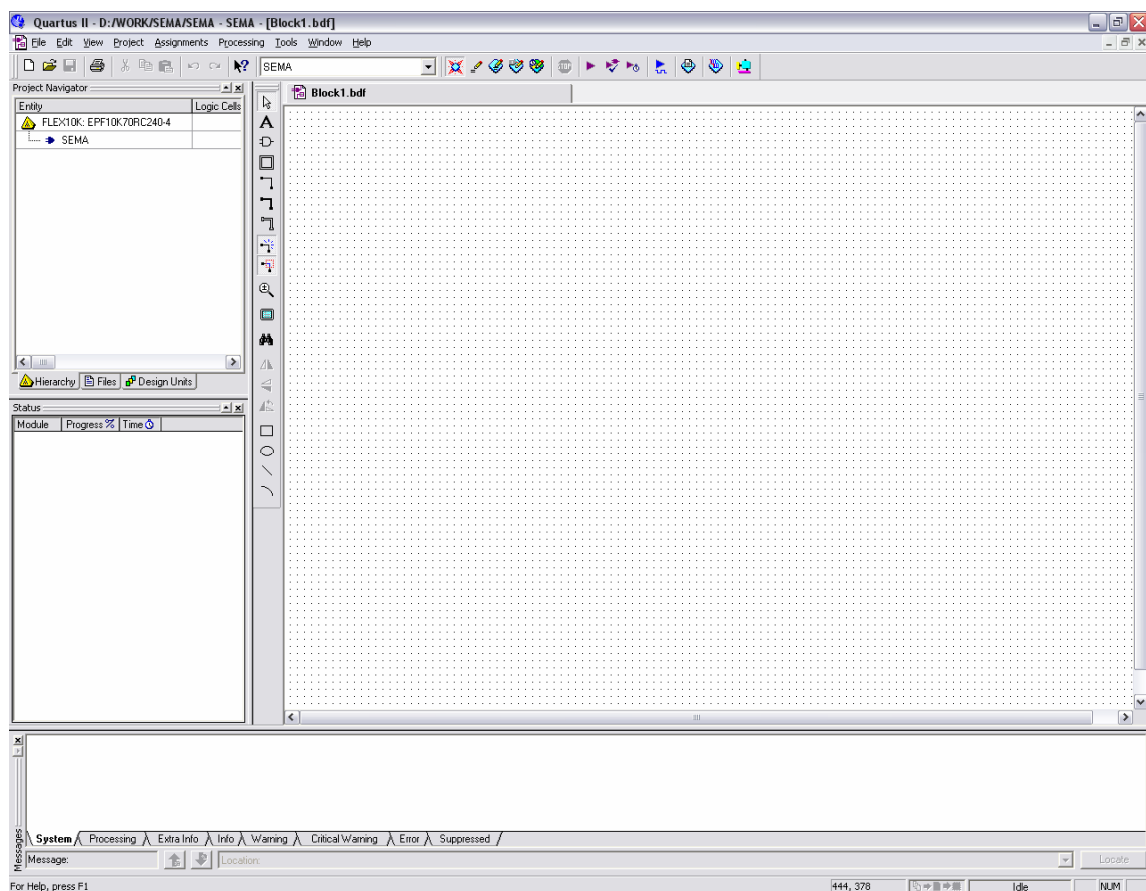
Način crtanja logičke šeme će se prikazati na primeru kombinacione mreže čija je prenosna funkcija:

$$F = (AD + \overline{AB}) \cdot \overline{C}$$

Za to će se iskoristiti paleta alatki koja se nalazi sa leve strane prozora za crtanje logičkih šema:


-  Odabiranje jedne ili više komponenti sa logičke šeme
-  Pisanje teksta po logičkoj šemi
-  Postavljanje komponente na logičku šemu

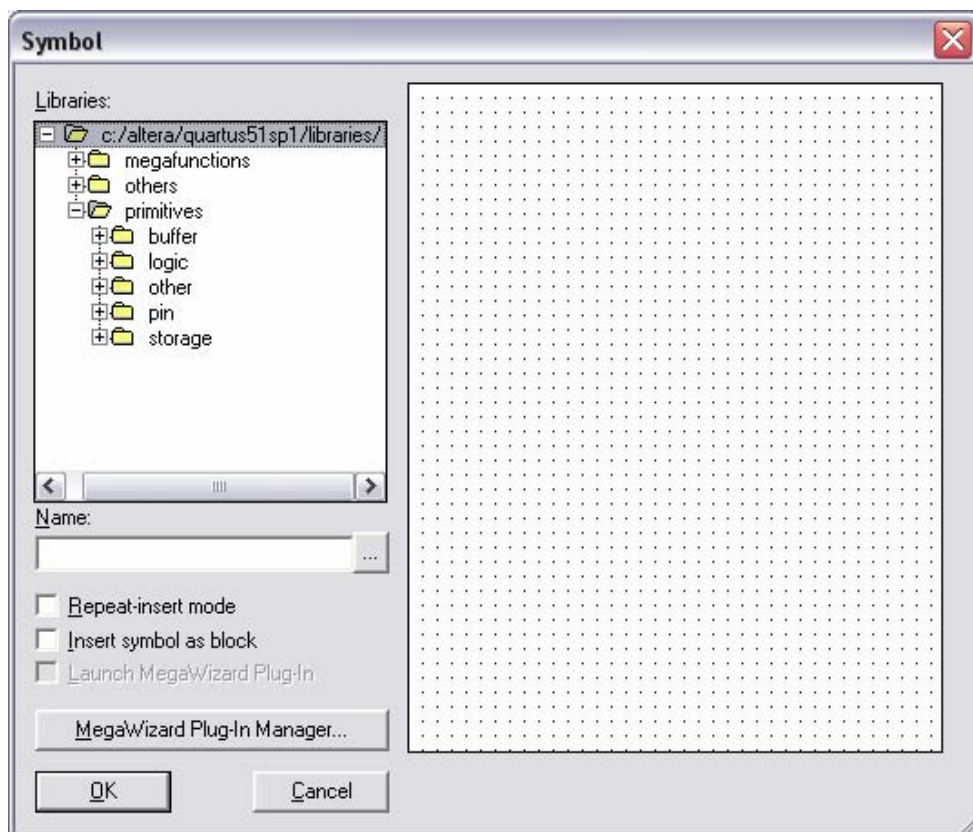
-  Kreiranje podšeme (šeme nižeg hijerarhijskog nivoa)
-  Postavljanje vodova između komponenti
-  Postavljanje magistrale
-  Postavljanje neuređene grupe signala za povezivanje modula
-  Omogućuje pomeranje komponenti bez gubljenja njihovih veza kada je uključeno, inicijalno stanje je uključeno
-  Omogućuje parcijalnu selekciju veza između komponenti, inicijalno stanje je uključeno
-  Zumiranje šeme
-  Pogled na šemu preko celog ekrana
-  Pronalaženje komponenti na šemi
-  Horizontalna promena selektovane komponente (ogledalo)
-  Vertikalna promena selektovane komponente (ogledalo)
-  Rotiranje selektovane komponente za 90° u levo
-  Postavljanje pravougaonika na logičku šemu
-  Postavljanje kružnice/elipse na logičku šemu
-  Postavljanje prave linije na logičku šemu
-  Postavljanje krive linije na logičku šemu



Slika 11.28: Prazan list za crtanje logičke šeme



Iz jednačine se vidi da je za njenu realizaciju potrebno tri dvoulazna I kola, jedno dvoulazno ILI kolo i dva invertora. Postavljanje komponente na logičku šemu se postiže komandom **Insert Symbol** iz **Edit** menija ili klikom na ikonu . Dvostruki klik na praznu površinu radnog lista takođe poziva prozor za postavljanje komponenti na logičku šemu. Pozivom ove komande dobija se prozor za odabir komponente koja će se postaviti na šemu, Slika 11.29.



Slika 11.29: Prozor za odabir komponente koja će se postaviti na logičku šemu

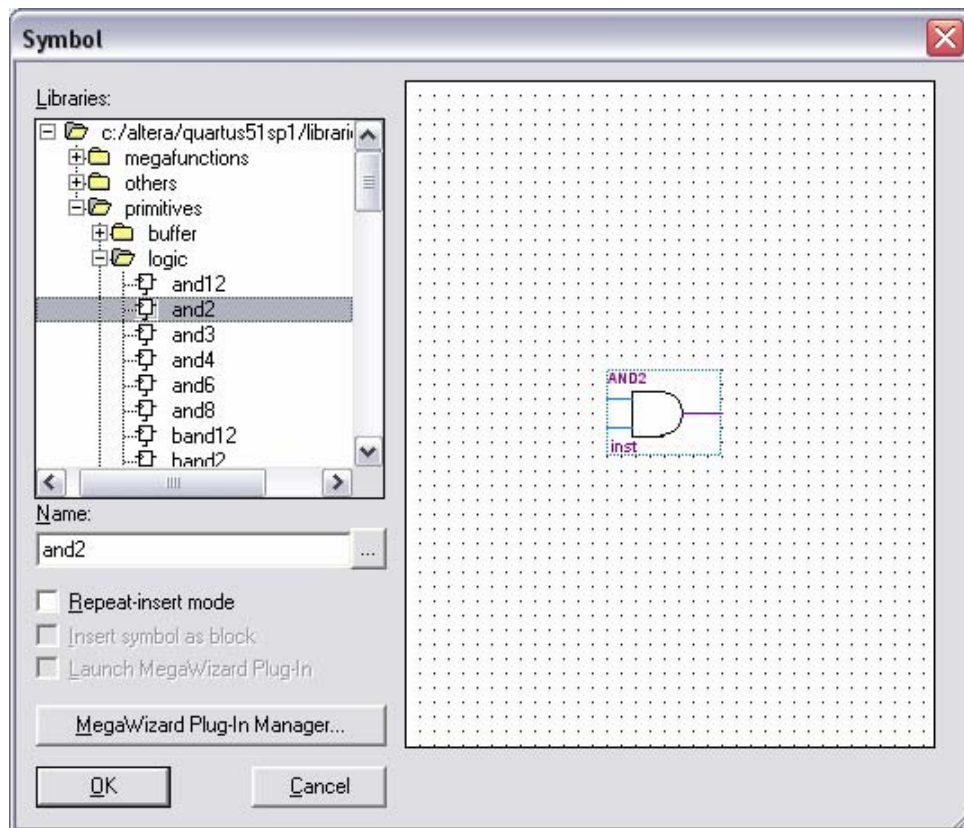
Komponenta se bira iz jedne od biblioteka koje stoje na raspolaganju (**megafunctions**, **others** ili **primitives**). Tokom ovog kursa se uglavnom koriste komponente iz biblioteke pod imenom **primitives**, gde se nalaze baferi (**buffer**), logička kola (**logic**), memorijski elementi, tj. flip-flopovi (**storage**), ulazno/izlazni pinovi (**pin**), konstante, parametri i slično (**other**).

Brzo pronalaženje komponente je moguće upisom njenog imena u polje **Name**. Tako na primer dvoulazno ILI kolo je **or2**, četoulazno NI kolo je **nand5**, invertor je **not**, D flip-flop ima oznaku **dff**, masa je **gnd** a napajanje je **vcc**. Nazivi ostalih komponenti su analogni ovim navedenim imenima. Odabirom željene komponente, njen izgled se pojavljuje u prozoru sa desne strane, Slika 11.30.


Selektovanjem opcije **Repeat-insert mode** omogućuje se višestruko postavljanje jedne komponente na radni list.

Nakon postavljanja svih komponenti na električnu šemu, potrebno ih je povezati. Povezivanje komponenti se može postići na dva načina: vodovima i oznakama vodova.



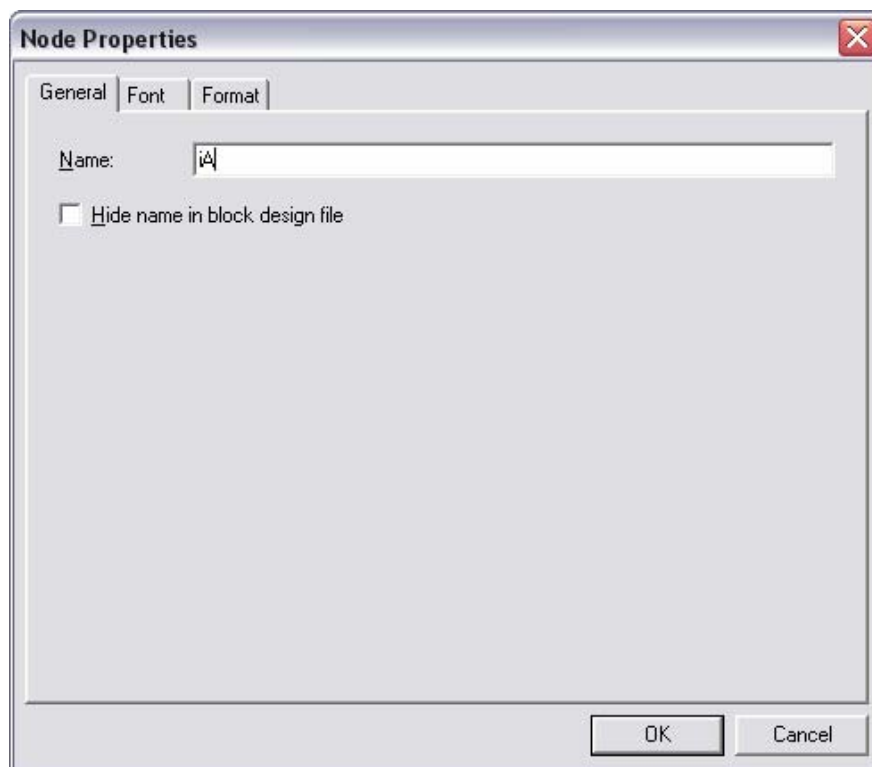


Slika 11.30: Postavljanje dvoulaznog I kola



**POVEZIVANJE VODOVIMA:** Postiže se pozivanjem alatke za postavljanje vodova klikom na ikonu  iz palete alatki. Nakon toga se postavi kurzor na nožicu odgovarajuće komponente i sa pritiskom na levi taster miša se započinje crtanje voda. Držanjem levog tastera i povlačenjem miša po radnoj površini vod se automatski crta. Završavanje crtanja voda se završava otpuštanjem levog tastera miša.


**POVEZIVANJE LABELAMA:** Dva voda sa istom labelom su na istom potencijalu tj. kratkospojeni, iako nema fizičke veze između njih (vod). Povezivanjem putem labela šeme bivaju preglednije jer iste nisu isprepletane vodovima. Takođe šeme je lakše čitati ukoliko vodovi imaju odgovarajuće oznake. Za postavljanje oznaka je potrebno selektovati željeni vod i upisati labelu. Na ovaj način se labela automatski dodeljuje selektovanom vodu. Drugi način je da se selektuje željeni vod i iz menija koji se dobije desnim klikom odabere komanda **Properties**. Time se dobija prozor koji prikazuje Slika 11.31. U polje **Name** se upisuje oznaka voda. Posle pritiska na dugme OK oznaka se automatski postavlja na prethodno odabrani vod.


**NAPOMENA:** Pri povezivanju vodovima mora se voditi računa da dva voda koja se seku nisu na istom potencijalu ukoliko se u tački preseka ne nalazi oznaka veze (**Junction**). Ovaj editor logičkih šema automatski postavlja oznaku veze ako se neki vod završi na drugom vodu.

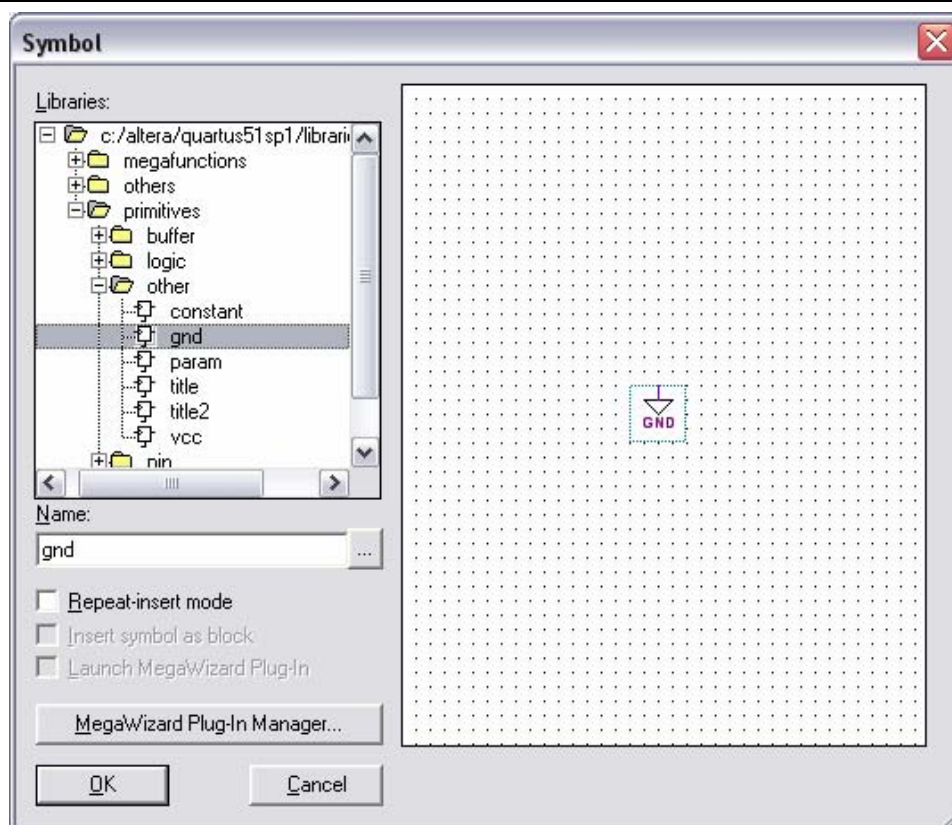


Slika 11.31: Postavljanje oznaka na vodove

**BRISANJE KOMPONENTI:** Ako se želi obrisati jedna komponenta ili grupa komponenti potrebno je prvo odabrati komponente za brisanje. To se postiže alatom za odabiranje komponenti čija je ikona u paleti alatki . Nakon toga se sa pritisnutim levim tasterom miša prevuče (odabere) deo električne šeme koji treba obrisati. Nakon toga je potrebno pritisnuti taster **Delete** i odabrani deo će biti obrisani. U slučaju greške postoji komanda **Undo** koja služi za povratak u prethodno stanje (  ).

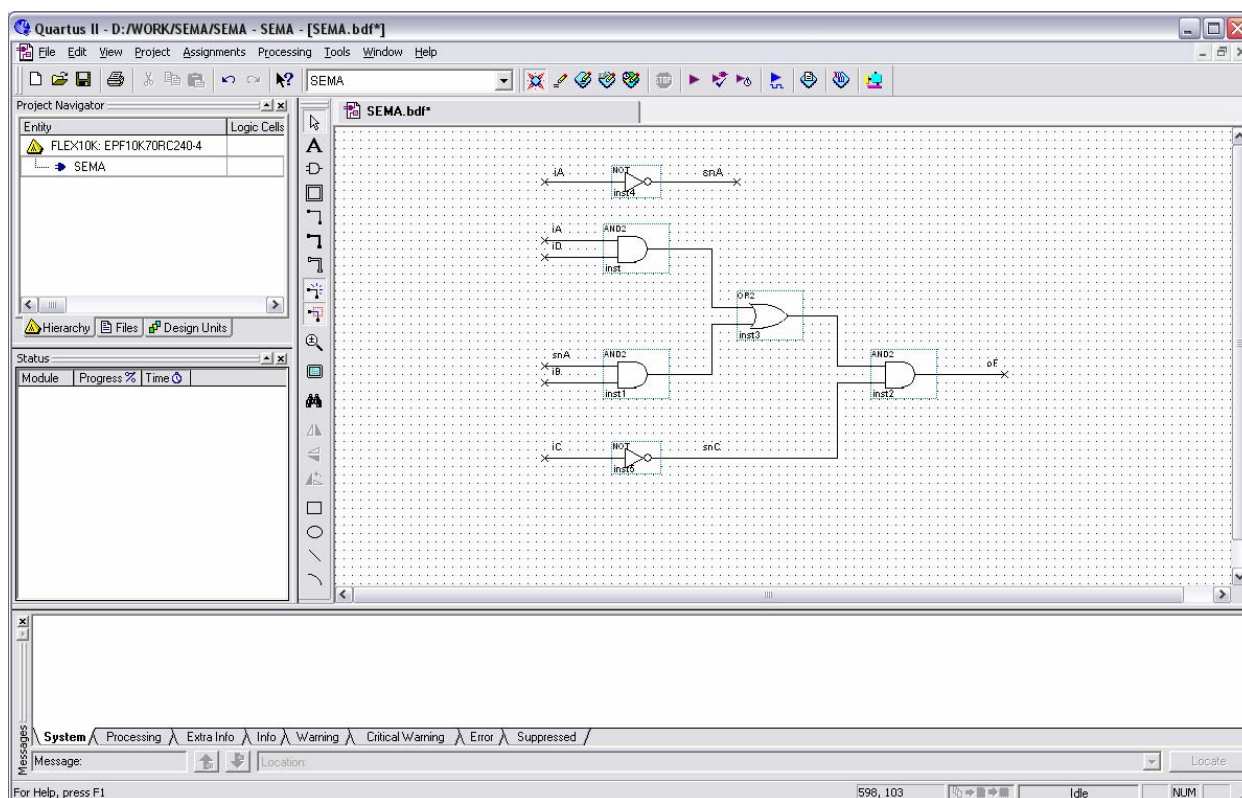
**VEZIVANJE MASE I NAPAJANJA:** Tokom rada sa logičkim kolima javlja se potreba da odgovarajući ulazi logičkih kola budu konstantno u stanju logičke jedinice ili u stanju logičke nule. To se postiže vezivanjem napajanja (logička jedinica) i mase (logička nula) na odgovarajuće ulaze. Postavljanje mase i napajanja na logičku šemu se postiže komandom **Insert Symbol** iz **Edit** menija ili klikom na ikonu . U dobijenom prozoru se u biblioteci **primitives** odabere grupa komponenti **other**. Slika 11.32 prikazuje način postavljanja mase na logičku šemu. Slično, odabirom komponente **vcc**, se postavlja i napajanje.

Kada se završi sa povezivanjem komponenti na logičkoj šemi, potrebno je snimiti realizovan dizajn. To se postiže komandom **Save** iz **File** menija ili klikom na ikonu  iz palete alatki. Realizovanu logičku šemu je potrebno snimiti u isti direktorijum gde se nalazi i projektna datoteka. Time se snimljena datoteka automatski i uključuje u projekat.




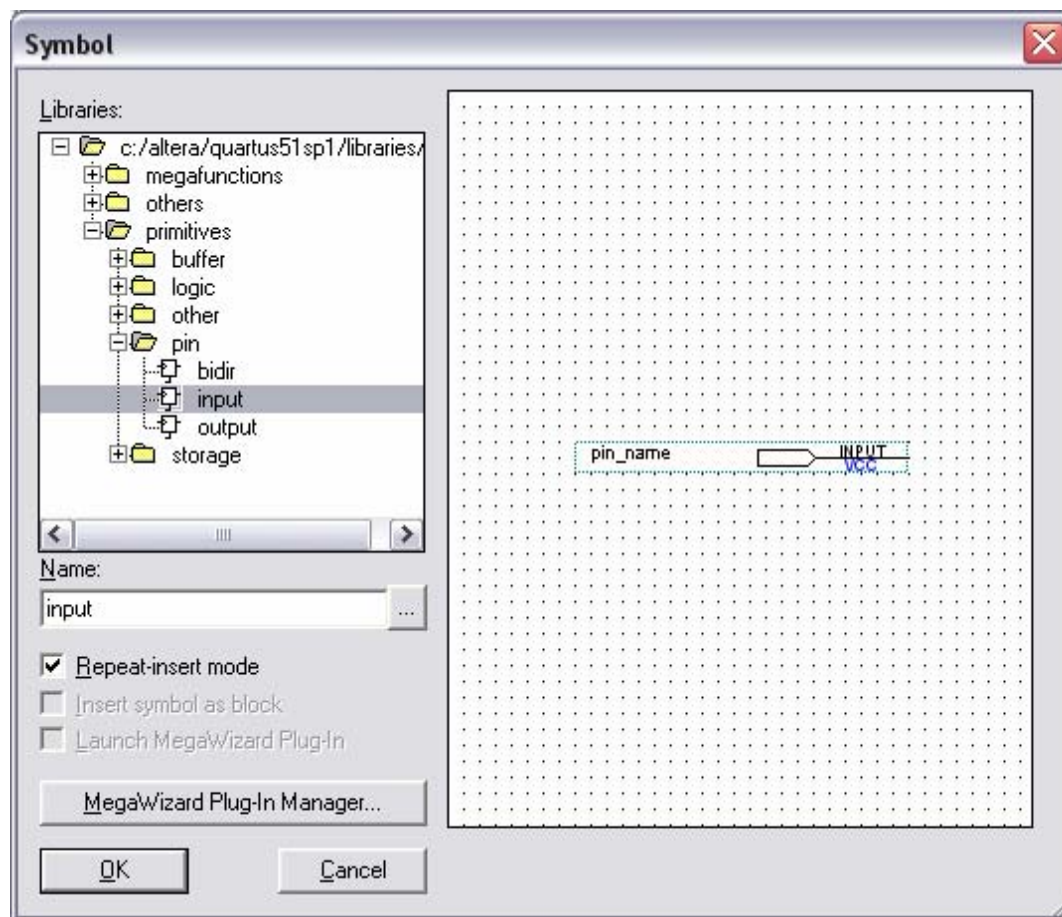
Slika 11.32: Postavljanje mase na logičku šemu

Slika 11.33 prikazuje jednu realizaciju električne šeme koja se traži.



Slika 11.33: Izgled realizovane električne šeme

Na ovako realizovanu električnu šemu potrebno je staviti oznake za ulazno/izlazne vodove. To se postiže komandom **Insert Symbol** iz **Edit** menija ili klikom na ikonu . U dobijenom prozoru se u biblioteci **primitives** odabere grupa komponenti **pin**. Slika 11.34 prikazuje način postavljanja oznake ulaznog voda (**input**) na logičku šemu. Slično, odabirom komponente **output**, se postavlja i oznaka izlaznog voda, dok se dvosmerni vodovi postavljaju odabirom komponente **bidir**.

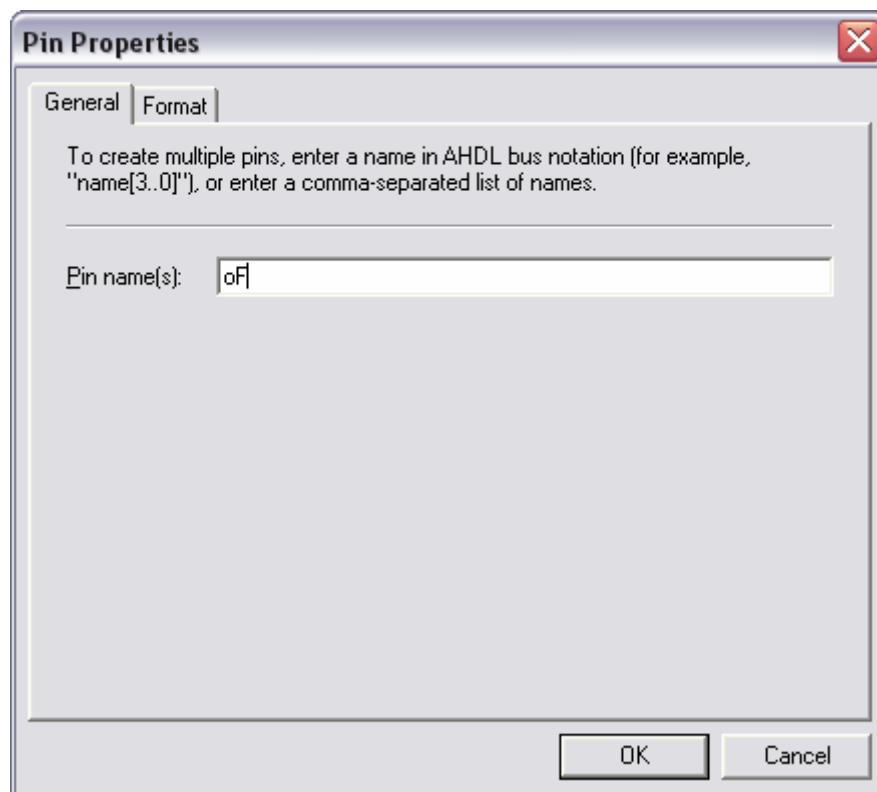


Slika 11.34: Postavljanje oznake ulaznog voda na električnu šemu

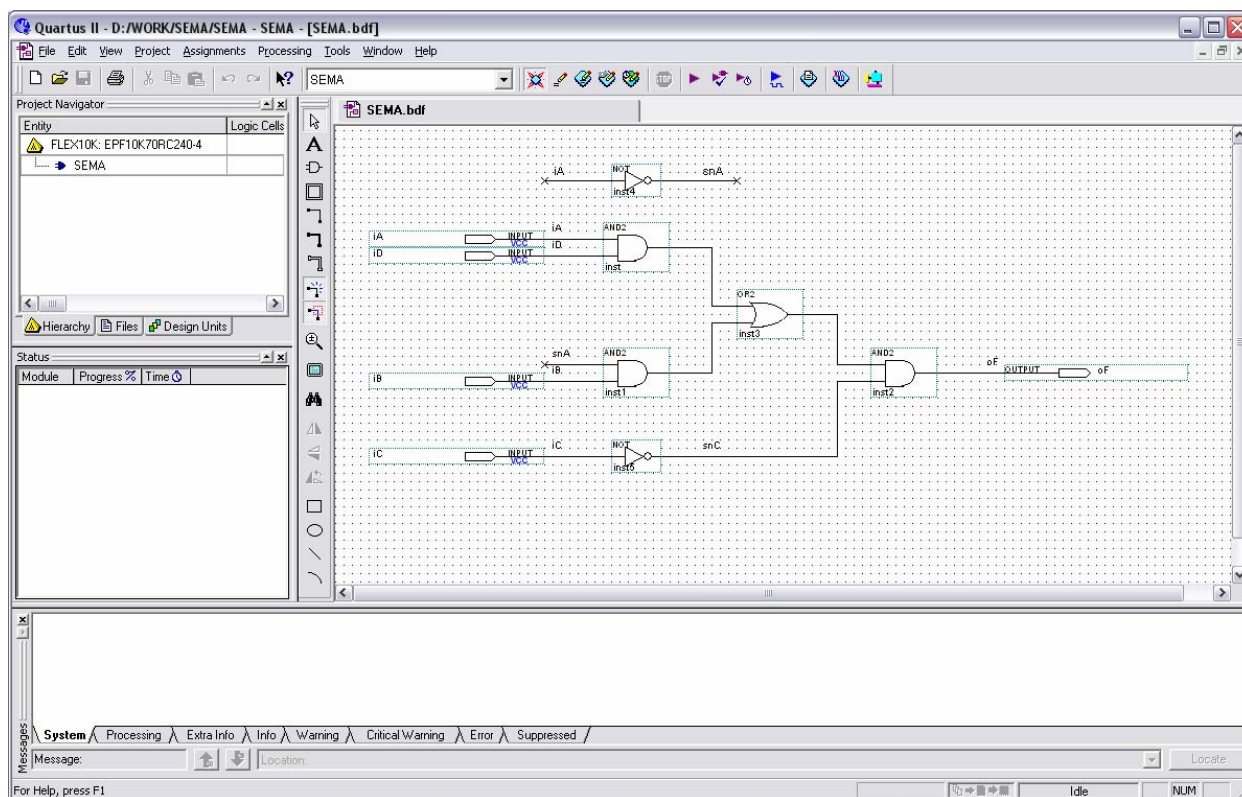
Nakon postavljanja oznaka ulazno/izlaznih vodova potrebno im je dodeliti odgovarajuće nazive. To se postiže dvostrukim klikom na odabranu oznaku, čime se dobija prozor koji prikazuje Slika 11.35. U polje **Pin name(s)** je potrebno upisati naziv ulazno/izlaznog pina.

Slika 11.36 prikazuje realizovanu logičku šemu sa postavljenim oznakama ulazno/izlaznih vodova.

Postupak prevođenja i simulacije realizovane logičke šeme je identičan kao i kod prevođenja i simulacije VHDL koda.




Slika 11.35: Postavljanje naziva na ulazno/izlazni vod

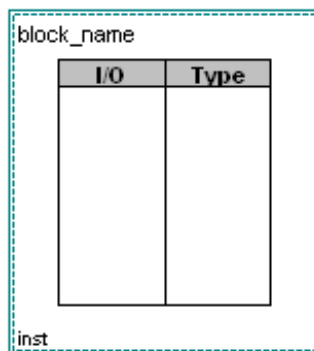


Slika 11.36: Električna šema sa postavljenim oznakama ulazno/izlaznih signala



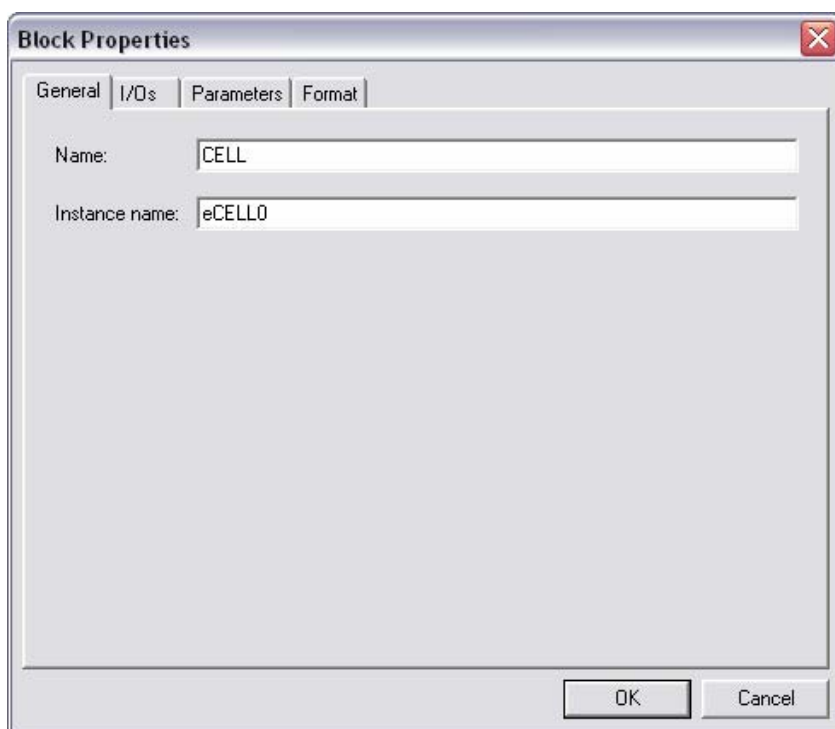
### 11.4.1 Postavljanje hijerarhijskih blokova na logičku šemu

Postavljanje podšeme se realizuje pozivanjem alatke za postavljanje blokova na logičku šemu klikom na ikonu  iz palete alatki. Nakon toga se pritiskom na levi taster na odabrano mesto na radnom listu i povlačenjem miša formira hijerarhijski blok, Slika 11.37.



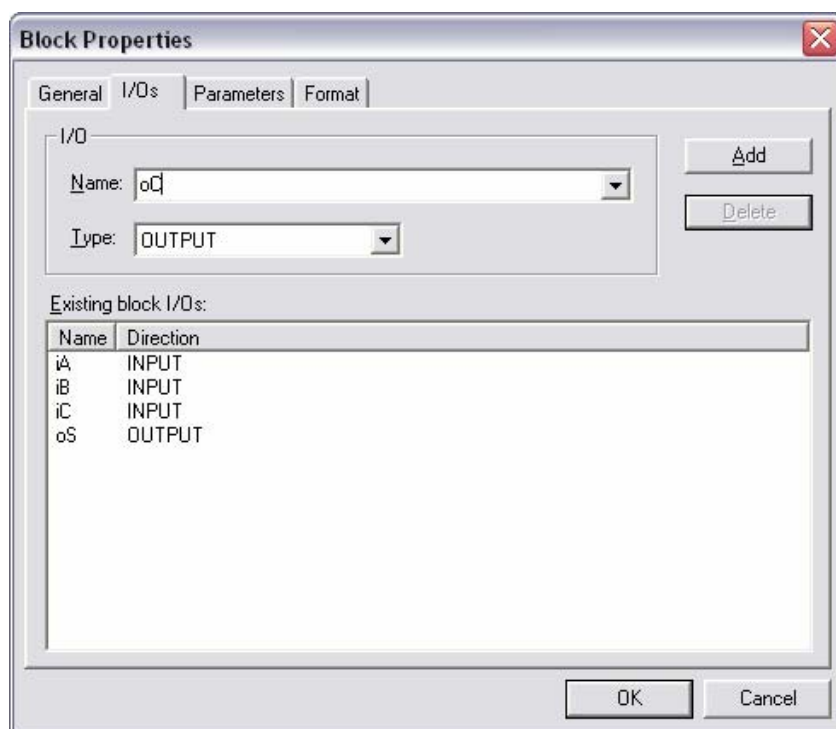
Slika 11.37: Postavljeni hijerarhijski blok

Sledeći korak je definisanje ulazno/izlaznih vodova kreiranog hijerarhijskog bloka, kao i dodela imena datom bloku i imena instance. To se realizuje u prozoru sa karakteristikama hijerarhijskog bloka (**Block Properties**). Ovaj prozor se dobija odabirom istoimene komande iz menija koji se dobija desnim klikom na površinu bloka (Slika 11.38). U kartici **General** se definiše ime hijerarhijskog bloka u polju **Name**, dok polje **Instance name** definiše ime selektovane instance hijerarhijskog bloka. Na jednoj logičkoj šemi može postojati više instanci istog bloka, gde svaka instanca mora imati jedinstveno ime.



Slika 11.38: Dodela imena hijerarhijskom bloku

Slika 11.39 prikazuje isti prozor sa otvorenom karticom **I/Os**, gde se definiše ime ulazno/izlaznog voda (polje **Name**) i tip voda (polje **Type**). Tip može biti ulazni (**INPUT**), izlazni (**OUTPUT**) ili dvosmerni (**BIDIR**). Upisom imena i tipa ulazno/izlaznog voda u odgovarajuće polje i klikom na dugme **Add**, se upisani vod stavlja u listu ulazno/izlaznih vodova (**Existing block I/Os**).



Slika 11.39: Dodela ulazno/izlaznih vodova hijerarhijskog bloka

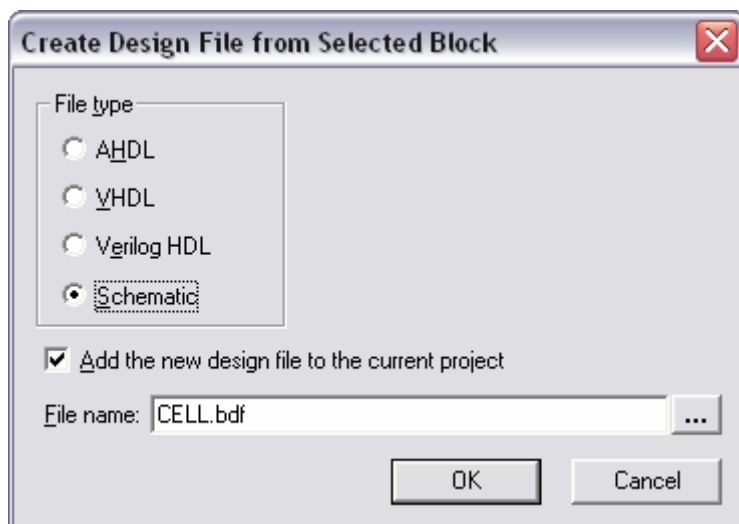
Nakon definisanja hijerarhijskog bloka i odgovarajućih ulazno/izlaznih vodova, Slika 11.40, potrebno je kreirati logičku šemu istog. To se postiže selektovanjem bloka podšeme i pozivanjem komande **Create Design File from Selected Block** koja se dobija desnim klikom na blok.

CELL	
I/O	Type
iA	INPUT
iB	INPUT
iC	INPUT
iSEL[1..0]	INPUT
oS	OUTPUT
oC	OUTPUT
eCELL0	

Slika 11.40: Hijerarhijski blok sa dodeljenim ulazno/izlaznim vodovima

Slika 11.41 prikazuje prozor koji se dobije pozivanjem navedene komande. Potrebno je odabrati **Schematic** za odabir načina realizacije u uokvirenom polju

nazvanom **File type**. Inicijalno se nova datoteka uključuje u trenutni projekat pošto je uključena opcija **Add the new design file to the current project**. U polju **File name** treba da stoji putanja i naziv datoteke koja će biti formirana. Inicijalno je postavljena putanja do projektnog direktorijuma i naziv datoteke je jednak dodeljenom imenu hijerarhijskog bloka. Preporučuje se ostavljanje inicijalnih vrednosti u ovom polju.



Slika 11.41: Formiranje logičke šeme hijerarhijskog bloka

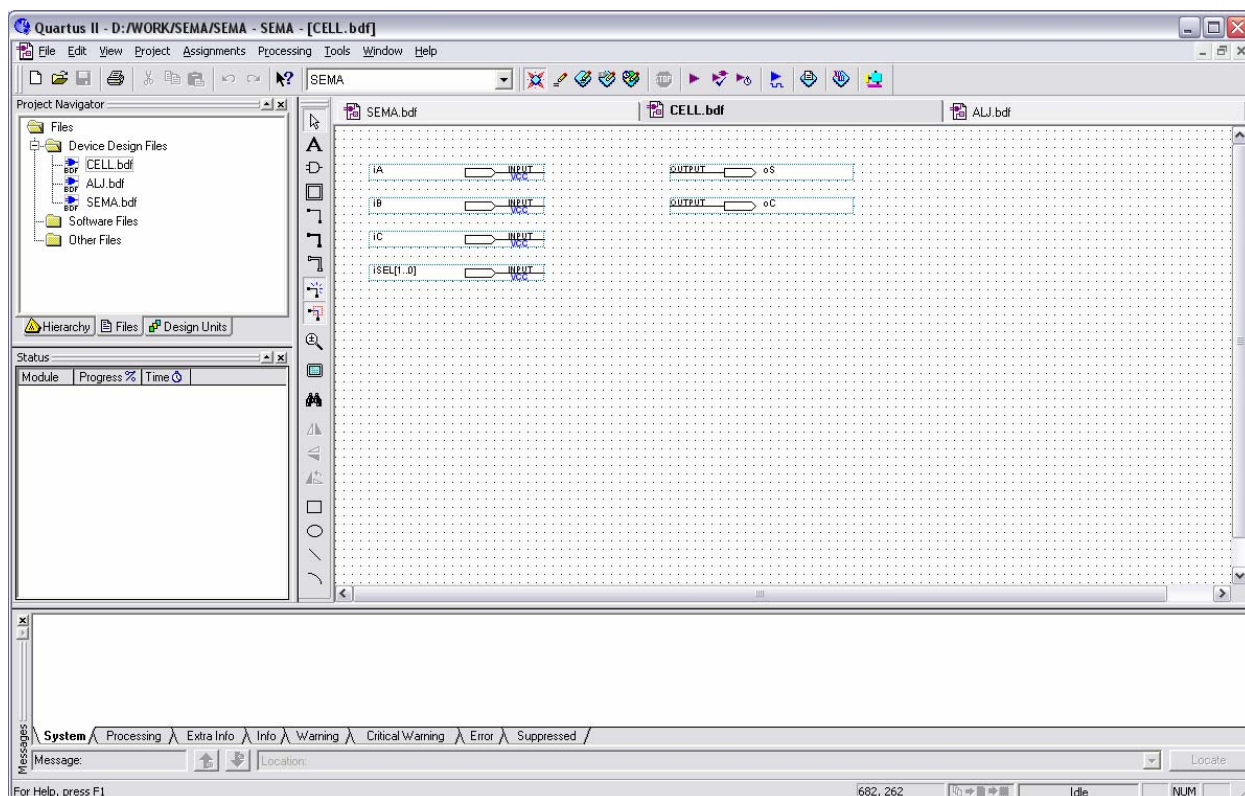
Kreiranjem logičke šeme hijerarhijskog bloka automatski se postavljaju oznake ulazno/izlaznih vodova koji su označeni prilikom kreiranja hijerarhijskog bloka (Slika 11.40). Oznake ulazno/izlaznih vodova prikazuje Slika 11.42.

Sledi realizacija logičke šeme na osnovu izračunatih Bulovih jednačina. Time je kreirana podšema drugog hijerarhijskog nivoa. Podšema na drugom hijerarhijskom nivou takođe može sadržati svoju podšemu. Na ovaj način se kreira podšema trećeg hijerarhijskog nivoa, koja takođe može imati podšemu (četvrti nivo). Ovakav način projektovanja digitalnog sistema se naziva hijerarhijsko projektovanje.

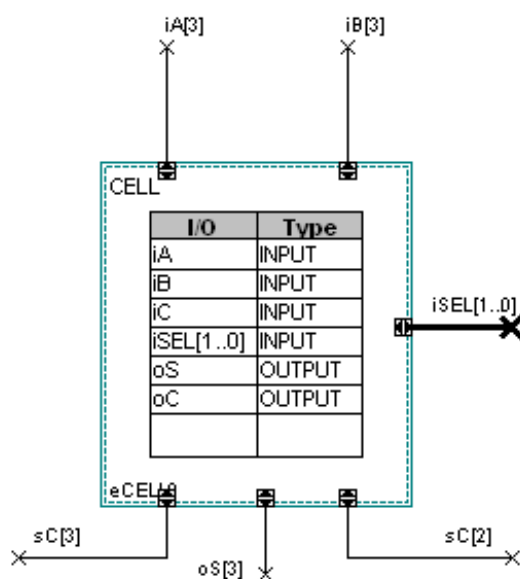
Kada se završi sa kreiranjem jedne podšeme, a potreban je još jedan primerak takve podšeme (npr. jednobitna ćelija ALJ) nije potrebno ponavljati ceo postupak realizacije podšeme. Dovoljno je samo iskopirati realizovani primerak podšeme. Time će se automatski promeniti ime instance i zapamtiće se putanja do prethodne realizacije.

Formirani hijerarhijski blok treba povezati sa ostalim komponentama na logičkoj šemi. Za svaki od ulazno/izlaznih vodova je potrebno dovesti vod sa labelom do hijerarhijskog bloka, Slika 11.43.



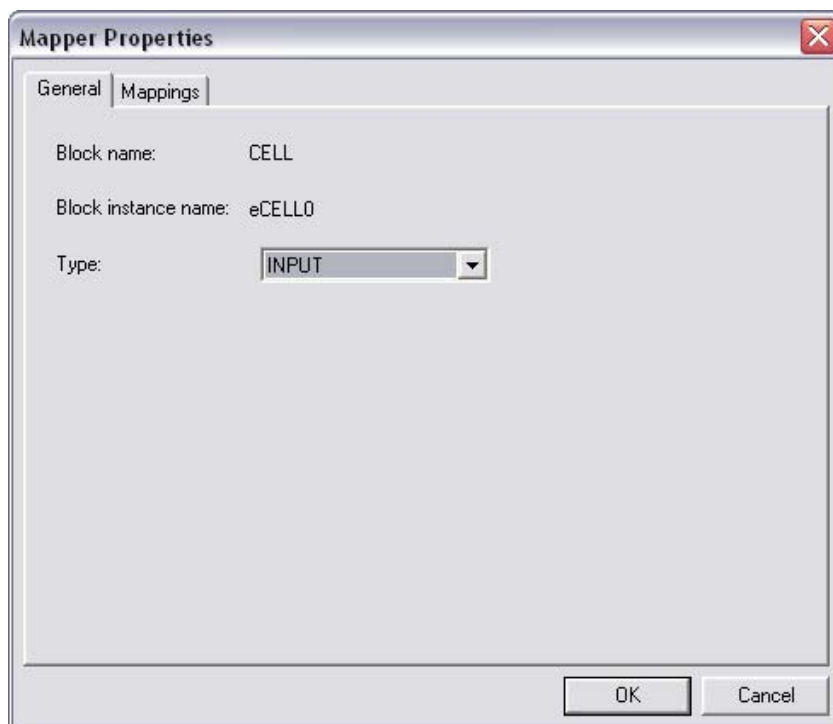


Slika 11.42: Podšema sa oznakama ulazno/izlaznih vodova



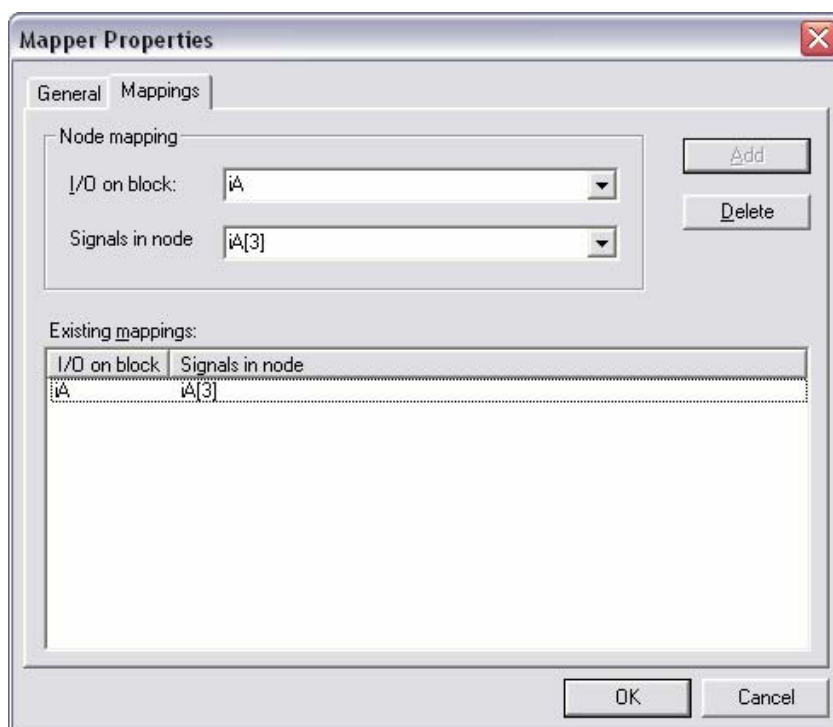
Slika 11.43: Hijerarhijski blok sa spojenim vodovima

Nakon toga, potrebno je sve realizovane konekcije definisati. To se realizuje dvostrukim klikom na oznaku konekcije voda i hijerarhijskog bloka. Ovom operacijom se dobija prozor koji prikazuje, Slika 11.44.



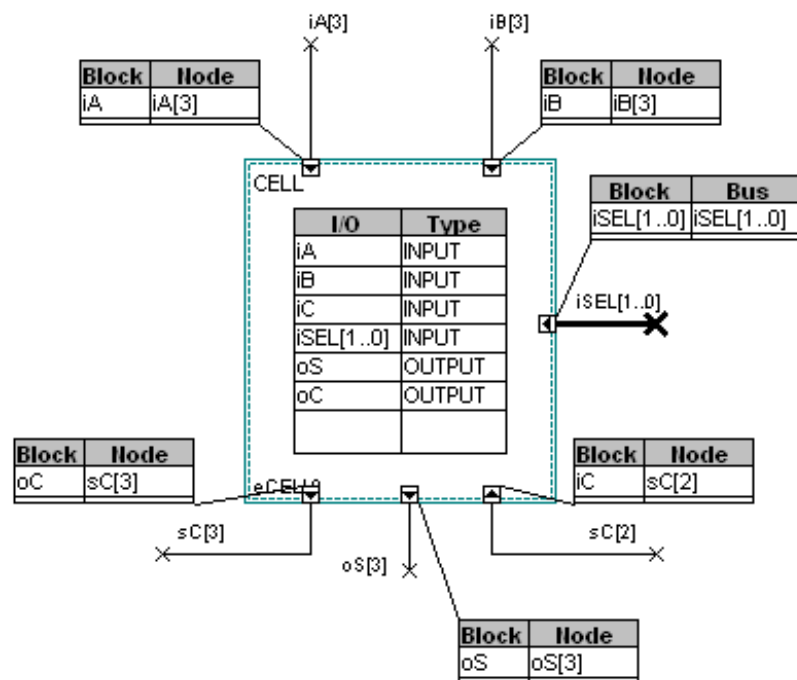
Slika 11.44: Definicija tipa konekcije voda hijerarhijskog bloka

Na kartici **General** potrebno je definisati tip ulazno/izlaznog voda na koji se spaja vod, Slika 11.44, dok se na kartici **Mapping** povezuje vod sa potrebnim ulazno/izlaznim vodom, Slika 11.45. U polju **I/O on block** je potrebno postaviti ime ulazno/izlaznog voda, dok u polje **Signals in node** treba upisati oznaku voda koji je spojen na hijerarhijski blok. Klikom na dugme **Add** se definisana veza postavlja u listu veza.



Slika 11.45: Definicija konekcije voda hijerarhijskog bloka

Slika 11.46 prikazuje hijerarhijski blok sa svim definisanim vezama.



Slika 11.46: Hijerarhijski blok sa definisanim vezama

