

Fakultet tehničkih nauka, Novi Sad
 Departman za računarstvo i automatiku
 Odsek za računarsku tehniku i računarske komunikacije

I Kolokvijum

Logičko projektovanje računarskih sistema I

3.3.2014

Zadatak se radi 60 minuta

NAPOMENA:

Za potrebe kolokvijuma koristiti direktorijum C:\Temp\LPRS1_RAXXX_20YY\KOL1, gde XXX broj indeksa, a YY godina upisa. Rešenje zadatka treba da se nalazi u tom direktorijumu.

ZADATAK:

U VHDL jeziku za opis fizičke arhitekture izvršiti sintezu digitalnog sistema prikazanog na Slici 1, koji sadrži četvorobitni pomerački registar, četvorobitni brojač modula 5, multiplekser 2x1 i pomerač.

Ulazi digitalnog sistema su:

- **iCLK** - signal takta,
- **inRST** - reset signal koji se sinhron sa taktom i aktivan na niskom naponskom nivou ,
- **iDATA** – jednobitni ulazni podatak.

Izlaz digitalnog sistema:

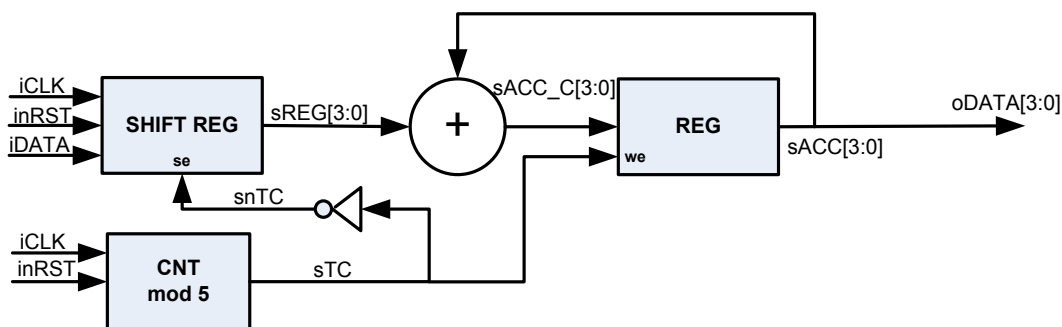
- **oDATA** – izlazni četvorobitni podatak

Sadržaj ulaznog četvorobitnog pomeračkog registra se postavlja na nulu signalom reseta. Ukoliko je signal dozvole pomeranja aktivan (*se* na slici) na svaku rastuću ivicu takta registar prima jednobitni podatak i smešta ga na poziciju najviše težine, a ostale bite pomera za po jednu poziciju u desno. Ciklus prijema jedne reči traje četiri perioda takt signala.

Brojač modula 5 broji na gore. Signalom reseta se postavlja u početno stanje. Stanje brojača se menja na svaku rastuću ivicu signala takta. Identifikator kraja ciklusa brojanja sTC se postavlja na jedan kada brojač završi jedan ciklus brojanja. Signal sTC realizovati kombinaciono tj. bez registrovanja.

Neinvertovana vrednost signala sTC dozvoljava upis u četvorobitni izlazni registar. Invertovana vrednost signala sTC predstavlja signal dozvole pomeranja za ulazni pomerački registar.

Četvorobitni sabirač realizovati bez izlaznog prenosa.



Slika 1: Blok dijagram digitalnog sistema

Izvršiti simulaciju realizovanog VHDL koda. Na simulaciji prikazati ulaze, izlaze, sadržaje pomeračkog registra, brojača, izlaz multipleksa i sadržaj pomerača. Simulacija treba da ilustruje prijem sledeće sekvence podataka:

- **iDATA** = {0, 1, 0, 1, 0, 1, 1, 1, 1, 0, 0, 1, 0, 1, 0, 0, 1}

Implementacija sistema vredi 80 bodova, a verifikacija 20 bodova.