

# I Kolokvijum

## II grupa

# Logičko projektovanje računarskih sistema I

14.12.2013

**NAPOMENA:**

### ZADATK:

```
graph LR
    iD --> Counter
    iWR_EN --> Counter
    iCLK --> Counter
    inRST --> Counter
    Counter -- oCLK --> FSM
    Counter -- sCNT3_0 --> Decoder
    FSM -- iCNT --> FSM
    iCLK --> FSM
    inRST --> FSM
    sD --> FSM
    FSM -- oD --> sD
    FSM -- oWR_EN --> sD
    FSM -- sSTATE --> Decoder
    Decoder -- oR --> OutR
    Decoder -- oY --> OutY
    Decoder -- oG --> OutG
```

### Slika 1: Blok-šema digitalnog sistema

Ulazi digitalnog sistema:

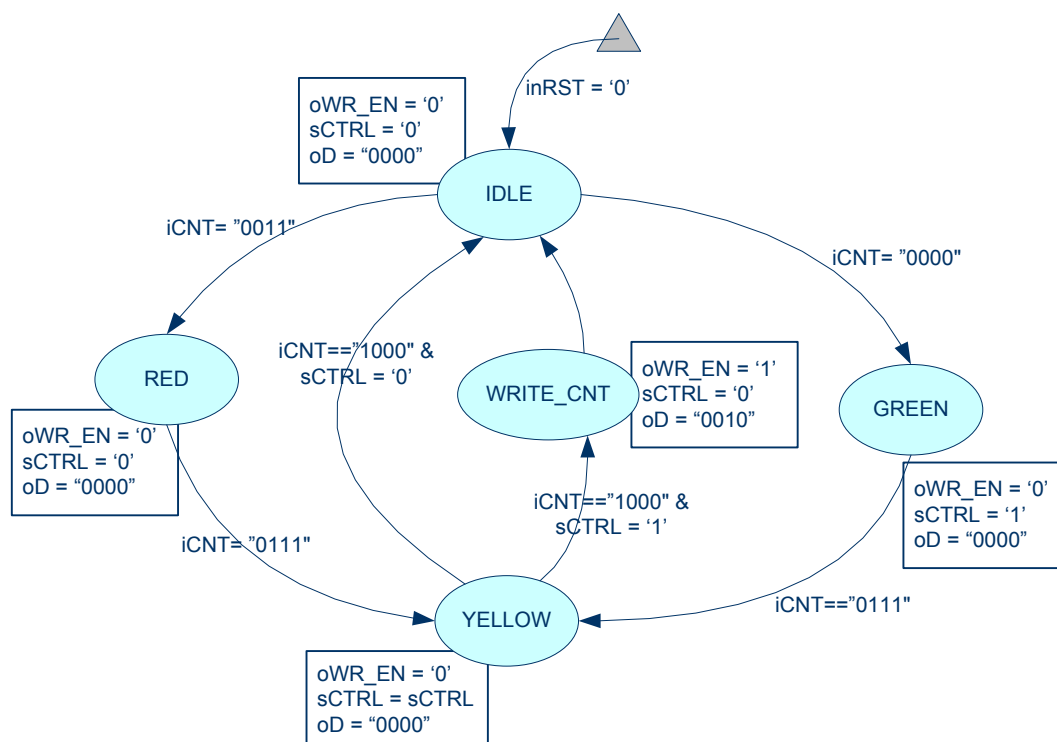
- **iCLK** - signal takta,
- **inRST** - asinhroni reset signal, aktivan u stanju logičke nule.

Izlaz digitalnog sistema:

- **oR, oY i oG** – signali za kontrolu tri svetla semafora.

**Brojač** je modula 9. Sadržaj brojača se postavlja na nulu signalom inRST. Dozvolu upisa u brojač, kao i vrednost, generiše automat stanja, kao što je opisano grafom automata.

**Automat stanja** opisan je grafom na slici 2.



**Slika 2: Graf stanja konačnog automata**

**Dekoder** generiše izlazne signale iz sistema na sledeći način:

$$oY = \begin{cases} 1, & sCNT = 8 \\ 0, & \text{inače} \end{cases}$$

$$oR = \begin{cases} 1, & sCNT \in \{3, 4, 5, 6, 7\} \\ 0, & \text{inače} \end{cases}$$

$$oG = \begin{cases} 1, & sCNT \in \{0, 1, 2, 3, 4, 5, 6, 7\} \\ 0, & \text{inače} \end{cases}$$