



دانشکده مهندسی کامپیوتر



دانشگاه صنعتی امیرکبیر  
( پلی تکنیک تهران )

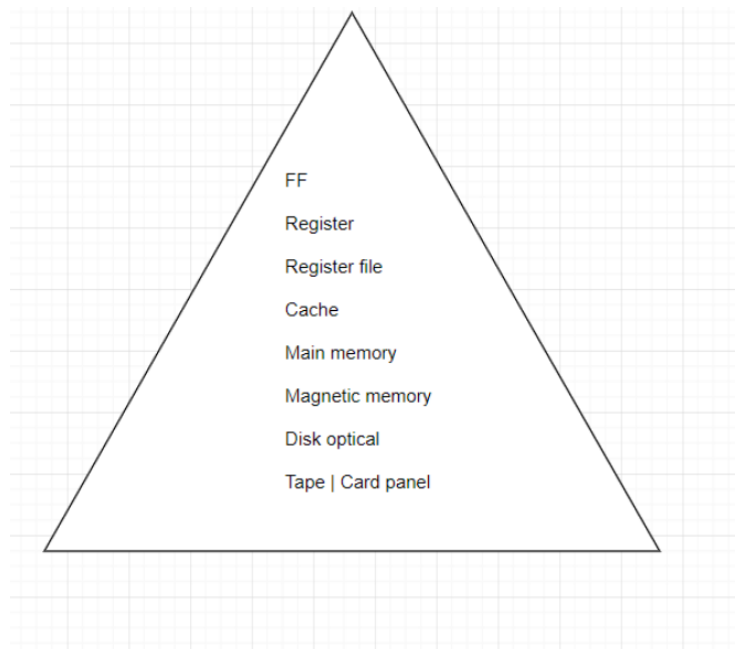
پاسخ تمرین درس معماری کامپیوتر - تمرین اول

استاد درس: دکتر زرندی

نیمسال اول ۹۸-۹۹

سوال ۱:

الف:



سلسله مراتب حافظه هرمی به فرم

مقابل است، که در آن انواع حافظه های

استفاده شده را نمایش می دهیم و هر سطح با

سرعت پاسخگویی از دیگری جدا شده است.

در این هرم هر موقع از بالا به پایین

حرکت می کنیم، ظرفیت حافظه ها

(گنجایش) و تاخیر آنها بیشتر (تاخیر

بیشتر برابر سرعت پاسخگویی کمتر است) و

قیمت بیتی کمتر (نسبت بیت به هزینه

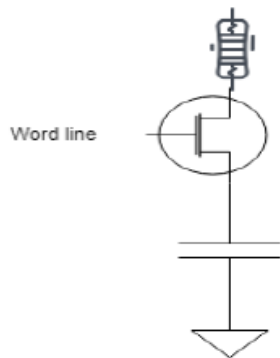
بیشتر) می شود.

ب:

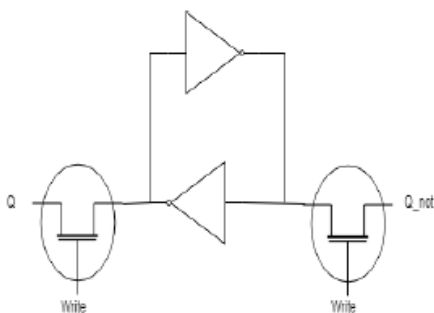
طبق هرم حافظه، این کار باعث افزایش سرعت میشود ولی هزینه ها سرسام آور می شود. (میتوان به جای

اشغال شده هم اشاره کرد)

ج:



حافظه پویا (Dynamic ram) از یک خازن استفاده می‌کند و برای نوشتن بر روی آن یک ترانزیستور برای خط کنترلی آن می‌گذارند، شکل آن به صورت روبه‌رو است و مشکل آن سرعت پایین‌تر از SRAM است و همچنین مصرف توان زیاد آن (چون جنس عایق میان صفحات خازن ایده‌آل نیست پس از مدتی خازن تخلیه می‌شود و برای رفع این مشکل باید به صورت دوره‌ای اقدام به refresh کرد) ولی از SRAM ارزان‌تر است و مساحت کمتری دارد و در حافظه اصلی (Main memory) از این استفاده می‌شود.



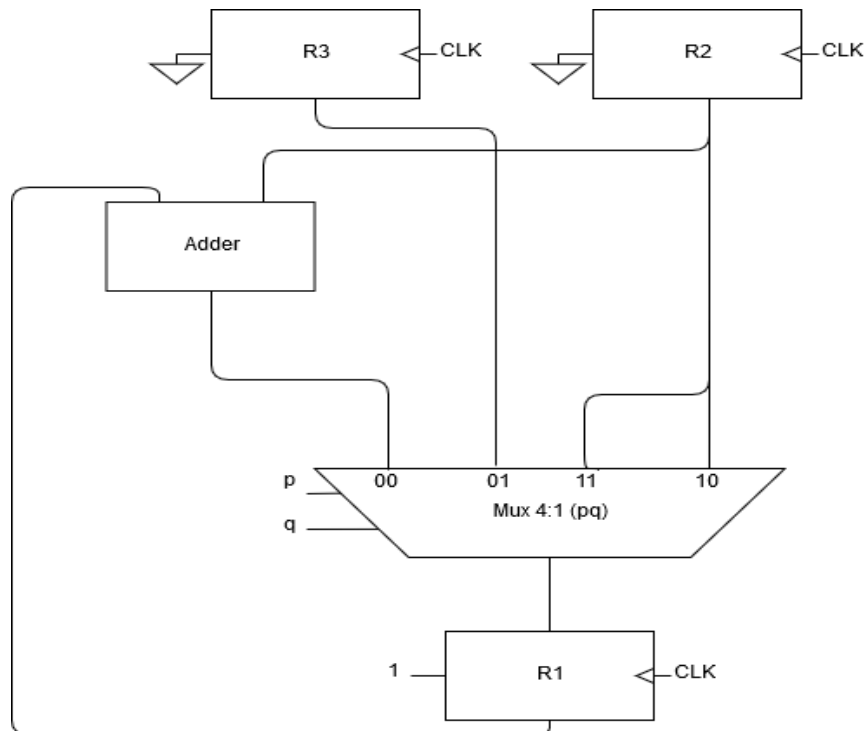
حافظه ایستا (Static ram) از ۶ ترانزیستور (دو گیت NOT و دو ترانزیستور برای خط کنترلی نوشتن) تشکیل می‌شود، شکل آن به صورت مقابل است و از سرعت بالا و اتلاف انرژی کمتری نسبت به DRAM دارد ولی ساختن ۶ ترانزیستور هزینه بیشتری دارد و مساحت بیشتری را می‌گیرد. در Cache از این نوع حافظه استفاده می‌شود.

استفاده از DRAM آسان‌تر است.

سوال ۲:

$$\begin{aligned} p: R_1 &\leftarrow R_2 \\ p'q: R_1 &\leftarrow R_3 \\ p'q': R_1 &\leftarrow R_1 + R_2 + R_3 \end{aligned}$$

مدار:



تمامی کلاک ها مشترک هستند.

سوال ۳:

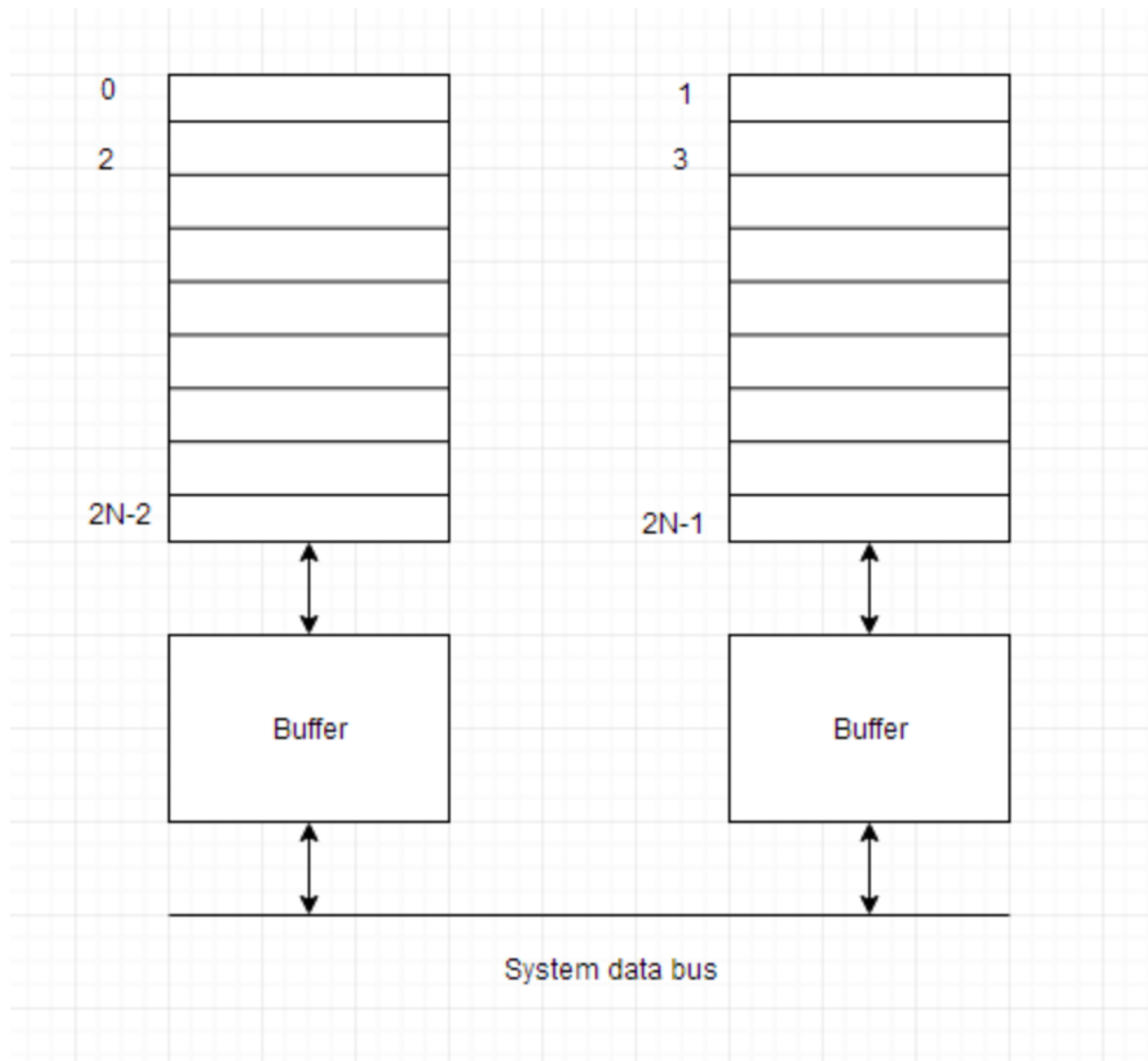
الف:

چون حافظه ای که می‌خواهیم ۱۶ بیتی است باید از دو تراشه حافظه برای نگاه داری هر لاین استفاده کنیم. برای داشتن ۴۰۹۶ لاین حافظه به  $32 = \frac{4096}{128}$  جفت تراشه حافظه نیاز داریم. برای decode کردن آدرس به ۵ بیت برای انتخاب یکی از ۳۲ جفت نیاز داریم. و به ۷ بیت برای انتخاب هر لاین از یکی از جفت ها نیاز داریم.

ب:

Interleaved یک تکنیک برای جبران سرعت نسبتاً کند DRAM است. در این تکنیک، حافظه اصلی به بانکهای حافظه تقسیم می شود که می توان به طور جداگانه و بدون هیچگونه وابستگی به دیگری ، به آنها دسترسی داشت.

برای مثال اگر ما ۴ بلوک حافظه داشته باشیم که هر کدام ۲۵۶ بایت است، در حالت عادی بلوک اول آدرس مجازی ۰ تا ۲۵۵، بلوک بعدی ۲۵۶ تا ۵۱۱ و به همین ترتیب سایر بلوک ها آدرس دهی خواهند شد. اما در حالت برگ برگ شده، آدرس ۰ در بلوک اول، آدرس ۱ در بلوک دوم، آدرس ۲ در بلوک سوم و آدرس ۳ در بلوک چهارم است (به همین ترتیب سایر آدرس ها را در نظر بگیرید). میتوان هر تعداد بلوک برای این نوع حافظه در نظر گرفت. شکل زیر حافظه برگ برگ شده 2-way را نشان میدهد.



خب پس میتوان با استفاده از ۳۲ بلوک که در هر کدام ۲ تراشه  $۸ \times ۱۲۸$  هست، این کار را انجام داد.  
سوال ۴:

$$\text{in serial} = 0.7 \times 10 \text{ ns}$$

$$+ (0.3)(10 \text{ ns} + (0.9) \times 20 \text{ ns} + (0.1) \times (20 \text{ ns} + 30 \text{ ns}))$$

$$\text{in parallel} = 0.7 \times 10 \text{ ns} + 0.3 \times 0.9 \times 20 \text{ ns} + 0.3 \times 0.1 \times 30 \text{ ns}$$

سوال ۵:

در این دستورات فلیپ فلاپ های  $S, F0, F1, F2, F3$  فلیپ فلاپ های کنترلی هستند که در هر دستور، ریز دستور بعدی را برای اجرا مشخص میکند. اولین سیگنالی که فعال است،  $S(\text{start})$  میباشد. در  $S$  یک کپی از  $R0$  در  $R1$  ذخیره میشود. در  $F0, R1$  مکمل یک میشود و در  $F1$  مکمل دو میشود. در  $F2, R1$  با  $R2$  جمع میشود تا در واقع حاصل  $R2-R0$  بدست آید و در  $F3$  در صورتی که حاصل این تفریق منفی

باشد، عکس عمل تفریق صورت میگیرد تا مقدار قبلی بازیابی گردد و اگر حاصل منفی نبود یک واحد به R3 اضافه میشود و دوباره F2 تکرار میشود. این تکرار باعث میشود تعداد R0 هایی که در R2 وجود دارند در R3 قرار گیرد و در R2 نیز باقی مانده قرار گیرد.  
 پس محتویات R2 بر R0 تقسیم میشود. R3 خارج قسمت و R2 باقی مانده است.  
 سوال ۶:

$$\text{in case 1: } res = \text{hit time} + \text{miss rate} \times \text{miss penalty} = 4 + 0.05 \times 100 = 9ns$$

$$\text{in case 2 : } 5 + 0.03 \times 100 = 8ns$$

زمان دسترسی ما به طور متوسط یک نانوثانیه کاهش میابد.