

三重图样光刻与定向自组装技术下通孔层的分解

李兴权¹, 吴莉莉¹, 朱文兴²

(1. 闽南师范大学数学与统计学院, 福建 漳州 363000; 2. 福州大学离散数学研究中心, 福建 福州 350108)

摘要: 针对三重图样光刻和定向自组装技术下通孔层的掩模版和引导槽分配问题, 首先为给定版图构造一个加权冲突分组图; 然后, 基于加权冲突分组图提出一个整数线性规划模型. 同时, 为了加快整数规划的求解速度, 引入一些有效的不等式将一些不好的结果剪枝掉. 对比当前相关工作, 基于整数规划的方法可以减少 42 倍的冲突数目和 78% 的总成本.

关键词: 掩模版; 引导槽; 分配; 定向自组装; 三重图样光刻; 冲突; 成本
中图分类号: TP202.1 **文献标识码:** A

Contact layer decomposition of DSA with TPL

LI Xingquan¹, WU Lili¹, ZHU Wenxing²

(1. School of Mathematics and Statistics, Minnan Normal University, Zhangzhou, Fujian 363000, China;
2. Center for Discrete Mathematics and Theoretical Computer Science, Fuzhou University, Fuzhou, Fujian 350108, China)

Abstract: We consider the contact layer mask and template assignment problem of directed-self-assembly with triple patterning lithography. To address this problem, we first construct the weighted conflict grouping graph. Then, we formulate this problem as an integer linear programming (ILP) and introduce some valid inequalities to prune poor solutions. Compared with the current related work, our results reduce 42 times the number of conflicts and 78% total cost.

Keywords: mask template; guide groove; assignment; directed-self-assembly; triple patterning lithography; conflict; cost

0 引言

随着特征之间的间距缩小和节点数量的增加, 超大规模集成电路的版图制造越来越困难^[1]. 目前学术界和工业界公认的最有前景的制造技术是嵌段共聚物定向自组装(directed-self-assembly, DSA)和极端紫外光刻^[2]. 其中 DSA 最适合用于制造分布密集的通孔层^[3]. 为了通过 DSA 对通孔层进行刻印制造, 通常需要使用引导槽来辅助形成通孔^[4]. 使用一些单孔的引导槽可以来制造稀疏结构的通孔. 但对密集结构, 太近的单孔引导槽之间会产生冲突^[5]. 为了减少冲突, 本研究将一些短距离内的通孔放在某个多孔引导槽中组合制造^[6], 但是复杂且不规则形状的引导槽将会产生更大的重叠成本^[7]. 因此, 在引导槽分配时, 应考虑引导槽的成本. 此外, 对于非常密集的通孔层版图, 由于一些冲突错误, 通过单重图样光刻制造的电路版几乎是不合格的. 因此, 本研究考虑多重图样光刻的 DSA 技术(triple patterning lithography with DSA, TPL-DSA)是一个可靠的选择. 同样地, 对于 TPL-DSA 技术而言, 其关键问题是掩模版和引导槽的分配^[8-9]. 本研究总结了不同尺寸的竖直和水平引导槽成本的一般规则, 并构建了加权冲突分组图, 研究一个紧致的整数线性规划模型, 接着引入一些有效的不等式剪枝掉一些不良的解进行加速求解.

1 DSA 引导槽分配问题

为了用定向自组装技术制造通孔, 通常需要先采用传统的光刻技术刻印出引导槽^[3]. 对于稀疏结构,

收稿日期: 2018-12-09
通讯作者: 李兴权(1990-), 讲师, 主要从事超大规模集成电路可制造设计研究, xqli@mnnu.edu.cn
基金项目: 闽南师范大学科研启动基金资助项目(KJ18009); 国家自然科学基金面上资助项目(61672005)

通孔之间的间距足够大,通孔可以放在单孔引导槽中制造.但对于密集的结构,通孔之间的间距太小而导致不能通过单孔引导槽制造,需要将相近的几个通孔放到某个多孔引导槽制造.多孔引导槽的类型理论上可以是任何形状的^[8].然而,复杂的引导槽可能会引入较大的重叠消除成本,并且预期的通孔可能无法正确制造^[7].为了得到较好的通孔制造效果,本研究只考虑竖直和水平形状的引导槽.对于竖直或水平引导槽,不同孔数的引导槽具有不同的成本^[9].本研究总结了三个关于竖直和水平引导槽成本的规则.

规则 1 孔越多的引导槽,成本越高;

规则 2 k 个孔被包含在一个引导槽中,或者 $k + 1$ 个孔被包含在几个引导槽中,前者的成本要小于后者的成本之和;

规则 3 k 个孔被包含在一个引导槽中,或者 k 个孔被包含在几个引导槽中,前者的成本要大于后者的成本之和.

规则 1 是由于具有更多孔的引导槽更难以控制光刻变化;规则 2 是由于后一种情况涉及更多的通孔,并可能产生更多的制造错误;规则 3 是由于包含 k 个孔的一个引导槽比包含 k 个孔的其他几个引导槽更难控制光刻变化^[8-10].

设 T_k 是一个带 k 个孔的引导槽, cost_{T_k} 为引导槽 T_k 的成本.根据以上三个规则,可以总结出如下不等式: $\frac{k}{k-1}\text{cost}_{T_{k-1}} < \text{cost}_{T_k} \leq 2 \text{cost}_{T_{k-1}}$, 可以知道满足该不等式的 cost_{T_k} 一定满足三个引导槽成本规则.本研究给出如下 cost_{T_k} 设置:首先,对于单孔的引导槽 T_1 而言,不会产生由于引导槽形状导致的制造错误,故而令 $\text{cost}_{T_1} = 0$;接着令 $\text{cost}_{T_1} = 3$ 作为基准线,然后对于 $k = 3, \dots, K$, 取 $\text{cost}_{T_k} = \left\lceil \frac{k}{k-1}\text{cost}_{T_{k-1}} + \varepsilon \right\rceil$, 其中 $\varepsilon > 0$ 是一个非常小的数.通过简单的计算,可以得到 $\text{cost}_{T_1} = 0, \text{cost}_{T_2} = 3, \text{cost}_{T_3} = 5, \dots, \text{cost}_{T_k} = 2k - 1$, 其中 K 是引导槽中的最大孔数.

令 $d_{c \min}$ 为最小冲突间距, $d_{g \min}$ 为最小分组间距, $d_{g \max}$ 为最大分组间距,对于上述表示法 $d_{g \min} < d_{c \min} < d_{g \max}$.如果两个通孔之间的距离小于最小的冲突间距 $d_{c \min}$,并且被分配到相同的掩模版而没有被分配到同一个引导槽,那么这两个通孔之间会产生一个冲突.为了减少冲突的数量,通过引导槽将一些通孔组合在一起.本研究考虑 TPL - DSA 的掩模版和引导槽分配问题 P_0 描述如下.

给定通孔层版图,垂直和水平引导槽集,三个掩模版 M_1, M_2, M_3 , 冲突数与引导槽成本之间的权重参数 $\beta = 0.01$.将所有通孔分配给掩模版和可用的单孔、多孔引导槽.其中每个通孔只能分配给三个掩模版中的一个,并且仅分配给一个引导槽,此外一个引导槽中的几个通孔必须分配到同一掩模版.该问题的目标是为了最小化 $|C| + \beta \times T_{\text{cost}}$, 其中 $c_{ij} \in C$ 表示通孔 i 和 j 之间的冲突, $|C|$ 是冲突的总数量, T_{cost} 是使用的引导槽的总成本.

2 TPL-DSA 掩模版和引导槽分配的整数线性规划求解

2.1 构造冲突分组图

给定版图,对于靠太近的一些通孔,需要分配到不同的掩模版中或者组合在一个引导槽中制造.如果两个通孔 i 和 j 的距离在 $d_{g \min}$ 和 $d_{g \max}$ 之间,并且 i 和 j 分布在垂直或水平线上,则组合在一起,并称其为二元组.此外,本研究将所有通孔称为单元组,然后将所有二元组和单元组统称为多元组.图 1(a) 显示单元组和二元组.上面的多元组可以看作图中的顶点,而在这些顶点之间有一些边.本研究定义如下冲突分组图.

定义 1 冲突分组图 $CGG_1(V, E_c, E_g, E_o, W^v, W^e)$ 是无向图,其中 V 是顶点集, $v \in V$ 是多元组, E_c 是冲突边的集合, E_g 是分组边的集合, E_o 是重叠边的集合. W^v 是顶点权重的集合, W^e 是边权重的集合.

由分组边连接的多元组可以组合成引导槽,如图 1(b) 所示.如果多元组 i 和 j 彼此重叠,则两者之间存在重叠边 $oe_{ij} \in E_o$.

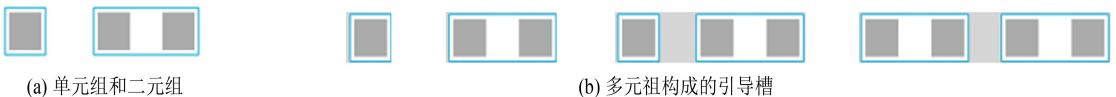


图 1 多元组与由多元组组合而成的引导槽
Fig.1 Comparison of the costs of different templates

在 CGG_1 中, 如果 V 中两个多元组 i 和 j 之间的距离小于 $d_{c \min}$, 则存在冲突边 $ce_{ij} \in E_c$. 如果两个多元组 i 和 j 之间的距离 (i 和 j 至少有一个是二元组) 在 $d_{g \min}$ 和 $d_{g \max}$ 之间, 并且 i 和 j 在垂直或者水平线中, 则在两者之间存在分组边 $ge_{ij} \in E_g$. 显然, $E_g \subseteq E_c$.

在 CGG_1 中, $w_{iv} \in W^v$ 是多元组 i 的权重, 并且 $w_{ije} \in W^e$ 是多元组 i 和 j 的边 $ce_{ij} \in E_c$ 的权重. w_{iv} 和 w_{ije} 的权重规则分别见公式 (1). $w_{iv} \in W^v$ 和 $w_{ije} \in W^e$ 的这些权重规则旨在拟合目标函数.

$$w_i^v = \begin{cases} 0 & (i \text{ 是单元组}) \\ 0.03 & (i \text{ 是二元组}) \end{cases}; \quad w_{ij}^e = \begin{cases} 1.0 & (e_{ij} \in E_c - E_g) \\ 0.02 & (e_{ij} \in E_g \text{ 且 } i, j \text{ 中有一个是单元组}) \\ 0.01 & (e_{ij} \in E_g \text{ 且 } i, j \text{ 都是二元组}) \end{cases} \quad (1)$$

图 2 给出了一个冲突分组图 CGG_1 的示例. 图 2(a) 是具有五个通孔的版图, 其 CGG_1 如图 2(b) 所示, 这里 $s_1 \sim s_5$ 是单元组, 对应于通孔 $c_1 \sim c_5$; $d_1 \sim d_3$ 是二元组, 其中 d_1 包括通孔 c_1 和 c_2 , d_2 包括通孔 c_2 和 c_3 , d_3 包括通孔 c_4 和 c_5 . 黑线是冲突边, 绿线是分组边, 红线是重叠边.

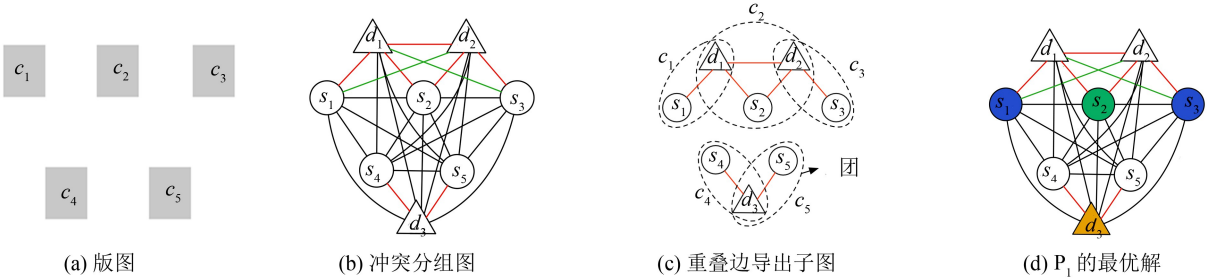


图 2 冲突分组图

Fig.2 Conflict grouping graph

根据多元组和多元组边的加权规则, 可以通过一些多元组的组合形成所有可用的引导槽. 对于一个引导槽 $T_k (k > 2)$, 可以由 n 个二元组和 $k - 2n$ 个单元组形成, n 应满足 $\frac{(k-1)}{3} \leq n \leq \frac{k}{2}$. $\frac{(k-1)}{3} \leq n$ 是

由于一条分组边连接的两个多元组中, 至少有一个是二元组. 相应地, 引导槽 T_k 的成本可以通过多元组的权重和连通分组边来计算. 图 3(a) ~ (c) 给出了引导槽 $T_3 \sim T_5$ 的多元组的三种组合, 并且引导槽的成本通过多元组的权重和连通分组边来计算, 成本分别为 0.05, 0.07 和 0.09. 同样, 可以通过一些多元组的组合来形成所有可用的引导槽.

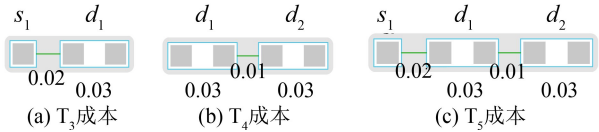


图 3 不同引导槽的成本比较

Fig.3 Comparison of the costs of different templates

2.2 整数线性规划模型

本节将介绍整数线性规划方法, 目标是最小化 $|C| + \beta \times T_cost$, 本研究 β 的值取为 0.01, $\beta \times T_cost = 0.01 \times \sum_{k=1}^K (2k-1)N_k$, 其中 N_k 是使用引导槽 T_k 的数量. 对于 CGG_1 的 V 中的任何两个通孔 i 和 j , 如果 $e_{ij} \in E_c$, 则应将其分配给不同的掩模版, 或者通过可用的引导槽将两者组合在一起, 否则, 将产生冲突. 另外, 对 V 中的任何两个通孔 i 和 j , 如果 $e_{ij} \in E_o$, 则只选择 i 和 j 中的一个分配给 TPL 掩模版.

为了表示 E_o 中重叠边之间的约束, 首先通过 E_o 中的重叠边获得推导出 CGG_1 的子图 $EDG_1(V', E_o)$ 的边. 图 2(c) 显示了图 2(b) 中 CGG_1 的 $EDG_1(V', E_o)$. 然后将找到 V' 中每个顶点的所有可能的最大团 C_i , 设 S 是最大团 C_i 的集合. 如图 2(c) 所示, 找到五个最大团 C_1, C_2, \dots, C_5 . 必须注意的是, 找到图的最大团是 NP 困难问题. 幸运的 V' 中点的数目和每个顶点的度数都不大.

令 0 ~ 1 变量 x_{im} 表示 V 中被分配给掩模 $m (m = 1, 2, 3)$ 的顶点 i , 给出整数线性规划模型 P_1 如下:

$$\min \sum_{e_{ij} \in E_c} w_{ij}^e c_{ij} + \sum_{i \in V} w_i^v \left(\sum_{m=1}^3 x_{im} \right) \quad (2)$$

$$\text{s.t. } x_{im} + x_{jm} \leq 1 + c_{ij} \quad (\forall e_{ij} \in E_c, m = 1, 2, 3) \quad (3)$$

$$\sum_{m=1}^3 \sum_{i \in C_l} x_{im} = 1, \quad (\forall C_l \in S) \tag{4}$$

c_{ij} 是冲突变量, $c_{ij} = 1$ 表示如果 $e_{ij} \in E_c$ 中的顶点 i 和 j 被分配给相同的掩模版. 在目标(2)中, $\sum_{e_{ij} \in E_c} w_{ij}^e c_{ij}$

用于计算冲突的总成本和同一掩模版中的一些分组边, $\sum_{i \in V} w_i^v \left(\sum_{m=1}^3 x_{im} \right)$ 用于计算分配给 TPL 掩模版的顶点的权重. 约束(3) 用于限制 $e_{ij} \in E_c$ 中的任意两个顶点 i 和 j , 如果两者被分配给相同的掩模版, 则 $c_{ij} = 1$, 否则 $c_{ij} = 0$. 约束(4) 用于限制在最大团 C_l 中的顶点, 只能将一个顶点分配给一个掩模版 m .

通过观察, 存在四种类型的组合可以形成不可用的引导槽, 如图 4 的第一、三列的四个小图所示. 将这些组合类型称为不兼容结构(incompatibility structure, IS). IS 通过对边进行分组, 存在至少两个二元组 i 和 j 连接到单元组 k , 并且在 i 和 j 之间没有冲突边或分组边. 如果 IS 中的所有多元组分配给掩模版, 则 IS 的权重总和不等于是该 IS 中可用引导槽或冲突的最小总成本. 本研究通过举例来说明成本的这种差异. 在图 4(a) 中, IS 的权重之和为 $0.03 + 0.02 + 0.02 + 0.03 = 0.10$. 对图 4(a) 中的 IS, 最好的分配结果是将所有多元组合成一个 T_5 引导槽, 然后分配给掩模版, 这时候这个结构的成本等于 T_5 引导槽的成本 0.09. 那么 IS 的权重之和与其最小总成本之间的差距为 0.01. 同样, 图 4(c), (e), (g) 中的 IS 权重之和与其最低总成本之间同样存在差距.

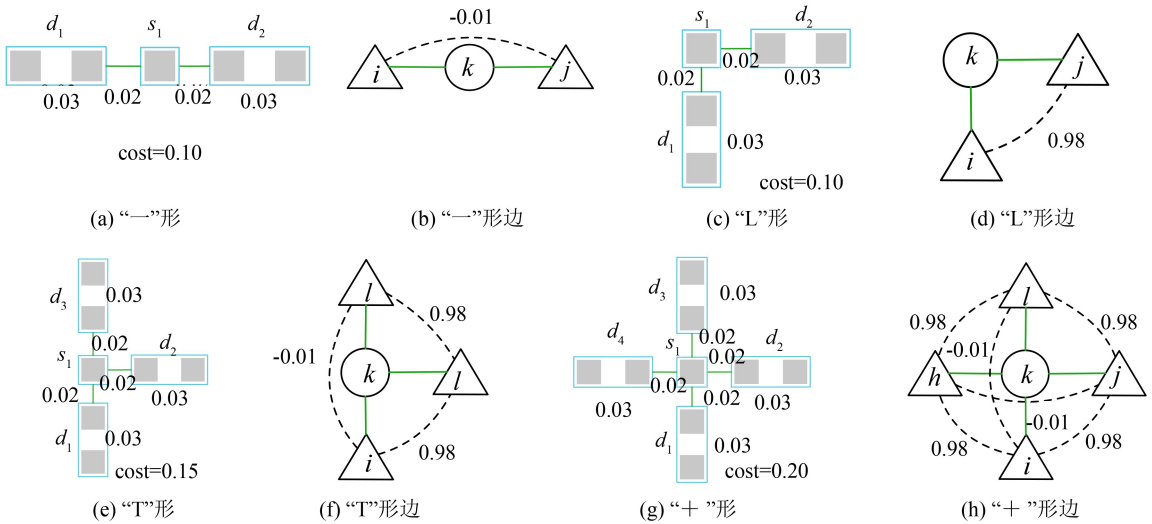


图 4 四种不兼容结构与三角边

Fig.4 Four types of incompatible structures and triangle edge

为了消除差距, 本研究在这些 IS 中的多元组中插入三角边, 其定义为:

定义 2(三角边 te) 如果存在两个二元组 i 和 j 通过分组边连接到单元组 k , 即 $e_{ik} \in E_g, e_{jk} \in E_g$, 并且如果 $e_{ij} \notin E_c$, 则将 e_{ij} 添加到图中并称为三角边. 设 E_t 是三角边的集合.

在图 4 中, 有四种类型的不兼容结构(IS):

- 1) “—”形, $\{e_{ik}, e_{jk}\} \subseteq E_g$ 和 $\{e_{ij}\} \subseteq E_t$, 并且 e_{ij} 的权重设置为 $w_{ije} = -0.01$, 如图 4(b) 所示;
- 2) “L”形, $\{e_{ik}, e_{jk}\} \subseteq E_g$ 和 $\{e_{ij}\} \subseteq E_t$, e_{ij} 的权重设置为 $w_{ije} = 0.98$, 如图 4(d) 所示;
- 3) “T”形, $\{e_{ik}, e_{jk}, e_{lk}\} \subseteq E_g$ 和 $\{e_{ij}, e_{jl}, e_{il}\} \subseteq E_t$, e_{ij} 和 e_{jl} 的权重设置为 0.98, e_{il} 的权重设置为 -0.01 , 如图 4(f) 所示;
- 4) “+”形, $\{e_{ik}, e_{jk}, e_{lk}, e_{hk}\} \subseteq E_g$ 和 $\{e_{ij}, e_{jl}, e_{lh}, e_{hi}, e_{il}, e_{jh}\} \subseteq E_t$, e_{ij}, e_{jl}, e_{lh} 和 e_{hi} 的权重设置为 0.98, e_{il} 和 e_{jh} 的权重设置为 -0.01 , 如图 4(h) 所示. 三角边的权重设置的详细说明如下所示.

对于“—”形状结构, 如果将三个多元组 i, j 和 k 分配给掩模版, 则最佳分配是将该 IS 中的所有多元组 s 分配给 T_5 引导槽, 并且成本为 0.09. IS 中多元组的权重之和与 IS 的最小总成本之间的差距为 0.01. 因此, e_{ij} 的权重设置为 -0.01 (下同). 为了消除这种差距, 对于“—”形状 IS 的多元组 i, j 和 k , 为 P_1 添加了一

个新的约束如下:

$$x_{im} + x_{km} + x_{jm} \leq 2 + c_{ij} \quad (m = 1, 2, 3) \tag{5}$$

约束条件(5)用于限制, 若多元组 i, j 和 k 分配给同一个掩模版, 则三角边 $e_{ij} \in E_t$ 的冲突变量满足 $c_{ij} = 1$.

“L”形结构中多元组 i, j 和 k 分配给同一个掩模版, 最佳分配是该 IS 中的多元组 s_1 和 d_1 被分配给 T_3 引导槽, 并在 s_1 和 d_2 之间产生冲突, 总成本为 1.08. 因此, 三角边 e_{ij} 的权重设置为 0.98, 新增约束:

$$x_{im} + x_{km} + x_{jm} \leq 2 + c_{ij} \quad (m = 1, 2, 3) \tag{6}$$

“T”形结构中通孔 i, j, l 和 k 分配给同一个掩模版, 最佳分配是将该 IS 中的多元组 d_1, s_1 和 d_3 分配给 T_5 引导槽, 并在 s_1 和 d_2 之间产生冲突, 总成本是 1.13. 因此, e_{ij} 和 e_{jl} 的权重设置为 0.98, 新增约束:

$$x_{im} + x_{km} + x_{jm} \leq 2 + c_{ij} + c_{jl} \quad (m = 1, 2, 3); \quad x_{jm} + x_{km} + x_{lm} \leq 2 + c_{ij} + c_{jl} \quad (m = 1, 2, 3) \tag{7}$$

约束条件(7)用于限制, 如果三个通孔 i, j 和 k (或 j, l 和 k) 或四个通孔分配给同一个掩模版, 则三角边 e_{ij} 和 e_{jl} 中至少有一个冲突变量 c_{ij} 或 c_{jl} 等于 1.

“+”形状结构中通孔 i, j, l, h 和 k 分配给同一个掩模版, 最佳分配之一是该 IS 中的多元组 d_1, s_1 和 d_3 被分配给 T_5 引导槽和生成的两个冲突在 s_1 和 d_2 之间以及 s_1 和 d_4 之间, 总成本是 2.06. 新增约束:

$$\begin{cases} x_{im} + x_{km} + x_{jm} \leq 2 + c_{ij} + c_{jl} & (m = 1, 2, 3) \\ x_{jm} + x_{km} + x_{lm} \leq 2 + c_{jl} + c_{lh} & (m = 1, 2, 3) \\ x_{lm} + x_{km} + x_{hm} \leq 2 + c_{lh} + c_{hi} & (m = 1, 2, 3) \\ x_{hm} + x_{km} + x_{im} \leq 2 + c_{hi} + c_{ij} & (m = 1, 2, 3) \end{cases} \tag{8}$$

约束条件(8)用于限制, 如果“L”形 IS 中的三个通孔或“T”形 IS 中的四个通孔分配给相同的掩模版, 则至少有一个三角边的冲突变量等于 1. 如果将“+”形 IS 中的五个通孔分配给同一个掩模版, 则三角边 $e_{ij}, e_{jl}, e_{lh}, e_{hi}$ 的冲突变量 $c_{ij}, c_{jl}, c_{lh}, c_{hi}$ 中至少有两个等于 1.

接着将四种类型的 IS 的约束添加到 P_1 中, 那么 IS 中多元组权重之和与其最小总成本之间的差距的任何组合都为 0. 通过求解图 2(b) 中 CGG_1 上的整数线性规划 P_1 , 可以得到 P_1 的最优解, 如图 2(d) 所示. 这个结果没有产生冲突, 只产生一个 T_2 孔引导槽成本, 该结果的目标函数值是:

$$\sum_{e_{ij} \in E_c} w_{ij}^c c_{ij} + \sum_{i \in V} w_i^v \left(\sum_{m=1}^3 x_{im} \right) = 0 + 0.03 = 0.03 \tag{9}$$

根据 P_1 的结果可以得到最终的分配结果. 其中 $c_1 \sim c_3$ 由 T_1 引导槽制造, $c_4 \sim c_5$ 被分到同一个 T_2 引导槽制造; c_1, c_3 被分到掩模版 M_3 中制造, c_2 被分到掩模版 M_2 中制造, $c_4 \sim c_5$ 被分到掩模版 M_1 中制造.

3 实验结果与分析

用于解决 TPL-DSA 掩模版和引导槽分配的整数线性规划方法用 C++ 编程, 并在具有 2.4 GHz CPU, 4 GB 内存和 Linux 操作系统的个人计算机上运行. 在文献[8]提供的基准测试中测试了本研究的方法. 通孔宽度和最小冲突间距缩放到 10 nm, 以反映先进技术节点的间距. 最小冲突间隔 d_c 设置为 50 nm, 最小分组间距 $d_{g \min}$ 和最大分组间距 $d_{g \max}$ 分别设置为 10 nm 和 40 nm, 增加 d_c 与缩小节点大小具有相同的效果. 本研究的整数线性规划模型采用商业优化求解器 CPLEX^[11] 中的分枝定界方法求解. 但由于本研究的问题约束多, 可以较快地得到剪枝条件, 故而可以快速地终止计算; 另外整数规划模型是根据每个联通分支建立的, 不同联通分支之间是独立求解的.

表 1 中列出了本研究方法和 ASP-DAC16 中方法在所有测试实例的实验比较结果. 列“#V”中的数据是每个测试例子中的通孔点数量. 列“|C|”是得到实验结果的冲突总数. 列“ T_2 ”是得到实验结果的 T_2 引导槽的总数目. 列“ T_3 ”是得到实验结果的 T_3 引导槽的总数目. 列“ T_{cost} ”是得到实验结果的引导槽的总成本. 列“cost”是得到实验结果的冲突和引导槽的总成本. 列“ t_{CPU} ”是得到实验结果所花的运行时间.

从表 1 中的行“比例”可以看出“ASP-DAC16”的冲突总数是本研究的方法的 42 倍, 而且本研究的方法所得到的冲突基本是 0, 因为其整数规划方法得到的冲突数目是最优. 另外, 这两个方法得到的引导槽的总成本基本相同. 最终的总成本“cost”, 本研究的结果与“ASP-DAC16”相比, 减少了 78%. 运行时间上, 整数规划方法是“ASP-DAC’16”的 3 倍. 这些比较说明整数规划方法可以得到更优的 TPL-DSA 掩模

版和引导槽分配结果.

表 1 实验结果比较
Tab.1 Comparison of experimental results

测试例子	#V	ASP-DAC16							本研究方法					
		C	T ₂	T ₃	T_cost	cost	t _{CPU} /s		C	T ₂	T ₃	T_cost	cost	t _{CPU} /s
dp1_Via1	307 739	2	46	0	1.38	3.38	1.50		1	43	1	1.34	2.34	29.59
dp1_Via2	256 885	35	1 186	1	35.63	70.63	38.19		0	1171	2	35.23	35.23	42.26
ed1_Via1	400 123	0	75	0	2.25	2.25	1.40		0	75	0	2.25	2.25	39.96
ed1_Via2	301 607	0	278	0	8.34	8.34	3.01		0	276	0	8.28	8.28	34.97
fft_Via1	99 509	0	7	0	0.21	0.21	0.36		0	7	0	0.21	0.21	9.42
fft_Via2	90 114	16	447	2	13.51	29.51	10.76		0	453	2	13.69	13.69	14.79
mm_Via1	429 664	0	60	0	1.80	1.80	1.53		0	60	0	1.80	1.80	49.40
mm_Via2	341 789	27	1 243	2	37.39	64.39	34.58		1	1 225	5	37.00	38.00	54.44
pb1_Via1	79 635	0	24	0	0.72	0.72	0.31		0	24	0	0.72	0.72	8.91
pb1_Via2	59 110	4	132	2	4.06	8.06	1.49		0	130	0	3.90	3.90	9.48
总成本	—	84	3 498	7	105.29	189.29	93.13		2	3 464	10	104.42	106.42	293.22
比值	—	42.00	1.01	0.70	1.01	1.78	0.32		1.00	1.00	1.00	1.00	1.00	1.00

4 结语

本研究考虑 TPL-DSA 的通孔层的掩模版和引导槽分配问题. 首先, 给定通孔层版图构造带权冲突分组图. 然后, 根据冲突分组图为该问题构建了一个整数线性规划问题. 为了获得更好的结果, 在加权冲突分组图中引入了三角边, 从而在离散松弛问题中引入了一些有效的不等式. 最后的实验结果表明, 所得到的比当前最好的方法有较大的提高.

参考文献:

[1] BATES C M, SESHIMO T, MAHER M J, *et al.* Polarity switching top coats enable orientation of sub-10-nm block copolymer domains[J]. *Science*, 2012, 338(6108): 775-779.

[2] PAN D Z. Directed self-assembly for advanced chips[J]. *Nature Electronics*, 2018, 1(10): 530.

[3] YI H, BAO X Y, ZHANG J, *et al.* Flexible control of block copolymer directed self-assembly using small, topographical templates: potential lithography solution for integrated circuit contact hole patterning[J]. *Advanced Materials*, 2012, 24(23): 3107-3114.

[4] RUIZ R, KANG H, DETCHEVERRY F A, *et al.* Density multiplication and improved lithography by directed block copolymer assembly[J]. *Science*, 2008, 321(5891): 936-939.

[5] LIU C C, FRANKE E, MIGNOT Y, *et al.* Directed self-assembly of block copolymers for 7 nanometer FinFET technology and beyond[J]. *Nature Electronics*, 2018, 1(10): 562.

[6] SHIM S, CHUNG W, SHIN Y. Redundant via insertion for multiple-patterning directed-self-assembly lithography[C]//Proceedings of the 53rd Annual Design Automation Conference. New York: ACM, 2016: 41-45.

[7] BADR Y, TORRES A, GUPTA P. Mask assignment and synthesis of DSA-MP hybrid lithography for sub-7nm contacts/vias[C]//Proceedings of the 52nd Annual Design Automation Conference. New York: ACM, 2015: 1-6.

[8] KUANG J, YE J J, YOUNG F Y. STOMA: simultaneous template optimization and mask assignment for directed self-assembly lithography with multiple patterning[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2018, 37(6): 1251-1264.

[9] FANG S Y, WU K H. Guiding template-induced design challenges in DSA-MP lithography[C]//Proceedings of IEEE Computer Society Annual Symposium on VLSI. [S.l.]: IEEE, 2018: 500-502.

[10] LI X Q, ZHU Z R, ZHU W X. Discrete relaxation method for triple patterning lithography layout decomposition[J]. *IEEE Transactions on Computers*, 2017, 66(2): 285-298.

[11] CPLEX. IBM ILOG CPLEX optimization studio[EB/OL]. (2016-06-01)[2018-03-12]. <http://www-01.ibm.com/>.

(责任编辑: 林晓)