Alexandria University  
Faculty of Engineering  
Computer Architecture  
Spring 2025

**Reorder Buffer Report**

Waleed Emad Yahyaa20012197

Mohamed Atef Yousef20011630

1. **Introduction:**

In this lab, we explored how Reorder Buffers (ROB) enhance instruction-level parallelism and precise exception handling in modern CPUs. Using a web-based ROB simulator, we constructed and evaluated two instruction sets: one where the ROB provides clear performance benefits through out-of-order execution, and another where the ROB offers little to no advantage due to structural hazards. This lab deepened our understanding of dynamic scheduling and the internal behavior of superscalar processors when executing dependent and independent instructions.

**Example 1.**

1. **Code:**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, رقم

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

1. **Simulation:**

**Cycle 0**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, رقم

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 1**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 2**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 3**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 4**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 6**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, رقم

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 7**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 8**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, رقم

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 11**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, رقم

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 16**

صورة تحتوي على نص, لقطة شاشة, رقم, رسم بياني

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 17**

صورة تحتوي على نص, لقطة شاشة, رقم, رسم بياني

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 18**

صورة تحتوي على نص, لقطة شاشة, رقم, رسم بياني

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 57**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, رقم

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 58**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, رقم

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 59**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, رقم

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

1. **Simulation Results**

A diverse instruction set using different functional units (load, add, multiply, divide) allowed out-of-order execution. The Reorder Buffer enabled parallelism by issuing independent instructions early, resulting in efficient resource usage and shorter overall execution time.

Completed in = 59 cycle**s**

**Example 2.**

1. **Code:**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, رقم

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

1. **Simulation:**

**Cycle 0**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 1**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 12**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 13**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 23**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 24**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 34**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 35**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 45**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 46**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 56**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 57**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 67**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

**Cycle 68**

صورة تحتوي على نص, لقطة شاشة, رسم بياني, موازِ

قد يكون المحتوى المعد بواسطة الذكاء الاصطناعي غير صحيح.

1. **Simulation Results:**

A sequence of dependent MUL.D instructions caused a bottleneck at the single floating-point multiplier. Due to both data hazards and limited functional units, the instructions were executed serially. The Reorder Buffer couldn’t resolve the stall, offering no speedup.

Completed in = 68 cycles

1. **Tools and Environment:**

[ROB simulator](mailto:https://www.ecs.umass.edu/ece/koren/architecture/ROB/rob_simulator.htm) was used for simulation.

1. **Submission Details:**

The report includes:

* Screenshots demonstrating simulation results.
* A link to the complete lab repository:

[https://github.com/moateff/Computer-Architecture-labs.git](mailto:https://github.com/moateff/Computer-Architecture-labs/tree/main)

1. **Conclusion:**

The Reorder Buffer improves performance when instructions can run in parallel on different units. However, when instructions are dependent or use the same unit, the ROB offers little advantage. Its benefit depends on the instruction mix and hardware availability. Its effectiveness is limited by hardware constraints and instruction-level parallelism.