

Implementierung eines Mikrorechners in VHDL auf einem FPGA

Markus Schneider

26. Januar 2017

Inhaltsverzeichnis

Abkürzungsverzeichnis	4
Abbildungsverzeichnis	5
Tabellenverzeichnis	6
Selbstständigkeitserklärung	7
1 Einleitung	8
1.1 Was ist ein FPGA?	8
1.2 Beschreibung des genutzten FPGA	9
2 Übersicht der Hardwarekomponenten	10
2.1 Komponentenbeschreibung	10
2.1.1 Steuerwerk	11
2.1.2 Rechenwerk	13
2.1.3 Dekodierer	14
2.1.4 Programmzähler	14
2.1.5 Stack	15
2.1.6 Speichercontroller	15
2.1.7 Videocontroller	15
2.1.8 Registerbelegung	16
2.2 Befehlssatz	17
2.2.1 Aufbau	17
2.2.2 Befehlsübersicht	17
3 Implementierung in VHDL	19
3.1 Einführung in VHDL	19
3.1.1 Was ist VHDL	19
3.1.2 Notation	19
3.2 Beschreibung wichtiger Module	21
3.2.1 top – Verbindung der Ein- und Ausgänge	21
3.2.2 core – Topmodul der CPU	22
3.2.3 memory_control – Speichercontroller	23

4	Fazit	24
4.1	Umfang und Aufwand	24
4.2	Ziele	25

Abkürzungsverzeichnis

EPU Educational Processing Unit

CPU Central Processing Unit

FPGA Field-programmable gate array

IC Integrated Circuit

LUT Look-Up-Table

UART Universal Asynchronous Receiver Transmitter

ALU Arithmetic logic unit

PC Program Counter

VHDL Very High Speed Integrated Circuit **H**ardware **D**escription **L**anguage

Abbildungsverzeichnis

2.1	Hardwarekomponentenübersicht	10
2.2	Zustandsdiagramm des Steuerwerks	11
2.3	Befehlsaufbau	17
3.1	Topmodul	21
3.2	'core'-Modul	22
3.3	Speichercontroller	23

Tabellenverzeichnis

2.1	Registerbelegung	16
2.2	Befehlsliste	18

Selbstständigkeitserklärung

Hiermit versichere ich, dass die vorliegende Besondere Lernleistung selbstständig und nur unter Verwendung der angegebenen Quellen und Hilfsmitteln angefertigt wurde. Mir ist bekannt, dass bei nachgewiesenen Täuschungsversuchen die Prüfung als „nicht bestanden“ erklärt werden kann.

Autor

Datum

1 Einleitung

Diese Dokumentation beschreibt den Aufbau und die Funktionsweise der Educational Processing Unit (EPU). Das Projekt kam dadurch zustande, dass die Struktur und die Arbeitsweise eines Computers, insbesondere der Central Processing Unit (CPU) besser verstanden werden soll. Um dieses Ziel zu erreichen, wurde die EPU gebaut, da sie als lehrreicher Mikrorechner, wobei der Hauptteil der EPU nur aus der CPU besteht, die Funktionsweise und den Aufbau eines Alltagscomputer erklärt und somit Verständnis für die Komplexität unserer heutigen Rechner einbringt.

1.1 Was ist ein FPGA?

Ein Field-programmable gate array (FPGA) ist ein Integrated Circuit (IC), welcher zum Aufbau digitaler Schaltungen dient. Er besteht meist aus mehr als 100.000 Logikblöcken [1, S. 8]. Ins Deutsche übersetzt bedeutet FPGA soviel wie ‘im Feld programmierbare [Logik-]Gatter-Anordnung’, wobei ‘im Feld’ sich dabei auf den Konsumenten bezieht.

Die Logikschaltungen eines FPGA sind entweder über elektronische ‘Schalter’ der Konfiguration entsprechend verknüpft oder es werden sogenannte Look-Up-Tables (LUTs) benutzt, mit denen die Logikfunktion explizit realisiert werden kann. Eine LUT kann verschiedene kombinatorische Funktionen (NAND, XOR, AND, NOT, Multiplexer, etc.) aus den Eingangssignalen realisieren. Die meisten LUTs besitzen zwischen 4 und 6 Eingangssignale. Es ist auch möglich, mehrere LUTs in Serie zu schalten und die Limitierung durch die Eingangssignale zu verhindern. [2]

Da der FPGA aber nach Verlust des Stromanschlusses die Konfiguration der Logikelemente nicht von selbst speichert, wird meist zusätzlich noch ein Flash-Speicher verbaut, damit nach einem Stromverlust die alte Konfiguration wieder neu geladen werden kann. Dies hat auch den Vorteil, dass dadurch der Status des FPGA zurückgesetzt wird und somit ein ‘Neustart’ schnell möglich ist.

Anders als bei üblicher Programmierung von Computern kann bei einem FPGA keine herkömmliche Programmiersprache verwendet. Das ‘Programmieren’ wird üblicherweise als Konfiguration bezeichnet und wird mithilfe einer Hardwarebeschreibungssprache wie z.B. VHDL oder Verilog erledigt. Auch wird der geschriebene Code nicht kompiliert, wie es bei der normalen Programmierung ist, sondern synthetisiert, was soviel bedeutet wie ‘künstlich herstellen’.

1.2 Beschreibung des genutzten FPGA

Vor der Suche nach einem FPGA-Board waren bereits einige Anforderungen klar, welche das Board erfüllen muss:

- Videoausgang
- Konfiguration über USB
- UART (Serielle Schnittstelle)
- 64KiB Speicher
- MicroSD-Support

Nach etwas längere Suche wurde das ‘Waxwing Spartan 6 FPGA Development Board’ von Numato Lab ausgewählt, da es alle Anforderungen auf einem Entwicklungsboard vereint. Einige Merkmale dieses Entwicklungsboards sind:

- Xilinx Spartan 6 FPGA
- Taktrate 100MHz
- Videoausgang (HDMI und VGA)
- LCD-Display
- Drei 7-Segment-Anzeigen
- USB-UART
- MicroSD-Support
- Größe: 180mm x 120mm

2 Übersicht der Hardwarekomponenten

2.1 Komponentenbeschreibung

Im Folgenden soll eine Übersicht aller Hardwarekomponenten erfolgen. Dadurch soll eine grobe Vorstellung der Funktionsweise des Mikrorechners entstehen, welche in Kapitel 3 vertieft wird. Vor der Beschreibung der einzelnen Hardwarekomponenten, soll durch Abbildung 2.1 das Zusammenspiel aller Komponenten gezeigt werden, auf welche während dieses Kapitels zurückgegriffen werden kann.

Abbildung 2.1: Hardwarekomponentenübersicht

2.1.1 Steuerwerk

Das Steuerwerk ist dafür zuständig, die einzelnen Zustände, die bei der Ausführung jedes Befehls ausgeführt werden, zum richtigen Zeitpunkt zu aktivieren. Dabei können einzelne Zustände je nach Befehl übersprungen werden.

Als Abstraktion kann man sich das Steuerwerk auch als Zustandsautomat vorstellen. Mit Hilfe von Abbildung 2.2 soll die Funktionsweise des Steuerwerkes durch ein Zustandsdiagramm dargestellt werden.

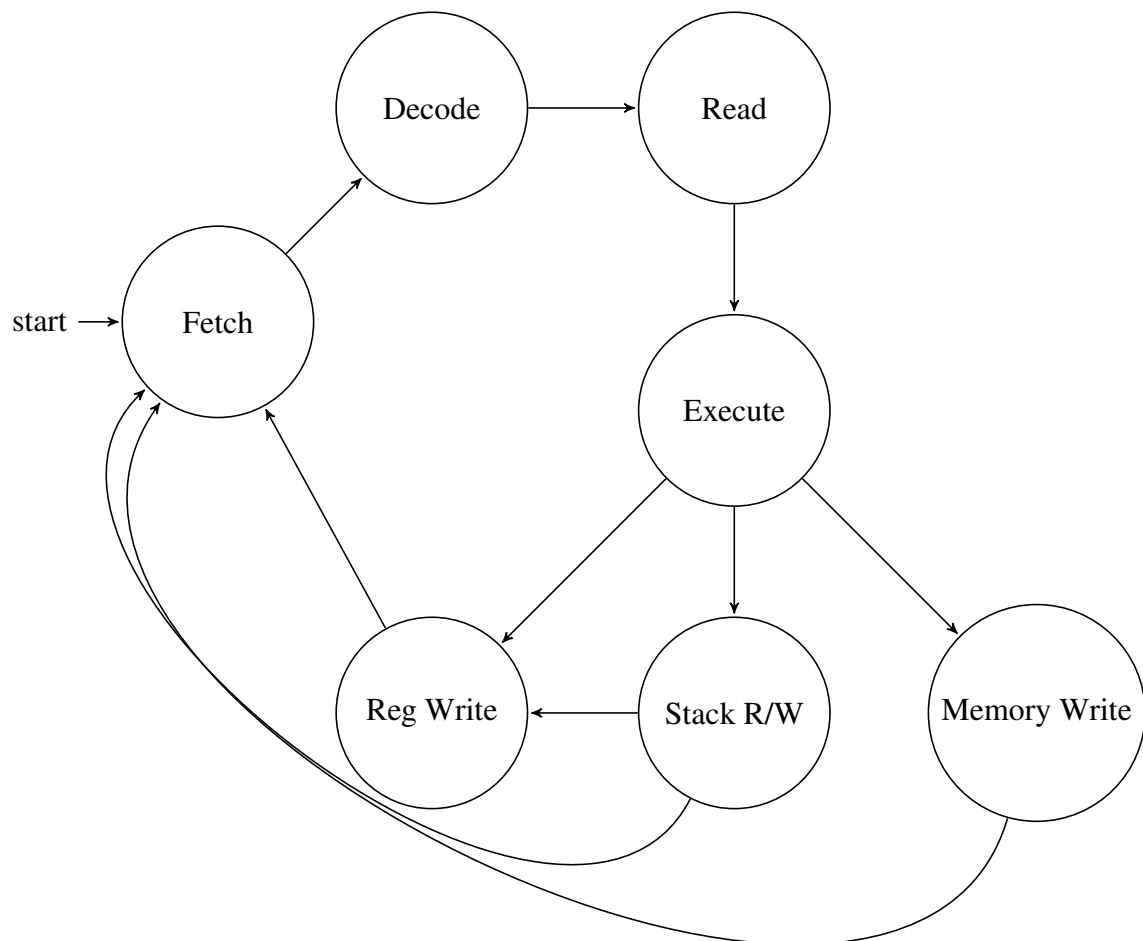


Abbildung 2.2: Zustandsdiagramm des Steuerwerkes

Die einzelnen Zustände des Steuerwerks werden im Folgenden beschrieben.

Fetch

Der zunächst auszuführende Befehl wird aus dem Hauptspeicher in den Prozessor geladen. Die Adresse des Befehls wird durch den Wert des Programmzählers (siehe 2.1.5) bestimmt.

Decode

In diesem Zustand wird das erste Byte des Befehls dekodiert und dabei festgestellt, ob der Befehl noch mehr Bytes, als bisher gelesen wurde, besitzt. Ist dies der Fall, wird wieder zum 'Fetch'-Zustand gewechselt. Außerdem wird der eigentlich auszuführende Befehl festgestellt, mit welchen Parametern er auszuführen ist, aus welchen Registern die Daten herkommen und wo das Resultat gespeichert werden soll. Eine ausführlichere Beschreibung ist bei der Beschreibung des Dekodiers in Abschnitt 2.1.3 zu finden.

Read

Die Register für die Ein- und Ausgabe des Befehls werden nun ausgewählt und haben dementsprechend genug Zeit, ihre Daten an den Ausgängen auszugeben, ohne dass korrupte Daten verwendet werden.

Execute

Das Rechenwerk (siehe 2.1.2) wird bei diesem Zustand aktiviert und führt den vorher dekodierten Befehl aus. Das Resultat des Rechenwerks wird ausgegeben, damit in den weiteren Zuständen das Ergebnis an die gewünschte Stelle geschrieben werden kann.

Memory Write

Das Resultat des Rechenwerks wird an die vom Befehl vorgebene Speicheradresse im Arbeitsspeicher (siehe 2.1.6) gespeichert.

Stack Read/Write

Je nach Befehl wird entweder das Resultat des Rechenwerks auf dem Stack gelegt oder der oberste Wert des Stacks genommen, um es im nächsten Zustand weiter verarbeiten zu können. Eine detaillierte Erklärung der Funktionsweise des Stacks findet in Abschnitt 2.1.5 statt.

Register Write

Ähnlich wie beim ‘Stack Read/Write’-Zustand, wird auch hier je nach Befehl das Ergebnis des Rechenwerks oder der Wert, der vom Stack entnommen wurde, in das Register geschrieben, welches der Befehl vorschreibt.

2.1.2 Rechenwerk

Das Rechenwerk ist dafür zuständig, dass die eigentliche Operation des Befehls ausgeführt wird. Es ist zu unterscheiden, ob man von der Arithmetic logic unit (ALU) oder vom Rechenwerk spricht, denn die ALU ist nur das ‘Rechenzentrum’ des Rechenwerks, gestützt von z.B. Hilfsregistern.

Der Befehlscode (auch Opcode) besteht aus 5 Bits und daher können $2^5 = 32$ verschiedene Befehle ausgeführt werden. Mit Hilfe der Tabelle 2.2 soll ein Überblick über die verfügbaren Befehle vermittelt werden. Um den Aufbau simpel zu halten, wurde entschieden, dass jeder Befehl die gleiche Bearbeitungszeit bekommt und damit jeder Befehl gleich schnell (bezogen nur auf die Zeit beim Rechenwerk) ausgeführt wird.

Das Rechenwerk ist auch zuständig, bestimmte Statusflaggen wie z.B. ‘SB’ zu setzen oder zu löschen, welche angibt, ob ein Sprungbefehl ausgeführt wurde und dieser auch die Sprungbedingung erfüllt, da auch der Programmzähler in diesem Fall einen neuen Wert bekommt,

2.1.3 Dekodierer

Der Dekodierer übernimmt die Aufgabe, den Befehl zu dekodieren, damit die Operation für das Rechenwerk ausgewählt werden kann und die dafür benötigten Register angesprochen werden. Da der Dekodierer einen einfachen Aufbau haben sollte, wurde der Aufbau eines Befehls selbst einfach gehalten.

Der Dekodierer ist sehr stark an den Befehlssatz angelehnt, welcher in Abschnitt 2.2 genauer beschrieben wird.

2.1.4 Programmzähler

Der Programmzähler (engl. Program Counter (PC)) ist hardwaretechnisch gesehen ein Register, welches aber im Vergleich zu 'normalen' Registern ihren Wert um eine bestimmte Byteanzahl je nach Länge des ausgeführten Befehls erhöht. Somit hält der PC immer die Adresse für den nächsten auszuführenden Befehl. Bei einem Sprungbefehl wird der Wert des Programmzählers mit dem vom Befehl vorgeschriebenen Wert überschrieben.

Im Ganzen lässt sich der Programmzähler als Zustandsautomat realisieren. Dazu wurden vier verschiedene Zustände für den PC gewählt:

NOP Keine Operation

INC Erhöhe den Zähler um die Byteanzahl des vorherigen Befehls

ASSIGN Setze den Zähler auf die Sprungadresse

RESET Setze den Zähler auf null zurück

Je nach Befehl wird bei der Ausführung dann der passende Zustand ausgewählt und somit sichergestellt, dass die Adresse für den folgenden Befehl korrekt ist.

2.1.5 Stack

Der Stack(deutsch: Stapel) ist ein Modell zum Speicher von Daten. Dabei sind zwei Operationen zum Speichern und Abrufen der Daten vorhanden: PUSH und POP. Bei PUSH wird oben auf den Stapel ein neues Element hinzugefügt, bei POP wird das oberste Element vom Stapel heruntergenommen. Somit ist der Zugriff auf das oberste Element beschränkt. Der Stack wird hauptsächlich von Programmen als Zwischenspeicher genutzt, wenn nicht genügend Register zur Verfügung stehen, aber auch beim Aufrufen von Funktionen (Befehl CALL) wird auf dem Stack die Rückkehradresse gespeichert, welche beim Verlassen der Funktion (Befehl RET) wieder vom Stapel entnommen wird.

Besonders für den Funktionsaufruf eignet sich das Prinzip des Stacks sehr gut, da es keine Begrenzung (außer der physischen Größe des Stacks) gibt, wie viele Funktionen innerhalb einer Funktionen aufgerufen werden können. Es sind also theoretisch unendlich viele Verkettungen möglich, wobei die Theorie nur durch die Größe des Speichers limitiert wird.

2.1.6 Speichercontroller

Der Arbeitsspeicher ist als kontinuierlicher Speicherblock realisiert worden. Es sind zwei Ports für die Ein- und Ausgabe zur Verfügung, wobei der zweite Port ausschließlich für den Videocontroller vorgesehen ist, welcher damit Zugriff auf den Videospeicher bekommt. Dies bedeutet auch, dass der Videospeicher nicht separat geändert werden muss und so über allgemein gültige Lese- und Schreibbefehle angesprochen werden kann.

Insgesamt wurde der mit 16 Bit verfügbare maximal adressierbare Speicher von $2^{16} = 65536$ Bytes ausgenutzt, wobei einzelne Abschnitte, wie beispielsweise der Videospeicher, nicht allgemein nutzbar sind.

2.1.7 Videocontroller

Der Videocontroller selbst ist nach außen hin unabhängig von allen anderen Elementen der EPU, nur der Videospeicher, welche die Informationen über die anzuzeigenden Pixel enthält, wird vom Speichercontroller geliefert. Dennoch hat der Speichercontroller keine Kontrolle über den Zugang des Videocontrollers zu dem Videospeicher, denn wie bereits in 2.1.6 gesagt, ist der Port für den Videocontroller unabhängig vom Speichercontroller.

2.1.8 Registerbelegung

Die EPU besitzt 16 Register, welche durch Selektion von $\log_2(16) = 4$ Adressbits angesprochen werden. Mithilfe der Tabelle 2.1 soll eine Übersicht aller Register dargestellt werden.

Selektion	Name	Zweck
0000	R0	Akkumulator
0001	R1	Allgemeine Verwendung
0010	R2	Laufvariable
0011	R3	Datenregister
0100	R4	Allgemeine Verwendung
0101	R5	Allgemeine Verwendung
0110	R6	Allgemeine Verwendung
0111	R7	Allgemeine Verwendung
1000	R8	Allgemeine Verwendung
1001	R9	Allgemeine Verwendung
1010	R10	Allgemeine Verwendung
1011	R11	Allgemeine Verwendung
1100	R12	Allgemeine Verwendung
1101	R13	Allgemeine Verwendung
1110	FLA	Flagregister
1111	ID	Interruptdaten

Tabelle 2.1: Registerbelegung

2.2 Befehlssatz

Der Befehlssatz beschreibt den Aufbau und die Menge aller Befehle der EPU. Nachfolgend soll sowohl der Aufbau und dessen Entstehung erläutert werden, als auch ein Überblick über die verschiedenen Befehle vermittelt werden.

2.2.1 Aufbau

Der Befehl wird byteweise gelesen und die Anzahl an Bytes in einem Befehl sind durch die beiden letzten Bits des ersten Bytes angegeben, was es leichter macht, die richtige Byteanzahl einzulesen. Alle weiteren Abschnitte jedes Bytes werden je nach Opcode (die ersten 5 Bits) bestimmt, also die Register, die Rechenoperation, ob das Ergebnis auf dem Arbeitsspeicher geschrieben werden soll, etc. Wie in Abbildung 2.3 zu sehen, ist die Angabe von Konstanten in 4, 8 und 16 Bit möglich. Der Grund für die doch sehr platznehmende 16-Bit-Konstante ist, dass ein Register mit einer Konstante in einem Befehl befüllt werden soll, wobei alle Register der EPU 16 Bit groß sind.

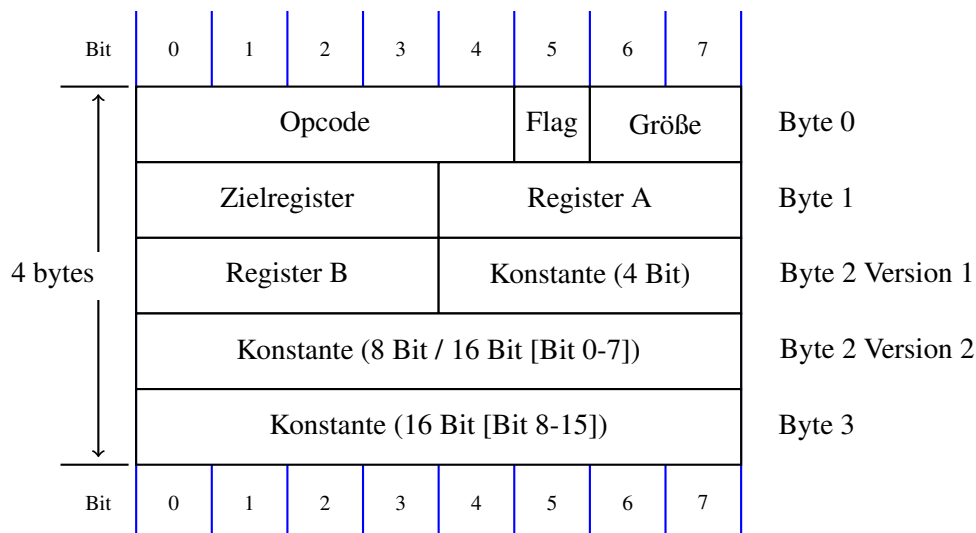


Abbildung 2.3: Befehlsaufbau

2.2.2 Befehlsübersicht

Die folgende Tabelle 2.2 soll einen Überblick über die verschiedenen Befehle der EPU liefern. Durch die Größe des Opcodes (5 Bit) sind insgesamt $2^5 = 32$ Befehle möglich. Dennoch kann ein Befehl durch bestimmte Parameter (wie z.B. der Flag im ersten Byte) um gewisse Funktionen erweitert werden. Dies ermöglicht beispielsweise vorzeichenbehaftete und vorzeichenlose Addition, obwohl der Opcode beider Operationen der gleiche ist.

Beschreibung	Kurzform	Opcode
Keine Operation	NOP	00000
Addition	ADD	00001
Subtraktion	SUB	00010
Logisches UND	AND	00011
Logisches ODER	OR	00100
Logisches XOR	XOR	00101
Logisches NOT	NOT	00110
Laden eines Registers	LOAD	00111
Verschieben eines Registerwertes	MOV	01000
Lesevorgang im Arbeitsspeicher	READ	01001
Schreibvorgang im Arbeitsspeicher	WRITE	01010
Bitweises Verschieben nach links	SHL	01011
Bitweises Verschieben nach rechts	SHR	01100
Vergleichen zweier Register	CMP	01101
Springen zu einer Adresse	JMP	01110
Bedingtes Springen zu einer Adresse	JC	01111
Multiplikation	MUL	10000
Aufrufen einer Funktion	CALL	10001
Zurückkehren von einer Funktion	RET	10010
Ein Element auf den Stack schieben	PUSH	10011
Von dem Stack ein Element entnehmen	POP	10100
Ausführung eines Interrupts	INT	10101
Flags für die Beziehung zweier Register setzen	TEST	10110
Division	DIV	10111
Modulo	MOD	11000
Stoppen der Ausführung des Prozessors	HLT	11001
Setzen eines bestimmten Bits eines Registers	SET	11010
Löschen eines bestimmten Bits eines Registers	CLR	11011
Nicht benutzt	—	11100
Nicht benutzt	—	11101
Nicht benutzt	—	11110
Nicht benutzt	—	11111

Tabelle 2.2: Befehlsliste

3 Implementierung in VHDL

3.1 Einführung in VHDL

In diesem Abschnitt soll eine kurze Einführung in VHDL gegeben werden, damit die nachfolgende Erklärung der Implementierung leichter zu verstehen ist.

3.1.1 Was ist VHDL

VHDL ist eine sogenannte Hardware Description Language (HDL), mit welcher es möglich ist, digitale Schaltungen in Form von Quellcode zu schreiben, um diesen dann von einem Computer zu Hardware weiterverarbeiten zu lassen. VHDL ist eine Abkürzung für VHSIC HDL (Very High Speed Integrated Circuit **H**ardware **D**escription **L**anguage). Der geschriebene VHDL-Code wird dann synthetisiert zu einer Netzliste, welche die einzelnen Verbindungen zwischen den Komponenten beschreibt. Diese Netzliste wird daraufhin für den jeweiligen FPGA übersetzt, sodass als letzter Schritt eine Konfigurationsdatei erstellt werden kann, welche auf den FPGA geladen werden kann.

Eine Besonderheit bei VHDL ist, dass nicht jeder geschriebene Quellcode synthetisierbar ist, was bedeutet, dass mancher Quellcode nur in der Simulation funktioniert. In dem Umfang dieses Projektes ist aber der geschriebene Quellcode vollkommen synthetisierbar und soll nicht nur in der Simulation funktionieren.

3.1.2 Notation

Allgemein endet jede Anweisung immer mit einem Semikolon. Kommentare werden mit einem doppelten Bindestrich (--) eingeleitet und sind gültig bis zum Ende der Zeile. Einzelne Bitwerte werden mit einfachen Anführungszeichen und Werte von Bitvektoren (mehreren Bits) mit doppelten Anführungszeichen umrahmt.

Außerdem gibt es noch mehrere Sprachelemente, welche häufig Verwendung haben. Eine (nicht vollständige) Beschreibung von häufig genutzten Sprachelementen:

signal Verbindung zweier Module. Beschreibt die Leitung zwischen den Modulen.

variable Ein Zwischenspeicher für Werte, welcher **nicht** als Signal übersetzt wird.

entity Schlüsselwort zur Deklaration eines Moduls (logische Einheit).

in Deklaration eines Eingabesignals eines Moduls.

out Deklaration eines Ausgabesignals eines Moduls.

architecture Schlüsselwort zur Definition eines Moduls

component Signatur eines Moduls. Wird verwendet, um ein Modul innerhalb eines anderen Moduls zu verwenden.

package Eine Sammlung (Bibliothek) von **components**.

3.2 Beschreibung wichtiger Module

3.2.1 top – Verbindung der Ein- und Ausgänge

Das Topmodul dient als oberste Ebene, welche die EPU mit der ‘Außenwelt’ verbindet. Die dazugehörigen Ein- und Ausgangssignale werden in der Datei *top.vhdl* festgelegt.

Wie in Abbildung 3.1 zu erkennen, wird zuerst der Takt in Zeile drei als Eingang definiert, in den Zeilen vier bis acht die 7-Segment-Anzeige, die LEDs und Taster definiert. Die Zeilen zehn und elf beschreiben die beiden Signale des seriellen Schnittstelle und Zeilen dreizehn bis siebzehn beschreiben die Signale der VGA-Verbindung.

```

1  entity top is
2      port(
3          MainClk : in  std_logic;
4          RST     : in  std_logic;
5          SEGE    : out std_logic_vector(2 downto 0);
6          LED     : out std_logic_vector(7 downto 0);
7          SEG     : out std_logic_vector(7 downto 0);
8          SW      : in  std_logic_vector(6 downto 0);
9
10         TX      : out std_logic;
11         RX      : in  std_logic;
12
13         hs      : out std_logic;
14         vs      : out std_logic;
15         red     : out std_logic_vector(2 downto 0);
16         green   : out std_logic_vector(2 downto 0);
17         blue    : out std_logic_vector(1 downto 0)
18     );
19 end top;
```

Abbildung 3.1: Topmodul

3.2.2 core – Topmodul der CPU

Das ‘core’-Modul verbindet die einzelnen Baugruppen der CPU. Dazu gehören Rechenwerk, Steuerwerk, Dekodierer, Programmzähler und der Stack, welche bereits in Kapitel 2 beschrieben wurden.

In Abbildung 3.3 ist die Definition des Moduls dargestellt. Die Signalnamen wurden dem Zweck angepasst, dass heißt das Verbindungen zum Speichercontroller mit ‘MEM’ und interne Signale mit ‘CORE’ bezeichnet. Das Signal ‘O_LED’ ist dabei eine Ausnahme, da dieser zu Testzwecken verwendet wird und damit nicht fest eingeordnet werden kann.

```

1  entity core is
2      port(
3          -- Eingaenge
4          I_CORE_Clk      : in  std_logic;
5          I_CORE_Reset    : in  std_logic;
6
7          I_MEM_Ready     : in  std_logic;
8          I_MEM_Data      : in  std_logic_vector(7 downto 0);
9          I_MEM_RX_Ready  : in  std_logic;
10
11         -- Ausgaenge
12         O_CORE_HLT      : out std_logic;
13
14         O_MEM_Reset     : out std_logic;
15         O_MEM_En        : out std_logic;
16         O_MEM_We        : out std_logic;
17         O_MEM_Data      : out std_logic_vector(7 downto 0);
18         O_MEM_Addr      : out std_logic_vector(15 downto 0);
19
20         O_LED           : out std_logic_vector(7 downto 0)
21     );

```

Abbildung 3.2: ‘core’-Modul

3.2.3 memory_control – Speichercontroller

Der Speichercontroller wurde bereits in Abschnitt 2.1.6 beschrieben und hier soll nur die Implementation dessen dargestellt werden.

Wie auch bei dem ‘core’-Modul (siehe 3.2.2) sind hier die Signale nach Zugehörigkeit bezeichnet und interne Signale mit ‘MEM’ und Videosignale mit ‘VID’ beschrieben. Außerdem sind die letzten drei Signale (Zeilen 22–24) für die serielle Schnittstelle vorgesehen, welches im Speicher abgebildet wird.

```

1  entity memory_control is
2      port(
3          -- Eingänge
4          I_MEM_Clk          : in  std_logic ;
5          I_MEM_Reset       : in  std_logic ;
6          I_MEM_En          : in  std_logic ;
7          I_MEM_We          : in  std_logic ;
8          I_MEM_Data        : in  std_logic_vector(7 downto 0);
9          I_MEM_Addr        : in  std_logic_vector(15 downto 0);
10         I_VID_Clk         : in  std_logic ;
11
12         -- Ausgänge
13         O_MEM_Ready        : out std_logic ;
14         O_MEM_Data         : out std_logic_vector(7 downto 0);
15         O_MEM_RX_Ready     : out std_logic ;
16         O_LED              : out std_logic_vector(7 downto 0);
17         O_VID_Red          : out std_logic ;
18         O_VID_Green        : out std_logic ;
19         O_VID_Blue         : out std_logic ;
20         O_VID_HSync        : out std_logic ;
21         O_VID_VSync        : out std_logic ;
22
23         UClk               : in  std_logic ;
24         TX                 : out std_logic ;
25         RX                 : in  std_logic ;
26     );

```

Abbildung 3.3: Speichercontroller

4 Fazit

4.1 Umfang und Aufwand

4.2 Ziele

Literaturverzeichnis

- [1] Christopher Isreal und Marcel Jaoks. Implementierung einer 4-Bit MiniCPU in VHDL auf einem FPGA, Juli 2009.
- [2] FPGA - Mikrocontroller.net. <https://www.mikrocontroller.net/articles/FPGA#Aufbau>. Eingesehen am 12.12.2016.