

Implementierung eines Mikrorechners in VHDL auf einem FPGA

Markus Schneider

29. Oktober 2016

Inhaltsverzeichnis

Abkürzungsverzeichnis	3
Abbildungsverzeichnis	4
Tabellenverzeichnis	5
1 Einleitung	6
1.1 Was ist ein FPGA?	6
1.2 Beschreibung des genutzten FPGA und Entwicklungsboard	6
2 Hardware	7
2.1 Aufbau	7
2.1.1 Steuerwerk	7
2.1.2 Rechenwerk	8
2.1.3 Dekodierer	9
2.1.4 Programmzähler	10
2.1.5 Stack	11
2.1.6 Arbeitsspeicher	12
2.1.7 Registerbelegung	13
2.2 Befehlssatz	14
2.3 Ein- und Ausgabe	14
2.3.1 Eingabe	14
2.3.2 Ausgabe	14
3 Implementierung in VHDL	15
3.1 Schemata	15
3.2 Beschreibung wichtiger Module	16
3.2.1 top – Verbindung mit der Hardware	16
3.2.2 core – Topmodul der CPU	17
3.2.3 memory_control – Speichercontroller	18
4 Fazit	19
4.1 Umfang und Aufwand	19
4.2 Ziele	20

Abkürzungsverzeichnis

EPU Educational Processing Unit

CPU Central Processing Unit

Abbildungsverzeichnis

Tabellenverzeichnis

2.1 Registerbelegung 13

1 Einleitung

Diese Dokumentation beschreibt den Aufbau und die Funktionsweise der Educational Processing Unit (EPU). Das Projekt kam dadurch zustande, dass die Struktur und die Arbeitsweise eines Computers, insbesondere der Central Processing Unit (CPU) besser verstanden werden soll. Um dieses Ziel zu erreichen, wurde die EPU gebaut, da sie als lehrreicher Computer, wobei der Hauptteil der EPU nur aus einer CPU besteht, die Funktionsweise und den Aufbau eines Alltagscomputer erklärt und somit Verständnis für die Komplexität unserer heutigen Rechner einbringt.

1.1 Was ist ein FPGA?

1.2 Beschreibung des genutzten FPGA und Entwicklungsboard

2 Hardware

2.1 Aufbau

2.1.1 Steuerwerk

2.1.2 Rechenwerk

2.1.3 Dekodierer

2.1.4 Programmzähler

2.1.5 Stack

2.1.6 Arbeitsspeicher

2.1.7 Registerbelegung

Die EPU besitzt 16 Register, welche durch Selektion von $\log_2(16) = 4$ Adressbits angesprochen werden. Mithilfe der Tabelle 2.1 soll eine Übersicht aller Register dargestellt werden.

Selektion	Name	Zweck
0000	R0	Akkumulator
0001	R1	Allgemeine Verwendung
0010	R2	Laufvariable
0011	R3	Datenregister
0100	R4	Allgemeine Verwendung
0101	R5	Allgemeine Verwendung
0110	R6	Allgemeine Verwendung
0111	R7	Allgemeine Verwendung
1000	R8	Allgemeine Verwendung
1001	R9	Allgemeine Verwendung
1010	R10	Allgemeine Verwendung
1010	R11	Allgemeine Verwendung
1100	R12	Allgemeine Verwendung
1101	R13	Allgemeine Verwendung
1110	FLA	Flagregister
1111	ID	Interruptdaten Verwendung

Tabelle 2.1: Registerbelegung

2.2 Befehlssatz

2.3 Ein- und Ausgabe

2.3.1 Eingabe

2.3.2 Ausgabe

3 Implementierung in VHDL

3.1 Schemata

3.2 Beschreibung wichtiger Module

3.2.1 top – Verbindung mit der Hardware

3.2.2 core – Topmodul der CPU

3.2.3 memory_control – Speichercontroller

4 Fazit

4.1 Umfang und Aufwand

4.2 Ziele