



## آزمایش چهارم: استفاده از SRAM در پردازنده ARM به عنوان حافظه داده گرد آورنده: علیرضا یزدان پناه- ادریس نصیحت کن-مرضیه رستگار

### اهداف

- ۱- آشنایی با حافظه‌ی SRAM روی برد DE2
- ۲- استفاده نمودن از حافظه‌ی OFF-CHIP به عنوان حافظه‌ی داده‌ی پردازنده
- ۳- نحوه تبدیل حافظه‌ی ناهمگام به همگام برای کنترل بهتر آن
- ۴- آشنایی با ثابت نگه داشتن دستورات در خط لوله‌ی پردازنده
- ۵- آشنایی با تاثیر نوع حافظه در معماری پردازنده
- ۶- تاثیرات اجزای مختلف پردازنده در کارایی آن و نحوه افزایش آن

### توضیحات کلی

- ۱- در آزمایش‌های قبل یک پردازنده ARM پیاده سازی گردید که برای حافظه داده از حافظه داخلی استفاده شد. در حافظه داخلی زمان خواندن و نوشتن یک کلاک است. اما به علت محدودیت در استفاده از حافظه داخلی FPGA باید از حافظه خارجی بر روی برد استفاده شود. این نوع حافظه‌ها دارای تاخیر دسترسی بیش از یک کلاک هستند. که باعث ایجاد چالش در معماری پردازنده می‌گردد.
- ۲- در این آزمایش از حافظه خارجی SRAM که روی برد DE2 وجود دارد به عنوان حافظه داده پردازنده ARM استفاده می‌شود. برای این کار یک ماژول برای کنترل کردن آن طراحی می‌شود که دسترسی به حافظه داده با کلاک پردازنده همگام شود. همچنین خطوط داده برای خواندن حافظه و نوشتن در آن را از هم جدا می‌کند.
- ۳- حافظه SRAM موجود در برد DE2 دارای زمان دستیابی در یک کلاک برای هر کلمه ۱۶ بیتی می‌باشد، اما در پردازنده‌های واقعی زمان دستیابی به حافظه خارجی بیش از یک کلاک است، بنابراین در اینجا زمان دستیابی به حافظه را چندین کلاک (مثلاً ۶ کلاک) در نظر می‌گیریم.
- ۴- هنگامی که زمان دستیابی به حافظه بیش از یک کلاک شود، آنگاه باید در طراحی خط لوله پردازنده تغییراتی صورت گیرد. به طوری که هنگام دستیابی به حافظه، خط لوله باید منتظر بماند تا عملیات مربوط به حافظه به اتمام رسد و سپس خط لوله به کارش ادامه می‌دهد.

### دستور کار

همانطور که می‌دانید FPGAها حافظه روی تراشه (on-chip memory) کمی دارند. مثلاً FPGA بر روی برد DE2 موجود در آزمایشگاه تنها ۶۴ کیلو بایت حافظه دارد. این در حالی است که در مواقع زیادی به حافظه بیشتری نیاز است. بنابراین باید از حافظه‌ی خارجی استفاده شود. برد DE2 دارای دو نوع حافظه‌ی خارجی از نوع SRAM و DRAM می‌باشد. برای آشنایی بیشتر با این حافظه‌ها می‌توانید به دیتاشیت‌های مربوط به برد در سایت مراجعه نمایید.



## آزمایش چهارم: استفاده از SRAM در پردازنده ARM به عنوان حافظه داده گرد آورنده: علیرضا یزدان پناه- ادریس نصیحت کن-مرضیه رستگار

در این آزمایش از SRAM به عنوان حافظه‌ی داده پردازنده استفاده می‌شود. حافظه SRAM مورد نظر از نوع ناهمگام است که شامل ۵۱۲ کیلوبایت فضا می‌باشد، که کلمات آن ۱۶ بیتی هستند. این حافظه دارای خط داده ۱۶ بیتی و خط آدرس ۱۸ بیتی می‌باشد. باید توجه کنید که خط داده برای نوشتن و خواندن به صورت مشترک استفاده می‌شود. یعنی تنها یک گذرگاه ۱۶ بیتی برای داده وجود دارد، که با استفاده از سیگنال write عمل خواندن یا نوشتن تعیین می‌شود.

برای استفاده از SRAM به عنوان حافظه‌ی داده پردازنده نیاز به طراحی ماژولی برای کنترل SRAM است. ماژول کنترل کننده باید به صورت همگام عمل می‌کند، یعنی عمل خواندن و نوشتن در حافظه به صورت همگام صورت گیرد. همچنین در این ماژول می‌توان خطوط داده برای خواندن و نوشتن را از هم جدا کرد. ماژول کنترل کننده باید مطابق شکل ۱ باشد.

```
1 module Sram_Controller(  
2     input clk,  
3     input rst,  
4     //From Memory Stage  
5     input wr_en,  
6     input rd_en,  
7     input[31:0] address,  
8     input[31:0] writeData,  
9     //To Next Stage  
10    output [31:0] readData,  
11  
12    //For freeze Other Stage  
13    output ready  
14  
15    inout  [15:0] SRAM_DQ,           // SRAM Data bus 16 Bits  
16    output [17:0] SRAM_ADDR,        // SRAM Address bus 18 Bits  
17    output SRAM_UB_N,               // SRAM High-byte Data Mask  
18    output SRAM_LB_N,               // SRAM Low-byte Data Mask  
19    output SRAM_WE_N,               // SRAM Write Enable  
20    output SRAM_CE_N,               // SRAM Chip Enable  
21    output SRAM_OE_N,               // SRAM Output Enable  
22 );
```

شکل ۱- ورودی‌ها و خروجی‌های SRAM\_Controller

خطوط کنترلی SRAM و عملکرد هر کدام از بیت‌ها در جدول ۱ آورده شده است. توجه نمایید که تمامی بیت‌های کنترلی Active Low هستند.

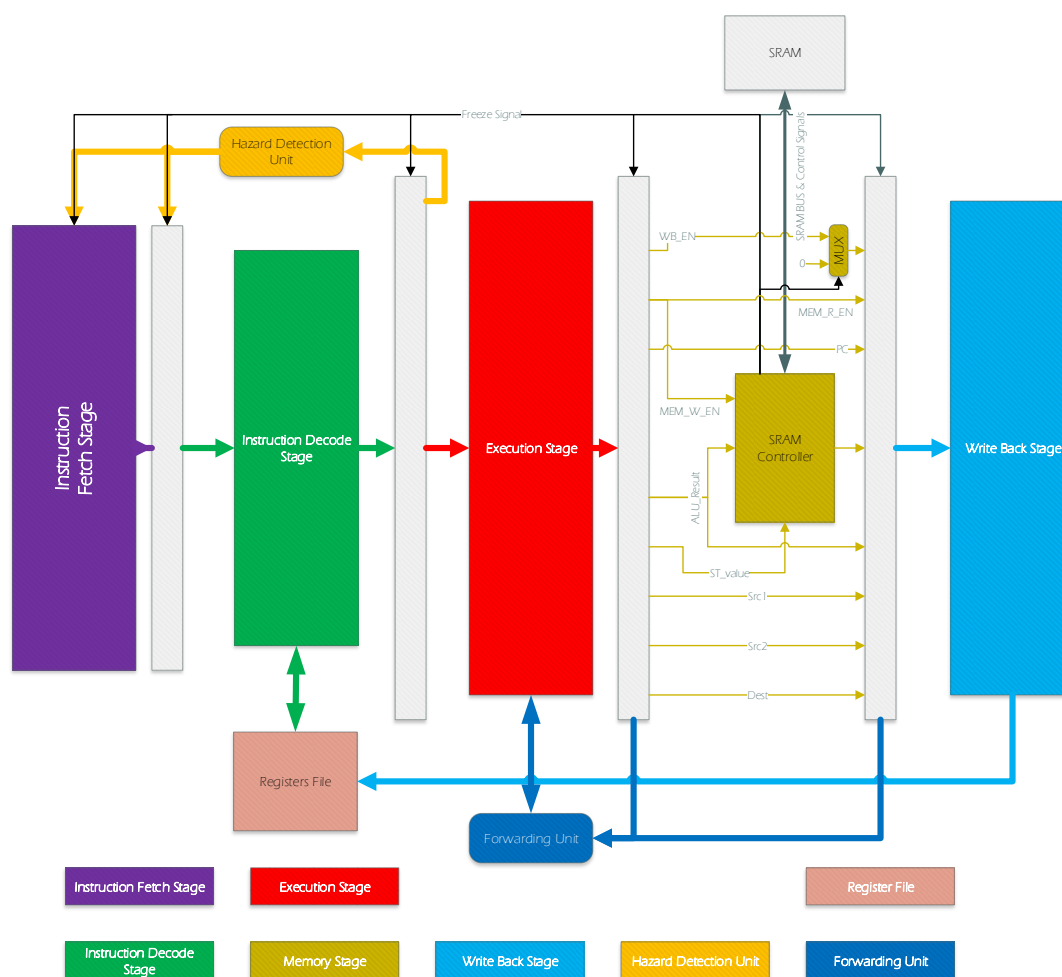
جدول ۱- بیت‌های کنترلی SRAM

SRAM_WE_N	PIN_AE10	SRAM Write Enable
SRAM_OE_N	PIN_AD10	SRAM Output Enable
SRAM_UB_N	PIN_AF9	SRAM High-byte Data Mask
SRAM_LB_N	PIN_AE9	SRAM Low-byte Data Mask
SRAM_CE_N	PIN_AC11	SRAM Chip Enable

## آزمایش چهارم: استفاده از SRAM در پردازنده ARM به عنوان حافظه داده

گرد آورنده: علیرضا یزدان پناه- ادریس نصیحت کن-مرضیه رستگار

برای راحتی کار سیگنال های کنترلی  $SRAM_{OE\_N}$ ,  $SRAM_{UB\_N}$ ,  $SRAM_{LB\_N}$  و  $SRAM_{CE\_N}$  را همیشه فعال نمایید (به ۰ متصل نمایید) و تنها سیگنال  $SRAM_{WE\_N}$  را کنترل کنید. این سیگنال هنگام خواندن باید غیر فعال (۱) شود، در این هنگام گذرگاه داده باید در حالت  $High Impedance (Z)$  قرار گیرد تا داده‌ی متناظر با آدرس بر روی گذرگاه داده قرار گیرد. در هنگام نوشتن، سیگنال  $SRAM_{WE\_N}$  را فعال (۰) نمایید و داده‌ی مورد نظر را بر روی گذرگاه داده قرار دهید. برای اطلاعات بیشتر به دیتاشیت مربوطه مراجعه نمایید.



عملیات خواندن و نوشتن حافظه‌ی SRAM بر روی برد DE2 با استفاده از کلاک ۵۰ مگاهرتز می‌تواند در یک کلاک انجام گیرد. در این آزمایش زمان دستیابی به حافظه را ۶ کلاک در نظر می‌گیریم (یعنی بعد از ۵ کلاک سیگنال READY را یک نمایید).



## آزمایش چهارم: استفاده از SRAM در پردازنده ARM به عنوان حافظه داده گرد آورنده: علیرضا یزدان پناه- ادریس نصیحت کن-مرضیه رستگار

چالش دیگری که باید بر آن غلبه نمایید خواندن و نوشتن کلمات ۳۲ بیتی است. همانگونه که گفته شد SRAM بر روی برد DE2 دارای کلمات ۱۶ بیتی است به همین دلیل نیاز است که کلمات ۳۲ بیتی را به صورت دو کلمه ۱۶ بیتی در نظر بگیرید. کلمه کم ارزش در آدرس اول و ۱۶ بیت پر ارزش در کلمه دوم SRAM نوشته شود. برای عملیات نوشتن کافی است همزمان داده و آدرس بر روی درگاه‌های متناظر قرار گیرند و `SRAM_WE_N` برابر صفر شود. در سیک دوم نوشتن می بایست آدرس افزایش یابد. همچنین برای عملیات خواندن ابتدا آدرس بر روی درگاه متناظر قرار می گیرد سپس در لبه بعدی کلاک داده متناظر خوانده می شود و آدرس جدید بر روی درگاه قرار می گیرد بنابر این عملیات خواندن از SRAM، نیازمند حداقل ۳ سیکل است.

با افزایش زمان دستیابی به حافظه کارایی پردازنده کاهش می یابد، برای جبران کاهش کارایی در پردازنده از حافظه نهان (Cache) استفاده می شود که در آزمایش بعدی بررسی می گردد.

هنگامی که پردازنده در مرحله حافظه بیشتر از یک کلاک منتظر عملیات خواندن یا نوشتن شود، آنگاه خط لوله باید متوقف شود یعنی دستوراتی که در مراحل دیگر (Fetch, Decode و Execute) هستند باید در جای خود ثابت باقی بمانند (freeze شوند). برای این کار معماری پردازنده باید تغییرات داشته باشد. پس از انجام کارهای گفته شده پردازنده خود را با این حافظه‌ی داده تست نمایید.

**\* نکته:** برای انجام این آزمایش یک جلسه فرصت دارید.

## گزارش کار:

- در ابتدای گزارش کار معماری پردازنده با تغییرات اعمال شده در سطح RTL ترسیم گردد و درباره قسمت‌های اضافه شده توضیحات کاملی نوشته شود.
- نتایج برنامه ریزی روی برد را توضیح دهید و میزان کارایی پردازنده را با حالتی که از حافظه داخلی استفاده می‌شد، مقایسه کنید.
- در قسمت بعد نتایج سنتز آورده شود، و هزینه سخت افزار نسبت به حالتی که از حافظه داخلی استفاده می‌شد، مقایسه شود.
- همانطور که مشاهده می‌شود، به علت استفاده از حافظه خارجی کارایی پردازنده کاهش می‌یابد. در این قسمت پیشنهاداتی که می‌تواند کارایی پردازنده را بهبود دهد، (به جز روش استفاده از حافظه نهان) ارائه کنید. به پیشنهادات خوب نمره اضافی تعلق می‌گیرد.

موفق باشید

رستگار