

**Федеральное государственное автономное образовательное учреждение  
высшего образования  
«Санкт-Петербургский политехнический университет Петра Великого»**

---

УТВЕРЖДАЮ  
Директор ИКНК  
\_\_\_\_\_ Д.П. Зегжда  
«17» июня 2025 г.

**РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ (МОДУЛЯ)**

**«Языки моделирования и описания цифровой аппаратуры»**

Разработчик	Высшая школа программной инженерии
Направление (специальность) подготовки	09.03.04 Программная инженерия
Наименование ООП	09.03.04_01 Технология разработки и сопровождения качественного программного продукта
Квалификация (степень) выпускника	<b>бакалавр</b>
Образовательный стандарт	<b>СУОС</b>
Форма обучения	<b>Очная</b>

СОГЛАСОВАНО

Руководитель ОП

\_\_\_\_\_ А.В. Петров

«21» мая 2024 г.

Соответствует СУОС

Утверждена протоколом заседания

высшей школы "ВШПИ"

от «21» мая 2024 г. № №1

РПД разработали:

Доцент, к.т.н., доц. В.В. Амосов

Старший преподаватель А.В. Петров

# 1. Цели и планируемые результаты изучения дисциплины

## Цели освоения дисциплины

Целью изучения дисциплины является получение знаний и умений:

- Знание основ микроэлектроники и схемотехники; принципа действия и особенностей функциональных узлов цифровой техники малой, средней и большой интеграций; языков проектирования (VHDL, Verilog HDL, SystemC); основ проектирования узлов ВТ с использованием этих языков проектирования;
- Умение решать задачи, связанные с анализом и синтезом электронных устройств, а также с проектированием узлов ВТ; создавать описания узлов ВТ в графическом и текстовом редакторах, компилировать, симулировать, тестировать. Уметь с помощью ко-симуляции проводить тестирование программ, написанных для этих узлов, разбираться в семействах программируемых логических больших интегральных схем (ПЛБИС); оценивать и сравнивать их.

## Результаты обучения выпускника

Код	Результат обучения (компетенция) выпускника ООП
ОПК-2	Способен понимать принципы работы современных информационных технологий и программных средств, в том числе отечественного производства, и использовать их при решении задач профессиональной деятельности
ИД-1 ОПК-2	Использует современные САПР для создания и тестирования программных моделей аппаратных компонентов
ОПК-6	Способен разрабатывать алгоритмы и программы, пригодные для практического использования, применять основы информатики и программирования к проектированию, конструированию и тестированию программных продуктов
ИД-4 ОПК-6	Разрабатывает программные модели аппаратных компонентов с использованием языков моделирования и описания цифровой аппаратуры
ОПК-7	Способен применять в практической деятельности основные концепции, принципы, теории и факты, связанные с информатикой
ИД-2 ОПК-7	Разрабатывает цифровые функциональные узлы с использованием принципов кодирования информации

## Планируемые результаты изучения дисциплины

### знания:

- Знает этапы разработки программно-аппаратных комплексов
- Знает траекторию создания поведенческого и структурного описания компонента

- Знает спецификации цифровых функциональных узлов

**умения:**

- Умеет работать в графическом и текстовом редакторах, создавать Тест-бенч
- Умеет с помощью языков VHDL и Verilog HDL описывать параллельно идущие во времени процессы
- Умеет описывать спецификации с помощью языков VHDL и Verilog HDL

**навыки:**

- Владеет навыками работы в САПР фирм Intel, Xilinx, Mentor Graphics
- Владеет языками VHDL, Verilog HDL, SystemC

## **2. Место дисциплины в структуре ООП**

В учебном плане дисциплина «Языки моделирования и описания цифровой аппаратуры» относится к модулю «Модуль цифровых компетенций».

Изучение дисциплины базируется на результатах освоения следующих дисциплин:

- Алгоритмизация и программирование
- Введение в профессиональную деятельность

### 3. Распределение трудоёмкости освоения дисциплины по видам учебной работы и формы текущего контроля и промежуточной аттестации

#### 3.1. Виды учебной работы

Виды учебной работы	Трудоёмкость по семестрам
	Очная форма
Лекционные занятия	60
Практические занятия	60
Самостоятельная работа	63
Часы на контроль	16
Промежуточная аттестация (экзамен)	11
Промежуточная аттестация (зачет с оценкой)	6
Общая трудоёмкость освоения дисциплины	216, ач
	6, зет

#### 3.2. Формы текущего контроля и промежуточной аттестации

Формы текущего контроля и промежуточной аттестации	Количество по семестрам
	Очная форма
Промежуточная аттестация	
Экзамены, шт.	1
Зачеты с оценкой, шт.	1

### 4. Содержание и результаты обучения

#### 4.1 Разделы дисциплины и виды учебной работы

№ раздела	Разделы дисциплины, мероприятия текущего контроля	Очная форма		
		Лек, ач	Пр, ач	СР, ач
1.	Основные законы теории электрических цепей	1	0	2
2.	Технология изготовления интегральных схем (ИС)	1	0	2

3.	Базовые элементы, свойства и сравнительные характеристики современных интегральных систем элементов	1	0	2
4.	Комбинационные и последовательностные логические устройства (КЛУ и ПЛУ) малой интеграции, их проектирование в САПР фирмы Altera	12	12	11
5.	Функциональные узлы средней и большой интеграции, их проектирование в САПР фирм Altera и Cadence D.S.	15	16	18
6.	Методы и средства автоматизации проектирования устройств ВТ фирм Altera, Cadence D.S. и Mentor Graphics	30	32	28
<b>Итого по видам учебной работы:</b>		60	60	63
Зачеты с оценкой, ач				0
Экзамены, ач				16
<b>Часы на контроль, ач</b>				16
<b>Промежуточная аттестация (экзамен)</b>		11		
<b>Промежуточная аттестация (зачет с оценкой)</b>		6		
<b>Общая трудоёмкость освоения: ач / зет</b>		216 / 6		

## 4.2. Содержание разделов и результаты изучения дисциплины

Раздел дисциплины	Содержание
<b>1. Основные законы теории электрических цепей</b>	Знания на уровне понятий, определений, описаний, формулировок. Стрелки в цепях. Операциональная формулировка законов Кирхгофа. Формулировки элементарных законов. Определение идеальных элементов схем замещения. Соответствие компонентов цепи и идеальных элементов. Теорема разложения источников, теорема эквивалентных генераторов.
<b>2. Технология изготовления интегральных схем (ИС)</b>	Знание этапов создания ИС средней интеграции от фрагмента принципиальной схемы, фрагмента топологической схемы до готового чипа.
<b>3. Базовые элементы, свойства и сравнительные характеристики современных интегральных систем элементов</b>	Знания на уровне понятий, определений, описаний, формулировок. Элементы цифровой техники (ЦТ), режимы их работы, классификация. Свойства и сравнительные характеристики современных интегральных систем элементов. Логика (классы) серий микросхем. МДП (МОП) – транзисторы. Базовые схемы серий логики на КМДП – схемах.
<b>4. Комбинационные и последовательностные логические устройства (КЛУ и ПЛУ) малой интеграции, их проектирование в САПР фирмы Altera</b>	<p>Знания на уровне понятий, определений, описаний, формулировок. КЛУ и ПЛУ на примере функциональных узлов малой интеграции. Средство проектирования фирмы Altera – MAX+PLUS II (графический и текстовый редакторы, взформер, симулятор, компилятор) Проектирование КЛУ на примере схемы одноразрядного сумматора. Риски при работе КЛУ. Проектирование устройств на основе рисков. Один из способов проектирования ПЛУ на примере RS-триггера. D- и DV-триггеры. Системы синхронизации. Проектирование последовательных, параллельных и универсальных регистров. Шинные формирователи и буферные регистры. Один из способов проектирования счётного элемента (СЭ). Т-, JK- триггеры. Пример счётчика.</p> <p>Умение разрабатывать проекты вышеперечисленных устройств в графическом и текстовом (на языке VHDL) редакторах.</p> <p>Владение навыками работы в САПР фирмы Altera – MAX+PLUS II. (ОПК-2, ОПК-6)</p>

<p><b>5. Функциональные узлы средней и большой интеграции, их проектирование в САПР фирм Altera и Cadence D.S.</b></p>	<p>Знание понятий, определений, описаний, формулировок. КЛУ и ПЛУ на примере функциональных узлов средней интеграции. Базовые матричные кристаллы (БМК) и программируемые логические интегральные схемы (ПЛИС): ПЛМ, ПМЛ, PLD, FPGA, CPLD. Дешифраторы (ДШ) и проектирование с помощью ДШ. Проектирование шифраторов и указателей. Мультиплексоры и демультиплексоры. Проектирование с помощью мультиплексоров. Проектирование компараторов. Проектирование схемы контроля по модулю 2 и схемы мажоритарного элемента. Проектирование кодера и декодера Хемминга. Проектирование многоразрядных сумматоров, арифметикологических устройств (АЛУ) и умножителей. Проектирование схем памяти и видеопамати. ПЗУ, проектирование с помощью схем памяти. Проектирование регистров FIFO и LIFO и КЭШ-памяти.</p> <p>Умение разрабатывать проекты вышеперечисленных устройств в графическом и текстовом (на языке VHDL) редакторах.</p> <p>Владение навыками работы в САПР фирмы Altera – MAX+PLUS II. (ОПК-2, ОПК-6)</p>
--	---

<p><b>6. Методы и средства автоматизации проектирования устройств ВТ фирм Altera, Cadence D.S. и Mentor Graphics</b></p>	<p>Знание понятий, определений, описаний, формулировок. Типы и уровни проектирования сложных устройств на примере поведенческой и структурной VHDL-моделей процессора DP-32. Концепция языка VHDL. Написание Тест Бенч (Test Bench). Тестирование VHDL-моделей. Поведенческая VHDL-модель DP-32. VHDL-модели памяти и генератора тактовых импульсов. Ко-симуляция. Тестирование поведенческой модели. Архитектура процессора DP-32. Структурная VHDL-модель DP-32. Ко-симуляция. Тестирование структурной модели DP-32. Функциональное тестирование программ на моделях DP-32. Аппаратная и программная реализация алгоритмов. Работа с системой Active-CAD (Active-VHDL) (системой моделирования сложных VHDL-проектов, содержащих процессор) с целью отладки и тестирования как самих проектов, так и функционального тестирования программ, написанных для этих проектов.</p> <p>Отладка и тестирование с помощью системы QUARTUS (фирма Altera) Verilog HDL-проектов цифрового фильтра, регистровой памяти, АЛУ и индивидуального задания.</p> <p>Разработка SystemC-моделей устройств ВТ.</p> <p>Синтез RTL-моделей устройств ВТ из моделей на языке SystemC</p> <p>Знание аппаратной реализации программных алгоритмов и траектории совместной аппаратной и программной разработки алгоритмов работы программно-аппаратного комплекса в среде Visual C++.</p> <p>Умение разрабатывать проекты вышеперечисленных устройств в графическом и текстовом (на языках VHDL, Verilog HDL и SystemC) редакторах, аппаратно и программно реализовывать работу алгоритма.</p> <p>Создавать Тест Бенч (Test Bench) и с его помощью разрабатывать проект.</p> <p>Работа в редакторах архитектурного уровня Block Diagram, State Diagram, Truth Table и Flow Chart (фирма Mentor Graphics )</p> <p>Владение навыками работы со средствами проектирования MAX+PLUS II, QUARTUS, Cadence D.S. и в среде Visual C++ (ОПК-2, ОПК-6)</p>
--	---

## 5. Образовательные технологии

Практические занятия проводятся на базе современных средств проектирования и моделирования устройств ВТ. Занятия обеспечивают лучшее понимание лекционного материала и знакомят со средствами проектирования и моделирования. Основная тяжесть освоения языков



описания аппаратных компонент ложится на практические занятия курса. Предполагается интенсивная работа дома. Для этого каждый студент получает CD-ROM со всеми используемыми в курсе средствами проектирования и моделирования (студенческие варианты), со всеми методическими указаниями к практическим занятиям (в электронном виде), с раздаваемыми на лекциях материалами, а также с литературой по соответствующей тематике. Содержание CD-ROM каждый семестр меняется: добавляются новые презентации, модернизируются старые практические занятия, добавляются новые системы проектирования и практические занятия к ним и т.д. Новая информация, не вошедшая в CD-ROM, рассылается студентам через Интернет (тем, у кого есть e-mail).

## 6. Лабораторный практикум

Не предусмотрено

## 7. Практические занятия

№ раздела	Наименование практических занятий (семинаров)	Трудоемкость, ач
		Очная форма
1.	Определение идеальных элементов схем замещения. Соответствие компонентов цепи и идеальных элементов. Законы Кирхгофа. Теоремы эквивалентных преобразований: размножение источников, эквивалентные генераторы.	2
2.	Приобретение навыков работы с системой MAX+PLUS II (работа в графическом редакторе) на примере проектирования, моделирования и синтеза КЛЮ: полусумматора и одноразрядного сумматора	2
3.	Рассмотрение с помощью системы MAX+PLUS II (работа в графическом редакторе) процессов появления рисков. Исследование работы генераторов (симметричных и несимметричных) и формирователей импульсов	2
4.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования RS-триггера. Приобретение навыков работы с языком VHDL на примере проекта RS-триггера. Создание для RS-триггера: проекта в графическом редакторе, структурного VHDL-проекта и поведенческого VHDL-проекта	2
5.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования D-триггера, DV-триггера и двухтактного D-триггера (DD-триггера. Создание для D-триггера, DV-триггера и двухтактного D-триггера (DD-триггера) проектов в графическом редакторе и поведенческих VHDL-проектов	2
6.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования одноклапного и двухтактного регистров сдвига, регистра памяти. Создание для одноклапного и двухтактного регистров сдвига и регистра памяти проектов в графическом и текстовом редакторах.	2
7.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования Т и JK – триггеров. Создание для Т и JK – триггеров, проектов в графическом и текстовом редакторах	2

8.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования двоичного четырёхразрядного счётчика на сложение с последовательным переносом, универсального счётчика библиотеки макрофункций системы MAX+PLUS II. Создание для двоичного четырёхразрядного счётчика на сложение с последовательным переносом проектов в графическом и текстовом редакторах	2
9.	Исследование с помощью системы MAX+PLUS II (работа в графическом редакторе) функционирования схем дешифратора и шифратора, их стандартных схем из библиотеки системы, а также схем с увеличенной разрядностью. Создание для исследуемых схем проектов в графическом и текстовом редакторах	2
10.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования схем мультиплексора и демultipлексора. Исследование их схем с увеличенной разрядностью. Создание для мультиплексоров, демultipлексоров и их схем с увеличенной разрядностью проектов в графическом и текстовом редакторах. Исследование способов реализации логических функций на мультиплексорах	2
11.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования схем компараторов (CMP). Создание для схем компараторов проектов в графическом и текстовом редакторах	2
12.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования схем контроля по модулю 2, схем мажоритарного элемента. Создание для исследуемых схем проектов в графическом и текстовом редакторах	2
13.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования схем кодера и декодера Хемминга. Создание для исследуемых схем проектов в графическом и текстовом редакторах. Исследование их совместной работы	2
14.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования стандартных сумматора и ALU. Создание для исследуемых схем проектов в графическом и текстовом редакторах. Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования стандартных схем умножителя параллельного действия и умножителя, построенного с использованием мегафункций. Создание для исследуемых схем проектов в графическом и текстовом редакторах	2

15.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования схем памяти SRAM на примитивах, на регистрах и схемы памяти, построенной с использованием мегафункций. Создание для исследуемых схем проектов в графическом и текстовом редакторах	2
16.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования схемы видеопамати. Создание для исследуемой схемы проекта в графическом и текстовом редакторах	2
17.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования схем FIFO, LIFO. Создание для исследуемых схем проектов в графическом и текстовом редакторах	2
18.	Исследование с помощью системы MAX+PLUS II (работа в графическом и текстовом редакторах) функционирования схемы КЭШ-памяти. Создание для исследуемых схем проектов в графическом и текстовом редакторах	2
19.	Приобретение навыков работы с системой Active-VHDL и знакомство с программой VHDL Test Bench на примере VHDL-проекта ALU	2
20.	Исследование с помощью системы Active-VHDL поведенческой VHDL-модели процессора DP-32. Тестирование процессора. Ко-симуляция	2
21.	Исследование с помощью системы Active-VHDL структурной (RTL) VHDL-модели процессора DP-32. Тестирование процессора. Ко-симуляция	2
22.	Функциональное тестирование с помощью системы Active-VHDL, а также поведенческой и структурной VHDL-моделей процессора DP-32 программы, написанной в командах DP-32 по алгоритму из дисциплины вычислительная математика. Аппаратная реализация на VHDL и тестирование этого алгоритма.	3
23.	Функциональное тестирование с помощью системы Active-VHDL, а также поведенческой и структурной VHDL-моделей процессора DP-32 программной реализации простейшего цифрового устройства (FIFO, LIFO, видеопамати, ...)	3
24.	Знакомство с языком Verilog HDL и с работой в системе QUARTUS II на примере VerilogHDL-проектов: импульсного фильтра, параллельного регистра и ALU. По заданию преподавателя разработать VerilogHDL-проект устройства ВТ или реализовать аппаратно на VerilogHDL алгоритм из дисциплины вычислительная математика. Проверить проекты на синтезируемость.	2

25.	Разработка по заданию преподавателя SystemC-моделей устройств ВТ с помощью библиотеки проектирования системного уровня языка SystemC, используя пример создания SystemC-модели генератора серии импульсов	2
26.	Синтез RTL-моделей устройств ВТ из моделей на языке SystemC. Создать на HDL синтезируемую RTL-модель цифрового устройства, для которого ранее студентом была разработана модель на языке SystemC или воспользоваться SystemC моделью генератора импульсов.	2
27.	Редакторы архитектурного уровня Block Diagram, State Diagram и Truth Table . Их использование на примере разработки проекта "Таймер" с помощью средства проектирования FPGA Advantage	2
28.	Редактор архитектурного уровня Flow Chart. Использование редактора Flow Chart на примере создания теста проекта "Таймер" с помощью средства проектирования FPGA Advantage. Тестирование проекта "Таймер"	2
29.	Синтез и оптимизация HDL-проекта "Таймер" с помощью средства проектирования FPGA Advantage.	2
<b>Итого часов</b>		<b>60</b>

## 8. Организация и учебно-методическое обеспечение самостоятельной работы

## Примерное распределение времени самостоятельной работы студентов

Вид самостоятельной работы	Примерная трудоемкость, ач
	Очная форма
<b>Текущая СР</b>	
работа с лекционным материалом, с учебной литературой	14
опережающая самостоятельная работа (изучение нового материала до его изложения на занятиях)	4
самостоятельное изучение разделов дисциплины	4
выполнение домашних заданий, домашних контрольных работ	0
подготовка к лабораторным работам, к практическим и семинарским занятиям	24
подготовка к контрольным работам, коллоквиумам	11
<b>Итого текущей СР:</b>	<b>57</b>
<b>Творческая проблемно-ориентированная СР</b>	
выполнение расчётно-графических работ	0
выполнение курсового проекта или курсовой работы	0
поиск, изучение и презентация информации по заданной проблеме, анализ научных публикаций по заданной теме	0
работа над междисциплинарным проектом	0
исследовательская работа, участие в конференциях, семинарах, олимпиадах	0
анализ данных по заданной теме, выполнение расчётов, составление схем и моделей на основе собранных данных	6
<b>Итого творческой СР:</b>	<b>6</b>
<b>Общая трудоемкость СР:</b>	<b>63</b>

## 9. Учебно-методическое обеспечение дисциплины

### 9.1. Адрес сайта курса

<https://dl.spbstu.ru/course/view.php?id=3995>

## 9.2. Рекомендуемая литература

### Основная литература

№	Автор, название, место издания, издательство, год (годы) издания	Год изд.	Источник
1	Амосов В.В. Схемотехника и средства проектирования цифровых устройств: Санкт-Петербург: БХВ-Петербург, 2014.	2014	ИБК СПбПУ
2	Амосов В.В., Петров А.В., Тышкевич А.И. Технология проектирования "система на кристалле" на примере реализации алгоритмов шифрования и сжатия: Санкт-Петербург: Изд-во Политехн. ун-та, 2017.	2017	ИБК СПбПУ

### Дополнительная литература

№	Автор, название, место издания, издательство, год (годы) издания	Год изд.	Источник
1	Васильев В.Б. и др. Основы проектирования цифровых устройств на языке SystemC: Санкт-Петербург: Изд-во Политехн. ун-та, 2016.	2016	ИБК СПбПУ

### Ресурсы Интернета

1. Электротехника, электроника и схемотехника [Электронный ресурс]: учебное пособие / В. В. Амосов, Т. А. Вишневская, Т. К. Кракау, ...: <https://elib.spbstu.ru/dl/local/2356.pdf/en/info>

## 9.3. Технические средства обеспечения дисциплины

Каждому студенту выдаётся виртуальная машина windows xp для установки на его персональный компьютер, на которой находятся текст лекций, описание всех практических занятий и весь инструментарий для проведения этих практических занятий.

## 10. Материально-техническое обеспечение дисциплины

Кафедральная лаборатория «Средства проектирования цифровых устройств»

Средства проектирования и моделирования (студенческие варианты) : MAX+PLUS II, Active-VHDL, QUARTUS II

Среда Visual C++

## **11. Критерии оценивания и оценочные средства**

### **11.1. Критерии оценивания**

Для дисциплины «Языки моделирования и описания цифровой аппаратуры» предусмотрены следующие формы аттестации: зачёт с оценкой, экзамен. Дисциплина реализуется с применением системы индивидуальных достижений.

#### **Текущий контроль успеваемости**

Максимальное значение персонального суммарного результата обучения (ПСРО) по приведенной шкале - 100 баллов

Максимальное количество баллов приведенной шкалы по результатам прохождения двух точек контроля - 80 баллов.

Подробное описание правил проведения текущего контроля с указанием баллов по каждому контрольному мероприятию и критериев выставления оценки размещается в СДО в навигационном курсе дисциплины.

#### **Промежуточная аттестация по дисциплине**

Максимальное количество баллов по результатам проведения аттестационного испытания в период промежуточной аттестации – 20 баллов приведенной шкалы.

Промежуточная аттестация по дисциплине проводится в соответствии с расписанием.

Первый семестр дисциплины:

##### **1. Форма проведения экзамена**

###### **1. портфолио**

Промежуточная аттестация (оценка) по дисциплине проводится на экзамене.

Портфолио, представляемое на промежуточную аттестацию на экзамене, включает работы, выполненные в течение семестра (выполнение работы подразумевает изложение спецификации проекта, функционального назначения входов и выходов и подтверждение пунктов спецификации симуляцией проекта (функциональным тестированием)), а также размещенные в личном кабинете обучающегося в ЭИОС:

1. Система автоматизированного проектирования фирмы Альтера Max+Plus II. Схемы одноразрядных двоичных полусумматора и сумматора
2. Программирование на VHDL в среде Max+Plus II RS- и D-триггеров



3. Исследование схем сдвигающего регистра, регистра памяти и универсального регистра
4. Исследование схем Т- и JK-триггеров и схемы счетчика
5. Исследование функционирования схем дешифраторов
6. Исследование функционирования схем шифраторов и указателей
7. Исследование функционирования схем мультиплексоров и демультиплексоров
8. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов
9. Исследование работы сумматоров, арифметикологических устройств и умножителей
10. Исследование функционирования схем памяти

Выполнение и защита работ портфолио оценивается в баллах:

с 1 по 10 работы с 0 по 10 баллов каждая. Всего: 100 баллов.

1. Критерии выставления оценок по результатам промежуточной аттестации по дисциплине

Оценка на экзамене ставится из следующих соображений:

«**отлично**» - если выполнены и защищены все 10 работ из портфолио (получено 90-100 баллов);

«**хорошо**» - если по портфолио получено от 76 до 89 баллов;

«**удовлетворительно**» - если по портфолио получено от 60 до 75 баллов;

«**неудовлетворительно**» - если по портфолио получено меньше 60 баллов.

Второй семестр дисциплины:

1. Форма проведения зачета
  1. портфолио
2. Форма проведения экзамена
  1. портфолио
  2. устное собеседование

Портфолио, представляемое на промежуточную аттестацию (на зачёте), включает работы, выполненные в течение семестра, а также размещенные в личном кабинете обучающегося в ЭИОС:

1. Приобретение навыков работы с системой Active-CAD и знакомство с программой VHDL Test Bench на примере VHDL-проекта АЛУ

2. Исследование с помощью системы Active-CAD поведенческой VHDL-модели процессора DP32. Ко-симуляция. Тестирование
3. Исследование с помощью системы Active-CAD структурной VHDL-модели процессора DP32. Ко-симуляция. Тестирование
4. Тестирование трёх Verilog HDL проектов импульсного фильтра, параллельного регистра и АЛУ с помощью САПР QUARTUS
5. Работа с библиотекой проектирования системного уровня SystemC на примере создания SystemC-модели генератора серии импульсов
6. Процесс синтеза RTL-моделей устройств ВТ из моделей на языке SystemC.
7. Программная в командах DP32 и аппаратная на VHDL реализации алгоритма, предложенного преподавателем (работа, размещенная в личном кабинете обучающегося в ЭИОС)
8. Аппаратная на Verilog HDL реализация алгоритма, предложенного преподавателем (работа, размещенная в личном кабинете обучающегося в ЭИОС)
9. Программная на SystemC и аппаратная на Verilog HDL реализации алгоритма, предложенного преподавателем (работа, размещенная в личном кабинете обучающегося в ЭИОС)
10. Работа в редакторах архитектурного уровня разработки Block Diagram, State Diagram, Truth Table и Flow Chart. Пример использования.

Получение оценок «зачтено» за 60% предусмотренных программой заданий является основанием проведения промежуточной аттестации на зачёте.

1. Правила проведения промежуточной аттестации (экзамена) с применением электронного обучения, дистанционных образовательных технологий

Промежуточная аттестация (оценка) по дисциплине проводится на экзамене.

Портфолио, представляемое на промежуточную аттестацию на экзамене, включает работы, выполненные в течение семестра, а также размещенные в личном кабинете обучающегося в ЭИОС:

1. Приобретение навыков работы с системой Active-CAD и знакомство с программой VHDL Test Bench на примере VHDL-проекта АЛУ
2. Исследование с помощью системы Active-CAD поведенческой VHDL-модели процессора DP32. Ко-симуляция. Тестирование
3. Исследование с помощью системы Active-CAD структурной VHDL-модели процессора DP32. Ко-симуляция. Тестирование

4. Тестирование трёх Verilog HDL проектов импульсного фильтра, параллельного регистра и АЛУ с помощью САПР QUARTUS
5. Работа с библиотекой проектирования системного уровня SystemC на примере создания SystemC-модели генератора серии импульсов
6. Процесс синтеза RTL-моделей устройств ВТ из моделей на языке SystemC.
7. Программная в командах DP32 и аппаратная на VHDL реализации алгоритма, предложенного преподавателем (работа, размещенная в личном кабинете обучающегося в ЭИОС)
8. Аппаратная на Verilog HDL реализации алгоритма, предложенного преподавателем (работа, размещенная в личном кабинете обучающегося в ЭИОС)
9. Программная на SystemC и аппаратная на Verilog HDL реализации алгоритма, предложенного преподавателем (работа, размещенная в личном кабинете обучающегося в ЭИОС)
10. Работа в редакторах архитектурного уровня разработки Block Diagram, State Diagram, Truth Table и Flow Chart. Пример использования.

Выполнение и защита работ портфолио оценивается в баллах:

с 1 по 3 работы от 0 до 5 баллов каждая, с 4 по 8 работы от 0 до 10 баллов каждая, 9 работа оценивается 20 баллами (или от 0 до 15 баллов, если удалась только одна реализация алгоритма), последняя 10 работа оценивается 15 баллами.

Всего: 100 баллов.

Устное собеседование на экзамене:

студенту задаётся один экзаменационный вопрос и, он отвечает на него с использованием материалов проделанных лабораторий,

в случае возникновения неопределённости оценивания студенту задаётся три несложных вопроса, требующих односложных ответов

### **Вопросы по курсу «Микроэлектроника схемотехника и проектирование устройств ВТ» (2 семестр)**

1. Структура построения ЗУ с выборкой по мере поступления очередей данных. Буферы FIFO и LIFO. (Графические проекты).

2. Принцип действия и элементы ЗУ с произвольной выборкой динамического типа (DRAM). Режимы хранения, записи, считывания и регенерации информации.
3. Элементы памяти статического типа (SRAM).
4. Структура построения циклических ЗУ (видеопамять). (Графический и VHDL – проекты).
5. Структура построения КЭШ-памяти (CACHE). (Графический проект)
6. Реализация логических (переключательных) функций с помощью ПЗУ (ROM-памяти)
7. Классификация и этапы разработки специализированных БИС. Базовые кристаллы (БК).
8. Классификация и этапы разработки специализированных БИС. Программируемые логические интегральные схемы (ПЛИС): программируемые логические матрицы (ПЛМ) и программируемая матричная логика (ПМЛ).
9. Типы и уровни описания сложного проекта на примере гипотетического процессора DP-32.
10. Основные направления использования VHDL. Тестирование. Анализ. Детализация. Симуляция (драйвер сигнала, транзакция, событие). Синтез. Методология проектирования.
11. Система Active VHDL (назначение, возможности). VHDL-проект АЛУ процессора DP-32. Особенности симуляции (стимуляторы). Генерация программы Test Bench.
12. Описание процессора DP-32 (архитектура и набор команд). Поведенческая VHDL-модель. Пример ко-симуляции (функциональная схема и текст программы для DP-32).
13. Описание процессора DP-32 (архитектура и набор команд). RTL-модель (структурная или регистровая VHDL-модель). Пример ко-симуляции (функциональная схема и текст программы для DP-32).
14. Язык проектирования Verilog HDL. Verilog HDL-проект импульсного фильтра.
15. Язык проектирования Verilog HDL. Verilog HDL-проект параллельного регистра.
16. Язык проектирования Verilog HDL. Verilog HDL-проекта АЛУ.
17. Редактор описания проектов на архитектурном уровне разработки Block Diagram на примере описания проекта Таймер
18. Редактор описания проектов на архитектурном уровне разработки State Diagram на примере описания проекта Таймер
19. Редактор описания проектов на архитектурном уровне разработки Truth Table на примере описания проекта Таймер
20. Редактор описания проектов на архитектурном уровне разработки Flow Chart на примере описания проекта Таймер
21. Язык проектирования SystemC. Разработка SystemC-моделей устройств ВТ. Пример.
22. Язык проектирования SystemC. Синтезируемость. Синтез RTL-моделей устройств ВТ из моделей на языке SystemC. Пример.
23. Усилители гармонических сигналов (УПТ и УПерТ). Операционный усилитель (ОУ). Применение ОУ с отрицательной обратной связью (ООС).
24. ОУ. Применение ОУ с положительной обратной связью (ПОС). Триггеры Шмитта.

25. Мультивибраторы на основе ОУ.
26. Одновибратор на основе ОУ.
27. Интегратор и дифференциатор на ОУ.
28. Сетевые источники питания. Выпрямители.
29. Сетевые источники питания. Стабилизаторы.

### **Несложные вопросы, требующие односложного ответа**

1. Какие методы описания используются при вентильном проектировании простейших узлов ВТ?
  2. Какой инструмент описания используют при проектировании сложных устройств ВТ?
  3. На каком шаге проектирования устройств ВТ применяется механизм стимуляторов?
  4. Как называется инструмент, описывающий изменение входных сигналов и сравнивающий выходные сигналы с необходимыми в соответствии со спецификацией?
  5. С помощью какого механизма проводится тестирование HDL-проектов, содержащих процессоры, а также тестирование выполнения программ, написанных для этих проектов в командах процессора?
  6. С помощью какого редактора HDL-дизайнера проект устройства ВТ описывается как конечный автомат?
  7. Каким редактором HDL-дизайнера пользуются, когда хотят описать алгоритм работы устройства ВТ при создании Тест Бенча?
  8. Из какой модели в какую переводит процесс синтеза модель проектируемого устройства ВТ?
  9. Какой блок VHDL-программы устанавливает соответствие компонента и реального проекта?
  10. За счёт какого оператора VHDL появилась возможность описывать параллельно и последовательно происходящие во времени события?
  11. Какой HDL-код является синтезируемым?
  12. Какой элемент в VHDL является основой для структурного описания устройства ВТ?
  13. Какой элемент в Verilog HDL является основой для структурного описания устройства ВТ?
  14. Какой тип переменной в Verilog HDL задаёт соединение между портами модулей?
  15. Какой оператор в Verilog HDL последовательно описывает происходящие события?
  16. С помощью чего в VHDL задаются общие области?
  17. В чём отличие конструкции Task от конструкции Function в Verilog HDL?
  18. Какой тип данных не поддерживается синтезаторами при переходе от SistemC-модели к RTL-модели?
- 
2. Критерии выставления оценок по результатам промежуточной аттестации по дисциплине

Оценка «зачтено» выставляется обучающемуся при условии получения оценок «зачтено» по всем выполненным им в процессе изучения дисциплины работам, входящим в состав портфолио.

Оценка «зачтено» означает успешное прохождение промежуточной аттестации на зачёте.

Оценка на экзамене ставится из следующих соображений:

«**отлично**» - если получено от 90 до 100 баллов выполнены и защищены все 9 работ из портфолио, а также дан полный ответ на экзаменационный вопрос;

«**хорошо**» - если по портфолио получено от 76 до 89 баллов и дан полный ответ на экзаменационный вопрос;

«**удовлетворительно**» - если по портфолио получено от 60 до 75 баллов и дан полный ответ на экзаменационный вопрос;

«**неудовлетворительно**» - если по портфолио получено меньше 60 баллов.

Результаты промежуточной аттестации, определяются на основе баллов, набранных в рамках применения, СИД

Баллы по приведенной шкале в рамках применения СИД (ПСРО+ ПА)	Оценка по результатам промежуточной аттестации
	Экзамен/диф.зачет/зачет
0 - 60 баллов	Неудовлетворительно/не зачтено
61 - 75 баллов	Удовлетворительно/зачтено
76 - 89 баллов	Хорошо/зачтено
90 и более	Отлично/зачтено

## 11.2. Оценочные средства

Оценочные средства по дисциплине представлены в фонде оценочных средств, который является неотъемлемой частью основной образовательной программы и размещается в электронной информационно-образовательной среде СПбПУ на портале [etk.spbstu.ru](http://etk.spbstu.ru)

## **12. Методические рекомендации по организации изучения дисциплины**

Эта дисциплина охватывает «расстояние» от законов Кирхгофа до средств и методов создания современных программно-аппаратных комплексов (коммуникаторов, смартфонов). Каждому студенту выдаётся виртуальная машина windows xp для установки на его персональный компьютер, на которой находятся текст лекций, описание всех практических занятий и весь инструментарий для проведения этих практических занятий. После прохождения этой дисциплины студенты должны уметь работать в графическом и текстовом редакторах, создавать Тест-бенч, владеть навыками работы в САПР фирм Altera, Cadence D.S., уметь разрабатывать алгоритм в программном и аппаратном варианте реализации, использовать ко-симуляцию для тестирования программного варианта реализации, уметь с помощью языков VHDL и Verilog HDL описывать параллельно идущие во времени процессы, владеть языками VHDL, Verilog HDL, SystemC, уметь создавать, симулировать и синтезировать графические и VHDL проекты цифровой аппаратуры. Для большей заинтересованности студентов в изучении дисциплины им предлагается сделать акцент на подготовке и защите в срок проектов к практическим занятиям. По результатам работы на практических занятиях возможно автоматическое получение оценки за экзамен.

## **13. Адаптация рабочей программы для лиц с ОВЗ**

Адаптированная программа разрабатывается при наличии заявления со стороны обучающегося (родителей, законных представителей) и медицинских показаний (рекомендациями психолого-медико-педагогической комиссии). Для инвалидов адаптированная образовательная программа разрабатывается в соответствии с индивидуальной программой реабилитации.