

**Федеральное государственное автономное образовательное учреждение
высшего образования
«Санкт-Петербургский политехнический университет Петра Великого»**

УТВЕРЖДАЮ
Директор ИКНК
_____ Д.П. Зегжда
«17» июня 2024 г.

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ (МОДУЛЯ)

«Схемотехника цифровых устройств»

Разработчик	Высшая школа компьютерных технологий и информационных систем
Направление (специальность) подготовки	09.03.01 Информатика и вычислительная техника
Наименование ООП	09.03.01_01 Разработка компьютерных систем
Квалификация (степень) выпускника	бакалавр
Образовательный стандарт	СУОС
Форма обучения	Очная

СОГЛАСОВАНО	Соответствует СУОС
Руководитель ОП	Утверждена протоколом заседания
_____ Р.В. Цветков	высшей школы "ВШКТиИС" от «26» марта 2024 г. № 1

РПД разработал:
Доцент, к.т.н., доц. В.А. Сушников

1. Цели и планируемые результаты изучения дисциплины

Цели освоения дисциплины

1. Дать студентам основы современных знаний в области цифровой схемотехники.
2. Заложить теоретические основы для разработки электронных устройств от простейших операционных узлов до уровня цифровых систем.
3. Научить принципам построения и методам анализа и синтеза электронных устройств и систем, основам их экспериментального исследования и практического синтеза с широким использованием средств вычислительной техники.

Результаты обучения выпускника

Код	Результат обучения (компетенция) выпускника ООП
ОПК-1	Способен применять естественнонаучные и общеинженерные знания, методы математического анализа и моделирования, теоретического и экспериментального исследования в профессиональной деятельности
ИД-6 ОПК-1	Определяет необходимость и постановку задач экспериментального исследования, средства и методы обработки экспериментальных данных
ОПК-3	Способен решать стандартные задачи профессиональной деятельности на основе информационной и библиографической культуры с применением информационно-коммуникационных технологий и с учетом основных требований информационной безопасности
ИД-1 ОПК-3	Производит разработку функциональных спецификаций на аппаратные и программные блоки и модули
ИД-2 ОПК-3	Решает стандартные задачи профессиональной деятельности с использованием сетевых технологий
ОПК-7	Способен участвовать в настройке и наладке программно-аппаратных комплексов
ИД-6 ОПК-7	Разрабатывает варианты схемотехнического описания отдельных цифровых блоков
ИД-8 ОПК-7	Проводит тестирование, анализирует и верифицирует результаты моделирования и тестирования интегральной схемы и ее составных блоков, вырабатывает решение об исправлении их описаний

Планируемые результаты изучения дисциплины

знания:

- Знает теоретические основы цифровой схемотехники
- Знает основные характеристики требований к программному обеспечению
- Знает ключевые параметры компьютерных сетей
- теоретические основы цифровой схемотехники
- принципы и правила проведения тестирования по тестовым случаям; принципы и правила анализа результатов моделирования и тестирования интегральных схем и их составных блоков

умения:

- Умеет описывать операционные узлы и устройства на базе них с использованием схем
- Умеет проводить анализ функциональных спецификаций на наличие характеристик: непротиворечивость, однозначность, полнота, проверяемость, отслеживаемость, приоритизация.
- Умеет анализировать архитектуру и функционирование компьютерных сетей, их компонентов
- описывать операционные узлы и устройства на базе них с использованием схем
- проводить тестирование по тестовым случаям; определять причины расхождения получаемых результатов тестирования с ожидаемыми

навыки:

- Владеет схемным вводом в средствах автоматизированного проектирования
- Владеет средствами трассировки спецификаций требований
- Владеет инструментальными средствами автоматизированного анализа и диагностики компьютерных сетей
- схемный ввода в средствах автоматизированного проектирования
- использование средств автоматизированного проектирования для проведения тестирования по тестовым случаям; использование средств автоматизированного проектирования для выполнения анализа и верификации результатов моделирования и тестирования интегральной схемы и ее составных блоков

2. Место дисциплины в структуре ООП

В учебном плане дисциплина «Схемотехника цифровых устройств» не связана ни с одним модулем учебного плана.

Изучение дисциплины базируется на результатах освоения следующих дисциплин:

- Дискретная математика

3. Распределение трудоёмкости освоения дисциплины по видам учебной работы и формы текущего контроля и промежуточной аттестации

3.1. Виды учебной работы

Виды учебной работы	Трудоемкость по семестрам
	Очная форма
Лекционные занятия	30
Лабораторные занятия	22
Самостоятельная работа	57
Часы на контроль	16
Промежуточная аттестация (экзамен)	11
Курсовое проектирование	8
Общая трудоемкость освоения дисциплины	144, ач
	4, зет

3.2. Формы текущего контроля и промежуточной аттестации

Формы текущего контроля и промежуточной аттестации	Количество по семестрам
	Очная форма
Текущий контроль	
Контрольные, шт.	1
Курсовые работы, шт.	1
Промежуточная аттестация	
Экзамены, шт.	1

4. Содержание и результаты обучения

4.1 Разделы дисциплины и виды учебной работы

№ раздела	Разделы дисциплины, мероприятия текущего контроля	Очная форма		
		Лек, ач	Лаб, ач	СР, ач

1.	Основы технологии ИС. Совместная работа цифровых элементов.	2	0	4
2.	Автоматизация функционально- логического этапа проектирования цифровых узлов и устройств	2	4	4
3.	Правила проектирования.	2	4	2
4.	Триггерные устройства.	2	4	2
5.	Функциональные узлы последовательностного типа.	8	4	2
6.	Функциональные узлы комбинационного типа.	6	6	2
7.	БИС/СБИС с программируемой структурой.	4	0	2
8.	Схемотехника запоминающих устройств.	6	4	2
9.	Основы временного анализа.	6	4	2
10.	Основы системной отладки.	7	6	2
Итого по видам учебной работы:		30	22	57
Экзамены, ач				16
Часы на контроль, ач				16
Курсовое проектирование				8
Промежуточная аттестация (экзамен)				11
Общая трудоёмкость освоения: ач / зет				144 / 4

4.2. Содержание разделов и результаты изучения дисциплины

Раздел дисциплины	Содержание
1. Основы технологии ИС. Совместная работа цифровых элементов.	Совместная работа цифровых элементов в составе узлов и устройств: типы выходных каскадов, цепи питания, согласование связей, элементы задержки, формирователи импульсов, элементы индикации, оптоэлектронные развязки и др.
2. Автоматизация функционально- логического этапа проектирования цифровых узлов и устройств	Системы автоматизированного проектирования, назначение, возможности, основные проектные процедуры. Основы ввода проектов, функционального и временного моделирования, разводки и размещения.
3. Правила проектирования.	Правила проектирования. Риски сбоя в комбинационных и последовательных схемах. Синхронизация в цифровых устройствах.
4. Триггерные устройства.	Триггерные устройства RS, D, T, JK типа. Таблицы управления триггерами, режимы работы. Приоритетность асинхронных режимов. Временные частоты. Производительность регистровых передач, Понятие конвейеризации.
5. Функциональные узлы последовательностного типа.	Функциональные узлы последовательностного типа: RG, CT, распределители; матричные умножители. Реализация типовых схемотехнических решений на ОУ с памятью.
6. Функциональные узлы комбинационного типа.	Функциональные узлы комбинационного типа: DC, CD, MUX, DMX, CMP, SM, ALU. Реализация типовых схемотехнических решений на ОУ заданного типа.
7. БИС/СБИС с программируемой структурой.	БИС/СБИС с программируемой структурой: программируемые логические матрицы, программируемая матричная логика, базовые матричные кристаллы, оперативно перестраиваемые FPGA.
8. Схемотехника запоминающих устройств.	Схемотехника запоминающих устройств: статические, динамические, масочные, прожигаемые и другие типы запоминающих ячеек. Архитектура СБИС ПЛ Intel.
9. Основы временного анализа.	Задание временных требований к проекту. Тактовые частоты, регистровые передачи, временные спецификации ИС, синхронные интерфейсы, ложные пути, метастабильность.

10. Основы системной отладки.	Создание контрольных выводов, с использованием низкоуровневого редактора списков соединений, создание интерфейса логического анализатора, подключение и настройка встраиваемого логического анализатора, редактирование содержимого встроенной памяти.
--------------------------------------	--

5. Образовательные технологии

В преподавании курса используются лекции в сочетании с лабораторными работами.

Практические занятия по освоению современных методов исследования систем управления подкрепляются семинарами и работой в дисплейном классе. Вопросы экспериментального исследования изучаются на лабораторных занятиях.

6. Лабораторный практикум

№ раздела	Наименование лабораторных работ	Трудоемкость, ач
		Очная форма
1.	Лабораторными работами не поддержан	0
2.	Основы работы в среде проектирования Quartus Prime. Синтез и исследование комбинационного устройства.	4
3.	Контроль правил проектирования и корректировка проекта	4
4.	Синтез и исследование конечного автомата. Исследование триггеров. Синтез и исследование генератора кодов.	4
5.	Исследование счетчиков и функциональных узлов с их использованием. Исследование регистров и функциональных узлов с их использованием.	4
6.	Исследование сумматоров и функциональных узлов с их использованием. Исследование дешифраторов, мультиплексоров и функциональных узлов с их использованием.	4
7.	Лабораторными работами не поддержан	0
8.	Исследование работы операционных устройств на общую шину с внешней памятью.	4
9.	Задание и анализ задержек внутренних цепей передачи данных проекта. Задание временных требований и анализ задержек комбинаторных цепей вход/выход FPGA. Задание тактовой частоты и анализ регистровых передач. Управление Tco. Организация обмена с внешними синхронными устройствами. Задание требований к внешним регистровым передачам. Анализ сбоев, вызванных метастабильностью.	6
10.	Вывод контрольных точек с использованием SignalProbe Pins. Вывод контрольных точек с использованием Logic Analyzer Interface Editor (LAI). Основы работы с встроенным логическим анализатором SignalTapII. Использование встроенного логического анализатора SignalTapII для исследование дребезга контактов движкового переключателя	6
Итого часов		22

7. Практические занятия

Не предусмотрено

8. Организация и учебно-методическое обеспечение самостоятельной работы

Примерное распределение времени самостоятельной работы студентов

Вид самостоятельной работы	Примерная трудоемкость, ач
	Очная форма
Текущая СР	
работа с лекционным материалом, с учебной литературой	2
опережающая самостоятельная работа (изучение нового материала до его изложения на занятиях)	0
самостоятельное изучение разделов дисциплины	0
выполнение домашних заданий, домашних контрольных работ	0
подготовка к лабораторным работам, к практическим и семинарским занятиям	6
подготовка к контрольным работам, коллоквиумам	6
Итого текущей СР:	14
Творческая проблемно-ориентированная СР	
выполнение расчётно-графических работ	0
выполнение курсового проекта или курсовой работы	10
поиск, изучение и презентация информации по заданной проблеме, анализ научных публикаций по заданной теме	0
работа над междисциплинарным проектом	0
исследовательская работа, участие в конференциях, семинарах, олимпиадах	0
анализ данных по заданной теме, выполнение расчётов, составление схем и моделей на основе собранных данных	0
Итого творческой СР:	10
Общая трудоемкость СР:	57

9. Учебно-методическое обеспечение дисциплины

9.1. Адрес сайта курса

<http://kspt.icc.spbstu.ru/course/schem>

9.2. Рекомендуемая литература

Основная литература

№	Автор, название, место издания, издательство, год (годы) издания	Год изд.	Источник
1	Угрюмов Е.П. Цифровая схемотехника: СПб.: БХВ-Петербург, 2005.	2005	ИБК СПбПУ
2	Угрюмов Е.П. Цифровая схемотехника: СПб.: БХВ-Петербург, 2007.	2007	ИБК СПбПУ

Дополнительная литература

№	Автор, название, место издания, издательство, год (годы) издания	Год изд.	Источник
1	Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики: Санкт-Петербург: БХВ-Петербург, 2002. URL: http://www.bhv.ru	2002	ИБК СПбПУ
2	Грушвицкий Р.И., Мурсаев А.Х., Смолов В.Б. Аналого-цифровые периферийные устройства микропроцессорных систем: Ленинград: Энергоатомиздат, 1989.	1989	ИБК СПбПУ

Ресурсы Интернета

1. Даются базовые знания по архитектуре FPGA компании Intel: https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/misc/fpgas_for_dummies_ebook.pdf

9.3. Технические средства обеспечения дисциплины

При изучении разделов курса по электротехнике и электроники используются унифицированные лабораторные стенды с комплектом контрольно-измерительных приборов для проведения натурных экспериментов. Для проведения машинного эксперимента используется система MicroCap.

При изучении раздела - схемотехника используются программные системы проектирования цифровых систем Quartus II (Altera corp.), среда моделирования ModelSim (Mentor Graphics), лабораторные стенды DiLab и miniDilab, разработанные на кафедре КСиПТ.

10. Материально-техническое обеспечение дисциплины

Лабораторные работы выполняются в специализированных лабораториях кафедры. Для проведения лекций используются аудитории с проектором и требуемым количеством

посадочных мест. Проведение лабораторий требует использование компьютеров (Intel Xeon 4 ядра не менее 2700 МГц, Windows 10, 16МВ) с установленным САПР Quartus Prime и лабораторные стенды miniDiLab (разработка КСПТ).

11. Критерии оценивания и оценочные средства

11.1. Критерии оценивания

Для дисциплины «Схемотехника цифровых устройств» формой аттестации является экзамен. Дисциплина реализуется с применением системы индивидуальных достижений.

Текущий контроль успеваемости

Максимальное значение персонального суммарного результата обучения (ПСРО) по приведенной шкале - 100 баллов

Максимальное количество баллов приведенной шкалы по результатам прохождения двух точек контроля - 80 баллов.

Подробное описание правил проведения текущего контроля с указанием баллов по каждому контрольному мероприятию и критериев выставления оценки размещается в СДО в навигационном курсе дисциплины.

Промежуточная аттестация по дисциплине

Максимальное количество баллов по результатам проведения аттестационного испытания в период промежуточной аттестации – 20 баллов приведенной шкалы.

Промежуточная аттестация по дисциплине проводится в соответствии с расписанием.

Студент должен продемонстрировать знание элементов вентильного уровня описания цифровых устройств и знание основных операционных устройств уровня регистровых передач. Ответ должен быть проиллюстрирован формальным синтезом, временными диаграммами и типовыми примерами использования операционных узлов.

Результаты промежуточной аттестации, определяются на основе баллов, набранных в рамках применения, СИД

Баллы по приведенной шкале в рамках применения СИД (ПСРО+ ПА)	Оценка по результатам промежуточной аттестации
	Экзамен/диф.зачет/зачет
0 - 60 баллов	Неудовлетворительно/не зачтено
61 - 75 баллов	Удовлетворительно/зачтено
76 - 89 баллов	Хорошо/зачтено

Баллы по приведенной шкале в рамках применения СИД (ПСРО+ ПА)	Оценка по результатам промежуточной аттестации
	Экзамен/диф.зачет/зачет
90 и более	Отлично/зачтено

11.2. Оценочные средства

Оценочные средства по дисциплине представлены в фонде оценочных средств, который является неотъемлемой частью основной образовательной программы и размещается в электронной информационно-образовательной среде СПбПУ на портале etk.spbstu.ru

12. Методические рекомендации по организации изучения дисциплины

Изучение дисциплины базируется на знаниях, полученных в курсах Дискретная математика и Основы вычислительной техники. Методика изложения базируется на основных уровнях описания цифровых устройств, захватывающих вентильный уровень и уровень регистровых передач функционально-логической части спецификации на цифровое устройство, и касается транзисторного уровня для понимания физико - конструкторской части спецификации. При изучении данной дисциплины важно показать взаимосвязанность различных способов описания функциональности цифровых устройств; выделить основные приемы построения цифровых устройств на базе типовых операционных узлов с примерами практических схемотехнических решений. Рассматриваются примеры типового использования операционных узлов для решения схемотехнических задач.

Изучение операционных устройств привязано к конкретным средствам проектирования и библиотекам, используемым в системах автоматизированного проектирования специализированных цифровых устройств. Рассматриваются основы работы в САПР Quartus Prime Inter Corp. и реализация базовых этапов маршрута проектирования. Рассматриваются правила проектирования, обеспечивающие бесшлейную работу цифровых устройств, основы временного анализа проектов на FPGA и основные средства системной отладки.

Проектирование основывается на занятии архитектуры используемых в лабораторных стенах FPGA Intel Corp. Выполнение лабораторных исследований обеспечивает связь модельных исследований с обязательной реализацией и отладкой устройства на лабораторном стенде. Задания на исследования параметризованы, что обеспечивает как творческую составляющую, так и элементы научных исследований.

Примерный список тестовых вопросов

1. Какая система логических элементов наиболее распространена?

- A ТТЛ
- Б КМОП
- С ЭСТЛ

2. Какое минимальное напряжение логической единицы на выходе логического элемента для LVTTL предусмотрено стандартом JEDEC?

- A +1,6 В
- Б +2,4 В
- В -0,8 В

3. Какой логический сигнал формируется при конфликте «жесткой» единицы и «мягкого» нуля?

- A «жесткая» единица
- Б «мягкая» единица
- В «мягкий» ноль
- Г значение сигнала не определено

4. Какой логический сигнал формируется при конфликте «жесткой» единицы и «жесткого» нуля?

- A «жесткая» единица
- Б «мягкая» единица
- В «мягкий» ноль
- Г значение сигнала не определено

5. Можно ли объединять выходы логических элементов, на входы которых поданы различные логические сигналы?

- A да, но только, если это выходы с открытым коллектором

Б безусловно да

В безусловно нет.

6. Что характеризует транспортная задержка во временной модели логического элемента?

А Интервал времени, с которым могут меняться входные сигналы

Б Скорость нарастания фронта или спада сигнала на выходе ЛЭ

В Задержку в появлении сигналов на выходе ЛЭ

7. Как изменяется энергопотребление в цифровых системах, выполненных по технологии КМОП с изменением тактовой частоты?

А Растет с увеличением тактовых частот

Б Остается неизменным

В Рост или уменьшение зависит от логической структуры проекта

8. Какие триггеры используются для построения сдвигающих регистров?

А Синхронизируемые перепадом

Б Синхронизируемые уровнем

В Асинхронные

9. Какие информационные входы приоритетны в триггерах с синхронными и асинхронными установками?

А Синхронные входы

Б Асинхронные входы

В Приоритеты одинаковы, при противоречиях возникает конфликт

10. Как меняется состояние D-триггера с асинхронными установками и прямым входом разрешения синхронизации, если на этот вход подан сигнал низкого уровня?

А Не меняется, пока на вход разрешения синхронизации не будет подан сигнал высокого уровня.

Б Устанавливается в соответствии с состоянием входа D

В Устанавливается в соответствии с состоянием входов асинхронной установки

11. Какой триггер, синхронизируемый перепадом, является универсальным?

А D-триггер

Б Т- триггер

В JK- триггер

12. Что характеризует время установки t_{su} во временной модели триггера?

А время задержки переключения триггера из нуля в единицу при подаче синхроимпульса

Б время, в течении которого сигнал на синхровходе должен удерживаться в состоянии высокого уровня

В время до момента подачи синхроимпульса, в течении которого сигналы на информационных входах должны быть стабильными.

13. Для чего используется конвейеризация цифровых устройств?

А Для повышения производительности (максимальных тактовых частот)

Б Для уменьшения аппаратурных затрат

В Для уменьшения задержки выходных сигналов

14. Какая минимальная длина критического пути может быть получена при реализации схемы формирования бита паритета для восьмиразрядного кода (в количестве логических элементов в пути)?

А 2

Б 3

В 8

15. Какая структурная организация счетчиков не обеспечивает синхронной установки состояния всех разрядов?

А Счетчик с параллельным переносом

Б Счетчик с последовательным переносом

В Счетчик со сквозным переносом

16. Двоичный счетчик с каким количеством разрядов требуется для организации счетчика с модулем счета 2009?

А 8

Б 10

В 11

17. Что такое «горячее включение цифрового устройства?

А Поспешная подача питания на непроверенное устройство.

Б Подача повышенного напряжения питания.

В Включение устройства при недопустимо высокой температуре окружающей среды.

Г Нарушение последовательности подачи напряжений питания и сигналов.

18. Укажите диапазон температур для интегральных микросхем промышленного класса исполнения.

А $-55..+85^{\circ}\text{C}$;

Б $0..+125^{\circ}\text{C}$;

В $-40..+85^{\circ}\text{C}$;

19. Какой сигнал X_2 следует подать на вход управления z-состоянием трехстабильного буфера с входом X_1 и выходом Y , чтобы его работа была эквивалентна работе буфера с открытым коллектором?

А $X_2 = X_1$;

Б $X_2 = nX_1$;

В $X_2 = Y$;

20. Как обеспечить сопряжение выхода логического элемента LVTTL с входом 5В КМОП?

А специальных средств для сопряжения не требуется;

Б выход LVTTL следует организовать как выход с z-состоянием;

В выход LV TTL следует организовать как выход с открытым коллектором с подтягивающим к 5В резистором;

21. В каком коде ведет подсчет импульсов реверсивный двоичный счетчик?

- A В прямом коде;
- Б В обратном коде;
- В В дополнительном коде;

22. Как определяется коэффициент деления K_d двоичного n-разрядного счетчика-делителя, управляемого кодом с синхронной загрузкой параллельного кода D[n-1..0], работающего на вычитание?

- A $K_d = 2^n - D[n-1..0];$
- Б $K_d = D[n-1..0];$
- В $K_d = D[n-1..0] + 1;$

23. Как определяется коэффициент деления K_d двоичного n-разрядного счетчика-делителя, управляемого кодом с синхронной загрузкой параллельного кода D[n-1..0], работающего на сложение?

- A $K_d = 2^n - D[n-1..0];$
- Б $K_d = D[n-1..0];$
- В $K_d = D[n-1..0] + 1;$

24. Можно ли на основе запоминающего устройства, у которого 8 разрядная шина адреса и 10 разрядная шина данных, реализовать конечный автомат, у которого 5 управляемых входов; 4 выхода; 13 состояний?

- А Да можно;
- Б Можно, только если это конечный автомат Мура;
- В Нет нельзя;

25. Можно ли строить многоразрядные двоично-десятичные счетчики, подключая счетчики тетрад по цепям *cin*, *cout*?

- А Да можно;

Б Можно, только для двух младших тетрад;

В Нет нельзя;

"Примерный список экзаменационных вопросов по курсу "Схемотехника операционных устройств""

1. Спецификация на цифровые устройства. Способы описания работы цифровых устройств, уровни описания. Типичный цикл проектирования ИС.
2. Цифровые электронные компоненты. Классификация цифровых ИС по конструкторско-технологическим признакам.
3. Основы технологии производства ИС. Транзисторная структура КМОП инвертора. Энергопотребление, быстродействие.
4. Классификация цифровых ИС по степени готовности к реализации пользовательской задачи. Классификация ПЛИС, выбор ИС для проекта.
5. Физический интерфейс логических сигналов. LVTTL, LVCMOS, LVDS.
6. Организация и правила включения ЛЭ.
7. Временные характеристики ЛЭ.
8. Триггеры, классификация. Таблица управления. Разрешение синхронизации, назначение, организация для D, T, JK триггеров.
9. Триггеры, логическая структура. Триггер - защелка. Триггер, синхронизируемый перепадом. Обоснование приоритетности асинхронных установок.
10. Временные характеристики триггеров. Регистровая передача, анализ максимальной тактовой частоты работы. Понятие конвейеризации.
11. Примеры использования триггеров: привязка асинхронных сигналов, согласование различных тактовых доменов, борьба с дребезгом механических контактов, асинхронное формирование коротких сигналов, формирование единичного импульса по фронту и спаду сигнала.
12. Счетчики, классификация. Описание портов счетчика. Сравнительный анализ структур счетчиков.
13. Синтез четырехразрядного двоичного счетчика. Параллельный, сквозной и последовательный переносы в счетчиках.
14. Организация реверсивных счетчиков, анализ вариантов. Устройство фильтрации коротких импульсов с использованием реверсивного счетчика.

15. Счетчики с недвоичным коэффициентом счета. Синтез счетчика-делителя на 5. Двоично-десятичный счетчик.
16. Организация счетчика с недвоичным коэффициентом счета с использованием входа синхронной установки в ноль.
17. Организация счетчика-делителя, управляемого кодом с синхронным сбросом и с синхронной загрузкой.
18. Организация преобразователя кода в число импульсов и преобразователя кода в частоту.
19. Широтно-импульсный модулятор. Основные характеристики.
20. Измерение длительности импульса и частоты сигналов.
21. Счетчика-умножитель (специализированный ПКЧ). Реализация арифметических операций на ПКЧ.
22. Регистры, назначение и классификация. Описание портов. Организация многоразрядных регистров на D-триггерах.
23. Синтез сдвигающего трехразрядного регистра. Организация реверсивного регистра.
Организация асинхронных операций.
24. Преобразование параллельного кода в последовательный на примере передатчика UART канала RS-232. Задачи, решаемые приемником UART.
25. Схема борьбы с импульсными помехами на регистрах и счетчике. Сравнительный анализ с устройством фильтрации коротких импульсов с использованием реверсивного счетчика
26. Регистры с обратными связями: распределитель импульсов, счетчик Джонсона.
27. Генератор псевдослучайных чисел. Примеры использования.
28. Физические уровни интерфейсов передачи данных. Самосинхронизирующиеся данные.
Организация последовательной синхронной передачи данных.
29. Преобразователи кодов, дешифраторы. Принципы построения дешифраторов. Варианты УГО.
30. Наращивание разрядности и конвейеризация дешифратора. Распределитель импульсов и демультиплексор на базе DC. Реализация логических функций с использованием DC.
31. Организация шифраторов с использованием DC. Приоритетный шифратор. Контроллер клавиатуры.
32. Мультиплексоры, Классификация, логическая структура. Организация на DC и ЛЭ с ОК.
Реализация логических функций на MS.
33. Наращивание разрядности мультиплексоров. Конвейеризация. Шифратор на базе MS.
Преобразование параллельного кода в последовательный на MS.
34. Организация динамической индикации для семисегментных и матричных индикаторов.
35. Подключение ОУ к ОШ, задача, средства. Организация работы устройств в режиме разделения времени и параллельной обработки.
36. Классификация комбинационных сумматоров. Логические основы построения комбинационных сумматоров. Организация многоразрядных комбинационных сумматоров. Сумматоры с коммутацией переноса. Сумматоры с управляющим переносом.

37. Накапливающий сумматор. Последовательный сумматор. Двоично-десятичный сумматор.
38. Мажоритарные схемы.
39. Компараторы. Классификация. Арифметическое и логическое сравнение на неравенство. Наращивание разрядности. Последовательный компаратор на неравенство.
40. Компараторы на равенство. Последовательный компаратор на равенство. Схемы контроля паритета.
41. Полупроводниковые ЗУ. Типы запоминающих устройств. Адресные ЗУ. Организация SRAM 2D, организация SRAM 3D.
42. Запоминающие элементы SRAM, DRAM, EEPROM. Статическая асинхронная память, циклы записи и чтения.
43. Общий принцип работы DDR памяти. Единичное чтение, последовательное чтение (burst).
44. Организация FIFO. FIFO в библиотеке Quartus. Использование для передачи данных между асинхронными тактовыми доменами.
45. Реализация на ЗУ распределителей импульсов, ЛФ, конечных автоматов Мили и Мура.
46. Формирование на ЗУ сигналов сложной формы (на примере Sin).
47. Анализ допуска для установки сигналов (Setup Slack) регистровой передачи.
48. Анализ допуска для удержания сигналов (Hold Slack) регистровой передачи.
49. Задание временных требований к синхронным входам (общий тактовый сигнал).
50. Задание временных требований к синхронным выходам (общий тактовый сигнал).
51. Задание временных требований к интерфейсам синхронных сигналов.
52. Нагрузочная модель. Характеристики формируемых сигналов. Влияние нагрузочной модели на временные характеристики FPGA.
53. Понятие временной верификации. Типы временных моделей. Типы списков соединений, терминология.
54. Временные характеристики триггеров. Анализ метастабильности в TimeQuest TA. Методы снижения интенсивности сбоев, вызванных метастабильностью.
55. Использование TimeQuest TA в маршруте проектирования цифрового устройства.

13. Адаптация рабочей программы для лиц с ОВЗ

Адаптированная программа разрабатывается при наличии заявления со стороны обучающегося (родителей, законных представителей) и медицинских показаний (рекомендациями психолого-медицинской-педагогической комиссии). Для инвалидов адаптированная образовательная программа разрабатывается в соответствии с индивидуальной программой реабилитации.