



**MÜHENDİSLİK ve DOĞA BİLİMLERİ FAKÜLTESİ
MEKATRONİK MÜHENDİSLİĞİ BÖLÜMÜ**

MANTIK DEVRELERİ

DENEY FÖYÜ

DENEY NO: 1

MANTIK KAPILARIN İNCELENMESİ

Doç. Dr. Gökhan GELEN

2019

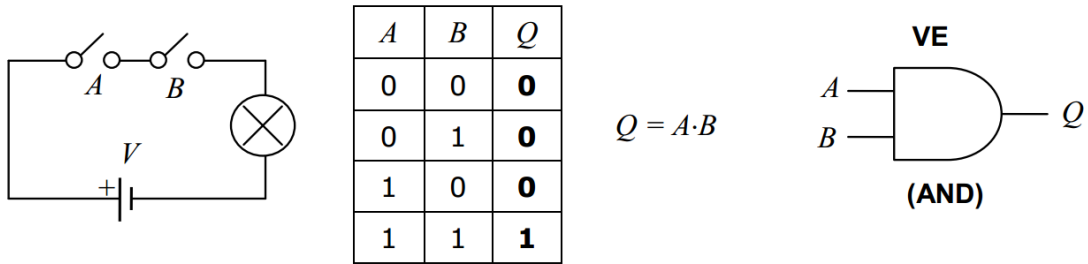
Deneyin Adı: Lojik Kapıların İncelenmesi

Deneyin Amacı: Temel kapı devrelerinin analiz edilmesi, çalışma prensiplerinin incelenmesi ve temel kapı işlemlerinin gerçekleştirilmesi.

Temel Bilgiler

VE (AND) Kapısı:

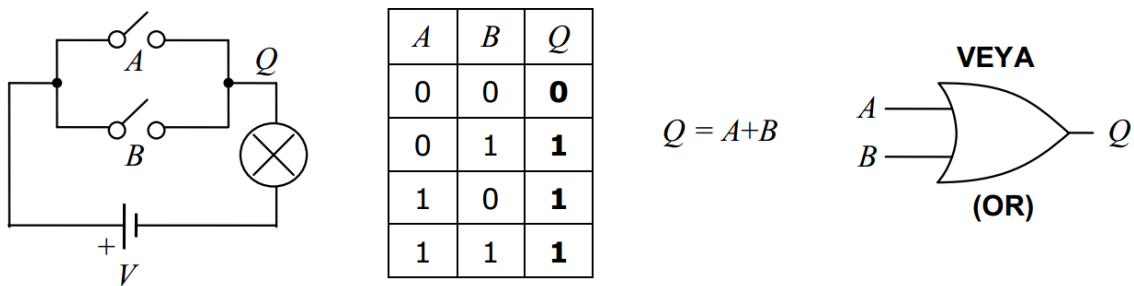
VE (AND) kapısının gerçekleştirdiği çarpma işlemi “.” veya “*” işareti ile gösterilir ve kapının yaptığı işlem $Q=A \cdot B$ şeklinde tanımlanır. Normal çarpma işleminin gerçekleştirildiği VE işleminde, giriş değişkenlerinin her hangi birinin 0 değerini alması ile çıkış 0 değerini alırken, girişlerin hepsinin 1 olması durumunda çıkışta 1 değerini alır. Bu durum giriş değişkeni ikiden fazla olan VE kapıları içinde geçerlidir. ($Q=A \cdot B \cdot C$)



Şekil 1.1. “VE” kapısı elektriksel eşdeğer devresi, doğruluk tablosu, lojik fonksiyonu ve sembolü

VEYA (OR) Kapısı:

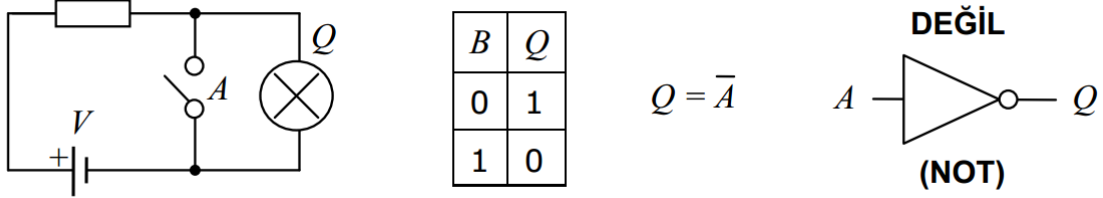
VEYA (OR) işlemine tabi tutulan A ve B değişkenleri, aşağıda görülen doğruluk tablosundaki işlemleri gerçekleştirir. VEYA işleminin diğer toplama işlemlerinden farkı, iki değişkenli sistemde her iki girişin 1 olması durumunda çıkışın $1+1=1$ olmasıdır. Q eşit A veya B olarak ifade edilen çıkış ifadesinin 1 olması için, girişlerden herhangi birinin 1 olması yeterlidir.



Şekil 1.2. “VEYA” kapısı elektriksel eşdeğer devresi, doğruluk tablosu, lojik fonksiyonu ve sembolü

DEĞİL Kapısı (NOT, Inverter)

DEĞİL kapısı, girişindeki mantıksal değeri tersine çevirir. Girişteki işaretin lojik 1 seviyesinde olması durumunda çıkış lojik 0 seviyesinde, lojik 0 seviyesinde olması durumunda ise çıkış lojik 1 seviyesinde olur.

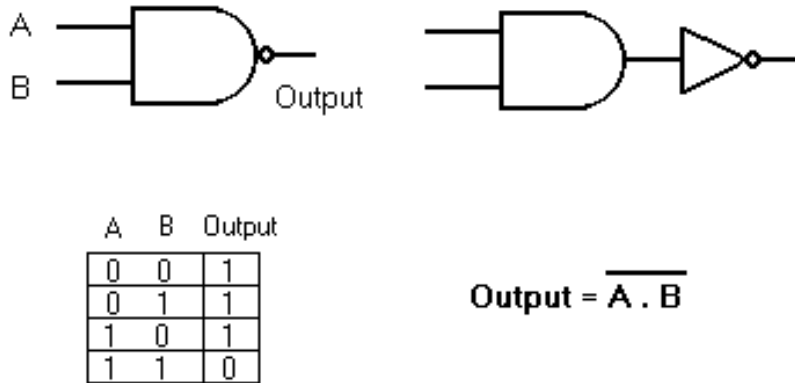


Şekil 1.3. “DEĞİL” kapısı elektriksel eşdeğer devresi, doğruluk tablosu, lojik fonksiyonu ve sembolü

KOMBİNASYONLU KAPI TÜREVLERİ

VE-DEĞİL kapısı (NAND)

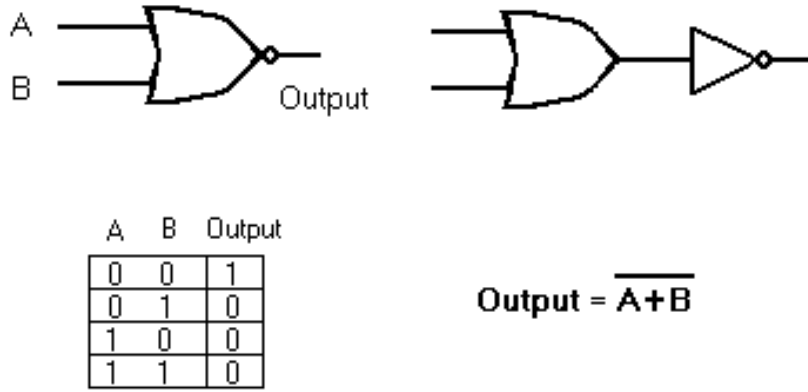
Lojik 'de yaygın olarak kullanılan diğer bir kapı ‘VE’ ile ‘DEĞİL’ kapılarının (işlemlerinin) birleşmesinden oluşan ‘VEDEĞİL’ (NAND) kapısıdır.



Şekil 1.4. “VE DEĞİL” kapısı doğruluk tablosu, lojik fonksiyonu ve sembolü

VEYA –DEĞİL (NOR)

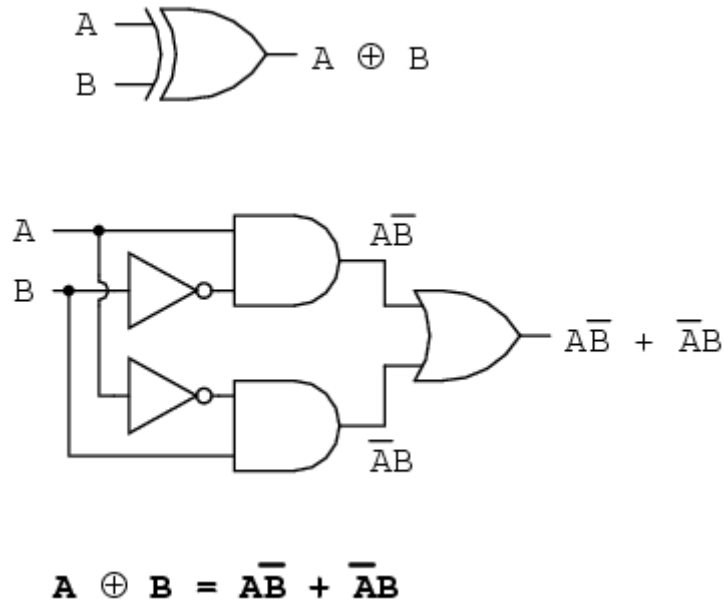
VEYADEĞİL kapısı, elektronikte, girilen iki ya da daha çok değerlerin toplanmasını sağlayan ve sonucun tersini alan kapıdır. Buna veya değil kapısı (NOR gate) denir. VEYADEĞİL Kapısı, sadece tüm girişleri 0 ise 1 verir, diğer tüm hallerde 0 verir.



Şekil 1.5. “VEYA DEĞİL” kapısı doğruluk tablosu, lojik fonksiyonu ve sembolü

EXOR Kapısı

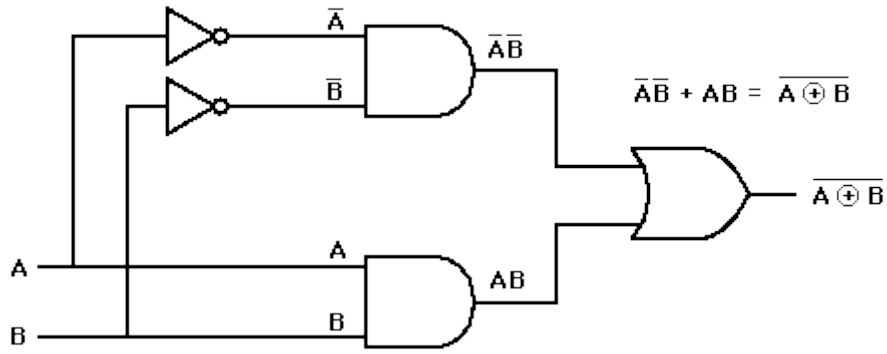
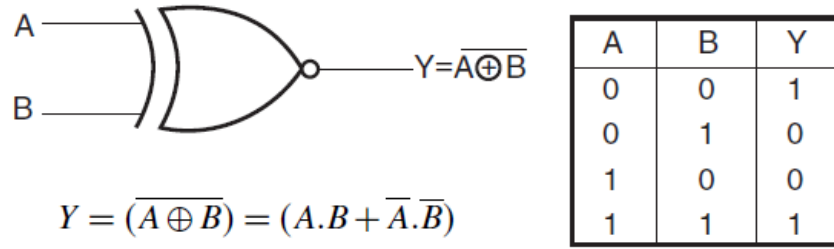
EXOR (Exclusive OR) Kapısı, girişindeki işaretler birbirinden farklı olduğu zaman çıkış olarak 1 verir, diğer tüm hallerde 0 verir. XOR kapısının Boole Cebiri eşitliği; $A \text{ xor } B = A'B + AB'$ şeklindedir.



Şekil 1.6. “XOR” kapısı lojik fonksiyonu ve sembolü

EXNOR Kapısı

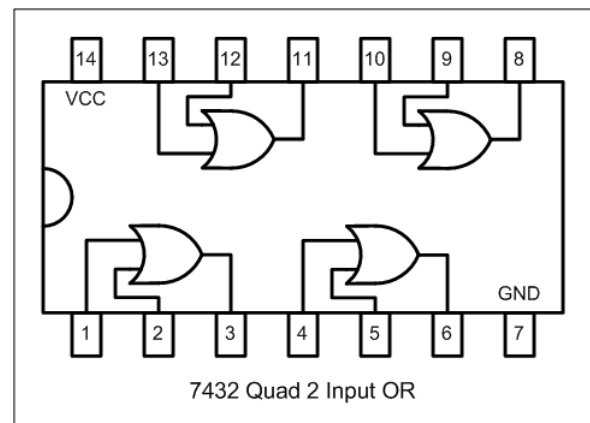
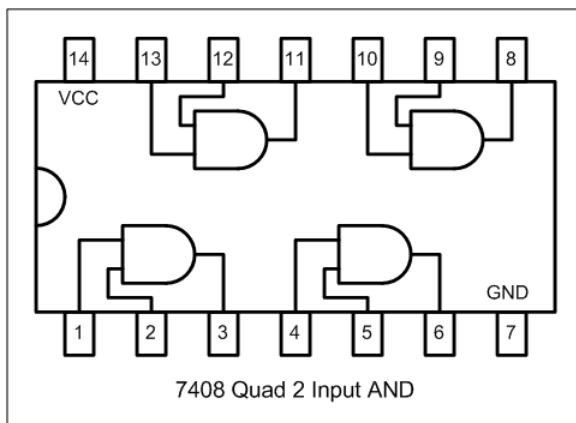
EXNOR / NXOR Kapısı, XOR kapısının sonucunun tersini üretir. Sadece bir girişi 1 olduğunda 0 cevabı verir; diğer tüm durumlarda ise 1 cevabını verir.

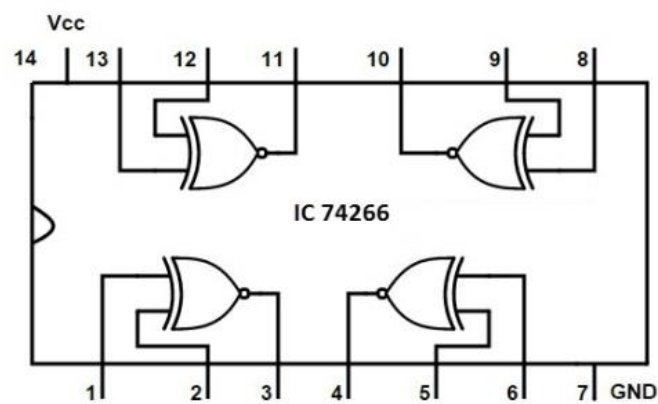
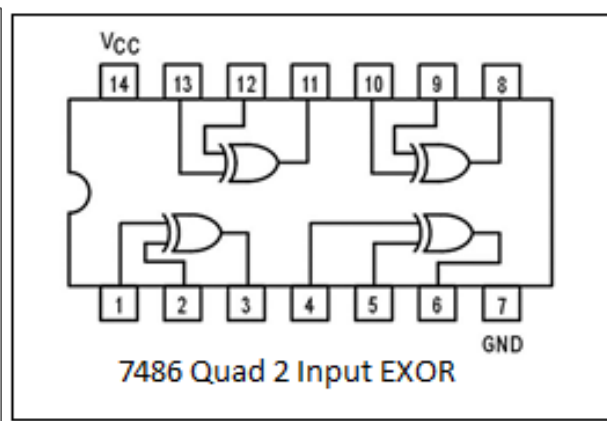
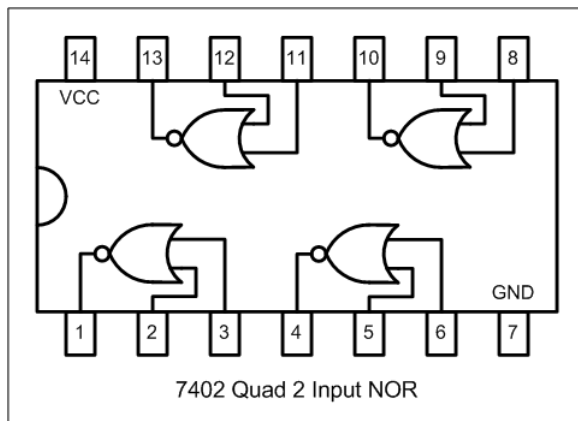
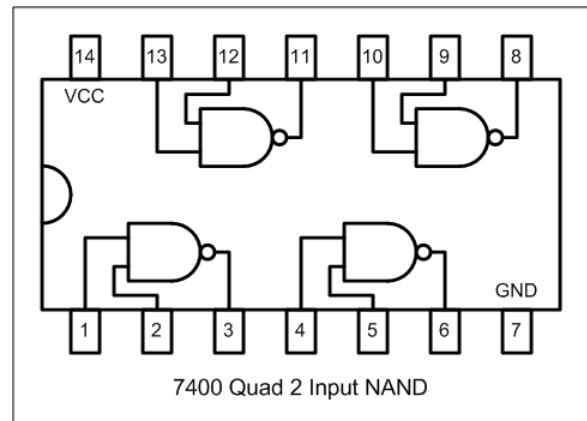
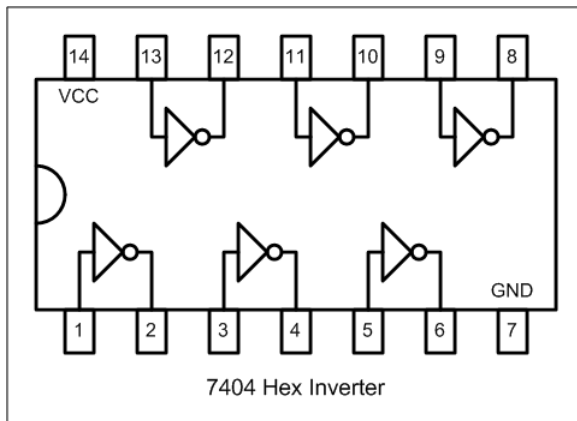


Şekil 1.7. “XNOR” kapısı lojik fonksiyonu ve sembolü

Deneyde Kullanılacak Entegreler ve İç Bağlantıları

| | | |
|-------|--------------|--------|
| 7408 | AND Kapısı | 1 Adet |
| 7432 | OR Kapısı | 1 Adet |
| 7404 | Not Kapısı | 1 Adet |
| 7400 | NAND Kapısı | 1 Adet |
| 7402 | NOR Kapısı | 1 Adet |
| 7486 | X-OR | 1 Adet |
| 74266 | X-NOR Kapısı | 1 Adet |

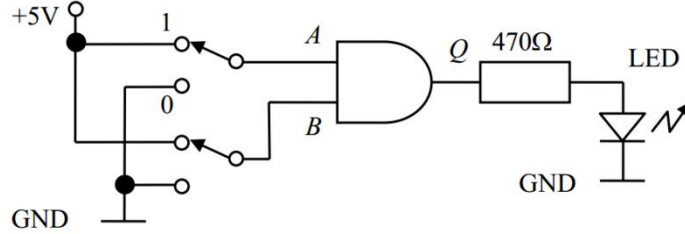




DENEY ÇALIŞMALARI

Deney 1: VE (AND) Kapısı Deneyi

Şekil 6.1’de verilen devreyi 7408 tüm devresini kullanarak kurunuz. Giriş anahtarlarından A ve B değişkenlerine “0” ve “1” girişlerini vererek AND kapısının doğruluk tablosunu oluşturunuz. Çıkış gerilimini Voltmetre ile ölçünüz.



Şekil 6.1. VE Kapısı

| Girişler | | Çıkış (Hesaplanan) $Q=A.B$ | Çıkış gerilim V_Q (Ölçülen)(Volt) $Q=A.B$ | LED durumu (ON/OFF) |
|----------|---|----------------------------------|---|------------------------|
| A | B | | | |
| 0 | 0 | | | |
| 0 | 1 | | | |
| 1 | 0 | | | |
| 1 | 1 | | | |

Tablo 6.1. VE Kapısı Doğruluk Tablosu

Deney 2: VE-DEĞİL (NAND) Kapısı Deneyi

Şekil 6.1’de verilen devredeki 7408 yerine 7400 tüm devresini kullanarak devreyi tekrar kurunuz. Sonuçları Tablo 6.2’ye kaydediniz ve hesaplanan değerler ile karşılaştırınız.

| Girişler | | Çıkış (Hesaplanan) | Çıkış gerilim V_Q (Ölçülen)(Volt) | LED durumu (ON/OFF) |
|----------|---|-----------------------|--|------------------------|
| A | B | | | |
| 0 | 0 | | | |
| 0 | 1 | | | |
| 1 | 0 | | | |
| 1 | 1 | | | |

Tablo 6.2. VE-DEĞİL Kapısı Doğruluk Tablosu

Deney 3: Tersleyici (INVERTER, NOT) Kapısı Devresi

Şekil 6.1’de verilen devredeki 7408 yerine 7404 tüm devresini kullanarak devreyi tekrar kurunuz. Sonuçları Tablo 6.3’e kaydediniz ve hesaplanan değerler ile karşılaştırınız.

| Girişler (A) | Çıkış Q (Hesaplanan) | Çıkış Q (Ölçülen) | LED durumu (ON/OFF) |
|-----------------|-------------------------|----------------------|------------------------|
| 0 | | | |
| 1 | | | |

Tablo 6.3. TERSLEYİCİ Kapısı Doğruluk Tablosu

Deney 4: VEYA (OR) Kapısı Deneyi

Şekil 6.1’de verilen devredeki 7408 yerine 7432 tüm devresini kullanarak devreyi tekrar kurunuz. Sonuçları Tablo 6.4’e kaydediniz ve hesaplanan değerler ile karşılaştırınız.

| Girişler | | Çıkış (Hesaplanan) | Çıkış gerilim V_Q (Ölçülen)(Volt) | LED durumu (ON/OFF) |
|----------|---|-----------------------|--|------------------------|
| A | B | | | |
| 0 | 0 | | | |
| 0 | 1 | | | |
| 1 | 0 | | | |
| 1 | 1 | | | |

Tablo 6.4. VEYA Kapısı Doğruluk Tablosu

Deney 5: VEYA DEĞİL (NOR) Kapısı Deneyi

Şekil 6.1’de verilen devredeki 7408 yerine 7402 tüm devresini kullanarak devreyi tekrar kurunuz. Sonuçları Tablo 6.5’e kaydediniz ve hesaplanan değerler ile karşılaştırınız.

| Girişler | | Çıkış (Hesaplanan) | Çıkış (Ölçülen) | LED durumu (ON/OFF) |
|----------|---|-----------------------|--------------------|------------------------|
| A | B | $Q=(A+B)'$ | $Q=(A+B)'$ | |
| 0 | 0 | | | |
| 0 | 1 | | | |
| 1 | 0 | | | |
| 1 | 1 | | | |

Tablo 6.5. VEYA DEĞİL Kapısı Doğruluk Tablosu

Deney 6: ÖZEL VEYA (X-OR, EXCLUSIVE-OR) Kapısı Deneyi

Şekil 6.1’de verilen devredeki 7408 yerine 7486 tüm devresini kullanarak devreyi tekrar kurunuz. Sonuçları Tablo 6.6’ya kaydediniz ve hesaplanan değerler ile karşılaştırınız.

| Girişler | | Çıkış (Hesaplanan) | Çıkış (Ölçülen) |
|----------|---|-----------------------|--------------------|
| A | B | $Q=A \oplus B$ | $Q=A \oplus B$ |
| 0 | 0 | | |
| 0 | 1 | | |
| 1 | 0 | | |
| 1 | 1 | | |

Tablo 6.6. ÖZEL VEYA Kapısı Doğruluk Tablosu

Deney 7: ÖZEL-VEYADEĞİL (Exclusive NOR) Kapısı Deneyi

Şekil 6.1’de verilen devredeki 7408 yerine 74266 tüm devresini kullanarak devreyi tekrar kurunuz. Sonuçları Tablo 6.7’ye kaydediniz ve hesaplanan değerler ile karşılaştırınız.

| Girişler | | Çıkış (Hesaplanan) | Çıkış (Ölçülen) |
|----------|---|-----------------------------|-----------------------------|
| A | B | $Q=(A \oplus B)'=A \odot B$ | $Q=(A \oplus B)'=A \odot B$ |
| 0 | 0 | | |
| 0 | 1 | | |
| 1 | 0 | | |
| 1 | 1 | | |

Tablo 6.7. ÖZEL VEYA DEĞİL Kapısı Doğruluk Tablosu

ÖDEV ARAŞTIRMA SORU ve UYGULAMALARI

1. Temel lojik fonksiyonları VENN diyagramları ile açıklayınız.
2. Entegre devre teknolojileri hakkında bilgi veriniz.
3. Aynı devrede farklı teknolojide üretilmiş lojik kapıların kullanılması durumunda (TTL ve CMOS) birbirlerine nasıl bağlanırlar. Açıklayınız.