

Dokumentation

Radike, Sauer, Wolf

March 18, 2021

Version	Datum	Autor	Änderungsgrund/Bemerkungen
1.0	11.2.2021	Sauer Lukas	Erstellung
1.1	25.2.2021	Sauer Lukas	intADC
1.3	18.3.2021	Sauer Lukas	Vorwort & ADC-PCB & ext. ADC

Contents

1	Vorwort	3
1.1	Projektübersicht	3
1.2	Projektgruppe	3
1.3	Projektbetreuer	4
2	Entwicklung	4
2.1	Top-Level-Design-Unit Grundstruktur	4
2.1.1	Projektteilbereich Übersicht	4
2.2	Verwendung der internen ADCs	4
2.2.1	Projektteilbereich Übersicht	4
2.2.2	ADC Hardware	4
2.2.3	VHDL Implementierung	6
2.3	ADC-PCB "Prototype 1"	6
2.3.1	Projektteilbereich Übersicht	6
2.3.2	Schaltplan	6
2.3.3	PCB	7
2.4	externer ADC	7
2.4.1	Projektteilbereich Übersicht	8
2.4.2	LTC1420C technische Merkmale	8
2.4.3	VHDL Implementierung	8
2.4.4	erste Testversuche	8
3	verwendete Messgeräte & Entwicklungsboards	9
3.1	DE10-Lite Board	9
3.2	Oszilloskop 1	9
4	Quellen und Hilfsmittel	10


1 Vorwort

1.1 Projektübersicht

Im Projekt Oszi wird ein Oszilloskop mittels eines FPGAs zu realisieren. Das Oszilloskop soll ein Frequenzband von 0Hz bis 500kHz einlesen und einen Spannungsbereich von -20V bis +20V abdecken. Die Spannungskurve soll über ein Computerprogramm graphisch ausgegeben werden. Über das Programm soll ebenfalls der Spannungs- und Zeitbereich der Ausgabe einzustellen sein. Das Oszilloskop solle triggerbar sein und Tastköpfe kalibrieren können. Das Projekt besteht aus drei Aufgabenbereichen, dem Analog-Front-End, der Datenverarbeitung mit dem FPGA und der Ausgabe am PC.

1.2 Projektgruppe

Das Team entstand im Zuge des Sommersemester-Projekts in der 4. Schulstufe am TGM. Gleiche Interessen, gutes technisches Wissen und Verständnis, sowie eine gute Harmonie unter den Gruppenmitgliedern führte zum Zusammenschluss. Die Projektgruppe ist geschlossen aus einer Klasse, der 4AHEL 2021 am TGM.

Projektteilnehmer		
Radike Markus	Sauer Sauer	Wolf Benedict
Bild 1		bild 3
user interface	digital data processing	analog front end

1.3 Projektbetreuer

Fachbereich	Lehrperson
Labor	GRÄBNER Kar-Heinz
Werkstatt	GRAUPE Andreas

2 Entwicklung

2.1 Top-Level-Design-Unit Grundstruktur

2.1.1 Projektteilbereich Übersicht

2.2 Verwendung der internen ADCs

2.2.1 Projektteilbereich Übersicht

Die im DE10-Lite Board integrierten ADCs werden versucht am Anfang des Projektes anzusteuern und vorläufig, bevor ein Piggyback mit einem externen ADC vorhanden ist, zu verwenden. **Dieser erste Schritt ist fehlgeschlagen, da die Verwendung der ADCs nur mit einem eingebetteten Nios-Prozessor möglich ist.** Die Implementierung eines solchen komplexen Bausteins würde die zeitlichen Grenzen maßlos überschreiten und ist auch nicht Ziel des Projekts. Die geleistete Arbeit ist trotzdem dokumentiert und auf den folgenden Seiten enthalten.

Das Board hat 6 integrierte ADCs. Diese sind mit einer Bandbreite von 12 Bit und einer Sampling-Frequenz von 10 MHz spezifiziert und haben eine Verstärkerschaltung vorgeschaltet. Eine analoge Eingangsspannung von 0-5V ist zulässig. Quartus-Prime bietet bereits fertige IP-Cores zur erleichterten Implementierung an.

2.2.2 ADC Hardware

Die auf dem Chip *MAX 10 10M50DAF484C7G* realisierten 6 ADCs werden verwendet, so ist kein extra Chip für die Analog-Digital-Wandlung notwendig. Diese ADCs haben eine Auflösung von 12 Bit, eine ADC Clock-frequency von 10MHz und verwenden die interne Referenzspannung von 2,5V. Herausgeführt sind die ADC-Pins **indirekt** an den sogenannten Arduino-Pins, wie in Abbildung 1 zu sehen. Das "analog Front-End" enthält einen Vorverstärker, realisiert mittels OPV, der grundsätzlich die Aufgabe hat die Spannung zu halbieren. Somit werden die maximal zulässigen 5V auf 2,5V heruntergeregelt, welche die Referenzspannung des ADCs ist und diesen so nicht übersteuert. Die Transitfrequenz des MCP6244 liegt bei 550kHz. Bei 10MHz

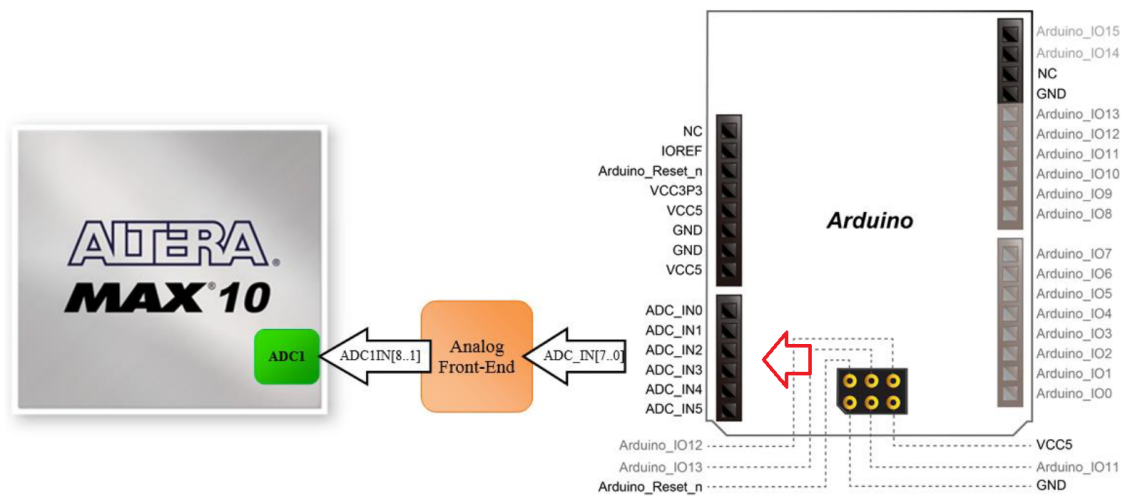


Figure 1: Blockschaltbild

geht sich eine Verstärkung von 0,5 knapp aus, was jedoch wenig Bedeutung hat, da die Frequenz der Eingangssignale, aufgrund der Abtastrate von 10MSa/s, ohnehin kleiner sein muss.

Wie in dem Schaltplanausschnitt (aus FPGA-Schaltplan: 4) in Abbildung 2 zu sehen, sind auch Kondensatoren vorhanden. Das Verhalten im Frequenzbereich wurde mithilfe von LtSpice analysiert. Da der originale OPV im Simulationsprogramm nicht spezifiziert ist, wurde der sehr ähnliche AD8038 verwendet.

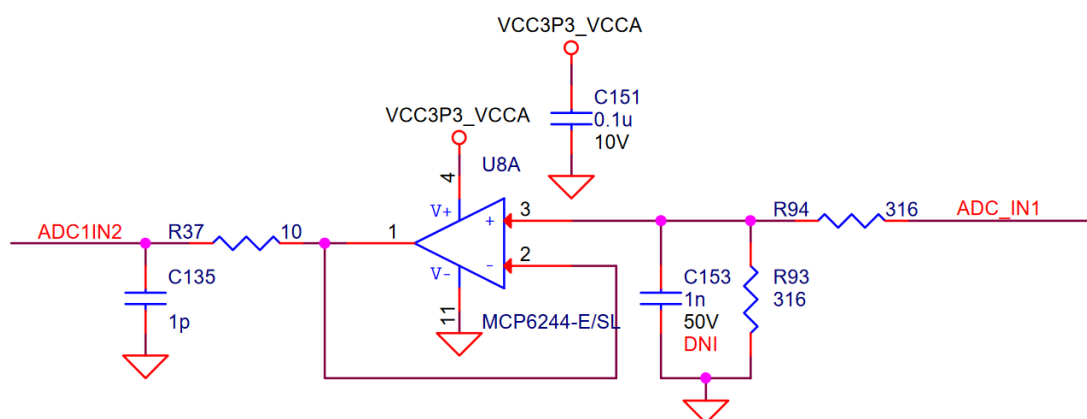


Figure 2: analog Front-End Ch1

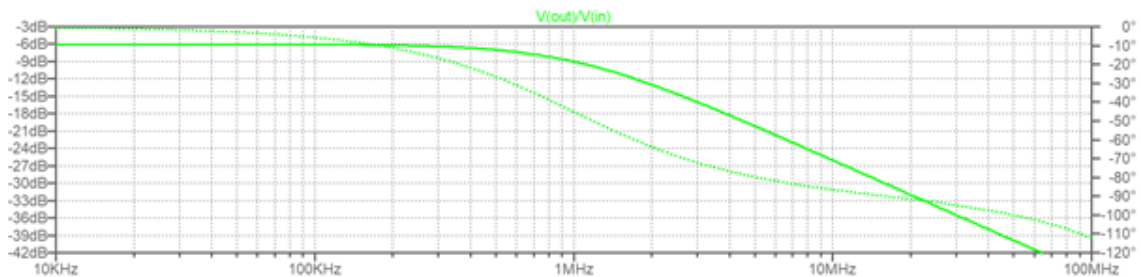


Figure 3: Bodediagramm Vorverstärker

Im Bodediagramm (Figure: 3) ist die Verstärkung von $\frac{1}{2} = -6dB$ gut zu erkennen. Der Abfall von -20 dB pro Dekade beweist die 1. Ordnung. Die Grenzfrequenz (hierbei -9dB) liegt bei 997kHz. Das ist locker ausreichend, da die Frequenz der Eingangssignale aufgrund der Abtastrate von 10MSa/s sowieso niedriger ist.

2.2.3 VHDL Implementierung

Es wurde mit verschiedenen IP-Cores von Quartus versucht die ADCs anzusteuern. Eine Implementierung mit dem IP-Core "Modular ADC core Intel FPGA IP" über das "Avalon"-Interface wurde probiert, schlug jedoch fehl, da der "Fitter" von Quartus Prime nicht für eine Ansteuerung ohne Nios-Prozessor ausgelegt ist. **Fazit:** Die internen ADCs im DE10-Lite Board können nur mit einem eingebetteten Nios Prozessor verwendet werden.

2.3 ADC-PCB "Prototype 1"

2.3.1 Projektteilbereich Übersicht

Zum Testen und erstmaligen Ansteuern des externen ADCs (siehe: 2.4) wurde ein extra PCB angefertigt. Der Schaltplan und das Platinenlayout wurden in KiCad gezeichnet, die Gerberdateien exportiert und die Platine anschließend mithilfe einer CNC-Fräsmaschine gefertigt. Das Löten von sehr kleinen SMD-Bauteilen war neu für uns und wir freuten uns das dazuzulernen. Unterstützung bekam die Projektgruppe von Prof. Graupe.

2.3.2 Schaltplan

Der Schaltplan (Figure: 4) wurde möglichst simpel gehalten, es befindet sich ausschließlich der ADC mit seinen obligatorischen Stützkondensatoren auf der Platine und Pinheader zum Anschließen, sowie ein Eingangswiderstand

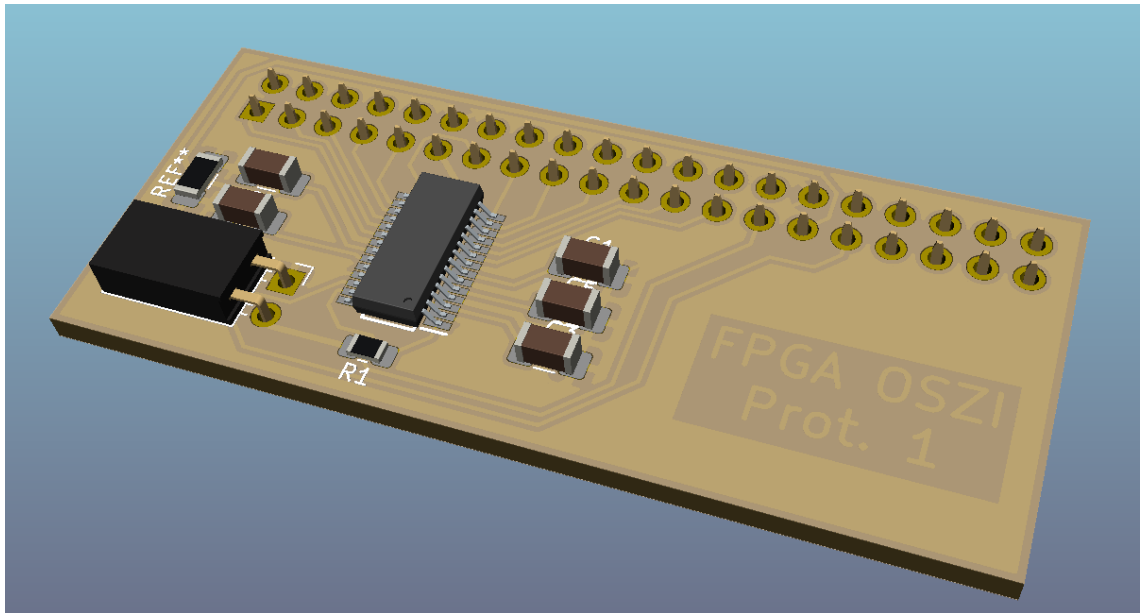


Figure 5: 3D-Ansicht Vorderseite

2.4.1 Projektteilbereich Übersicht

Die Wahl des externen ADCs ist auf den LTC1420C gefallen. Dieser besitzt eine Auflösung von 12-Bit bei einer Abtastrate von 10MSa/s. Ausgelesen werden die Messwerte vom FPGA parallel über 12 digitale Ausgänge. Der ADC benötigt keine Referenzspannung, da diese intern erzeugt wird, jedoch eine Clock von 10Mhz muss bereit gestellt werden.

2.4.2 LTC1420C technische Merkmale

Das Datenblatt wurde unter den Quellen verlinkt, siehe 4

2.4.3 VHDL Implementierung

2.4.4 erste Testversuche

Für die ersten Testversuche wurde das *Oszilloskop 1 (3.2)* verwendet.

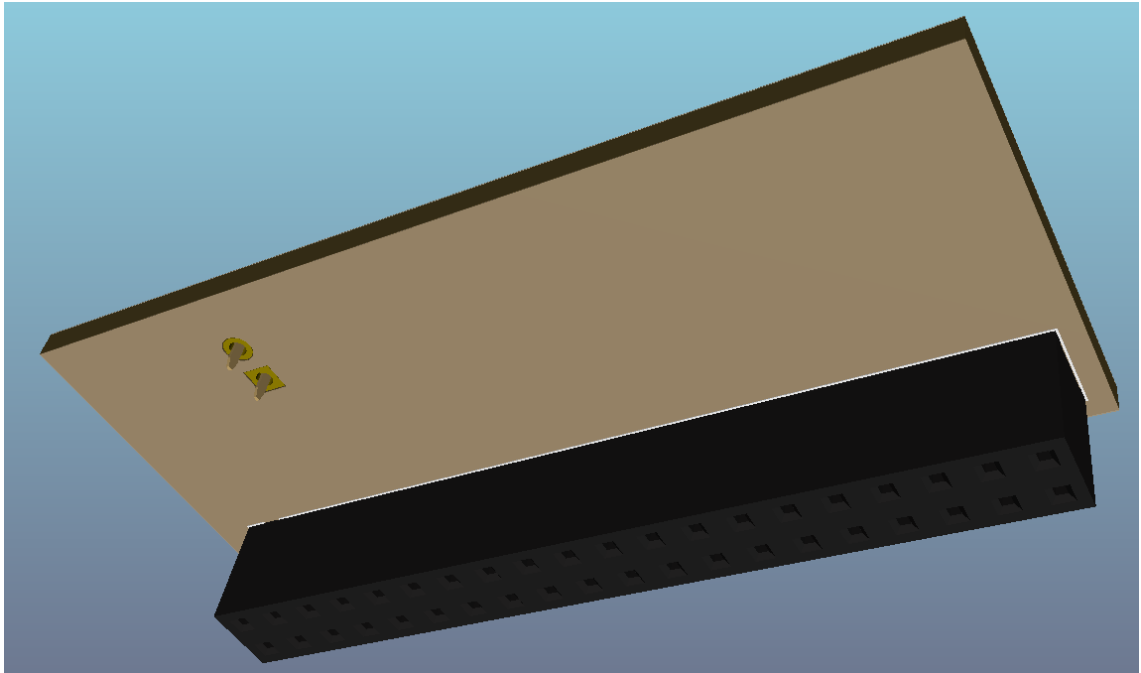


Figure 6: 3D-Ansicht Rückseite

3 verwendete Messgeräte & Entwicklungsboards

3.1 DE10-Lite Board

Seriennummer und Produktnummer ect. + Foto

3.2 Oszilloskop 1

Art	Oszilloskop	Foto
Produktnummer	HM1507-2	
Seriennummer	/	
TGM Inv. Nr.	540-16/22/99	
Beschreibung	digitales Oszilloskop 2 Channel 150 MHz / 200 MSa/s Röhrenbildschirm	

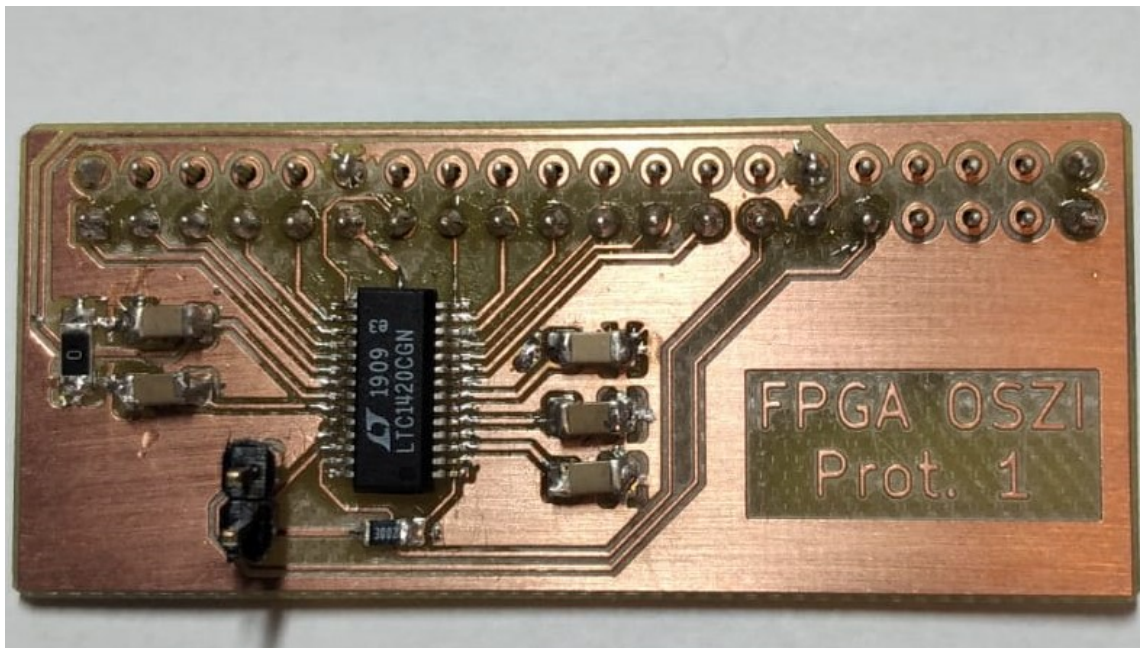


Figure 7: Fotografie fertige Platine

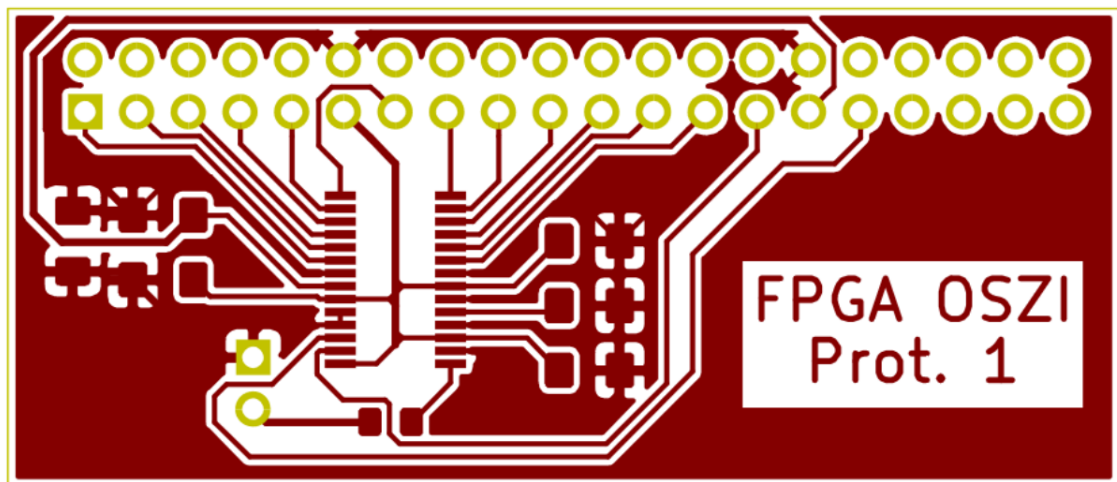


Figure 8: Kupferlayout Vorderseite

4 Quellen und Hilfsmittel

Verwendung des DE10-Lite-Boards & VHDL-Programmierung:

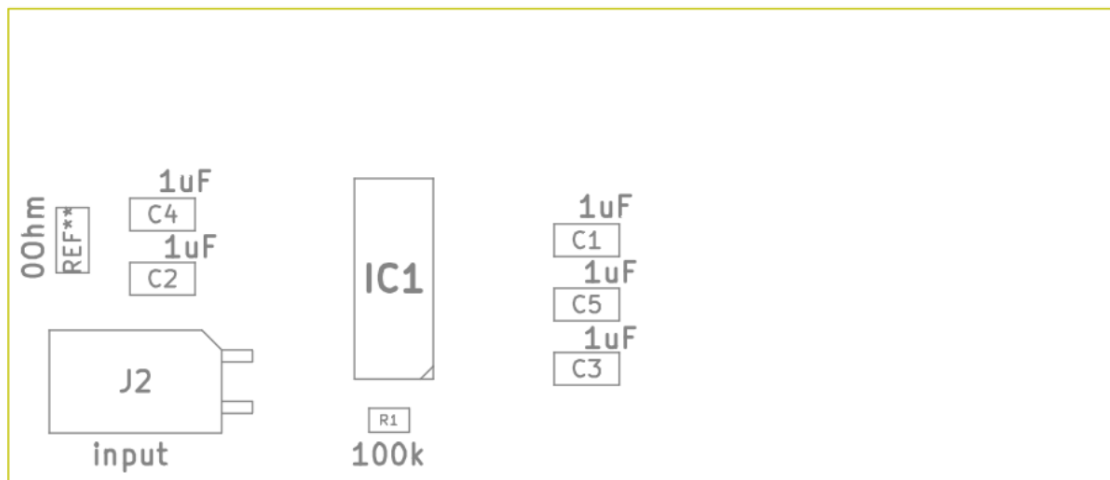


Figure 9: Bestückungsplan Vorderseite

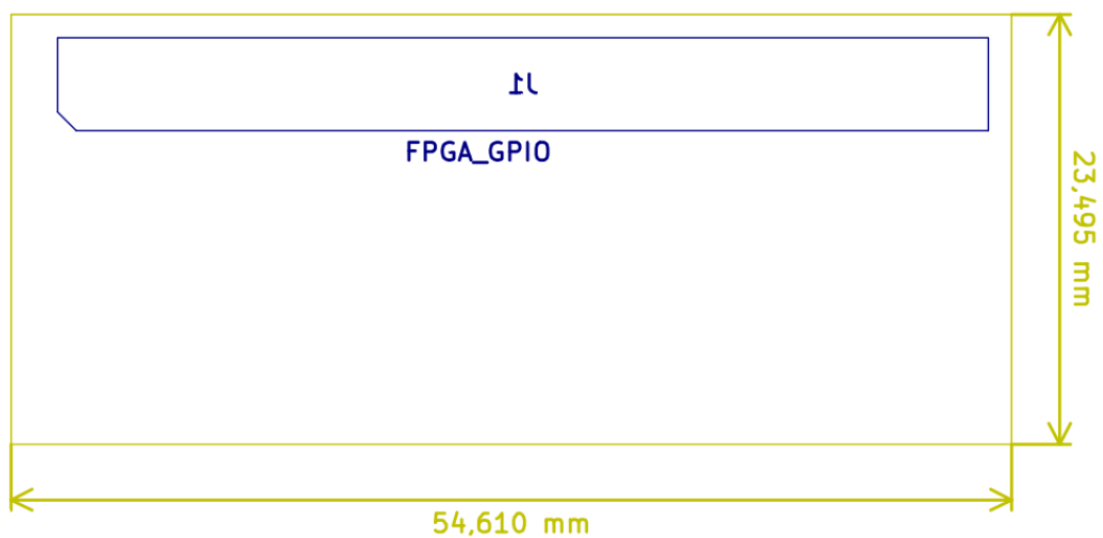


Figure 10: Bestückungsplan Rückseite & Bemaßung

- Übersicht: DE10-Lite-Board: DE10-Lite_v.2.1.0_SystemCD: DE10-Lite_User_Manual.pdf
- Schaltplan: DE10-Lite-Board: DE10-Lite_v.2.1.0_SystemCD: de10-lite.pdf
- VHDL-Spezifikation: <https://www.nandland.com>

Datenblätter:

- **LTC1420C:** <https://www.analog.com/media/en/technical-documentation/data-sheets/1420fa.pdf>