

# Dokumentation

Radike, Sauer, Wolf

March 18, 2021

Version	Datum	Autor	Änderungsgrund/Bemerkungen
1.0	11.2.2021	Sauer Lukas	Erstellung
1.1	25.2.2021	Sauer Lukas	intADC
1.3	18.3.2021	Sauer Lukas	Erstellung Vorwort & ext. ADC


# Contents

# 1 Vorwort

## 1.1 Projektübersicht

## 1.2 Projektgruppe

Das Team entstand im Zuge des Sommersemester-Projekts in der 4. Schulstufe am TGM. Gleiche Interessen, gutes technisches Wissen und Verständnis, sowie eine gute Harmonie unter den Gruppenmitgliedern führte zum Zusammenschluss. Die Projektgruppe ist geschlossen aus einer Klasse, der 4AHEL 2021 am TGM.

Projektteilnehmer		
Radike Markus	Sauer Sauer	Wolf Benedict
Bild 1		bild 3
user interface	digital data processing	analog front end

## 1.3 Projektbetreuer

# 2 Entwicklung

## 2.1 Verwendung der internen ADCs

### 2.1.1 Projektteilbereich Übersicht

Die im DE10-Lite Board integrierten ADCs werden versucht am Anfang des Projektes anzusteuern und vorläufig, bevor ein Piggyback mit einem externen ADC vorhanden ist, zu verwenden. **Dieser erste Schritt ist fehlgeschlagen, da die Verwendung der ADCs nur mit einem eingebetteten**

**Nios-Prozessor möglich ist.** Die Implementierung eines solchen komplexen Bausteins würde die zeitlichen Grenzen maßlos überschreiten und ist auch nicht Ziel des Projekts. Die geleistete Arbeit ist trotzdem dokumentiert und auf den folgenden Seiten enthalten.

Das Board hat 6 integrierte ADCs. Diese sind mit einer Bandbreite von 12 Bit und einer Sampling-Frequenz von 10 MHz spezifiziert und haben eine Verstärkerschaltung vorgeschaltet. Eine analoge Eingangsspannung von 0-5V ist zulässig. Quartus-Prime bietet bereits fertige IP-Cores zur erleichterten Implementierung an.

### 2.1.2 ADC Hardware

Die auf dem Chip *MAX 10 10M50DAF484C7G* realisierten 6 ADCs werden verwendet, so ist kein extra Chip für die Analog-Digital-Wandlung notwendig. Diese ADCs haben eine Auflösung von 12 Bit, eine ADC Clock-frequency von 10MHz und verwenden die interne Referenzspannung von 2,5V. Herausgeführt sind die ADC-Pins **indirekt** an den sogenannten Arduino-Pins, wie in Abbildung ?? zu sehen. Das "analog Front-End" enthält einen Vorverstärker,

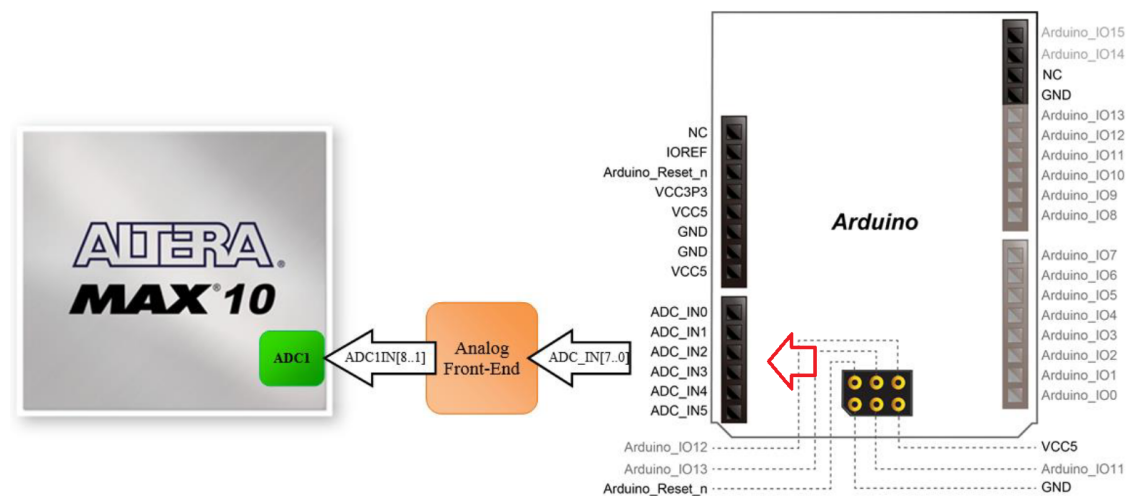


Figure 1: Blockschaltbild

realisiert mittels OPV, der grundsätzlich die Aufgabe hat die Spannung zu halbieren. Somit werden die maximal zulässigen 5V auf 2,5V heruntergeregt, welche die Referenzspannung des ADCs ist und diesen so nicht übersteuert. Die Transitfrequenz des MCP6244 liegt bei 550kHz. Bei 10MHz geht sich eine Verstärkung von 0,5 knapp aus, was jedoch wenig Bedeu-

tung hat, da die Frequenz der Eingangssignale, aufgrund der Abtastrate von 10MSa/s, ohnehin kleiner sein muss.

Wie in dem Schaltplanausschnitt (aus FPGA-Schaltplan: ??) in Abbildung ?? zu sehen, sind auch Kondensatoren vorhanden. Das Verhalten im Frequenzbereich wurde mithilfe von LtSpice analysiert. Da der originale OPV im Simulationsprogramm nicht spezifiziert ist, wurde der sehr ähnliche AD8038 verwendet.

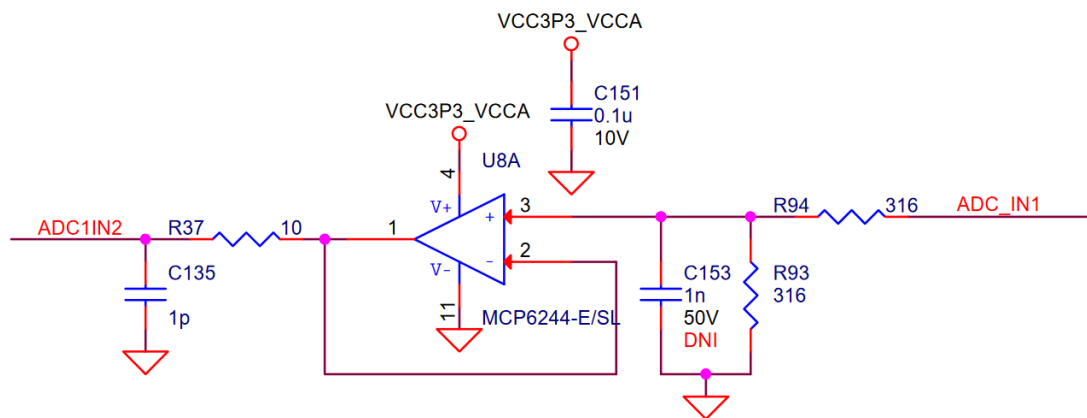


Figure 2: analog Front-End Ch1

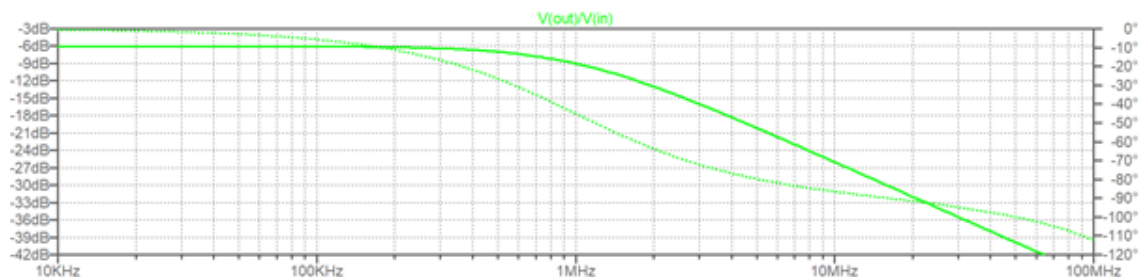


Figure 3: Bodediagramm Vorverstärker

Im Bodediagramm (Figure: ??) ist die Verstärkung von  $\frac{1}{2} = -6dB$  gut zu erkennen. Der Abfall von -20 dB pro Dekade beweist die 1. Ordnung. Die Grenzfrequenz (hierbei -9dB) liegt bei 997kHz. Das ist locker ausreichend, da die Frequenz der Eingangssignale aufgrund der Abtastrate von 10MSa/s sowieso niedriger ist.

### 2.1.3 VHDL Implementierung

Es wurde mit verschiedenen IP-Cores von Quartus versucht die ADCs anzusteuern. Eine Implementierung mit dem IP-Core "Modular ADC core Intel FPGA IP" über das "Avalon"-Interface wurde probiert, schlug jedoch fehl, da der "Fitter" von Quartus Prime nicht für eine Ansteuerung ohne Nios-Prozessor ausgelegt ist. **Fazit:** Die internen ADCs im DE10-Lite Board können nur mit einem eingebetteten Nios Prozessor verwendet werden.

## 3 Quellen und Hilfsmittel

### Verwendung des ADC:

- Intel FPGA for Quartus Prime 17.1: Using\_DE\_Series\_ADC.pdf

### Verwendung des DE10-Lite-Boards VHDL-Programmierung:

- Übersicht: DE10-Lite-Board: DE10-Lite\_v.2.1.0\_SystemCD: DE10-Lite\_User\_Manual.pdf
- Schaltplan: DE10-Lite-Board: DE10-Lite\_v.2.1.0\_SystemCD: de10-lite.pdf
- VHDL-Spezifikation: <https://www.nandland.com>