

Pflichtenheft FPGA-Oszilloskop

Radike, Sauer, Wolf

17. März 2021

Version	Datum	Autor	Änderungsgrund/Bemerkungen
1.0	17.3.2021	Sauer Lukas	Erstellung

Inhaltsverzeichnis

0.1 Übersicht	3
0.1.1 Projektbeschreibung	3
0.1.2 Aufteilung	3
0.2 digital signal processing	3
0.2.1 Vorwort	3
0.2.2 Quartus-Prime Projekterstellung	4
0.2.3 Interner ADC	4
0.2.4 externer ADC	4
0.2.5 externer ADC	4
0.2.6 PGA	4
0.2.7 automatische Messbereichsauswahl	5
0.2.8 kommunikation mit dem PC - user interface	5
0.2.9 digitale Signalverarbeitung	5
0.3 analog front end	5
0.4 user interface	5

1 Übersicht

In diesem Dokument wird die Umsetzung der im Pflichtenheft angeführten Anforderungen beschrieben und genau spezifiziert.

1.1 Projektbeschreibung

Im Projekt Oszi wird ein Oszilloskop mittels eines FPGAs zu realisieren. Das Oszilloskop soll ein Frequenzband von 0Hz bis 1MHz einlesen und einen Spannungsbereich von -50V bis +50V abdecken. Die Spannungskurve soll über ein Computerprogramm graphisch ausgegeben werden. Über das Programm soll ebenfalls der Spannungs- und Zeitbereich der Ausgabe einzustellen sein. Das Oszilloskop solle triggerbar sein und Tastköpfe kalibrieren können. Das Projekt besteht aus drei Aufgabenbereichen, dem Analog-Front-End, der Datenverarbeitung mit dem FPGA und der Ausgabe am PC.

1.2 Aufteilung

Das Projekt wird in drei, parallel laufende Teilbereiche geteilt. Diese sind voneinander größtenteils unabhängig, sind nur über eine Schnittstelle miteinander verbunden und werden von jeweils einem Projektmitglied hauptsächlich bearbeitet:

- analog front end (siehe: 0.3)
- digital data processing (siehe: 0.2)
- user interface (siehe: 0.4)

2 digital signal processing

Zuständig für diesen Bereich: Sauer Lukas

2.1 Vorwort

Dieser Teilbereich ist für das Einlesen, die temporiäre Speicherung, die digitale Verarbeitung und für das Weiterleiten der digitalen Messwerte zum user interface (siehe: 0.4) verantwortlich. Die technisch schwieriger zu realisierenden Anforderungen an das System sind das digitale Filtern, die Kompensierung des Amplitudengangs sowie das triggern und Zusammenfassen in Pakete, welche zum user interface geschickt werden.

In diesem Abschnitt des Projekts sind die Hardwarebeschreibungssprache VHDL und Kenntnisse in digitaler Signalverarbeitung besonders gefragt. Es wird sich hauptsächlich mit dem Entwicklungsboard "DE10-Lite" beschäftigt mit der der Software "Quartus Prime" und "ModelSim".

2.2 Quartus-Prime Projekterstellung

status	abgeschlossen
beanspruchte Zeit	4 h
erledigt bis	/

Das Quartus-Prime Projekt wird an das DE10-

Lite-Board abgestimmt und erste Testversuche werden unternommen. Der Code für die Hardwarebeschreibung wird auf mehrere Files aufgeteilt, verknüpft und in einer Top-Level-Design-Unit zusammengeführt.

2.3 Interner ADC

status	abgeschlossen & fehlgeschlagen
beanspruchte Zeit	16 h
erledigt bis	4.03.2021

Als erster Schritt wird der Inter-

ne ADC verwendet, um einen Datenstream herinzubekommen und erste Versuche für die weiter Datenverarbeitung auch ohne externen ADC zu ermöglichen. -> Fehlgeschlagen

2.4 externer ADC

status	abgeschlossen
beanspruchte Zeit	4 h
erledigt bis	4.03.2021

Auswahl des externen ADCs. Absprache mit dem

Zuständigen für das analog front end (siehe: 0.3), da der ADC die Schnittstelle der zwei Projekt-Teilbereiche darstellt.

Es wird versucht die Messwerte vom ADC einzulesen.

2.5 externer ADC

status	offen
beanspruchte Zeit	8h
erledigt bis	25.03.2021

Es wird eine Design-Unit geschrieben, die einen Trig-

ger realisiert, welcher später für das Zusammenfassen in Pakete essentiell sein wird.

Optional kann dieser für Debugging-Zwecke verwendet werden.

2.6 PGA

status	offen
beanspruchte Zeit	8h
erledigt bis	01.04.2021

Der PGA soll mit dem PGA angesteuert werden. Hier-

für wird eine eigene Design-Unit geschrieben. Wichtig für die automatische Messbereichsauswahl.

2.7 automatische Messbereichsauswahl

status	offen
beanspruchte Zeit	8h
erledigt bis	08.04.2021

Das FPGA-Oszi soll von alleine den geeigneten Messbereich ermitteln können und diesen dann über die PGA's einstellen.

2.8 kommunikation mit dem PC - user interface

status	offen
beanspruchte Zeit	20h
erledigt bis	29.04.2021

Die Messdaten sollen in geeigneten Paketen mit Zusatzinformationen, zB.: wie Messbereich, zum user interface (siehe: 0.4) gesendet werden. Die Kommunikation soll in beide Richtungen funktionieren. Extra Chip auf Piggyback vorraussichtlich nötig.

2.9 digitale Signalverarbeitung

status	offen
beanspruchte Zeit	24h
erledigt bis	20.05.2021

Es wird versucht den Frequenzgang des analogen Filters vor dem ADC zu kompensieren und optional zusätzlich digitale Filter einzubauen. In dieser Designunit werden zusätzlich die Daten zu Paketen zusammengefasst und für die Weiterleitung zum user interface (siehe: 0.4) bereit gestellt.

3 analog front end

4 user interface