

Dokumentation

Radike, Sauer, Wolf

March 11, 2021

1 Entwicklung

1.1 erste Schritte

1.1.1 Verwendung der VGA Schnittstelle

1.1.2 Verwendung der internen ADCs

Das DE10-Lite Board hat 6 integrierte ADCs. Diese sind mit einer Bandbreite von 12 Bit und einer Sampling-Frequenz von 10 MHz spezifiziert und haben eine Verstärkerschaltung vorgeschaltet. Eine analoge Eingangsspannung von 0-5V ist zulässig. Quartus-Prime bietet bereits fertige IP-Cores zur erleichterten Implementierung an.

ADC Hardware Die auf dem Chip *MAX 10 10M50DAF484C7G* realisierten 6 ADCs werden verwendet, so ist kein extra Chip für die Analog-Digital-Wandlung notwendig. Diese ADCs haben eine Auflösung von 12 Bit, eine ADC Clock-frequency von 10MHz und verwenden die interne Referenzspannung von 2,5V. Herausgeführt sind die ADC-Pins **indirekt** an den sogenannten Arduino-Pins, wie in Abbildung 1 zu sehen. Das "analog Front-End" enthält einen Vorverstärker, realisiert mittels OPV, der grundsätzlich die Aufgabe hat die Spannung zu halbieren. Somit werden die maximal zulässigen 5V auf 2,5V heruntergeregelt, welche die Referenzspannung des ADCs ist und diesen so nicht übersteuert. Die Transitfrequenz des MCP6244 liegt bei 550kHz. Bei 10MHz geht sich eine Verstärkung von 0,5 knapp aus, was jedoch wenig Bedeutung hat, da die Frequenz der Eingangssignale, aufgrund der Abtastrate von 10MSa/s, ohnehin kleiner sein muss.

Wie in dem Schaltplanausschnitt (aus FPGA-Schaltplan: 2) in Abbildung 2 zu sehen, sind auch Kondensatoren vorhanden. Das Verhalten im Frequenzbereich wurde mithilfe von LtSpice analysiert. Da der originale OPV im Simulationsprogramm nicht spezifiziert ist, wurde der sehr ähnliche AD8038

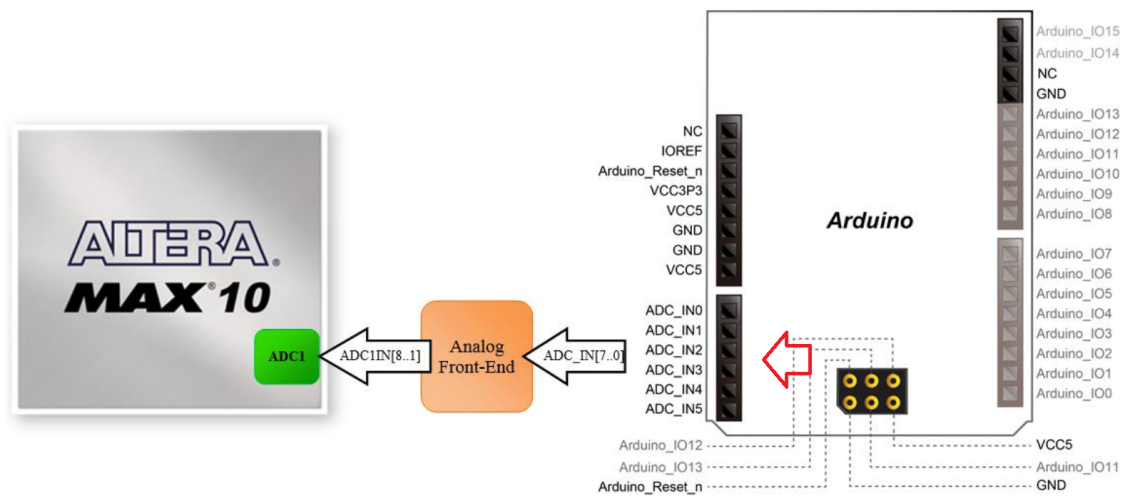


Figure 1: Blockschaltbild

verwendet.

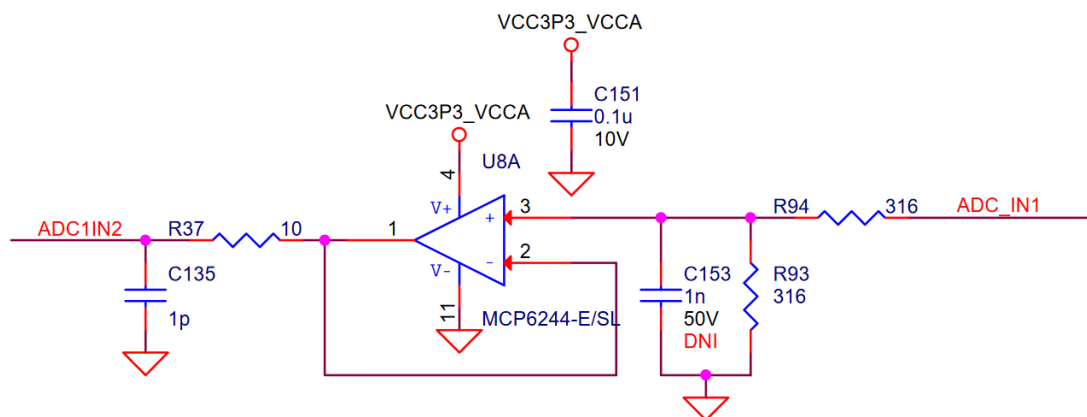


Figure 2: analog Front-End Ch1

Im Bodediagramm (Figure: 3) ist die Verstärkung von $\frac{1}{2} = -6dB$ gut zu erkennen. Der Abfall von - dB pro Dekade beweist die xx Ordnung. Die Grenzfrequenz (*hierbei* - 9dB) liegt bei 997kHz. Das ist locker ausreichend, da die Frequenz der Eingangssignale aufgrund der Abtastrate von 10MSa/s sowieso niedriger ist.

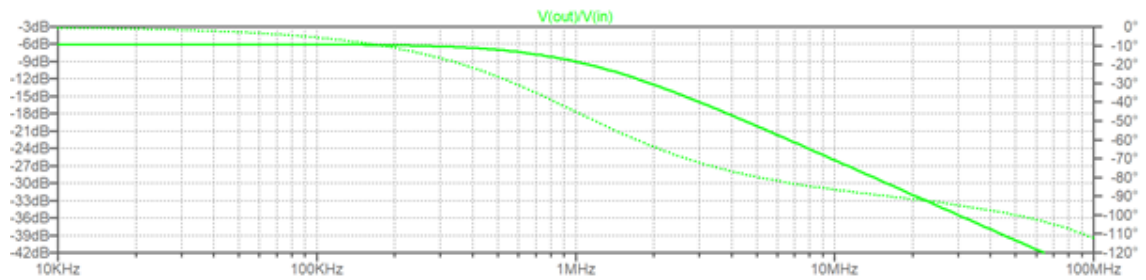


Figure 3: Bodediagramm Vorverstärker

ADC VHDL-Implementierung a

2 Quellen und Hilfsmittel

Verwendung des ADC:

- Intel FPGA for Quartus Prime 17.1: Using_DE_Series_ADC.pdf

Verwendung des DE10-Lite-Boards VHDL-Programmierung:

- Übersicht: DE10-Lite-Board: DE10-Lite_v.2.1.0_SystemCD: DE10-Lite_User_Manual.pdf
- Schaltplan: DE10-Lite-Board: DE10-Lite_v.2.1.0_SystemCD: de10-lite.pdf
- VHDL-Spezifikation: <https://www.nandland.com>