

به نام خدا



تکلیف سری چهارم درس زبانهای توصیف سخت افزار و مدارات

زمان تحویل:

نکاتی در مورد انجام و ارسال تکالیف:

۱- برای هر مازول که مینویسید، یک فایل V. جداگانه در نظر بگیرید. همه ی مازولها را در یک فایل V. ننویسید. در صورتی که مازول فرستاده شده قابل سنتز نباشد نمره صفر به آن تعلق میگیرد.

۲- مازول Test bench هر سوال را حتما به همراه سایر مازولها ارسال فرمایید.

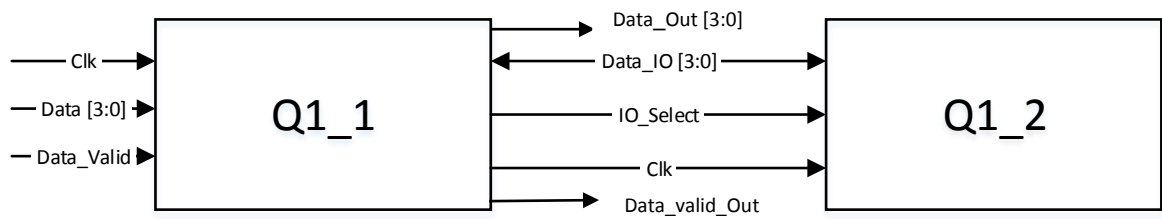
۳- برای تحویل تکلیف یک گزارش مختصر از نحوه ی انجام تکالیف یا پاسخ به سوالات مطرح شده نیاز است. این گزارش در قالب PDF خواهد بود. دقت کنید که نیاز به کپی کردن کدها در داخل گزارش نیست؛ بلکه فایل کدها بصورت جداگانه باید ارسال شود.

۴- توجه فرمایید که نیازی به ارسال همه ی فایل های پروژه ی نرم افزار ISE نیست! فقط فایل های V. را در کنار گزارش ارسال فرمایید.

۵- در نهایت یک فایل زیپ به شکل HW1_StudentID.zip حاوی گزارش و فایل های V. را قبل از موعد تحویل در سامانه الکتریکی دروس (lms) آپلود فرمایید.

سوال اول

می خواهیم دو مازول طراحی نماییم که از طریق یک پورت دوطرفه ی ۴ بیتی به نام Data_IO با یک دیگر تبادل داده نمایند. مازول اول (Q1_1) پالس ساعت را به همراه داده و سیگنال Data_valid دریافت می نماید و به محض دریافت یک داده ی ۴ بیتی جدید آن را بر روی پورت Data_IO به مازول دوم (Q1_2) تحویل می دهد. مازول دوم داده ی دریافتی را با 4'b1010 به صورت بیت به بیت XOR نموده و از طریق همان پورت در پالس ساعت بعدی تحویل مازول اول می دهد. در نهایت داده ی دریافت شده در مازول اول را در پورت خروجی Data_Out میریزد. وقتی داده را روی پورت Data_Out قرار گرفته می شود پورت خروجی Data_valid_Out مقدارش ۱ شود. دقت کنید که مدیریت پورت دوطرفه با مازول اول می باشد. برای سادگی فرض کنید فاصله هر دو داده معتبری که به مازول اول وارد می شوند حداقل ۱۰ پالس ساعت باشد. ضمناً پالس ساعت مازول دوم از طریق مازول اول به آن منتقل می شود (نتایج شبیه سازی ضمیمه گردد).

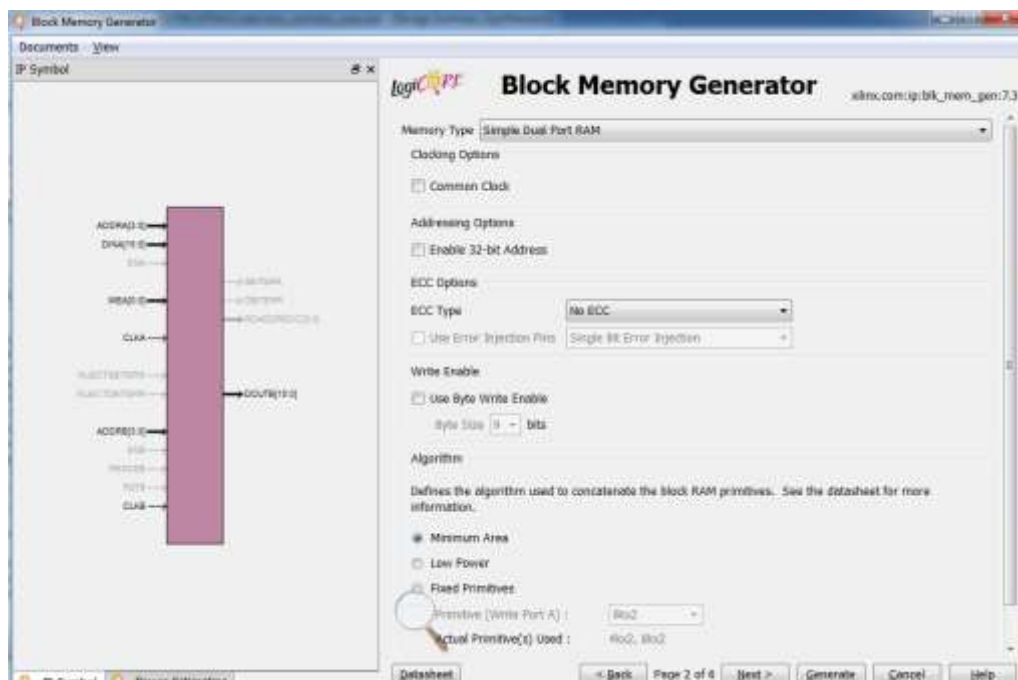


سوال دوم)

فرض کنید ۲ بردار ستونی به طول ۶۴ که هر درایه آن ۸ بیتی است داریم که در ۲ بلوک حافظه قراز دارند. ماژولی طراحی کنید که با دریافت سیگنال ورودی به نام `start_multiply` عملیات ضرب درایه به درایه را روی این دو بردار در طول ۶۴ کلاک متوالی انجام دهد و خروجی را در یک بردار ستونی جدید به طول ۶۴ که هر درایه آن ۱۶ بیتی است قرار دهد. برای پیاده سازی این سه حافظه از `core generator` استفاده نمایید (استفاده از `Block Memory Generator` و به صورت `Dual Port Ram` با پالس ساعت مشترک طبق شکل زیر).

$$c[i] = a[i] * b[i] \quad i = 1 \dots 64$$

برای مقدار دادن به حافظه های `a, b` از یک پورت ورودی `start_initialize` دو پورت ورودی `a, b` ۸ بیتی استفاده نمایید به این صورت که با فعال شدن سیگنال `start_initialize` در طول ۶۴ کلاک متوالی، دو حافظه از طریق پورت های `a, b` به ترتیب از درایه اول تا ۶۴ ام مقدار می گیرند. (شبیه سازی را انجام داده و نتایج را به فایل های تکلیف ضمیمه کنید)



سوال سوم)

سوال دوم را این بار با استفاده از دو بلوک حافظه ای که بدون استفاده از Core Generator و با دستور زیر ساخته می شود استفاده نمایید.

```
reg [7:0] a [1:64];
```

```
reg [7:0] b [1:64];
```

```
reg [15:0] c [1:64];
```

بس از عملیات سنتز بررسی نمایید که آیا حافظه ها با استفاده از block ram ساخته شده اند یا نه. برای این کار کافیست از جدول نمایش داده شده در صفحه design summary مصرف شدن منابع را چک کنید.

The screenshot shows the 'Design Summary (Synthesized)' window in Xilinx ISE. The 'Device Utilization Summary (estimated values)' table is highlighted with a red box. A red arrow points to the 'Number of Block RAM/PIPO' row.

Logic Utilization	Used	Available	Utilization
Number of Slice Registers	106	11440	1%
Number of Slice LUTs	66	5720	1%
Number of fully used LUT-FF pairs	47	125	38%
Number of bonded IOBs	24	102	24%
Number of Block RAM/PIPO	1	32	3%
Number of BUFG/BUFFCTRLs	3	16	19%
Number of PLL_ADVs	1	2	50%

سوال چهارم)

سوال دوم را ادوباره تکرار کنید با این تفاوت که این بار ضرب داخلی دو بردار را محاسبه و به صورت یک عدد با تعداد بیت مناسب (به گونه ای تعیین کنید که هیچ بیتی دور ریخته نشود) به همراه `data_valid` با خارج مازول منتقل نماید. بدیهی است انجام این عملیات حداقل ۶۴ بیت طول خواهد کشید.

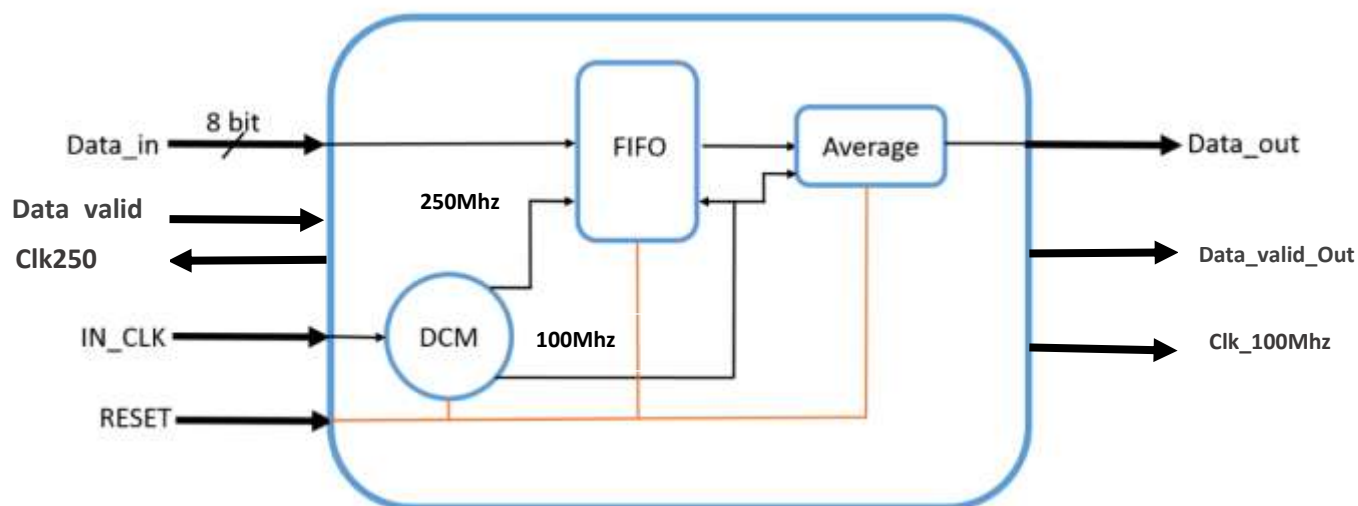
$$c = \sum_{i=1}^{64} a[i] * b[i]$$

سوال پنجم)

فرض کنید دنباله ای از اعداد ۸ بیتی به همراه سیگنال `data_valid` در لبه های مثبت کلاک (با فرکانس ۲۵۰ مگاهرتز) وارد مازول می شود. دقت کنید که ممکن است در برخی کلاک ها `data_valid` صفر باشد که نشاندهنده این است که در این لبه داده ای وارد نمی شود. مازولی را به گونه ای طراحی کنید هر بار که ۴ داده وارد مازول شد، میانگین این ۴ داده را محاسبه و به همراه `data_valid_out` به خروجی ارسال نماید و منتظر دریافت ۴ داده بعدی باشد.

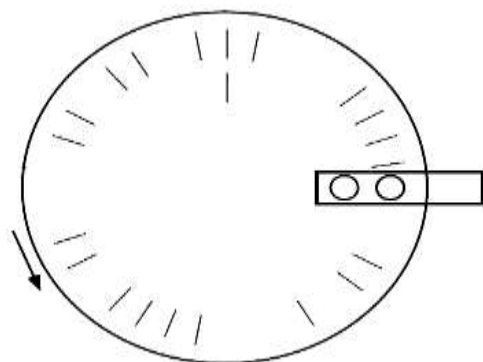
دقت کنید که تعداد داده خروجی از این مازول یک چهارم داده های ورودی خواهد بود. همچنین انجام محاسبات و تولید خروجی باید با کلاک ۱۰۰ مگاهرتز انجام شود و لذا شما در ورودی نیازمند یک فیفو آسنکرون هستید که نرخ داده را تغییر دهد. از پورت های `data_count` حافظه FIFO برای تشخیص دریافت ۴ داده استفاده نمایید.

همچنین نیاز به یک DCM برای ساخت پالس ساعت ورودی ۲۵۰ مگاهرتز و پالس ساعت داخلی و خروجی ۱۰۰ مگاهرتز هستید. فرض کنید فرکانس کلاک اصلی وارد شده به ماژول ۵۰ مگاهرتز است. پس از نوشتن testbench نتایج شبیه سازی را به ازای ورودی های مختلف نمایش دهید.



سوال اختیاری)

همانند سوال اول تکلیف سوم برای تشخیص دور یک موتور از یک پره شیاردار متصل به شافت موتور استفاده میشود. اما شیار های پره مانند شکل رو به رو خراب شده است و اطلاع دقیقی از درست یا خراب بودن ترتیب این شیار ها نداریم. پالس خروجی چیزی شبیه شکل زیر میباشد. یعنی پالسی که نا متناوب است اما فاصله rise time های مختلف ثابت است. روشی ارائه کنید که بتوان دور موتور را بدست آورد و پس از طراحی ماژول و testbench از درستی آن مطمئن شوید.





موفق باشید