

به نام خدا



تکلیف سری اول درس زبانهای توصیف سخت افزار و مدارات

زمان تحویل: شنبه 10 اسفند ماه 1398

نکاتی در مورد انجام و ارسال تکالیف:

- 1- برای هر ماژول که مینویسید، یک فایل V. جداگانه در نظر بگیرید. همه ی ماژولها را در یک فایل V. ننویسید. در صورتی که ماژول فرستاده شده قابل ستنز نباشد نمره صفر به آن تعلق میگیرد.
- 2- ماژول Test bench هر سوال را حتما به همراه سایر ماژولها ارسال فرمایید.
- 3- برای تحویل تکلیف یک گزارش مختصر از نحوه ی انجام تکالیف یا پاسخ به سوالات مطرح شده نیاز است. این گزارش در قالب PDF خواهد بود. دقت کنید که نیاز به کپی کردن کدها در داخل گزارش نیست؛ بلکه فایل کدها بصورت جداگانه باید ارسال شود.
- 4- توجه فرمایید که نیازی به ارسال همه ی فایل های پروژه ی نرم افزار ISE نیست! فقط فایل های V. را در کنار گزارش ارسال فرمایید.
- 5- در نهایت یک فایل زیپ به شکل HW1_StudentID.zip حاوی گزارش و فایل های V. را قبل از موعد تحویل در سامانه الکتریکی دروس (lms) آپلود فرمایید.

سوال اول) پس از ساخت PROM های سریع ساخته شده در 1971 طراحان خلاق پی بردند میتوان از آنها در پیاده سازی تابع های ساده منطقی استفاده کرد. در 1975 شرکت intersil چیپ IM5200 را با طراحی Bill Sievers معرفی کرد. که میتوان از آن به عنوان اولین PLA که میتوان آن را الکتریکی پروگرام کرد یاد برد. و سرانجام در 1978 John Birkner و H.T. Chua معماری ساده ای برای PAL ارائه دادند که از معماری های قبلی سریع تر، به صرفه تر و انعطاف پذیر تر بود. نرم افزار PALASM نیز برای طراحی راحت تر این device منتشر شد. با توجه به جدول درستی (look up table) معماری PAL و PLA آن را رسم کنید و بررسی کنید این دو معماری چه تفاوت هایی دارند؟

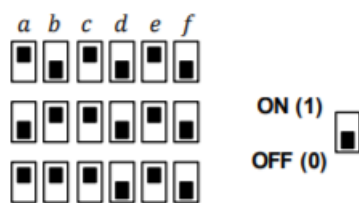
a	b	c	Out
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$S_1 S_0$	function
0 0	$A+B$
0 1	$A-B$
1 0	$A+1$
1 1	$A-1$

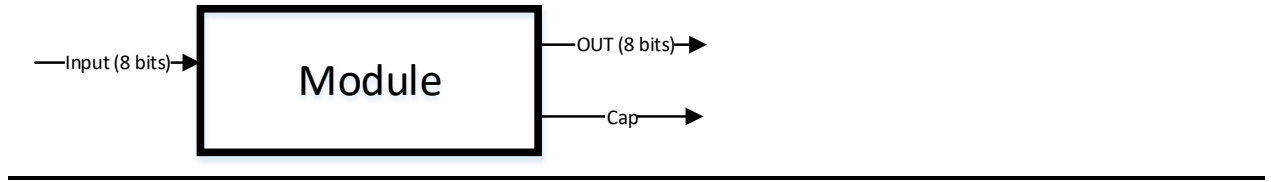
سوال دوم) مقایسه گر 2 بیتی اعداد دو بیتی A و B را با هم مقایسه می کند و خروجی ها را برای نشان دادن اینکه معادل دهدی A کوچکتر، بزرگتر یا مساوی با B است فعال می کند. ابتدا این مقایسه گر را در سطح (Gate level) با زبان Verilog پیاده سازی کنید. سپس با استفاده مازول ساخته شده یک مقایسه گر 4 بیتی بسازید. پس از شبیه سازی طرح در ISIM، شکل موج های نظیر ورودی های مختلف را به پاسخ خود اضافه نمایید به نحوی که تمامی حالات پوشش داده شود.

سوال سوم) یک بلوک محاسباتی 4 بیتی طراحی کنید که عملکردهای زیر را انجام دهد. فرض کنید شما می توانید فقط از مازول 4 Mux و گیت NOR و جمع کننده 4 بیتی استفاده کنید که البته ماکس و جمع کننده را هم اید خودتان به صورت زیر مازول طراحی کنید. فرض کنید همه ورودی ها 4 بیتی و به فرم (2's complement) می باشند.

سوال چهارم) یک قفل امنیتی با 6 سوئیچ (a, b, c, d, e, f) وجود دارد این قفل امنیتی زمانی باز می شود ($Z = 1$) که این 6 سوئیچ یکی از وضعیت های روبرو را داشته باشند و در غیر این صورت قفل بسته است ($Z = 0$). معادله بولی را برای خروجی تهیه کنید. و مدار منطق را ترسیم کنید و در نهایت ان را به زبان Verilog پیاده سازی کنید.



سوال اختیاری) مطابق شکل زیر مازولی در سطح گیت طراحی نمایید که به کمک آن بتوان حروف بزرگ لاتین را به حروف کوچک و حروف کوچک را به بزرگ تبدیل نمود؛ به نحوی که اگر ورودی یک حرف بزرگ لاتین باشد، خروجی Cap را برابر با 1 و OUT را برابر با کد ASCII حرف کوچک متناظر با آن قرار دهد و در صورتی که ورودی کد ASCII مربوط به یکی از حروف کوچک لاتین بود، خروجی Cap را برابر با صفر و OUT را برابر با مقدار ASCII حرف بزرگ آن قرار دهد. ضمناً فرض شده است که حتماً ورودی یک کد ASCII معتبر خواهد بود. بطور دلخواه برای تعدادی از کدهای اسکی حروف لاتین توسط مازول Testbench شبیه سازی را انجام داده و نتایج را ضمیمه نمایید به نحوی که هر دو حالت پوشش داده شود.



موفق باشید