

# **"به نام یزدان پاک"**

**گزارش کار آزمایش اول**

**اعضای گروه:**

**سارا تاجرنیا 9831016**

**کیانا آقا کثیری 9831006**

**محمد چوپان 9831125**

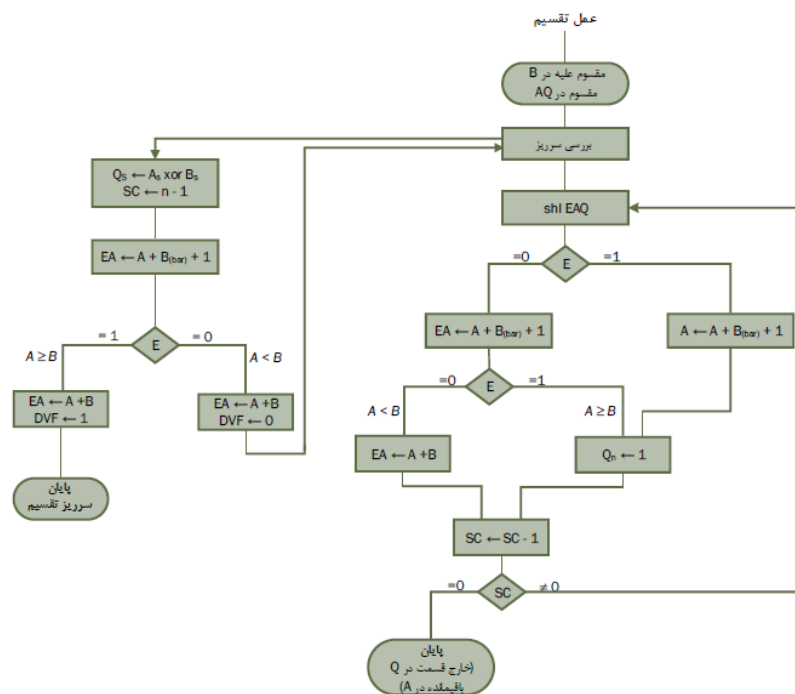
**نویسنده گزارش : کیانا آقا کثیری**

**تاریخ آزمایش : 1400/02/22**

**تاریخ تحویل گزارش : 1400/03/04**

## شرح آزمایش:

کد توصیف سخت‌افزاری تقسیم‌کننده دودویی مدنظر را برای تقسیم یک مقسوم ۸ بیتی، بر مقسوم علیه ۴ بیتی بنویسید. در شکل ۱، یک فلوچارت نمونه برای الگوریتم تقسیم آورده شده است. (در صورت تمایل می‌توانید پیش‌گزارش خود را مبتنی بر این فلوچارت انجام دهید).



شکل ۱- فلوچارت الگوریتم تقسیم

## توضیح آزمایش :

در این آزمایش الگوریتم تقسیم را به روش جبرانی پیاده‌سازی کرده ایم. که توضیحات و روش انجام آن در پیش‌گزارش مربوط به این آزمایش وجود دارد.

### Behavioral divider:

```
entity divider is
  Port ( AQ : in  STD_LOGIC_VECTOR (7 downto 0);
        B  : in  STD_LOGIC_VECTOR (3 downto 0);
        Q  : out STD_LOGIC_VECTOR (3 downto 0);
        clk : in  STD_LOGIC;
        overflow : out STD_LOGIC:='0'
  );
end divider;

architecture Behavioral of divider is
  signal sc : integer:= 8;
  signal ERA : std_logic_vector(8 downto 0);

begin

  Q <= ERA(3 downto 0);

  process(AQ,B,clk)
  begin

    -- start before first clk!
    if (sc = 8) then
      ERA(8) <= '0';
      ERA(7 downto 0) <= AQ;
      if(AQ(7 downto 4) < B ) then
        overflow <= '0';
      else
        overflow <= '1';
      end if;
    end if;

  end if;

end if;
```

```

if(rising_edge(clk) and sc > 0) then

    if(sc = 8 or sc = 6 or sc = 4 or sc = 2 or sc = 0) then
        ERA(8 downto 1) <= ERA(7 downto 0);
        sc <= sc - 1;
    else

        if (ERA(8) = '1') then
            ERA(8 downto 4) <= ERA(7 downto 4) + (not B) + "00001";
            ERA(0) <= '1';
        else
            if (ERA(7 downto 4) >= B) then
                ERA(8 downto 4) <= ERA(7 downto 4) + (not B) + "00001";
                ERA(0) <= '1';
            else
                ERA(0) <= '0';
            end if;
        end if;
        sc <= sc - 1;
    end if;
end if;
end process;

end Behavioral;

```

شکل 2: توصیف تقسیم کننده

## Test Bench of Divider :

```
-- Clock process definitions
clk_process :process
begin
    clk <= '0';
    wait for clk_period/2;
    clk <= '1';
    wait for clk_period/2;
end process;

-- Stimulus process
stim_proc: process
begin

-- wait for 10 ns;
-- insert stimulus here
--AQ <= "00011011";
--B <= "0101";

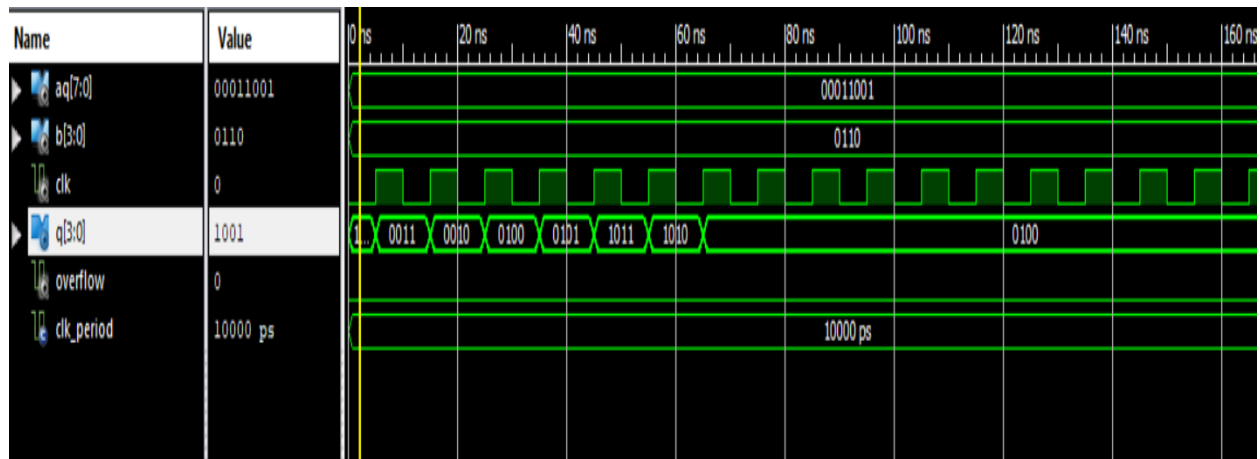
    AQ <= "00011001";
    B <= "0110";

    wait;
end process;

ND;
```

شکل 3: تست بنچ جمع کننده نیمه

## Result of simulation in isim:



شکل 4: نتیجه شبیه سازی تقسیم کننده

## نتیجه گیری :

به طور کلی هدف این آزمایش پیاده سازی الگوریتم تقسیم در زبان VHDL و پیاده سازی آن و مشاهده شبیه سازی آن بود که در اینجا با استفاده از روش جبرانی این عمل انجام شده و نتایج شبیه سازی در بخش بالا قابل مشاهده است.