

# **"به نام یزدان پاک"**

**گزارش کار آزمایش اول**

**اعضای گروه:**

**سارا تاجرنیا 9831016**

**کیانا آقا کثیری 9831006**

**محمد چوپان 9831125**

**نویسنده گزارش : محمد چوپان**

**تاریخ آزمایش : 99/12/13**

**تاریخ تحویل گزارش : 99/12/21**

## شرح آزمایش:

### خروجی‌های مورد انتظار آزمایش:

انتظار می‌رود دانشجو بتواند سخت افزار شکل ۱ را توصیف کرده و واحد تست مربوط به آن را نیز بنویسد.

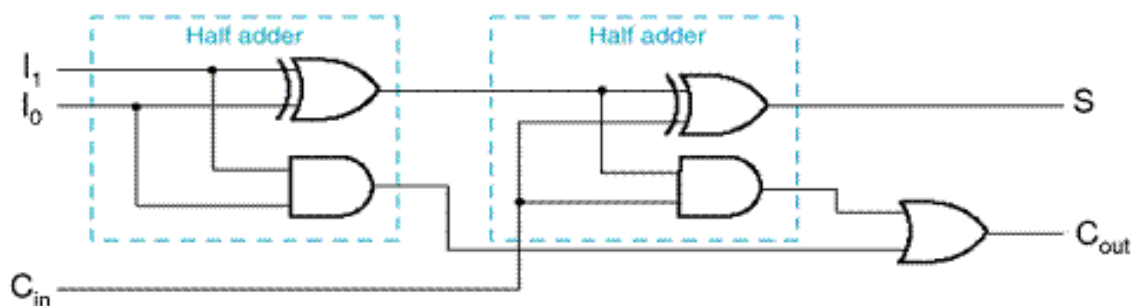
و توصیف‌های انجام شده در شبیه‌ساز بدون خطا کامپایل و شبیه‌سازی شوند.

خروجی‌های این آزمایش عبارت است از:

- تحویل درستی عملکرد مدار مورد نظر

- پیاده‌سازی طراحی ذکر شده، کامپایل و شبیه‌سازی آن

شکل 1:



شکل 1: صورت آزمایش

### توضیح آزمایش :

ابتدا با استفاده از گیت‌های تعریف شده مدار جمع کننده نیمه را به صورت بالا طراحی می‌کنیم.

سپس برای نوشتن test bench آن در زبان Behavioral VHDL آن را تعریف کرده و در آن component HA را تعریف می‌کنیم.

سپس port های مربوطه را وصل کرده و signal های مرتبط با ورودی را تعریف کرده و مقادیر مختلف را تست می‌کنیم.

## Behavioral HA:

```
30 --use UNISIM.VComponents.all;
31
32 entity HA is
33     Port ( I1 : in  STD_LOGIC;
34           I0 : in  STD_LOGIC;
35           S  : out  STD_LOGIC;
36           C  : out  STD_LOGIC);
37 end HA;
38
39 architecture Behavioral of HA is
40
41 begin
42     S<=I1 xor I0;
43     C<=I1 and I0;
44
45 end Behavioral;
46
47
```

شکل 2: توصیف جمع کننده نیمه در سطح گیت

## Test Bench of HA :

### Behavioral HA\_tb:

```
ENTITY HA_tb IS
END HA_tb;

ARCHITECTURE behavior OF HA_tb IS

    -- Component Declaration for the Unit Under Test (UUT)

    COMPONENT HA
    PORT(
        I1 : IN  std_logic;
        I0 : IN  std_logic;
        S  : OUT  std_logic;
        C  : OUT  std_logic
    );
    END COMPONENT;

    --Inputs
    signal I1 : std_logic := '0';
    signal I0 : std_logic := '0';

    --Outputs
    signal S : std_logic;
    signal C : std_logic;


```

```
BEGIN
```

```
-- Instantiate the Unit Under Test (UUT)
```

```
uut: HA PORT MAP (
```

```
    I1 => I1,
```

```
    I0 => I0,
```

```
    S => S,
```

```
    C => C
```

```
);
```

```
I1<='0','1' after 100 ns , '0' after 200 ns, '1' after 300 ns;
```

```
I0<='0','0' after 100 ns , '1' after 200 ns, '1' after 300 ns;
```

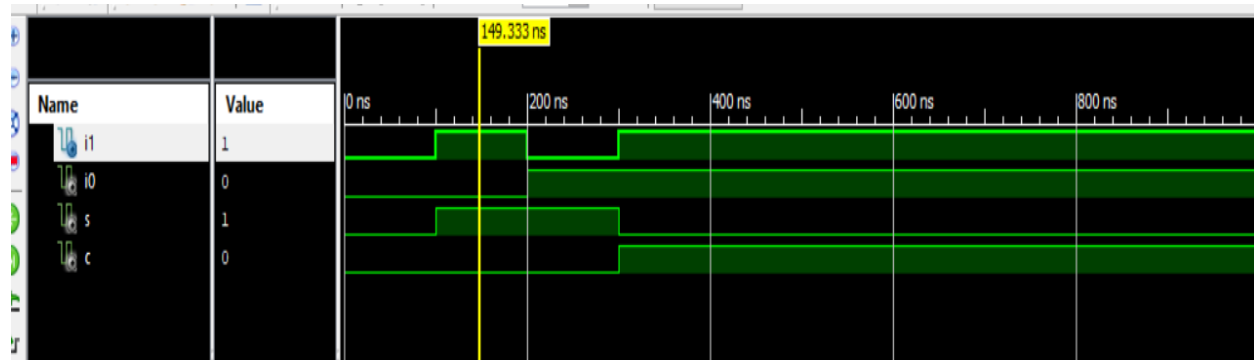
```
-- Clock process definitions
```

```
-- Stimulus process
```

```
END;
```

شکل 3: تست بنچ جمع کننده نیمه

Result of simulation in isim:



شکل 4: نتیجه شبیه سازی جمع کننده نیمه

جمع کننده کامل :

ابتدا با استفاده جمع کننده نیمه و شکل 1 مدار جمع کننده کامل را به صورت بالا طراحی میکنیم.

سپس برای نوشتن test bench آن در زبان Behavioral VHDL آن را تعریف کرده و در آن component FA را تعریف میکنیم.

سپس port های مربوطه را وصل کرده و port map می‌کنیم.

signal های مرتبط با ورودی را تعریف کرده و مقادیر مختلف را تست می‌کنیم.

### Behavioral FA:

```
use VHDL1701.components.all;

entity FA is
    Port ( I1 : in  STD_LOGIC;
          I0 : in  STD_LOGIC;
          Cin : in  STD_LOGIC;
          S : out  STD_LOGIC;
          Cout : out  STD_LOGIC);
end FA;

architecture Behavioral of FA is
    signal S_HA1: STD_LOGIC;
    signal C_HA1: STD_LOGIC;
    signal S_HA2: STD_LOGIC;
    signal C_HA2: STD_LOGIC;
    component HA is
        Port ( I1 : in  STD_LOGIC;
              I0 : in  STD_LOGIC;
              S : out  STD_LOGIC;
              C : out  STD_LOGIC);
    end component HA;

    begin
        HA1 :HA port map (I1=>I1,I0=>I0,S=>S_HA1,C=>C_HA1);
        HA2 :HA port map (I1=>S_HA1,I0=>Cin,S=>S_HA2,C=>C_HA2);
        S<=S_HA2;
        Cout<=C_HA2 OR C_HA1;

    end Behavioral;
```

شکل 5: توصیف جمع‌کننده کامل در سطح گیت

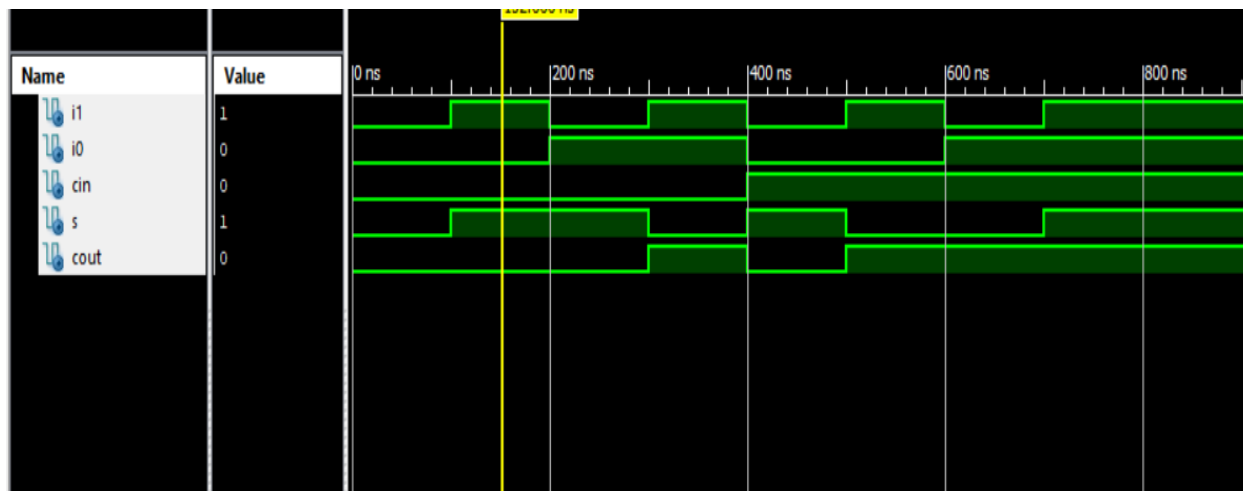
## Test Bench of FA:

### Behavioral FA\_tb:

```
1
2 ENTITY FA_tb IS
3 END FA_tb;
4
5 ARCHITECTURE behavior OF FA_tb IS
6
7     -- Component Declaration for the Unit Under Test (
8
9     COMPONENT FA
10     PORT (
11         I1 : IN  std_logic;
12         I0 : IN  std_logic;
13         Cin : IN  std_logic;
14         S : OUT  std_logic;
15         Cout : OUT std_logic
16     );
17     END COMPONENT;
18
19     --Inputs
20     signal I1 : std_logic := '0';
21     signal I0 : std_logic := '0';
22     signal Cin : std_logic := '0';
23
24     --Outputs
25     signal S : std_logic;
26     signal Cout : std_logic;
27
28 BEGIN
29
30     -- Instantiate the Unit Under Test (UUT)
31     uut: FA PORT MAP (
32         I1 => I1,
33         I0 => I0,
34         Cin => Cin,
35         S => S,
36         Cout => Cout
37     );
38
39     I1<='0','1' after 100 ns ,'0' after 200 ns ,'1' after 300 ns ,'0' after 400 ns ,'1' after 500 ns ,'0' after 600 ns ,'1' after 700 ns;
40     I0<='0','0' after 100 ns ,'1' after 200 ns ,'1' after 300 ns ,'0' after 400 ns ,'0' after 500 ns ,'1' after 600 ns ,'1' after 700 ns;
41     Cin<='0','0' after 100 ns ,'0' after 200 ns ,'0' after 300 ns ,'1' after 400 ns ,'1' after 500 ns ,'1' after 600 ns ,'1' after 700 ns;
42
43     -- Clock process definitions
44
45 END;
```

شکل 6: تست بنچ جمع کننده کامل

## Result of simulation in isim:



شکل 7: نتیجه شبیه سازی جمع کننده کامل (آزمایش)

## نتیجه گیری :

به طور کلی هدف از این آزمایش یاد گیری زبان VHDL و کار با آن بود که با طراحی یک جمع کننده نیمه و یک جمع کننده کامل این کار انجام شد.