

## 4) Traitement de flux de données :

\* Domaine concurrent : c'est l'espace entre les mots clés begin et end de l'architecture

\* Dans ce domaine on des structures employées concurrentes dans le temps & calculés en m temps

Ex :  $A \leftarrow C \text{ or } D$  -- A et B sont calculés en m temps  
 $B \leftarrow C \text{ and } D$

\* Eléments du domaine concurrent :

→ Traitement de flux de données :

\* Affectations Simples

\* Affectations conditionnelles : when, else...

\* Affectations sélectives : with, select...

→ Processus utilisent une description séquentielle.

Exemple :

→ Port ET avec une structure conditionnelle :

\*  $\text{Sortie} \leftarrow '1' \text{ when } \text{entree1} = '1' \text{ and } \text{entree2} = '1'$   
 $\text{else } '0';$

→ Port ET En vectorisant les signaux d'entrées :

architecture comportement of portET is

signal entrees : STD\_LOGIC\_VECTOR (1 to 2);

begin

entrees  $\leftarrow$  entree1 & entree2;

Sortie  $\leftarrow '1' \text{ when } \text{entrees} = "11" \text{ else } '0';$

end comportement;

Règle

- pour spécifier la valeur d'un STD\_LOGIC\_VECTOR on utilise le double quote ">" et pour un STD\_LOGIC on utilise ' '.

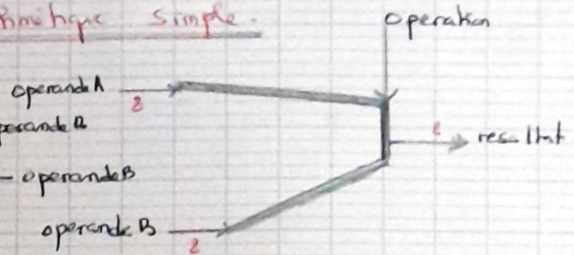


## \* Application: Unité arithmétique simple.

\* 2 opérations possibles :

• operation = '0'  $\Rightarrow$  Resultat  $\Leftarrow$  operand A + operand B

• operation = '1'  $\Rightarrow$  Resultat  $\Leftarrow$  operand A - operand B



### Code VHDL :

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.NUMERIC\_STD.ALL;

-- Numéric STD pour les opérations arithmétiques

entity ual is

Port ( operand A : in STD\_LOGIC\_VECTOR(7 downto 0);  
 operand B : in STD\_LOGIC\_VECTOR(7 downto 0);  
 operation : in STD\_LOGIC;  
 resultat : out STD\_LOGIC\_VECTOR(7 downto 0);

end ual;

architecture composant of ual is

begin

resultat  $\Leftarrow$  STD\_LOGIC\_VECTOR ( SIGNED(operand A) + SIGNED(operand B) ) when operation = '0';  
 else STD\_LOGIC\_VECTOR ( SIGNED(operand A) - SIGNED(operand B) ) when operation = '1';  
 else '00000000';

end composant;

## \* Exemple d'Affectation Selective.

\* Port ET

architecture comp of pater is

signal entree : STD\_LOGIC\_VECTOR(1 to 2);

begin

entree  $\Leftarrow$  entree1 & entree2;

with entree select

Serie  $\Leftarrow$  '1' when '11',  
 '0' when others;

end comp;

Re : En struct with.. select : se termine tjrs par un signal - when others;