

g) Entière de banc de test :

a) Test d'un programme écrit en VHDL :

* Comment on peut tester un composant de fct par VHDL :

On a 2 approches possibles

- i) Entrer des stimuli de simulation directement dans le simulateur.
- ii) Ecrire un banc de test en VHDL

b) les étapes pour Ecrire un banc de test :

i) Creation d'une entité de test : avec Avec entree. Avec sortie

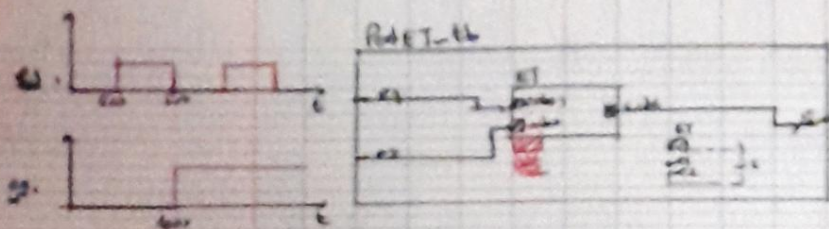
ii) Description d'Architecture de test :

→ Déclaration des signaux internes : **Signal** : avant de **begin**

→ Déclaration de composant à tester : **Component** : avant de **begin**

→ Instanciation d'un composant : **port map** : après de **begin**

→ Génération des signaux sur les entree : **process** : until **for**



entree 14 VHDL

Library IEEE;

USE IEEE, STD-LOGIC, HIER, ALL;

entity portET-1b is

end portET-1b;

architecture complement of portET-1b is

signal e1, e2, s : STD-LOGIC;

component portET is

Port (entree1, entree2 : IN STD-LOGIC;

Sorte : OUT STD-LOGIC);

end component;

begin

-- Instantiation du Component portET

uut : portET Port map (

entree1 => e1,

entree2 => e2,

Sorte => s);

e1-signal : process

begin

e1 <= '0'; wait for 5ns;

e1 <= '1'; wait for 5ns;

end process e1-signal;

e2-signal : process

begin

e2 <= '0'; wait for 10ns;

e2 <= '1'; wait;

end process e2-signal;

end complement;