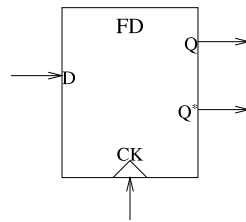


## TD 2

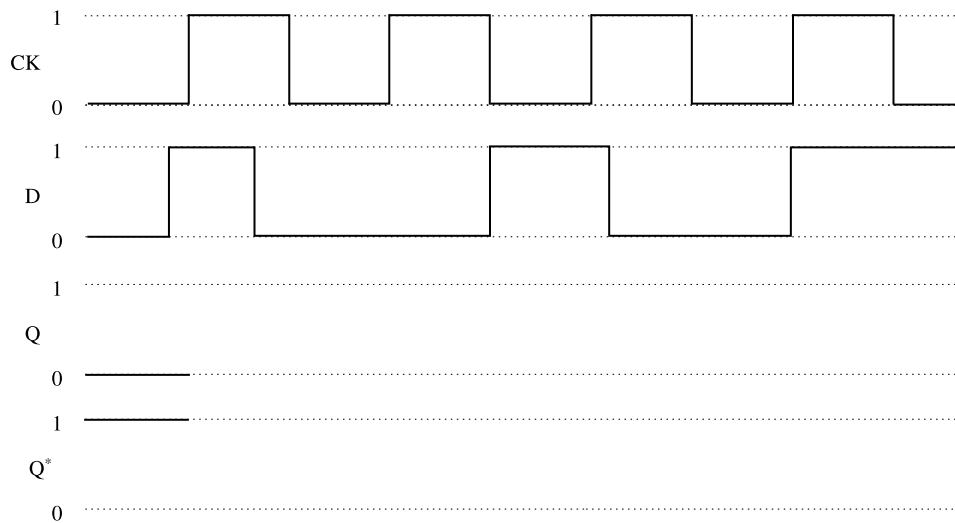
### Bascules et registres

#### Ex. 1 : Bascule D

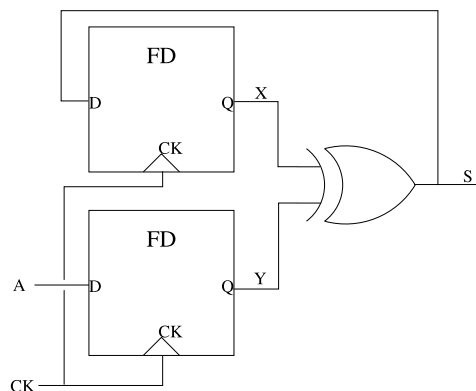
La bascule D (*D flip-flop*) illustrée ci-dessous est un dispositif qui permet d'échantillonner l'entrée  $D$  sur un front d'une entrée de commande usuellement notée  $CK$ , pour *clock* ou horloge. On suppose dans ce qui suit que l'échantillonnage a lieu sur le front montant (*rising edge*) du signal  $CK$ .



**Question 1** Compléter le chronogramme ci-dessous en l'appliquant à une bascule D.

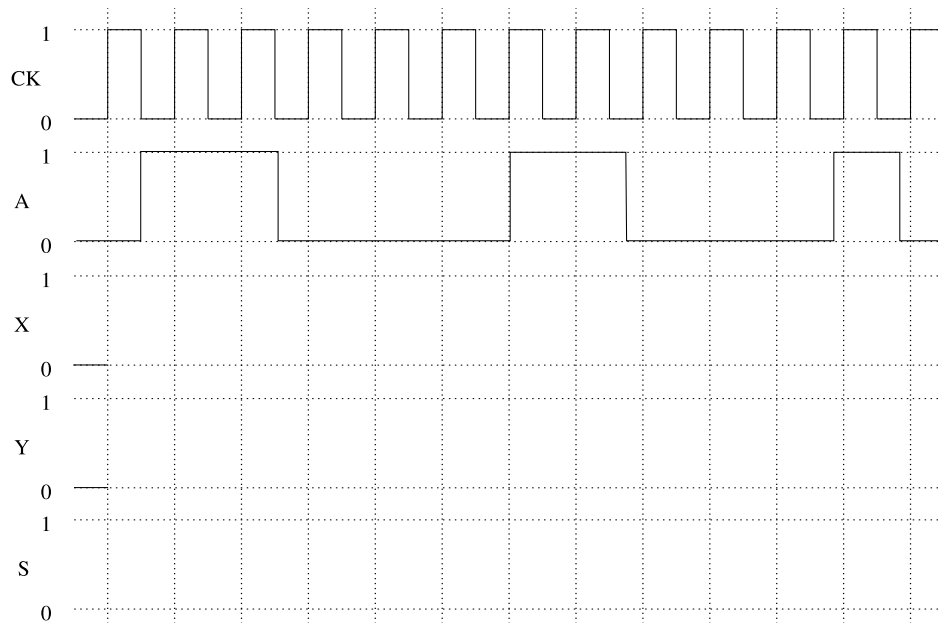


On se propose d'étudier le comportement du circuit suivant :



On suppose que l'on force les entrées du circuit comme indiqué sur le chronogramme suivant :

**Question 2** Compléter le chronogramme suivant à partir des valeurs fournies sur les entrées du circuit et dans les bascules.



On appelle fréquence maximale de fonctionnement d'un circuit, la fréquence d'horloge au-delà de laquelle il existe un chemin entre deux bascules ayant un temps de propagation supérieur à la période de l'horloge. Ce chemin est généralement appelé "chemin critique".

Supposons que :

- le temps de traversée d'une porte XOR2 soit de 0.1ns
- le temps de traversée d'une bascule D soit de 0.1 ns
- le temps de maintien d'une bascule D soit de 0.01 ns
- le temps de repositionnement d'une bascule D soit de 0.05 ns

**Question 3** Donner le temps de traversée du chemin critique du circuit étudié. En déduire la fréquence maximum de fonctionnement.

## Ex. 2 : Construction d'une bascule à écriture conditionnelle

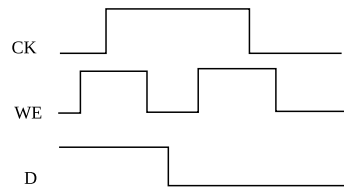
On cherche à présent à réaliser, à partir d'une bascule D et de portes combinatoires simples, une bascule à écriture conditionnelle : une bascule dont l'écriture n'a pas lieu systématiquement à chaque front d'horloge, mais uniquement lorsqu'un autre signal (usuellement nommé *WE* pour *write enable*) est à 1 au moment du front d'horloge.

**Question 1** Quels sont les signaux sur lesquels on peut agir pour implémenter cette écriture conditionnelle ?

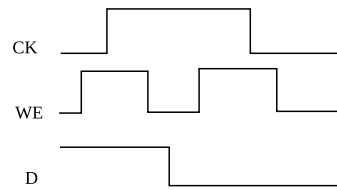
**Question 2** Proposer 2 schémas, l'un utilisant une porte AND et l'autre utilisant un multiplexeur, permettant de contrôler le changement de valeur dans la bascule.

**Question 3** Compléter les chronogrammes ci-dessous en indiquant l'évolution de la sortie *Q* pour chacune des solutions. En déduire les avantages et inconvénients de ces 2 approches

vis-à-vis des contraintes temporelles sur le signal d'autorisation d'écriture.



Q  
Solution avec porte and



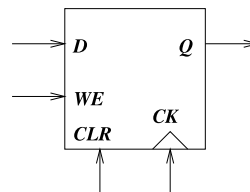
Q  
Solution avec multiplexeur

### Ex. 3 : Construction de registres

Par définition, un registre est un composant regroupant plusieurs bascules D. Le registre permet donc de mémoriser plusieurs bits dans un même composant.

Pour construire des registres, on va utiliser des bascules D avec écriture conditionnelle dont la table de transition est donnée ci-dessous :

$CLR$	$WE$	$CK$	$Q$
1	—	—	0
0	0	—	$Q_{prec}$
0	1	↑	$D$



L'entrée  $CLR$  est une entrée de mise à 0 (*clear*) à effet asynchrone (cette entrée force la mise à 0 indépendamment du front d'horloge). L'entrée  $WE$  permet d'ignorer les fronts montants de l'horloge (lorsque  $WE = 0$ ) et donc de mémoriser la même valeur sur plusieurs cycles sans avoir à la recharger.

**Question 1** On appelle registre à chargement parallèle un registre pour lequel toutes les bascules sont activées en écriture sur le même front d'horloge. Construire un registre 4 bits à chargement parallèle à partir de ces bascules D, le signal  $WE$  autorisant le chargement du registre.

**Question 2** Construire un registre 4 bits à chargement parallèle à décalage à gauche à partir de ces bascules D et de multiplexeur 2 vers 1. Le registre doit être conforme à la table de transition suivante :

$CLR$	$WE$	$SHL$	$CK$	$Q$
1	—	—	—	0
0	0	—	—	$Q_{prec}$
0	1	0	↑	$D$
0	1	1	↑	$Q_{prec} \ll 1$

Où  $SHL$  est une entrée booléenne indiquant si le registre doit réaliser un décalage à gauche synchrone, et  $A \ll P$  représente le décalage du nombre  $A$  de  $P$  bits vers la gauche, avec insertion de 0 à la place des  $P$  bits de poids faible. On rappelle que décaler un entier de  $P$  bits vers la gauche revient à le multiplier par  $2^P$ .

**Question 3** Construire un registre 4 bits à chargement parallèle à décalage à droite à partir de ces bascules D et de  $MUX_{1b}(2 \rightarrow 1)$ . Le registre doit être conforme à la table de vérité suivante :

$CLR$	$WE$	$SHR$	$ARI$	$CK$	$Q$
1	—	—	—	—	0
0	0	—	—	—	$Q_{prec}$
0	1	0	—	↑	$D$
0	1	1	0	↑	$Q_{prec} >>> 1$
0	1	1	1	↑	$Q_{prec} >> 1$

Où

- $A >>> P$  représente le décalage du nombre  $A$  de  $P$  bits vers la droite, avec insertion de 0 à la place des  $P$  bits de poids forts : c'est le décalage « logique » à droite.
- $A >> P$  représente le décalage du nombre  $A$  de  $P$  bits vers la droite, avec insertion du bit de signe à la place des  $P$  bits de poids forts : c'est le décalage « arithmétique » à droite.

De façon symétrique au décalage à gauche, décaler un entier de  $P$  bits vers la droite revient à le diviser par  $2^P$  : le décalage logique a donc un sens mathématique pour les entiers naturels, et le décalage arithmétique pour les entiers relatifs.