

Sous-ensemble RV32I

31	25 24	20 19	15 14	12 11	7 6	0	
imm[31:12]				rd	0110111		U lui
imm[31:12]				rd	0010111		U auipc
imm[20:10:11:19:12]				rd	1101111		J jal
imm[11:0]		rs1	000	rd	1100111		I jalr
imm[12:10:5]	rs2	rs1	000	imm[4:1:11]	1100011		B beq
imm[12:10:5]	rs2	rs1	001	imm[4:1:11]	1100011		B bne
imm[12:10:5]	rs2	rs1	100	imm[4:1:11]	1100011		B blt
imm[12:10:5]	rs2	rs1	101	imm[4:1:11]	1100011		B bge
imm[12:10:5]	rs2	rs1	110	imm[4:1:11]	1100011		B bltu
imm[12:10:5]	rs2	rs1	111	imm[4:1:11]	1100011		B bgeu
imm[11:0]		rs1	000	rd	0000011		I lb
imm[11:0]		rs1	001	rd	0000011		I lh
imm[11:0]		rs1	010	rd	0000011		I lw
imm[11:0]		rs1	100	rd	0000011		I lbu
imm[11:0]		rs1	101	rd	0000011		I lhu
imm[11:5]	rs2	rs1	000	imm[4:0]	0100011		S sb
imm[11:5]	rs2	rs1	001	imm[4:0]	0100011		S sh
imm[11:5]	rs2	rs1	010	imm[4:0]	0100011		S sw
imm[11:0]		rs1	000	rd	0010011		I addi
imm[11:0]		rs1	010	rd	0010011		I slti
imm[11:0]		rs1	011	rd	0010011		I sltiu
imm[11:0]		rs1	100	rd	0010011		I xori
imm[11:0]		rs1	110	rd	0010011		I ori
imm[11:0]		rs1	111	rd	0010011		I andi
0000000	shamt	rs1	001	rd	0010011		R slli
0000000	shamt	rs1	101	rd	0010011		R srli
0100000	shamt	rs1	101	rd	0010011		R srai
0000000	rs2	rs1	000	rd	0110011		R add
0100000	rs2	rs1	000	rd	0110011		R sub
0000000	rs2	rs1	001	rd	0110011		R sll
0000000	rs2	rs1	010	rd	0110011		R slt
0000000	rs2	rs1	011	rd	0110011		R sltu
0000000	rs2	rs1	100	rd	0110011		R xor
0000000	rs2	rs1	101	rd	0110011		R srl
0100000	rs2	rs1	101	rd	0110011		R sra
0000000	rs2	rs1	110	rd	0110011		R or
0000000	rs2	rs1	111	rd	0110011		R and

Sous-ensemble RV32M

0000001	rs2	rs1	000	rd	0110011	R mul
0000001	rs2	rs1	001	rd	0110011	R mulh
0000001	rs2	rs1	010	rd	0110011	R mulhsu
0000001	rs2	rs1	011	rd	0110011	R mulhu
0000001	rs2	rs1	100	rd	0110011	R div
0000001	rs2	rs1	101	rd	0110011	R divu
0000001	rs2	rs1	110	rd	0110011	R rem
0000001	rs2	rs1	111	rd	0110011	R remu

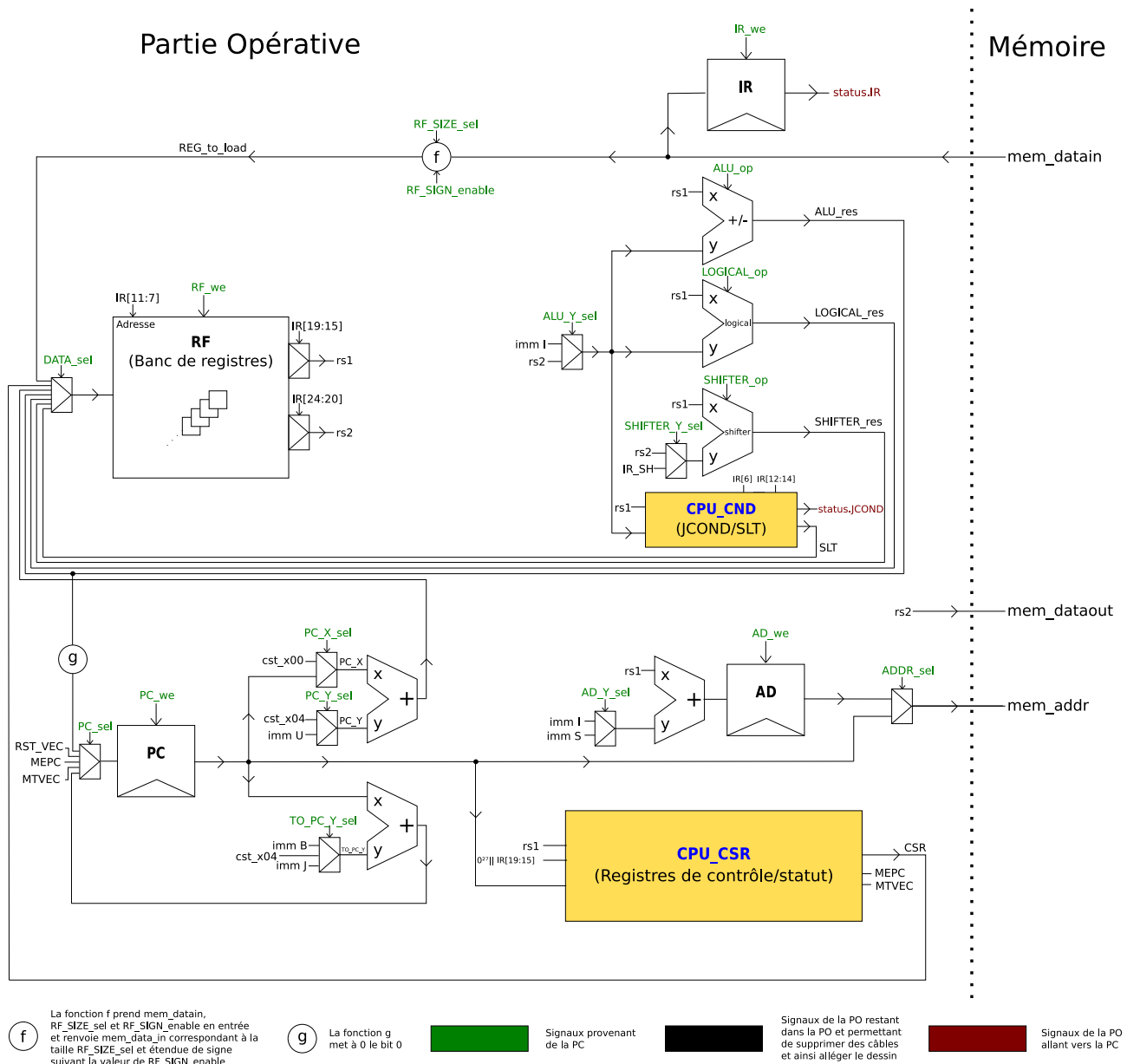
Sous-ensemble privilégié

0011000	00010	00000	000	00000	1110011	- mret
csr		rs1	001	rd	1110011	I csrrw
csr		rs1	010	rd	1110011	I csrrs
csr		rs1	011	rd	1110011	I csrrc
csr		zimm	101	rd	1110011	I csrrwi
csr		zimm	110	rd	1110011	I csrrsi
csr		zimm	111	rd	1110011	I csrrci

Interface PC/PO

Champ	Type VHDL	Valeurs possibles	Rôle
ALU_op	ALU_op_type	ALU_plus, ALU_minus	Sélection de l'opération arithmétique effectuée par l'ALU
LOGICAL_op	LOGICAL_op_type	LOGICAL_and, LOGICAL_or, LOGICAL_xor	Sélection de l'opération logique effectuée par l'ALU
ALU_Y_sel	ALU_Y_select	ALU_Y_rf_rs2, ALU_Y_immI	Sélection de l'opérande Y (arithmétique/logique) sur l'ALU
SHIFTER_op	SHIFTER_op_type	SHIFT_rl, SHIFT_ra, SHIFT_ll	Sélection de l'opération de décalage effectuée par l'ALU
SHIFTER_Y_sel	SHIFTER_Y_select	SHIFTER_Y_rs2, SHIFTER_Y_ir_sh	Sélection de l'opérande Y (de décalage) sur l'ALU
RF_we	boolean	true, false	Valide l'écriture dans RF
RF_SIGN_enable	boolean	true, false	Valide l'extension de signe pendant un accès au banc de registres
RF_SIZE_sel	RF_SIZE_select	RF_SIZE_word, RF_SIZE_half, RF_SIZE_byte	Sélection du mot, demi-mot ou octet à écrire dans le banc de registres ou à écrire en mémoire
DATA_sel	DATA_select	DATA_from_alu, DATA_from_logical, DATA_from_mem, DATA_from_pc, DATA_from_slt, DATA_from_shifter, DATA_from_csr	Sélection de la provenance de la donnée à écrire dans le banc de registres
PC_we	boolean	true, false	Valide l'écriture dans PC
PC_sel	PC_select	PC_from_alu, PC_mtvec, PC_rstvec, PC_from_pc, PC_from_mepc	Sélection de la provenance de la donnée à écrire dans PC
PC_X_sel	PC_X_select	PC_X_cst_x00, PC_X_pc	Sélection de l'opérande X sur l'additionneur vers le banc de registres
PC_Y_sel	PC_Y_select	PC_Y_cst_x04, PC_Y_immU	Sélection de l'opérande Y sur l'additionneur vers le banc de registres
TO_PC_Y_sel	TO_PC_Y_select	TO_PC_Y_immB, TO_PC_Y_immJ, TO_PC_Y_cst_x04	Sélection de l'opérande Y sur l'additionneur de PC
AD_we	boolean	true, false	Valide l'écriture dans AD
AD_Y_sel	AD_Y_select	AD_Y_immI, AD_Y_immS	Sélection de l'opérande Y sur l'additionneur de AD
IR_we	boolean	true, false	Valide l'écriture dans IR
ADDR_sel	ADDR_select	ADDR_from_pc, ADDR_from_ad	Sélection de l'adresse vers la mémoire
mem_we	boolean	true, false	Valide une écriture dans la mémoire
mem_ce	boolean	true, false	Valide une transaction vers la mémoire (lecture ou écriture)
cs	PO_cs_cmd	voir détail	Interface aux registres de contrôle/statut (CSR "Control Status Register")

Schéma de la PO



Construction des constantes immédiates

