

Langage VHDL :

1] Introduction :

x VHDL : langage de description matériel (d'architecture) pour décrire des circuits

Ex : * Pour la visualisation des chronogrammes on peut utiliser le logiciel Vivado (Xilinx)

⇒ VHDL langage pour décrire des circuits et nos des Algorithmes.

2] Bibliothèque et paquetages

- Bibliothèques = ensemble de paquetages

- La bibliothèque **IEEE** : une bibliothèque indispensable pour cibler des composants logiques

- Pour utiliser une bibliothèque on utilise le mot clé : **library**

- Le paquetage **STD-LOGIC-1164** : un paquetage indispensable pour les composants logiques.

- x Pour utiliser un paquetage on utilise le mot clé : **use**

- x Le suffixe **.ALL** pour chargerent de l'intégralité du paquetage.

Ex :

Library IEEE;

use IEEE, STD-LOGIC-1164, ALL;

3] Description d'une Entité : (Description Externe)

x Syntaxe :

```
entity nom de l'entité is
  Port ( nom port 1 : mode type 1
        - - - - -
        - - - - - );
end nom de l'entité ;
```


* 4 Modes possibles :

in : Pour des entrées
out : Pour des sorties
inout : Pour des signaux bidirectionnels
buffer : Pour des signaux de sortie réentrants

* 2 Types possibles :

- scalaire : STD-LOGIC
- vecteur : STD-LOGIC-VECTOR

Ex

```
entity PortET is
    Port(
        e1 : in STD-LOGIC;
        e2 : in STD-LOGIC;
        s : out STD-LOGIC);
end PortET;
```

4) Description Interne :

a) * il existe plusieurs types de description interne :

i) Description interne de haut niveau :

Comportementale

- structure de traitement de flux de données
- processus séquentiels

Structure hiérarchique

- Instantiation de blocs décrits en VHDL et description de leurs interconnexions

ii) Description interne de bas niveau :

• Description structurelle reposant sur des instantiations de primitives du composant cible

b) Syntaxe : [Description Comportementale]

architecture nom de l'architecture of portET is
-- signaux et contraintes
-- Fonctions internes

begin

-- Description...

end nom de l'architecture;

Ex:

architecture fonctionnement of porte ET is

begin

$s \leftarrow e_1 \text{ and } e_2;$

end fonctionnement;

Ré:

- * En VHDL, un composant se définit en deux parties: une partie entête et une partie architecture.
- * Pour déclarer un signal s et dans sa description interne on utilise le mot clé signal

Ex signal bla : std_logic;

- * Les opérateurs booléens: and, or, nand, nor, xor, xnor, not.