

## 5) Signaux - Types, les opérateurs

### a) Déf (signaux)

- \* **Signal**: Toute grandeur qui peut exister après le processus de synthèse  
= Grandeur physique
- \* Les entrées, sorties de l'entité sont des signaux externes.
- \* Déclaration de signaux internes à l'architecture :  
Entre les mots clés **architecture** et **begin** avec la syntaxe :  
**signal** nomDuSignal : typeDesignal := valeurInitiale ;

### b) Types :

- \* **bit** : '0' ou '1' (mais insuffisant pour la synthèse et la simulation sur FPGA).
- \* **boolean** : true ou false = Type de référence par les structures conditionnelles.
- \* **STD\_LOGIC** : '0', '1', 'Z' (valeurs au sens physique)
  - Dans la simulation il y a des autres valeurs.
    - 'U' : pour non initialisé.
    - 'X' : pour un résultat inconnu.
    - '-' : sans importance



## \* STD-LOGIC-VECTOR

- Assimilable à des tableaux d'éléments d'un type scalaire
- STD-LOGIC-VECTOR: Vecteur de STD-LOGIC
- deux types:

→ a : STD-LOGIC-VECTOR (3 downto 0) ;  $a = \begin{matrix} 1 & 0 & 0 & 1 \\ a(3) & & & a(0) \end{matrix}$

•  $a(3) = 1$ ,  $a(0) = 1$

•  $a(0)$ : désigne le poids fort,  $a(3)$ : le poids faible

→ b : STD-LOGIC-VECTOR (1 to 4) ;  $b = \begin{matrix} 1 & 0 & 0 & 1 \\ b(0) & & & b(4) \end{matrix}$

$b(1) = 1$ , le poids fort,  $b(4)$ : le poids faible

## \* SIGNED et UNSIGNED

- Ce sont des vecteurs de STD-LOGIC utilisables comme des STD-LOGIC-VECTOR et pour lesquels des opérateurs arithmétiques sont définies pour des représentations signés et non signés dans le paquetage NUMERIC\_STD.

## \* INTEGER

- Type entier de référence (32 bits par défaut)
- Noté de : range :
- Permet de spécifier l'intervalle d'un INTEGER au moment de sa déclaration

Ex.

$b$  : INTEGER range 0 to 20 ; --  $b$  est un entier  $[0, 20]$

\* NATURAL : Entier positif non nul

\* POSITIVE : Entier positif

\* REAL : nombre réel

\* CHAR : pour des chaînes de caractères  
STRING

Exemple

Signal B, C, D : STD-LOGIC ;

Signal A : STD-LOGIC := '1' ;

Signal H : STD-LOGIC-VECTOR (3 downto 0) := "0000" ;

Signal F : STD-LOGIC-VECTOR (0 downto 0) := (others => '0') ;

les : others => '0' signifie que tous les éléments du vecteur sont des 0.



### c) Définition de constantes

\* On utilise le mot clé constant.

Ex:

Constant `CHIFFR-1 : STD-LOGIC-VECTOR(1 to 7) := "0110000";`

### d) Opérateurs en VHDL

#### i) Opérateur d'affectation

\* c'est & opérateur:  $\leftarrow$

Ex: nom-du-signal  $\leftarrow$  expression ;

#### ii) Opérateurs logiques

\* and, or, xor

\* not

\* nand, nor, xnor

#### iii) Opérateurs Arithmétiques (par: INTEGER, SIGNED et UNSIGNED):

\* +, -, \*, /, mod, rem

#### iv) Opérateur de Concaténation (par: STD-LOGIC, CHAR ...):

\* &

Ex  $E1 = '1'$ ,  $E2 = '0'$

$E1 \& E2 = '10'$

#### v) Opérateurs relationnels

\* <, >, <=, >=, =, /=

Ex

$C \leftarrow \text{not}(E) \text{ and } \text{not}(E0);$

$A \leftarrow \text{CHIFFR-1}(1);$

$B \leftarrow \text{CHIFFR-1}(5 \text{ down to } 3);$