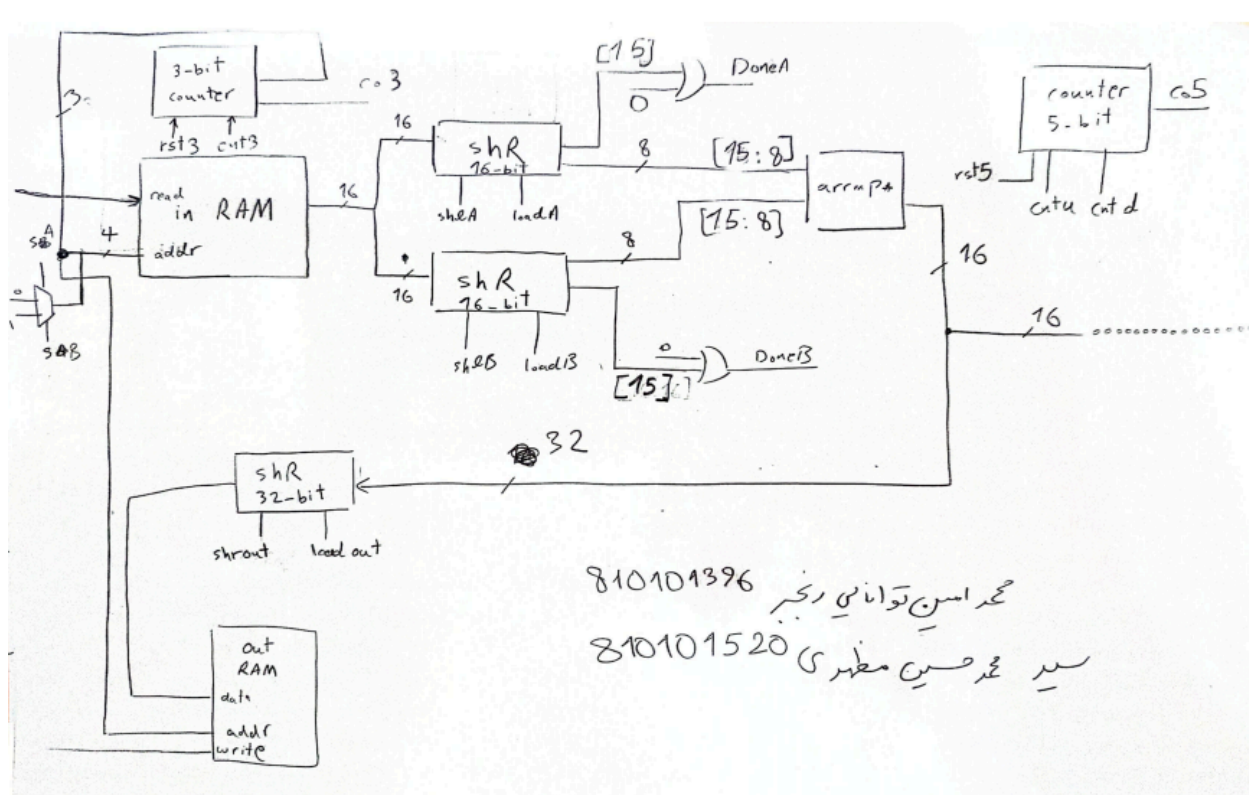


پروژه اول درس طراحی کامپیوتری سیستم های دیجیتال

محمد امین توانایی رنجبر : 810101396

سید محمد حسین مظهری : 810101520



در ابتدا یک شمارنده سه بیتی داریم که چند کار برای ما انجام میدهد

- تعداد خروجی ها را کنترل میکند

- آدرس رم خروجی و ورودی را تنظیم میکند

مقادیر A , B بصورت سری با استفاده از سیگنال SA , SB کنترل میشود بصورتی که آدرس رم ورودی از به هم

وصل شدن مقدار شمارنده سه بیتی و تک بیتی که از مالتی پلکسر می آید تعیین میشود.

سپس به صورت موازی اول A و بعد از آن B در شیفت رجیستر های 16 بیتی قرار میگیرند.

حال باید چک کنیم ببینیم بیت پر ارزش A صفر است یا یک.

اگر صفر باشد شیفت به چپ می دهیم و اگر یک باشد به سراغ B می رویم و همین کار .

همزمان که شیفت به چپ می دهیم باید تعداد صفرهای سمت چپ را در جایی نگه داریم که این کار را در یک

شمارنده 5 بیتی انجام و با هر بار شیفت دادن یکی به شمارنده اضافه میکنیم.

پس از اینکه صفرهای سمت چپ A و B را دور ریختیم هشت بیت برتر آنها را برای عملیات ضرب بر میداریم.

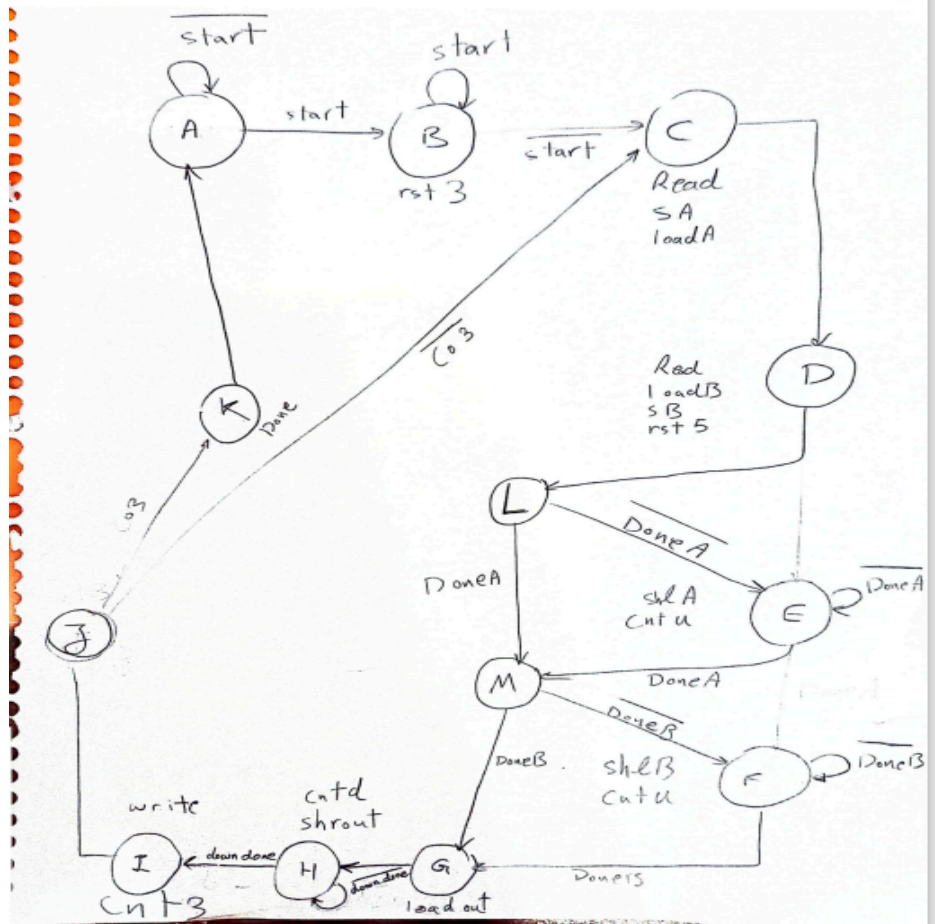
سپس نتیجه را در سمت چپ یک رجیستر 32 بیت میریزیم.

دقت کنید داریم : $worthless + discard = 16$

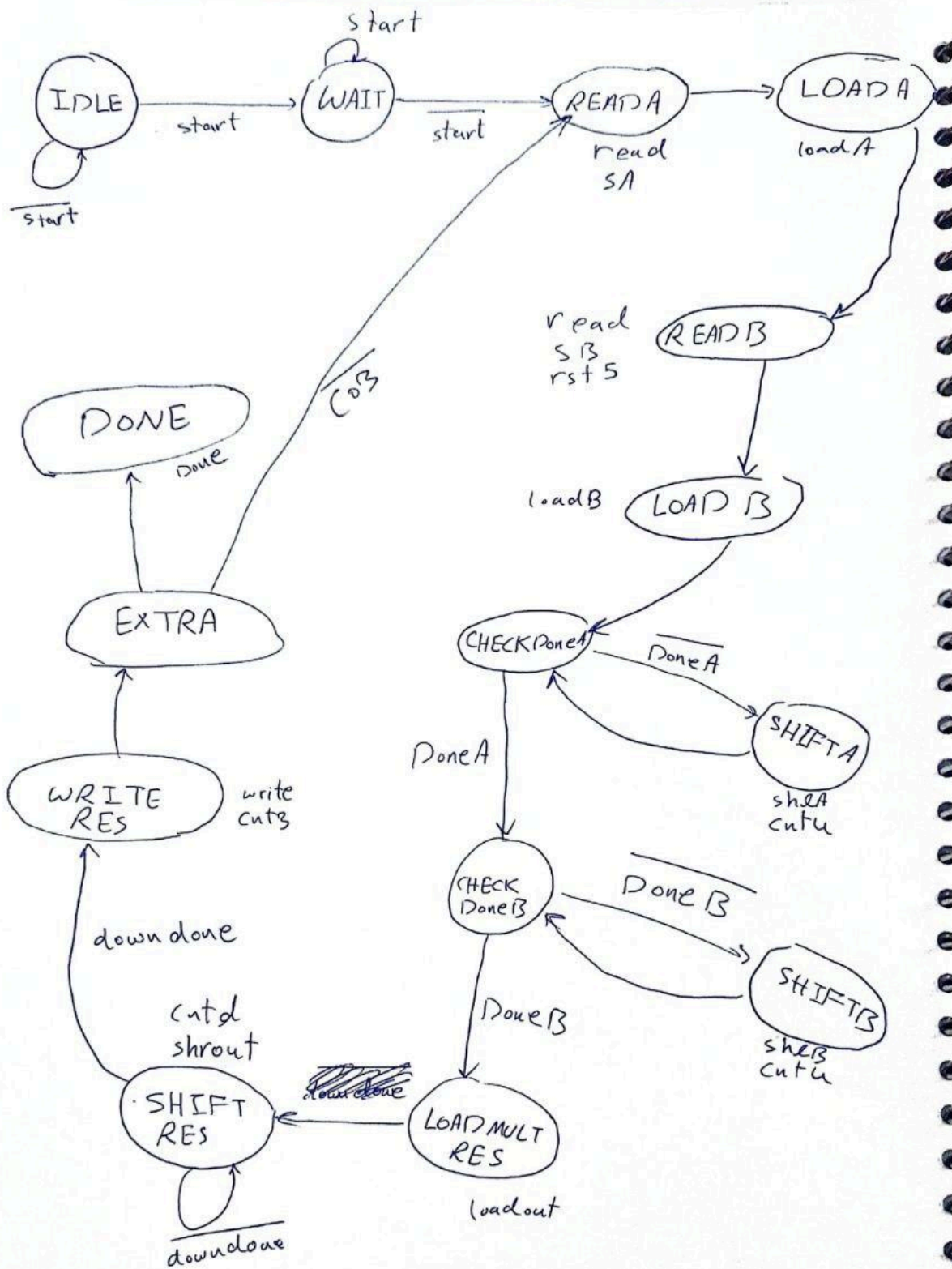
حال اگر به تعداد صفرهای شمرده شده در شمارنده 5 بیتی رجیستر 32 بیتی را به راست ببریم به اندازه worthless در سمت چپ بیت صفر و با توجه به معادله بالا تعداد بیت های سمت راست رجیستر 32 بیتی معادل discard خواهد شد.

در ضمن حین simulation به مشکلاتی برخوردیم که مجبور شدیم شکل کنترلر بارگذاری شده را تغییر دهیم که برای همین کنترلر قبلی و تغییر یافته را گذاشته و تغییرات را توضیح خواهیم داد.

• کنترلر قبلی



• کنترلر فعلی



دو استتیت جدید به نام های LOADB,LOADA اضافه شده به دلیل اینکه تا قبل از آن فرض بود که عملیات خواندن آسنکرون است اما اکنون عملیات خواندن از رم ورودی سنکرون انجام میشود پس لازم است در یک لبه خوانده شود و در لبه دیگر در رجیستر لود شود.

همچنین تغییری در استتیت SHIFTB,SHIFTA ایجاد شد و آن به این دلیل بود که برای هر عدد شمارش صفر ها یک واحد بیشتر انجام میشد.

همچنین سیگنال shrout چون یکی بیشتر از تعداد بیت های worthless انجام می شد مجبور شدیم به صورت Mealy پیاده سازی کنیم.