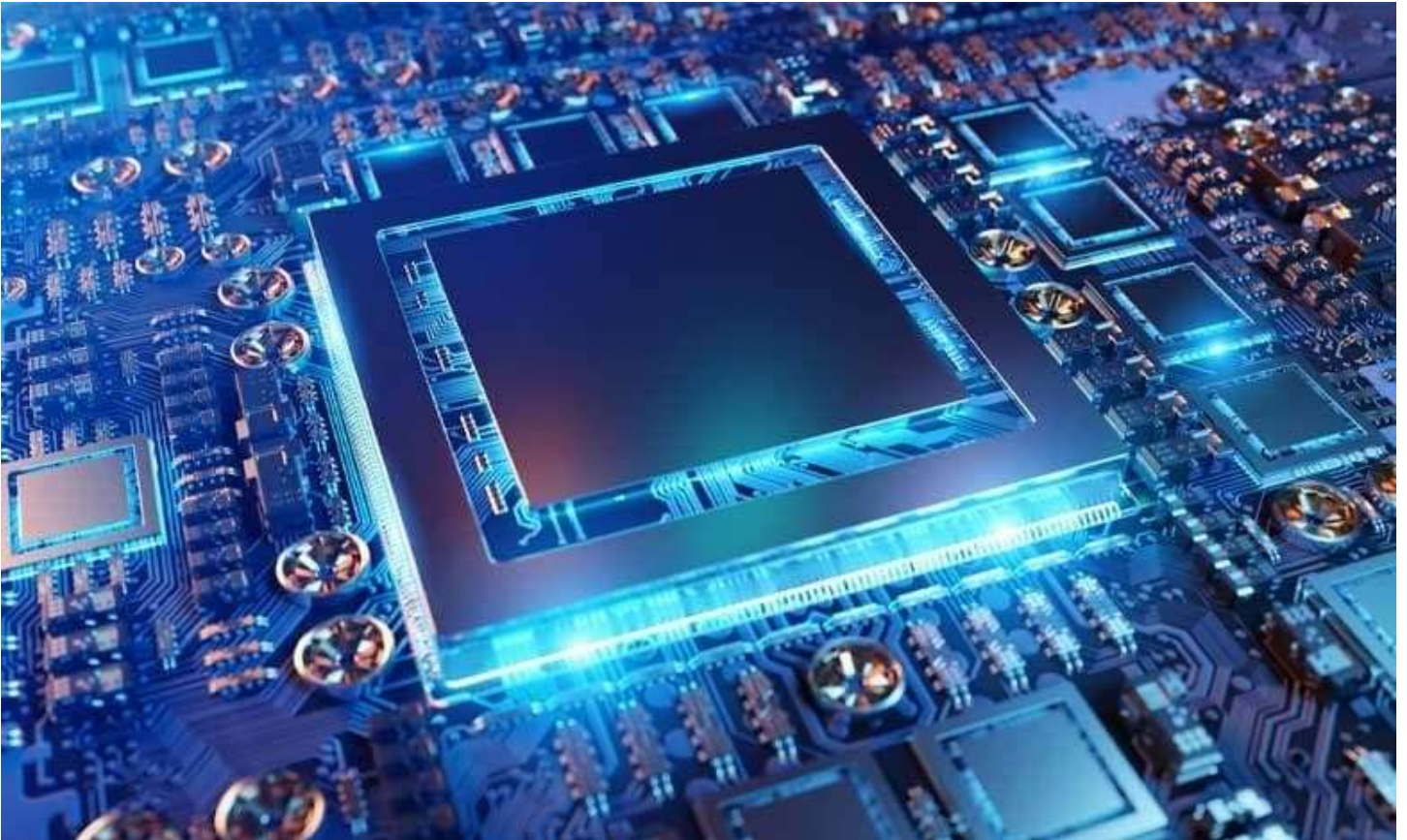


بسم الله الرحمن الرحيم

۴۰۲۱۰۵۸۱۳ و ۴۰۲۱۰۶۶۰۴

عرفان تیموری و محمدرضا منعمیان



## practical 6



شرح تمرین :

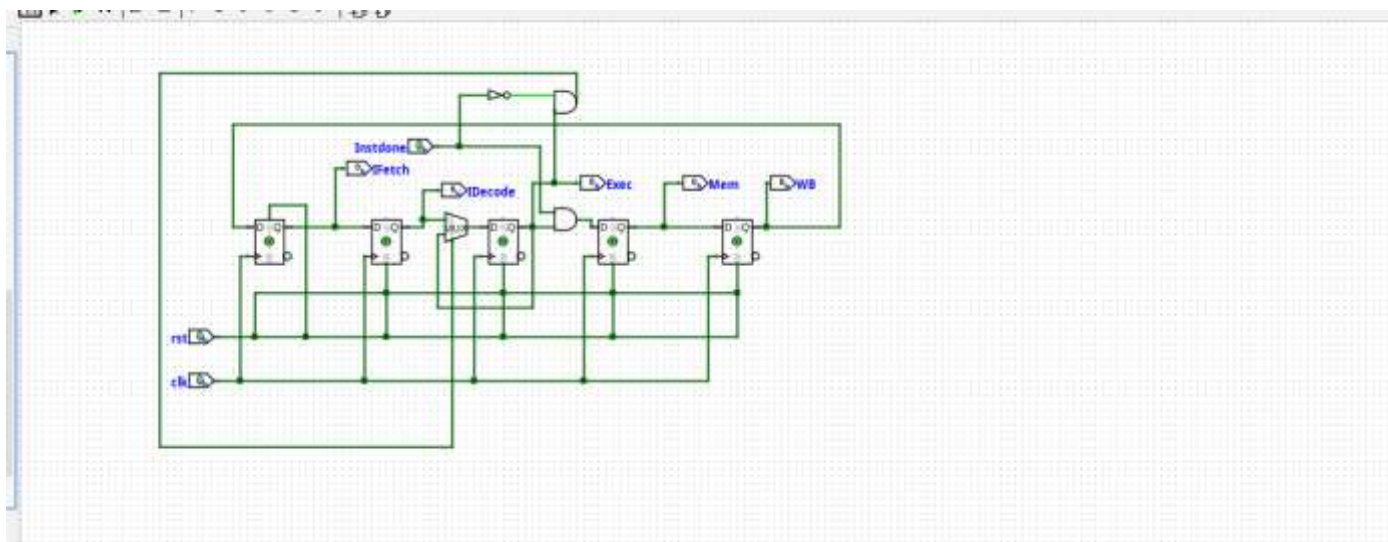
در این تمرین قرار بر این است که پردازنده قبلی را به حالت چند سایکلی تبدیل کنیم در ضمن به pipeline نیز توجه کنیم و همه دستورات در ۵ مرحله انجام شوند.

به این صورت که در مرحله اول instruction fetch انجام می‌شود در ادامه instruction decode سپس واحد ALU عملیات خود را انجام می‌دهد. ( اگر در عملیات های تقسیم و ضرب بودیم تا زمانی که ins\_done یک نشده بود در این state باید بمانیم).

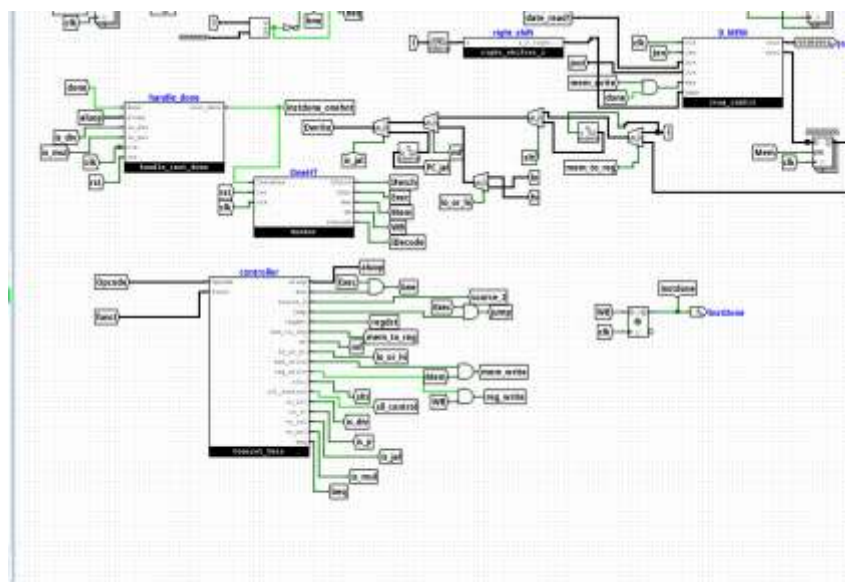
در ادامه واحد D\_mem را داریم و در آخر نوبت write back است.

توجه داریم بعضی از دستورات هر ۵ استیت را نیاز ندارند بنابراین در بعضی از استیت های آنها عملیات های بی اهمیت انجام می‌شود.

برای کنترل کردن بودن در این ۵ مرحله از روش one\_hot با استفاده از ۵ D\_FF استفاده کردیم. که به صورت زیر است :



یعنی بعد از واحد حافظه دستور یک رجیستر به نام IR قرار می‌دهیم. بعد از واحد حافظه داده نیز یک رجیستر به نام DMR داریم. بعد از رجیستر فایل نیز دو رجیستر به نام A,B خواهیم داشت.

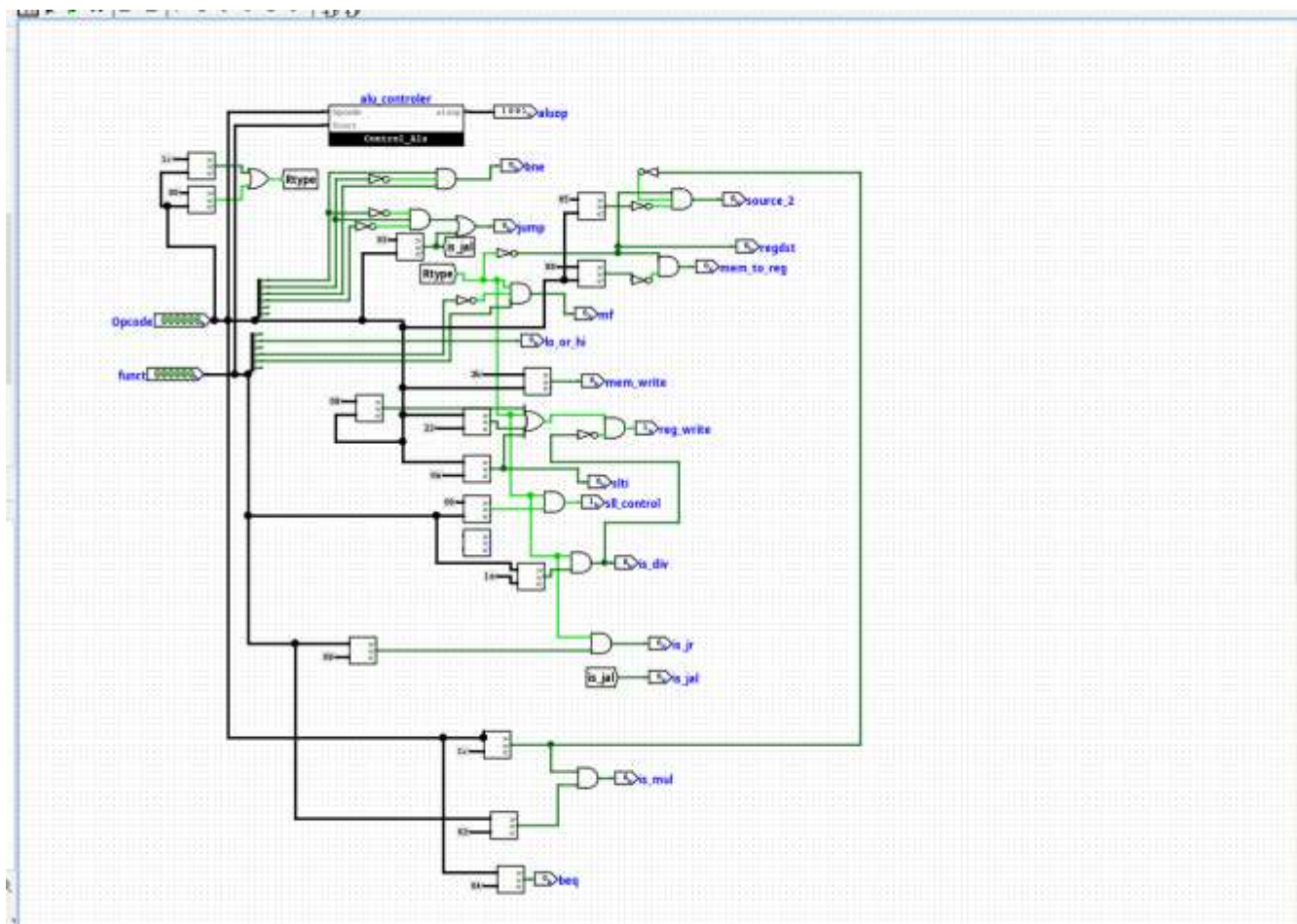






واحد کنترلی خیلی متفاوتی نخواهد کرد. فقط سیگنال های کنترلی مناسب ۴ دستور اضافه شده در نظر گرفته می شود (مانند is\_mul). همچنین به این خاطر که در state های مناسب باید سیگنال های کنترلی مقدار مناسب داشته باشند برخی از سیگنال ها مخصوصا سیگنال های write را با state های مناسب and می کنیم.

پیاده سازی واحد کنترل و همچنین استفاده از آن در datapath به شکل زیر است :



نتیجه تست به صورت زیر است :

```
lpc : 10
lpc : 11
lpc : 18
lpc : 19
load 000001fe
lpc : 20
mem : [1f9] :      0[1fa] :      0[1fb] :      0[1fc] :      0[1fd] :      0[1fe] :
ACCEPTED
51 /      51
nohamandreza@nylove:~/CA/SUT_CA_4032_ProfAsadi_Judgement_System-master$
```