

## Practical 1



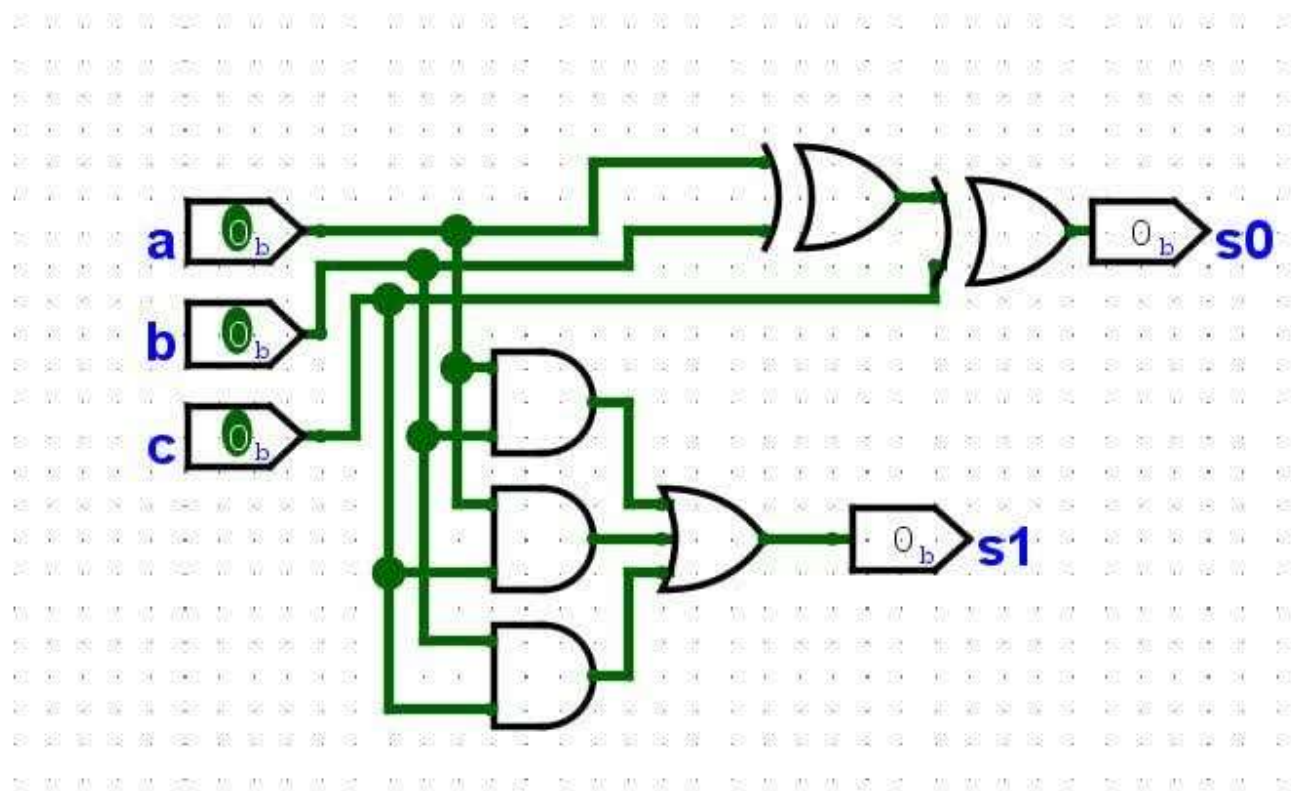
شرح پیاده سازی مدار جمع کننده و تفریق کننده :

برای طراحی این مدار ابتدا یک full adder به صورت زیر طراحی کردیم تا در ادامه از آن استفاده کنیم:

واضح است که این full adder دو بیت ورودی  $a$ ,  $b$  و همچنین بیت  $c_{in}$  را میگیرد و خروجی آن به این صورت است:

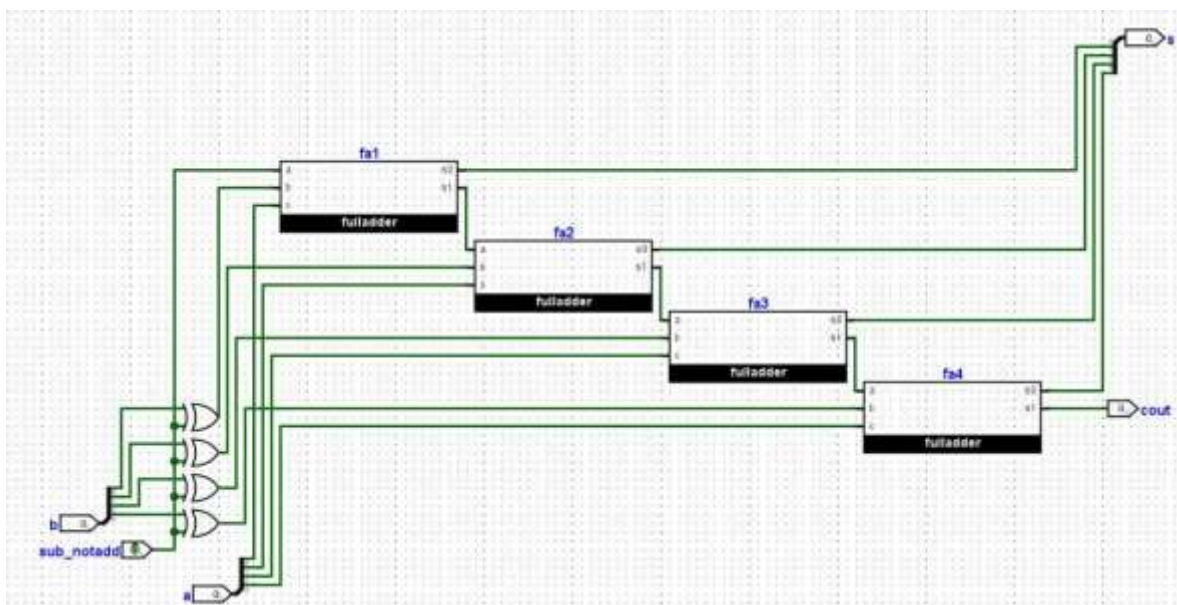
$$S = a + b + c_{in}$$

$$C_{out} = ab + ac_{in} + bc_{in}$$

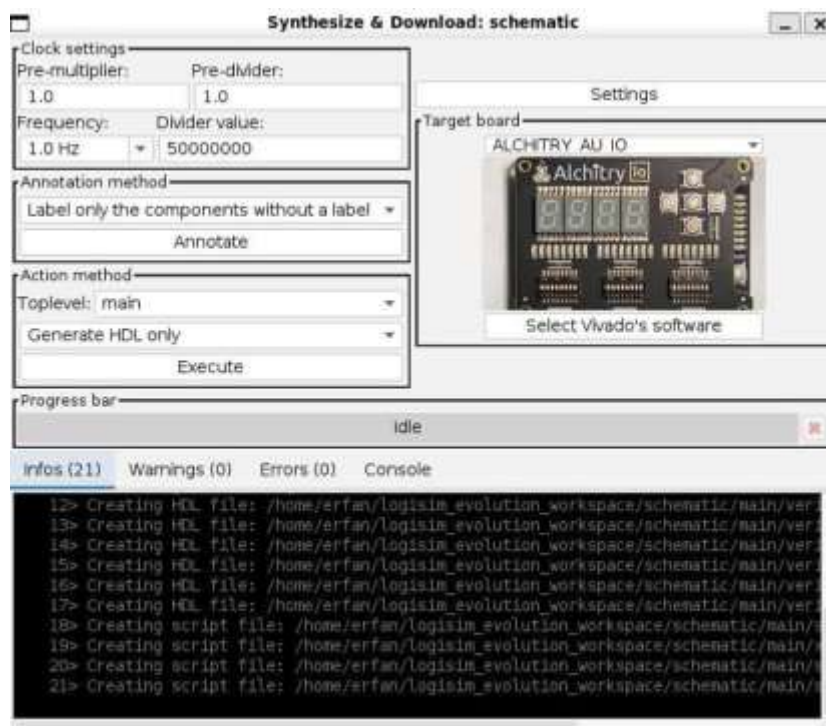




حالا با استفاده از ۴ تا از مدار های بالا به صورت تجمیعی یک مدار می سازیم که با توجه به بیت کنترلی داده شده جمع یا تفریق ۴ بیتی را انجام میدهد. همچنین علاوه بر جواب نهایی مقدار carry, borrow نیز خروجی میدهد. مدار نهایی را در زیر مشاهده می کنیم:



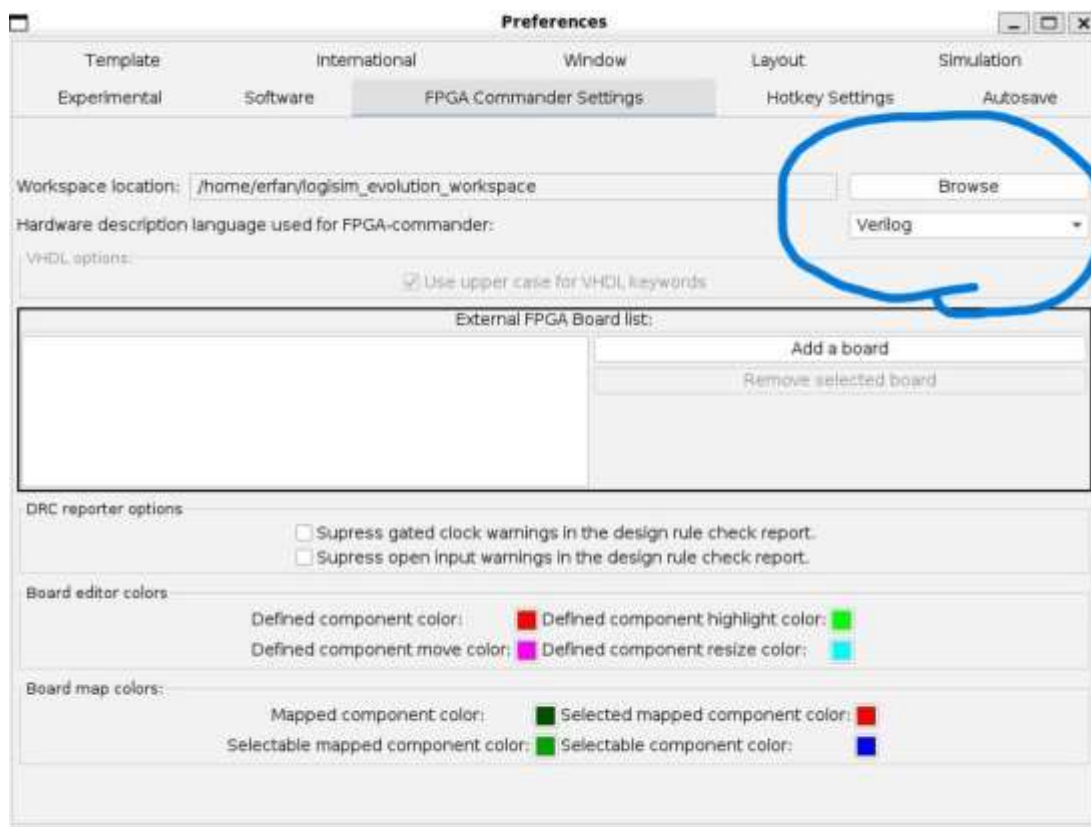
حال که مدار خواسته شده را در Logisim طراحی کردیم از منوی FPGA گزینه Synthesize Download را انتخاب می کنیم:







حال از گزینه setting زبان سنتز را به Verilog تغییر می‌دهیم:



و در آخر با استفاده از گزینه Execute و سپس Done فایل نهایی برای ما ساخته می‌شود.

یک پوشه به نام Logisim\_evolution\_workspace در محلی که ما در قسمت setting تعیین کردیم ساخته می‌شود و حالا برای تست کردن آن از اسکریپت synth\_valid.sh استفاده می‌کنیم:

```
erfan@erfan:~/projects/practical/HW1/INT-53_HB32_Prefixed_Adderpoint_1igned$ ./synth_valid.sh HW1/schematic.cir
HW1/th0.v
logisim workspace : /home/erfan/logisim_evolution_workspace
inspins : ['b', 'sub_notand', 'a']
outpins : ['cout', 's']
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "fulladder"
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Circuit "fulladder" has 9 nets and 8 buses.
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Circuit "fulladder" passed DRC check.
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "main"
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Circuit "main" has 9 nets and 3 buses.
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Circuit "main" passed DRC check.
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - The Board ALCHITRY_Au_10 has:
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - 6 Button(s)
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - 3 DIPSwitch(s)
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - 32 Led(s)
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - 1 SevenSegmentScanning(s)
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/verilog/gates/XOR_GATE_ONEHOT.v
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/verilog/gates/AND_GATE.v
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/verilog/gates/OR_GATE_3_INPUTS.v
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/verilog/circuit/fulladder.v
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/verilog/circuit/main.v
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/verilog/toplevel/logisimTopLevelShell.v
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/scripts/vivadoCreateProject.tcl
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/scripts/vivadoConstraints.xdc
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/scripts/vivadoGenerateEditStream.tcl
[main] INFO csw.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/erfan/logisim_evolution_workspace/schematic.cir.tmp/main/scripts/vivadoLoadBitStream.tcl
HW1/th0.v /home/erfan/logisim_evolution_workspace/schematic.cir.tmp
ACCEPTED
299 / 299
```