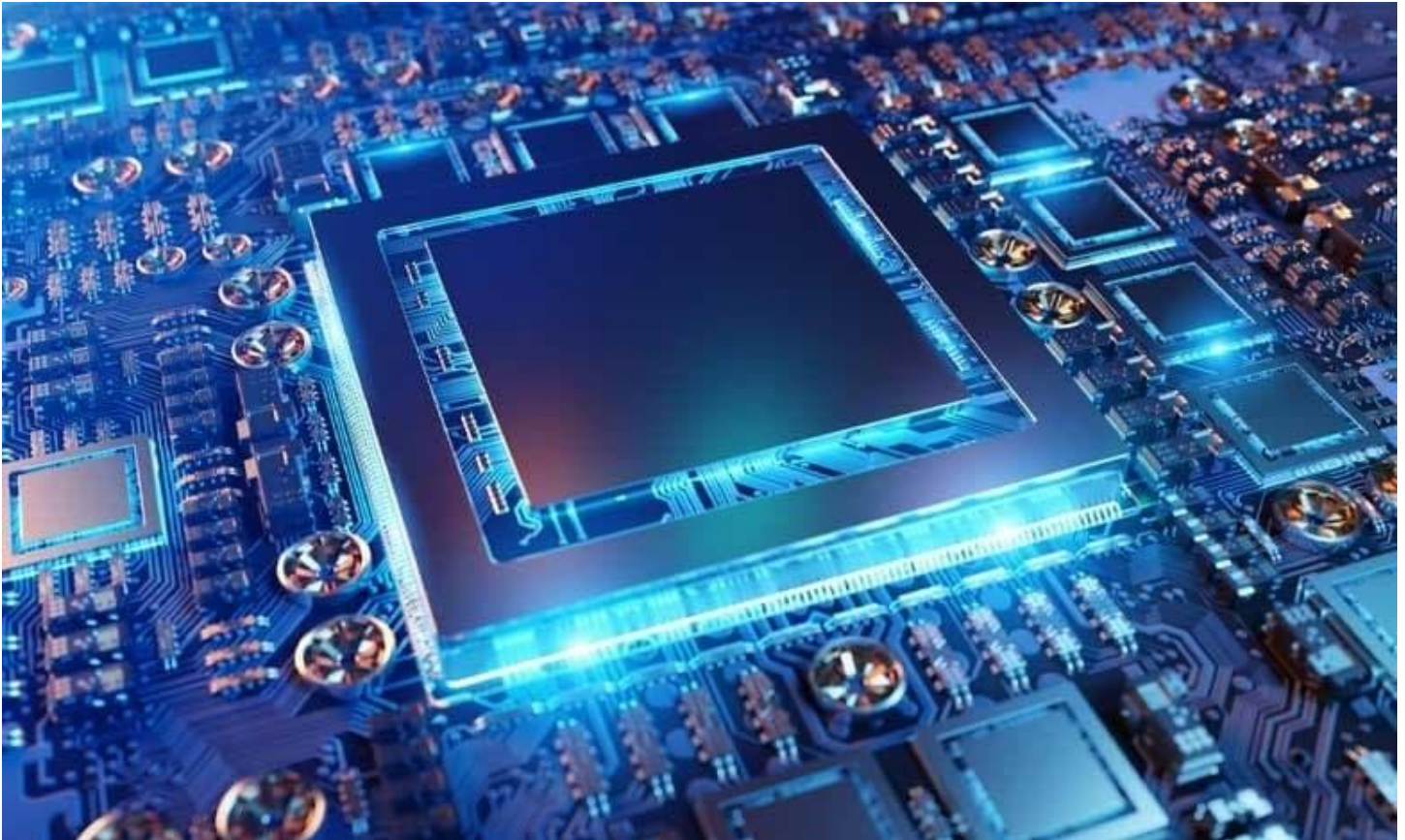


# به نام خداوند بخشنده بخشایسر

شماره دانشجویی : 402106604 و 402105813

عرفان تیموری و محمدرضا منعمیان



## Practical 5

Erfan Teymouri, Mohammad Reza  
Monemian

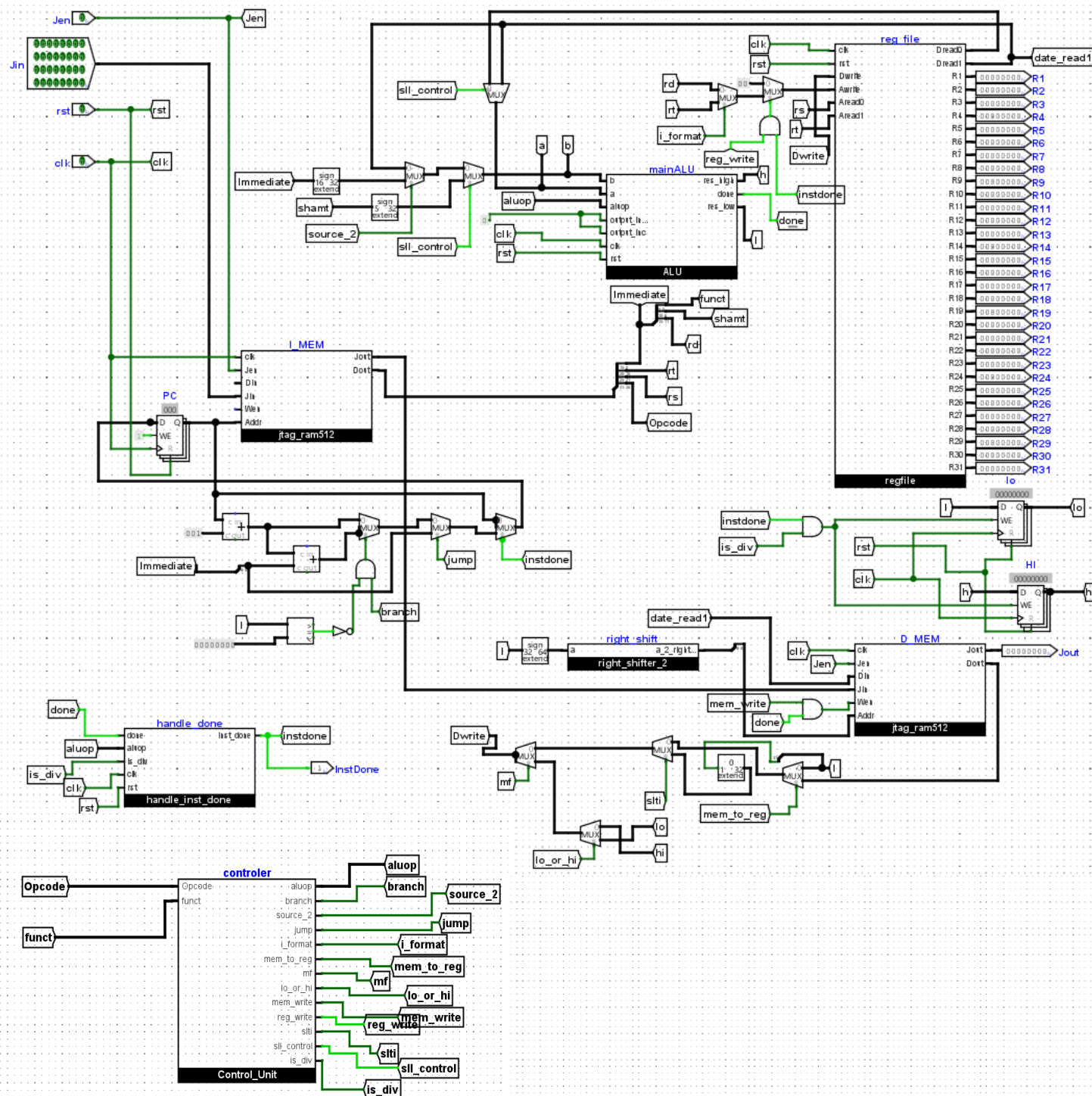
5/8/25

computer architecture

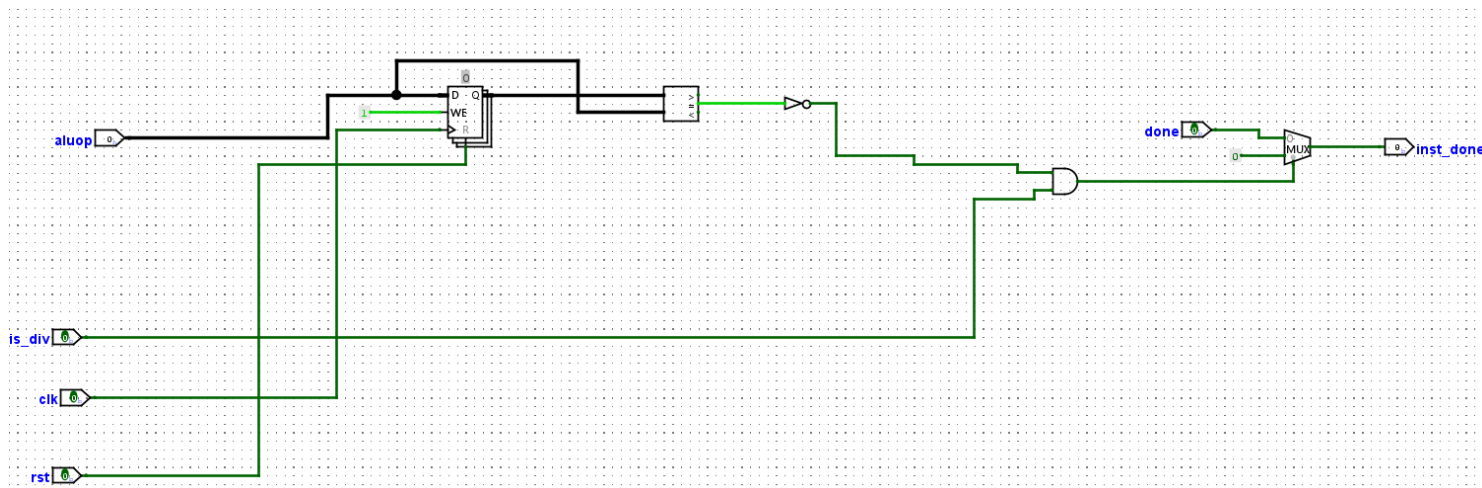


## شرح پیاده سازی:

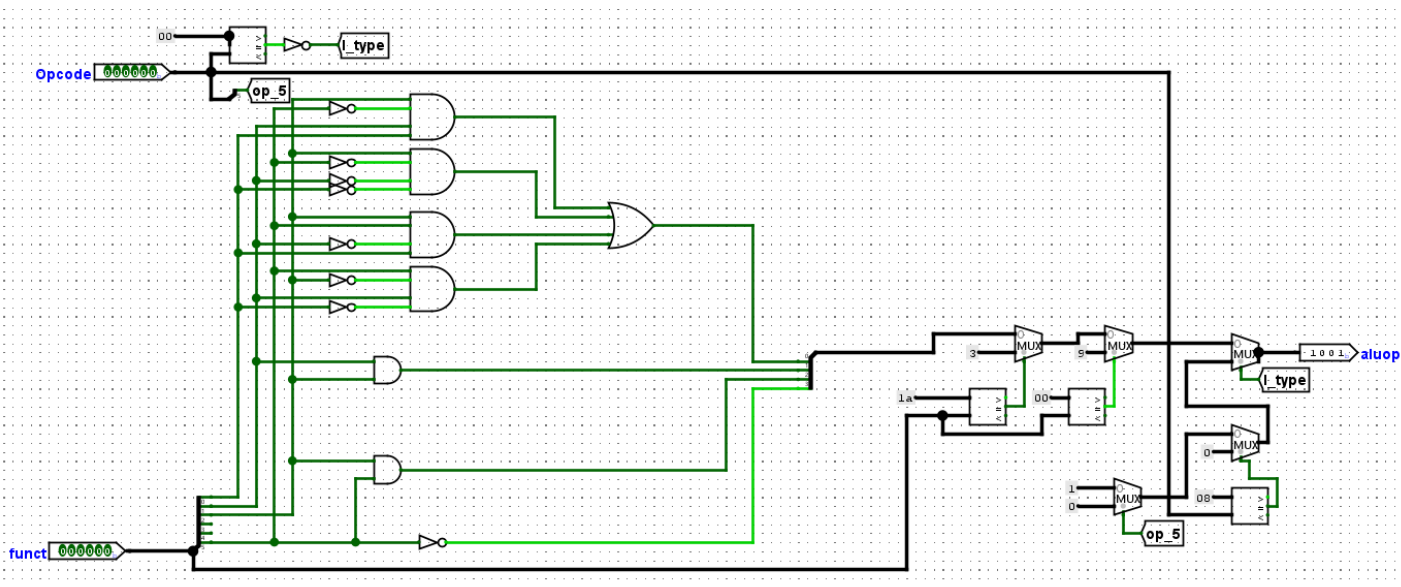
در این تمرین مدار تمرین 4 را کاملتر کردیم و تعدادی دستور را به این مدار اضافه کردیم؛ همچنین امکان اجرای دستوری که اجرای آن به چند کلاک نیاز دارد (دستور div) را به مدار اضافه کردیم. ابتدا در قسمت main تغییراتی به وجود آوردیم که امکان اجرای دستورات جدید فراهم شود:

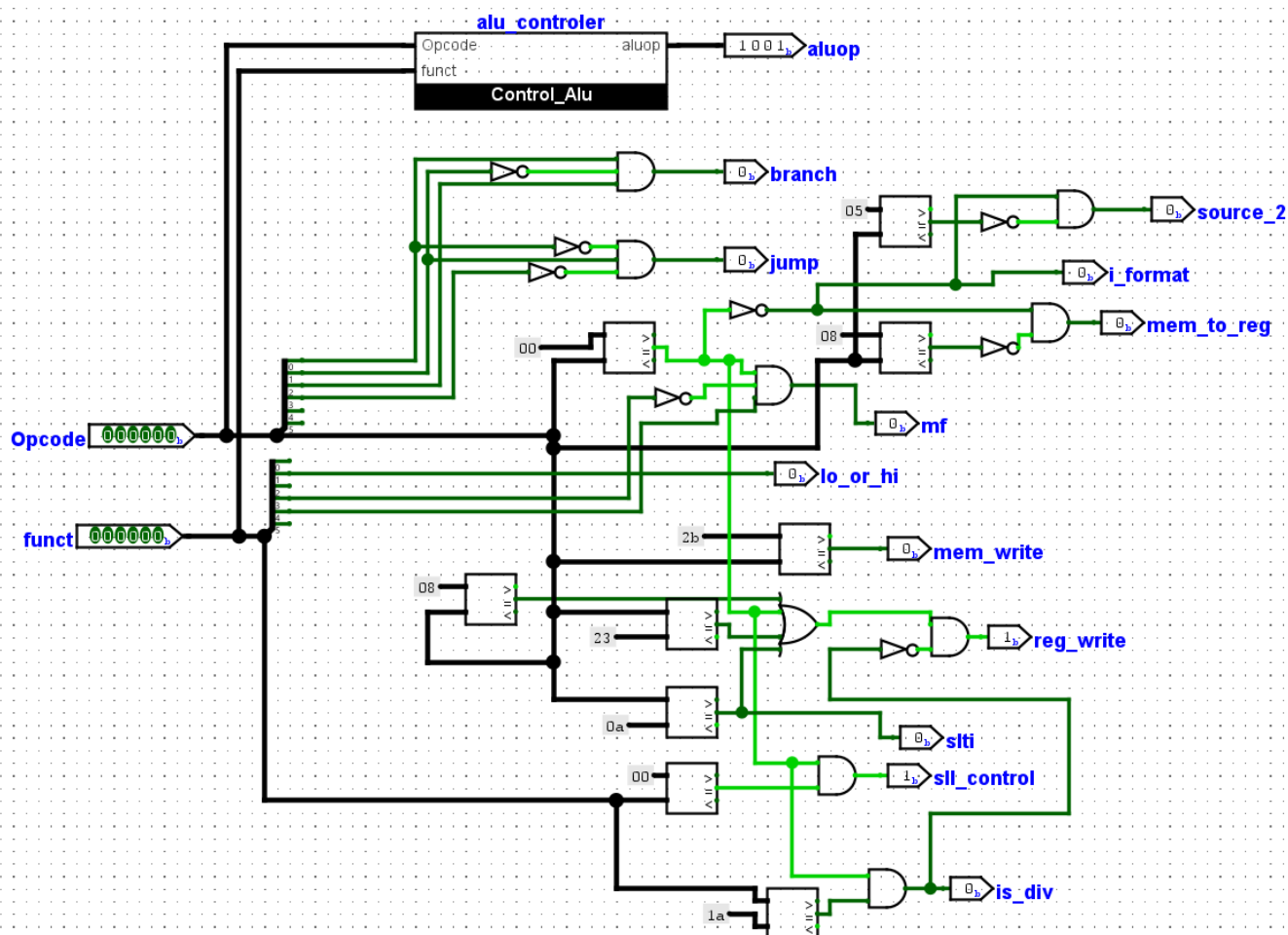


با توجه به اضافه شدن سیگنال `inst_done` مجبور به اضافه کردن ماژول `handle_inst_done` شدیم. در این ماژول همواره `inst_done = 1` خواهد بود، مگر اینکه دستور `div` وارد شود؛ چون اجرای آن به 16 کلاک سایکل احتیاج دارد. در اینصورت `inst_done` به مدت 16 کلاک 0 می شود و پس از اتمام اجرای دستور `div` دوباره مقدار آن 1 می شود.



برای مدیریت واحد کنترلی و اینکه هنگام دریافت Opcode هر دستور چه عملیاتی در ALU انجام شود، دو ماژول `Control_unit` و `Control_ALU` به مدار اضافه شدند. در این دو ماژول از مدارهای ترکیبی برای ساختن بیت های کنترلی استفاده می کنیم. در واقع با استفاده از جدول کارنو هر بیت کنترلی را به صورت یک `sum of product` نوشته و مدار آن را به کمک گیت های `AND`, `OR` می سازیم.





در آخر مدار را تست می کنیم:

```
load 000001f8
ipc : 62
mem : [1f9] :          0[1fa] :          10[1fb] :          34[1fc] :          55[1fd]
ACCEPTED
425 / 425
mohamandreza@mylove:~/CA/SUT_CA_4032_ProfAsadi_Judgement_System-master$
```