

復旦大學

硕 士 学 位 论 文
(专业学位)

智能探木探电线专用集成电路设计

院 系(所): 信息科学与工程学院

专 业: 电子与通信工程

姓 名: 陆 健

指 导 教 师: 童家榕 教授

完 成 日 期: 2005 年 4 月 5 日

摘要

随着人们生活水平的提高，家居环境越来越受到重视，因此，室内装修便风行起来。室内装修时，都免不了要在混凝土墙体上打洞，如果盲目打洞，很可能打到墙中电源暗线上，导致火线接地、电能表飞转以及自家和邻居供电中断，除修补极为困难外，还有可能危及操作人员的生命。所以，对墙体内部的电线布置情况有一个清楚的了解是非常有必要的。不仅如此，如果还可以将铁钉精确地打到墙体内部的木头上，则可以给施工大大带来方便，因此，探木探电线等探测器具有实用价值，市场前景广阔。目前北美、欧洲及拉丁美洲有着大量的需求，而且该产品为民用消费类产品，每年都有大量需求。本论文智能探木探电线专用集成电路是这类民用探测器的核心器件，利用此集成电路，加上少量的外围电路、传感器及电源，即可实现一个完整的探木探电线的探测工具整机。

本文首先介绍了有关探木探电线探测器的相关技术、智能探木探电线专用集成电路的设计目标以及主要特点，由于智能探木探电线专用集成电路是整个探测器件的核心，所以本文介绍了探测器今后的发展前景以及主要的类似技术。

接下来本文从总体上介绍了智能探木探电线专用集成电路。主要涉及到基本原理、技术关键、技术路线等，同时指出了智能探木探电线专用集成电路在整个探测系统中的重要作用。本论文还给出了所要实现的主要功能，所设计的智能探木探电线专用集成电路的主要特点：数模混合设计、软硬件协同设计、自动校正、数字滤波、SOC 等。

最后一部分是本文的重点：探木模块、探电线模块、电源模块的设计，根据各个模块的特点对整个设计进行了基本的模块划分，分别介绍了各个模块的设计思路及实现，并且给出了相关的正确的模拟验证结果。

关键字 探木探电线探测器；探木；探电线；MCU；LDO；PWM；自动校正；数模混合设计；软硬件协同；数字滤波；SOC

Abstract

With the improvement of people's living standard, the environment of the house is being paid more and more attention and the interior decoration becomes popular. At the time of interior decoration, it is unavoidable to punch on the concrete wall. If punch blindly, it maybe get to wall power at the conduit wiring , cause battle line earth , electric energy meter run rapidly and cause the power failure of our owns and the neighbour's. Besides the difficulty of mending, it also may jeopardize the operator's life. So, it is very necessary for us to know all the pathways of the electrical wire in the wall. Moreover, if we can also accurate at the wood to get to wall piton, it will bring more convenience to construct. So Wood and Electric Wire Probe all have practical value and its market has a bright future. There are a large number of demands in North America, Europe and Latin America at present, and this product is the civil consumption products, there is a generous demand every year. The special-purpose integrated circuit mentioned in this thesis, which will apply to the stud and wire find, is a key device of this kind of civil detector. Utilize this integrated circuit, add a small amount of peripheral circuit, sensor and power, we can realize a completed machine to finding studs and wire in finished walls.

Firstly, this paper has introduced relevant technology of the stud and wire finder and the design objective of this machine's intelligent integrated circuit. Since the special-purpose integrated circuit is the core of the surveying device, this paper has introduced such detector's development prospect and main similar technology in the future.

And then this paper has recommended special-purpose integrated circuit of the stud and wire finder. This mainly involves the basic principle, technological key, technological route, etc., also it points out this integrated circuit's important function in the whole system.

This thesis still provides main functions will be realized and the main characteristic of this circuit such as Digital and Simulative, Software and Hardware Coordination, corrects automatically, the digital wave filter, SOC etc.

The last part is a focal point of this paper: the wooden finder module, the wire finder module, the design of the power module, the basic module's division according to each module's characteristic, the introduction of the mentality of designing and how to realize, and finally provide the relevant correct simulation and verify the result.

Keywords: Stud and Wire Finder, Wood Detect, Wire Detect, MCU, LDO, PWM, corrects automatically, Mixed signal Design, Software and Hardware Coordination, Digital Filter, SOC

第 1 章 绪论

1.1 选题目的及意义

随着人们生活水平的提高,家居环境越来越受到重视,因此,室内装修便风行起来。室内装修时,都免不了要在混凝土墙体上打洞,如果盲目打洞,很可能打到墙中电源暗线上,导致火线接地、电能表飞转以及自家和邻居供电中断,除修补极为困难外,还有可能危及操作人员的生命。所以,对墙体内部的电线布置情况有一个清楚的了解是非常有必要的。不仅如此,如果还可以将铁钉精确地打到墙体内部的木头上,则可以给施工大大带来方便,因此,探木探电线等探测器具有实用价值,市场前景广阔。

探木探电线类探测器目前主要的市场在欧洲和北美,是属于民用建筑行业探测工具,是属于消费类,因此市场潜力巨大。国内的企业设计生产的此类产品全部出口,具有较高的经济效益和社会效益。国外大企业所使用的单芯片解决方案中的关键芯片对于中国有着很强的技术壁垒。中国企业要在此类产品中保持较强的竞争能力,必须有自己自主知识产权的关键芯片。同时预留了探金属和激光和超声波测距等接口,为以后的整机功能的扩展做准备,也可作为整个探测系统的核心控制芯片。现在此类民用探测工具的市场规模大约在每年 5 至 10 亿美元,而且市场全部在国外,效益极其可观。本设计的实现,为此类国产产品具有了更强的国际竞争力。

1.2 探木探电线探测器

本设计是以内置 MCU 为关键,溶入各种模拟功能模块,采用数模混合电路设计技术,实现了单芯片解决探木、探电线功能。本芯片集成了除电容传感器、探电线天线以外的大部分器件,不仅降低了用户成本,也提高了整个系统的可靠性。

1.2.1 探测器的设计目标

将探木,探电线及稳压电源整合在芯片中,形成单芯片解决墙体探测产品,使各种民用建筑行业探测类工具具有较强的智能化,并且使得此类探测

工具具有更高的可靠性和精度。以填补国内外市场空白，并拥有自主的知识产权和发明专利。

本文设计的主要技术指标：

1. 检测厚度为 1.5 英寸内的石膏板下的木头位置，定位精度在正负 0.5mm
2. 检测 50hz,60hz 电线的位置
3. 整机能在 7-9V 电源下正常工作

1.2.2 探测器特色

- 查找墙后面的木头位置及边缘
- 能够选择 3/4inch 探测深度和 1 1/2inch 探测深度
- 显示系统能利用蜂鸣器和 LED 灯来指示木头及边缘
- 探测前系统能快速校零
- 能连续探测交流电线并报警
- 能定位交流电线的位置

1.2.3 国内外研究现状及趋势

目前探木探电线类探测器的市场现状为：一，国内的设计生产厂家利用分立器件完成此类功能。但是此类整机生产工艺复杂，且成本较高，不易大规模生产。二，国外的一些厂家利用大规模集成电路，由单芯片来实现整机功能，生产调试简单，且性价比高。在此情况下，国内的整机生产商与国外同类企业在竞争中就处于劣势地位。有鉴于此，我们根据此功能样机，开发了“智能探木探电线专用芯片”，为整机厂商开发了具有国内领先的具有完全自主知识产权的单芯片解决方案，填补了国内空白。

本设计是以内置 MCU 为关键，溶入各种模拟功能模块，采用数模混合电路设计技术，实现了单芯片解决探木、探电线功能。本芯片集成了除电容传感器、探电线天线以外的大部分器件，不仅降低了用户成本，也提高了整个系统的可靠性。产品应用领域广泛，每年可达 1 亿元人民币合 1000 万美元。本项目达到国际领先水平（见“中国科学院上海文献情报中心”的《科技咨询报告》），并且对国外大型企业的竞争设置了技术壁垒和知识产权的壁垒，此举极大提高了产品的市场竞争力，将可形成年产值达数十亿元人民币的新兴民族产业。

1.3 论文的研究内容

本论文的主要内容主要可以分为三部分，首先通过对探测器功能的分析与了解，得到系统的技术指标，从而得到芯片的系统解决方案；其次根据系统解决方案，了解探木、探电线的基本功能，并掌握探木、探电线的工作特点、实现方式；然后实现各个功能模块的设计，实现各个功能模块的各项基本功能；最后利用软硬件协同设计，利用软件结合设计的硬件完成整个系统的功能。

1.4 论文结构

第一章为绪论部分，介绍了课题的目的及意义，探测器的特点、国内外研究现状及发展前景等。

第二章从总体上介绍了整个探测器和专用芯片，指出了本设计芯片在探测器系统中的重要性。

第三章从总体上介绍了整个探测器的原理，主要涉及到探木原理、探电线原理等。

第四章给出了所要实现的探木探电线的功能，智能探木探电线芯片的主要模块：MCU 模块、探木模块、探电线模块、LDO 稳压模块等。然后分别介绍了各个部分的设计过程。

第五章首先给出了系统探测的整体流程，然后介绍了本设计中的软硬件的协同设计，以及软件的实现过程。

论文最后是结论。

第 2 章 探测器及芯片简介

2.1 探测器简介

一个探测器为三个部分：

- 探木部分；
- 探电线部分；
- 指示部分。

探测器通常的外形如下：

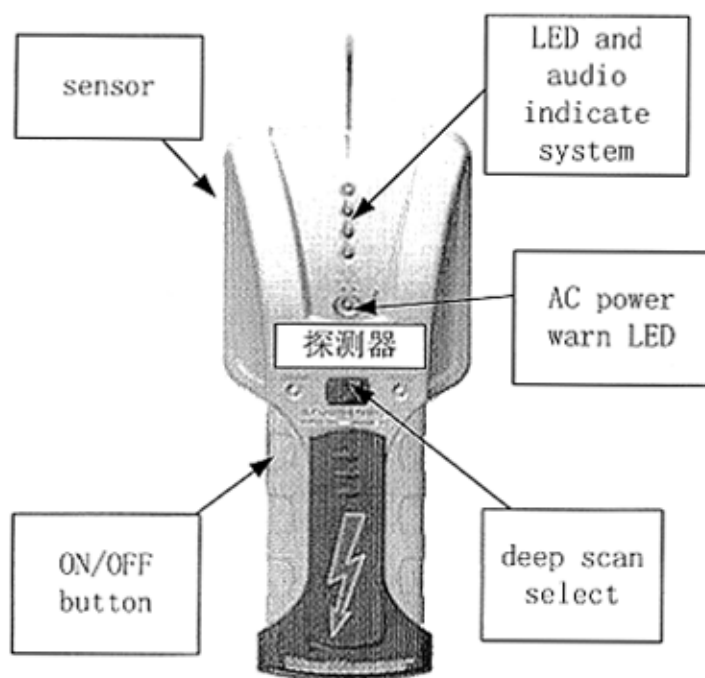


图 2-1 探测器外形图

- 探测器一般采用 9V 电池供电；
- 传感器内置；
- 探测时需要先校零后探测。

2.1.1 用途目的

探测器的功能有两种：

1. 发现木档和托梁的位置并准确定位其边缘；
2. 探测电线。



图 2-2 探测示意图

2.1.2 主用特点

- 查找墙、天花板后面的木头位置及边缘
- 能够选择 3/4inch 探测深度和 1 1/2inch 探测深度
- 显示系统能利用蜂鸣器和 LED 灯来指示木头及边缘
- 探测前系统能快速校零
- 能连续探测交流电线并报警
- 能定位交流电线的位置

2.1.3 主要应用

1. 发现木档和托梁的位置并准确定位其边缘；主要应用如下：
 - 安全悬挂橱柜和架子
 - 悬挂画框和镜子
 - 在天花板上安装风扇或吊灯
 - 在墙上安装植物悬挂架或毛巾架

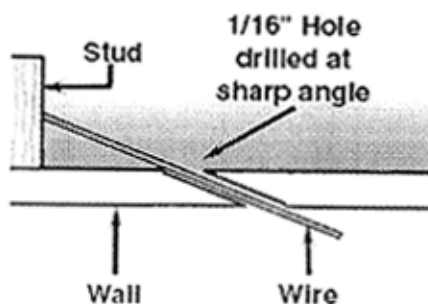


图 2-3 应用示意图

2. 探测电线，主要应用如下：

- 电线报警功能让你可以工作
- 当你锯或切割的时候确定电线是否带电
- 定位墙后电线的位置

2.2 探测器芯片基本结构

这款专用探木器探电线电路，它包含一个 8 位的微控制器, 内含 2K 字节用户 ROM 和 96 字节用户 RAM。主要适用于用于民用建筑行业的探测工具。

内部框图结构如下：

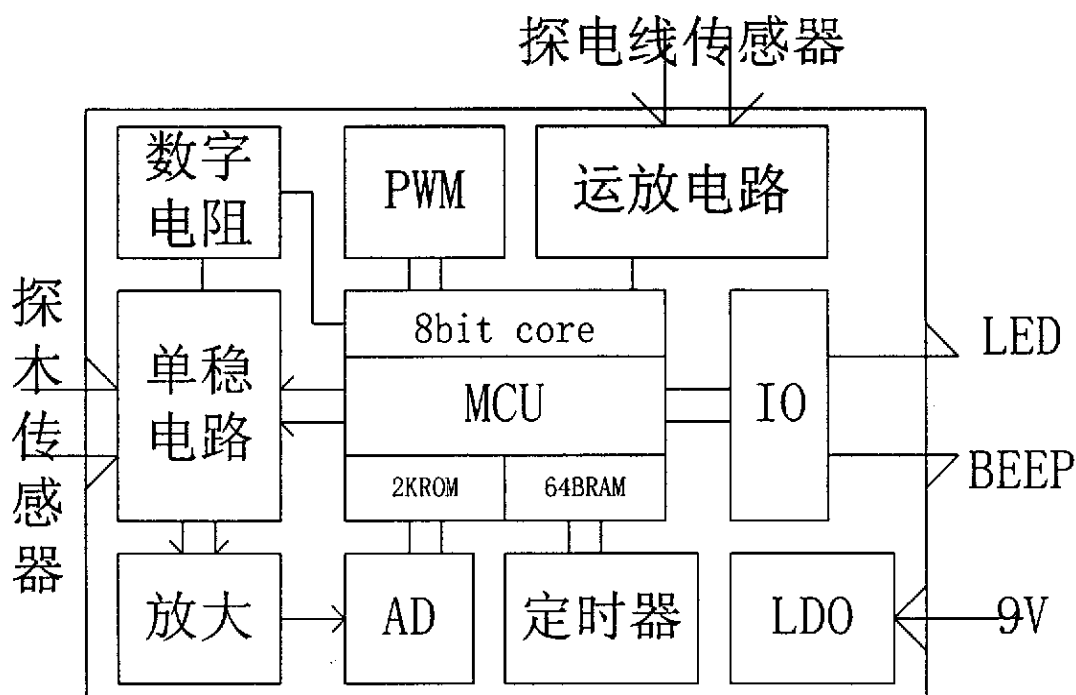


图 2-4 内部结构框图

2.3 探测器芯片基本特点

2.3.1 电路特点

- 低功耗；异步全静态的芯片设计。

——支持 STOP, WAIT 省电方式。

- 用户 ROM 2K 字节(含 352 字节自检 ROM)。
- 64 字节 RAM(含 32 字节堆栈)。
- 一个八位定时器, 带七位预定标器。
- 2 路 8 位 AD。
- 10 个标准 IO 口, 与下列共用:

——2 路 AD 通道

- 内含硬件看门狗电路(Watchdog)。
- 自有内部降压性稳压电路, 工作电压可达在 7V-9V。
- 内有两路单稳态电路, 用来探木。
- 内有专门的运放电路, 用于探测电线。

2.3.2 芯片管脚

电路采用标准的 DIP28 封装。

Filter in			Filter out
MONOout	1	24	CAPS
GND	2	23	CAPL
Vdd	3	22	Vcc_9V
osc1	4	21	Vdd_5V
osc2	5	20	PWM
PC0	6	19	PB1
PC1	7	18	PB0
PC2	8	17	PD0
PC3	9	16	PD1
A+	10	15	TPout
A-	11	14	CAPin
	12	13	

图 2-5 专用芯片封装图

2.6 本章小结

本章从总体上介绍了整个探测器及其专用芯片。整个探测器的工作都由专用芯片来控制，根据本章介绍的专用芯片的结构及特点，可以看出专用芯片在整个探测器系统中的有非常重要的作用。本章同时给出了探测器的主要特点及应用，理解了现实生活中的意义。

第 3 章 探测模块原理

3.1 探木模块

探木主要原理是利用大小极板电容在空气和木头不同介质之间的电容变化, 通过该电容和电阻构成 RC 冲放电路, 采用两路单稳态电路分别来检测对大小极板的电容充电的上升时间, 用异或门来分辨出上升时间的差值, 并对该时间 RC 积分后转换为电平值, 并由 AD 读入, 由单片机进行分析滤波后, 通过 LED 和蜂鸣器显示与木头的距离。

其中探测器的传感器在不同介质中的电容变化示意如图 3-1。

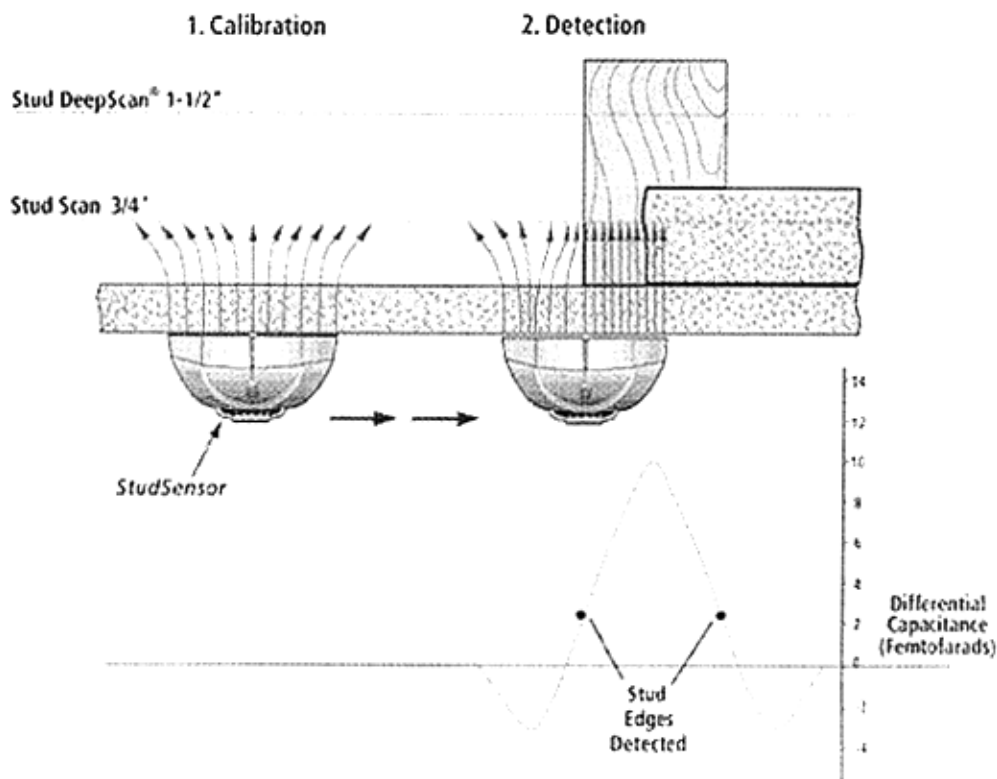


图 3-1 电容变化示意图

3.1.1 基本原理

图 3-2 采用单片机为核心,通过两路单稳态电路分别来检测对大小极板的电容充电的上升时间,来实现探木的电路方案。

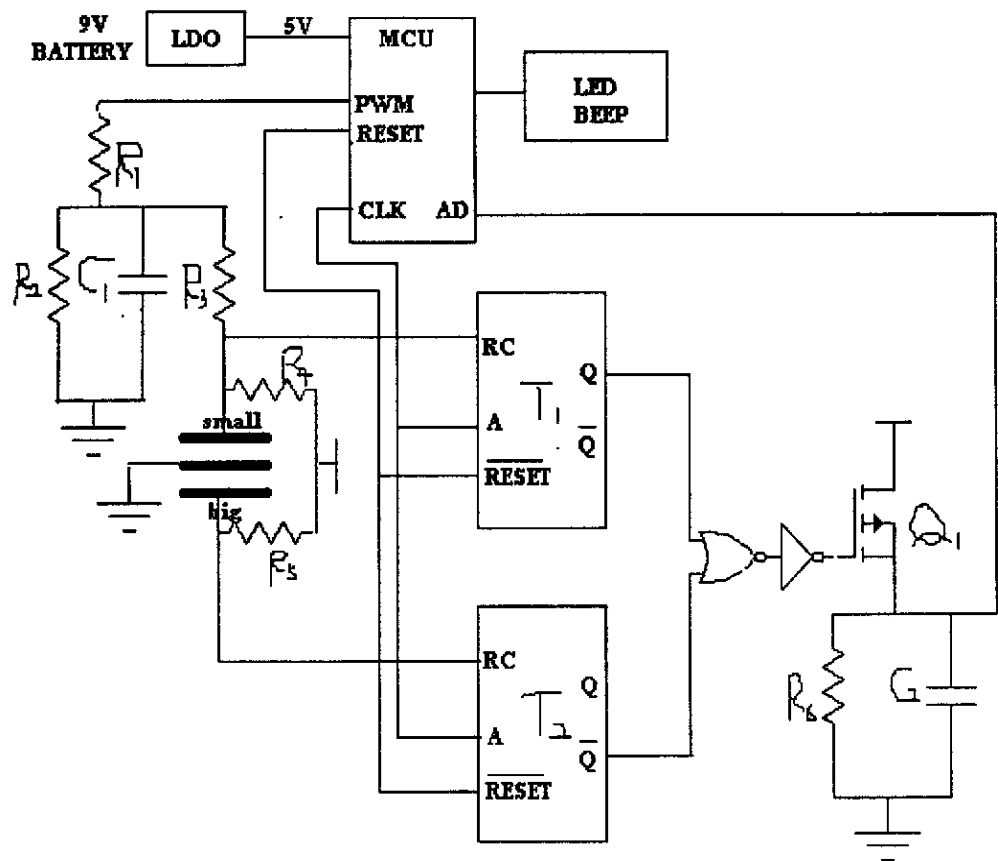


图 3-2 以 MCU 为核心的探木器电路方案

3.1.2 电容变化的计算

上升时间的计算：

$$H(s) = \frac{v_o(s)}{v_i(s)} = \frac{\frac{1}{sC}}{R + \frac{1}{sC}} = \frac{\omega_0}{s + \omega_0}$$

$$\omega_0 = \frac{1}{RC}$$

$$v_o(s) = H(s) \frac{1}{s} = \frac{1}{s} - \frac{1}{s + \omega_0}$$

反变换后

$$v_o(t) = 1 - e^{-\omega_0 t} = 1 - e^{-\frac{t}{RC}}$$

电阻60K,120K分压为, 电源电压的 $\frac{2}{3}$ 倍。

电压上升到电源电压的 $\frac{2}{3}$ 需要的时间为

$$t = -\ln\left(1 - \frac{2}{3}\right) RC = 1.098 \times RC$$

R为500K时, C=0.01pf $t=5.493$ s

3.1.3 校正的计算

在探测木头的时候, 需要使得整个系统处于一个动态平衡, 即让 AD 处采样的电压处于一个相对低的值, 这样才能使得有密度变化的时候 (具体反应在电容传感器处大小极板电容的变化), 使得 AD 处电压有明显的变化。在图 3-1 中, 当处于校正的时候, Q1 的管子的基极处的脉冲宽度越小越好。这样就要求两个单稳态电路 T1、T2 的上升时间要求一样, 而这两个单稳态电路是完全一样的两个电路; 不同是外接的电阻和传感器的大小极板电容。

要使得两个单稳态电路 T1、T2 的上升时间一样, 就要调节 PWM, 通过 R3 补偿 R4、Cs 组成的充放电回路, 即 T1 的时间常数

$$\tau_1 = \sigma R3C_s + R4C_s;$$

而 T2 的时间常数

$$\tau_2 = R5C_b;$$

两个上升时间一样, 即

$$\tau_1 = \tau_2;$$

也即

$$\sigma R3Cs + R4Cs = R5Cb;$$

因此，只要调节 σ ，也即只要调整 PWM 的合适宽度，使得 R1、R2、C1 组成的滤波电路整出合适的恒压源，通过 R3 成为恒流源，总能使得 σ 满足两个单稳态电路的上升时间一样；这样就完成了校零动作。

3.1.4 探测的计算

完成校零动作后，就可以开始探测了。当移动探测器的时候，电容传感器随着不断地变化的介质密度，大小极板的电容也随着变化。当接近木头时，两个单稳态电路的上升时间分别为：

$$\tau 1' = \sigma R3Cs' + R4Cs' ;$$

$$\tau 2' = R5Cb' ;$$

电容极板的电容计算如下：

$$C = \epsilon S/L;$$

其中， ϵ 是介电常数；S 是电容极板的面积；L 是电容极板的距离。L 是大小极板一样的，而面积 S 是不一样的，变化了相同的 ϵ ，C 也会不一样。

两个单稳态电路的上升时间之差

$$\Delta \tau = \tau 2' - \tau 1';$$

即

$$\Delta \tau = R5Cb' - (\sigma R3Cs' + R4Cs') ;$$

也即

$$\Delta \tau = (R5 - \sigma R3 - R4) \epsilon (Sb - Ss) / L;$$

对于探测器来说，R3、R4、R5、Sb、Ss、L 均已经确定，因此上升时间之差基本只与变化的 ϵ 有关。

通过图 3-1 中的 Q1、R6、C2 组成的电路，利用计算上升时间一样的计算方法，使得 $\Delta \tau$ 转化为一个电压量 V_i ，然后用 AD 进行采样，MCU 能计算出 $\Delta \tau$ 的大小，进而推算出 ϵ 的变化，再根据现场情况计算出 ϵ 的变化与木头远近的关系，从而定位木头的位置。

3.2 探电线原理

利用 PCB 板上的的栅阵列铜布线作为传感器天线，将 50HZ 交流工频信号由天线耦合进来，由迟滞比较器对该信号检波，将正弦信号转换为方波信号。

由于空间分布各种频率的信号，为将 50Hz 信号检测出来，增加了选频网络。原理如图 3-3 所示。

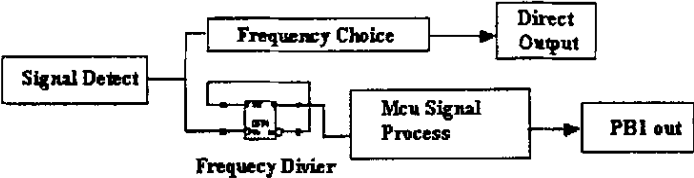


图 3-3 探电线原理图

3.2.1 信号检测

信号检测的原理图如图 3-4 所示。

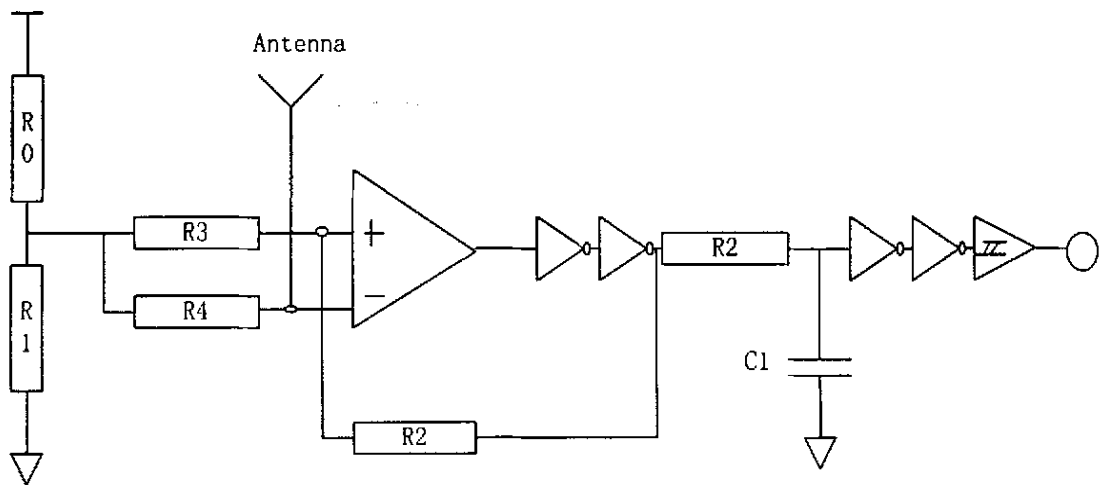


图 3-4 探电线的信号检测原理图

如图 3-4 所示，天线将 50Hz 信号耦合进比较器负端，与正端信号比较。而正端信号提供的比较值是建立在由 R0,R1 的分压提供运放比较的直流工作点上，R2 提供正反馈，R2 与 R3 的比值决定迟滞比较的上下门坎值，也就决定了正弦波采样的灵敏度。也就是 $R2/R3$ 的比值越大，探测深度的灵敏度越高越高。比较器环节采用两级运放和两级反向器构成。R5 ,C1 构成一阶低通滤波。输出经过反向器和 Smiter 整形后输出给下一级进行选频。

上下门限估算公式为

$$V_h = (V_{DD} - \frac{V_{DD}R_1}{R_0 + R_1}) \frac{R_3}{R_2 + R_3}$$

$$V_l = (0 - \frac{V_{DD}R_1}{R_0 + R_1}) \frac{R_3}{R_2 + R_3}$$

3.2.2 频率判断

AC 电线的频率逻辑判断原理如图 3-5 所示。

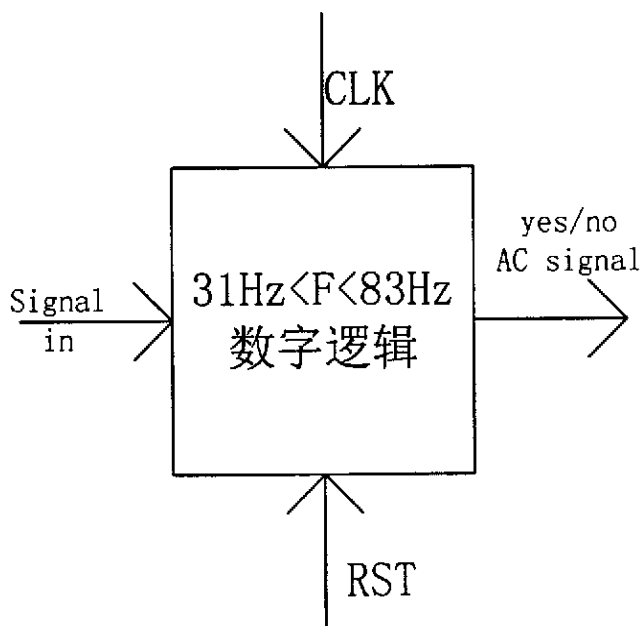


图 3-5 逻辑判断

如图 3-5 中，由系统提供分频 32kHz 时钟，再对这一时钟进行分频，将 128Hz 和 64Hz 与出来的信号的上升沿与 16Hz 信号的上升沿之间产生了标准比较信号，该信号传送到选频网络最后一级输出的 D 触发器 D 端。同时 32K 信号经过 13 级二分频后，也就是每过 250ms 产生一个下降沿，该下降沿由或非门产生一个触发脉冲信号对采样的寄存器复位，选频开始，信号产生两次上升沿，高电平传过两级 D 触发器，置到最后一级 D 触发器的 CLK 输入端。这时该 D 触发器 CLK 端得到一个上升沿，此时只要最后一级 D 触发器的 D 端这时为高电平，输出就为高电平。也就是输入的信号只要在 31Hz 到 83Hz 的范围内就能保证该上升沿是发生在标准信号为高电平的时刻，那么输出也就为高电平。反之这个频率之外的信号输出则为低电平。

3.3 本章小结

本章介绍了所要实现的两种主要的探测功能的原理。首先根据探测木头的三个基本步骤：上升时间的计算、校零的计算、探测的计算，从而推导出探测木头和定位的原理。接下来介绍了探测电线的主要工作原理，详细介绍了信号检测和逻辑频率判断，从而推断出是否有 AC 电线的存在。

第 4 章 功能模块设计

4.1 CPU 模块

CPU 模块是本芯片的核心，主要完成系统控制、数字滤波、输出等主要功能。

4.1.1 CPU 简介

现在的 MCU 结构主要有两种：CISC 和 RISC.

1. RISC 精简指令集结构(Ruduced Instruction Set Computer)

- 没有微码
- 较少的指令
- 单一的寻址模式
- 只用存/取指令操作存储器
- 统一的指令长度
- 比 CISC 结构使用的寄存器多
- 流水线结构执行

使用这种结构的有：

Microchip, SPARC, MIPS, HP-PA, Alpha, PowerPC, M-Core

2. CISC 复杂指令集结构(Complex Instruction Set Computer)

- 指令集教大
- 指令能执行比较复杂的操作
- 指令有不同的格式：8 位、16 位、32 位等
- 寻址方式比较丰富
- 比较少的寄存器
- 强大的汇编语言
- 使用微码执行

使用这种结构的有:Motorola MC68000 系列

本芯片使用的 CPU 的指令集与 Motorola 的 6805 系列兼容,属于 CISC 结构的 CPU.

本芯片使用的 CPU CORE 主要由 CPU 控制器、运算器 ALU、条件码寄存器和中断控制器等组成，如图 4-1。

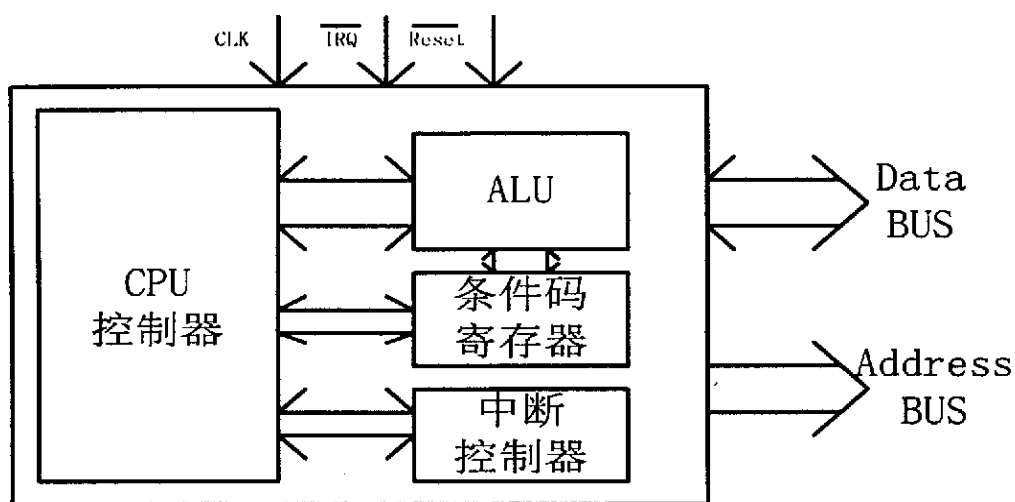


图 4-1 CPU 结构

4.1.2 CPU 结构

CPU 控制器:

MCU CORE 里 CPU 控制器是由指令寄存器 INSTREG、二级 PLA、指令译码器 CDC 等模块, 如图 4-2。形成对指令的计数, 指令读出, 指令译码和指令执行。

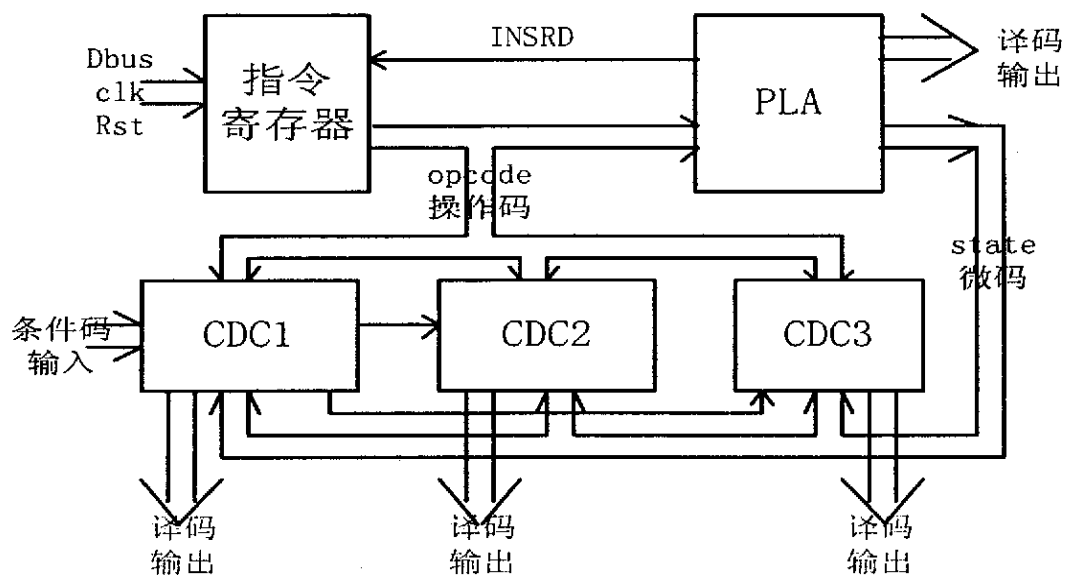


图 4-2 CPU 控制器结构

指令寄存器作用, 根据取指令信号 INSRD 来锁存数据总线上的数据, 来取得本次执行的操作码. 数据总线上的数据是从 ROM 区读出的. 指令寄存器还要保证系统复位后处于一个预定的初始态, 这里为复位后 OPCODE 为 \$82. 还有两个功能: 1. 测试堆栈模式. 当从模式寄存器中送来信号时, 指令寄存器被置为 OPCODE 为 \$A6, 产生的微码是 \$1F, \$0F, 执行此指令时地址空间从 \$FF 至 \$C0 减计数, 逐个测试堆栈数据情况. 2. STOP 和 WAIT 模式. 当 CPU 进入此模式时, 指令寄存器被置为 OPCODE 为 \$82. 结构如图 4-3.

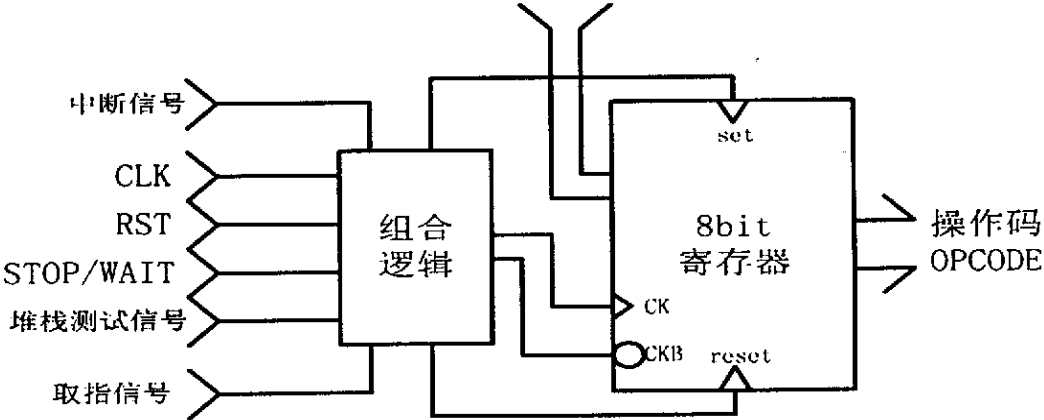


图 4-3 指令寄存器结构

PLA 分为二级, PLA11 和 PLA12。如图 4-4。PLA11 进行第一级译码, 把指令按各种不同类型的寻址方式转换为不同的初始微码 01-05; PLA12 根据指令码 opcode 和 PLA11 产生的初始微码等条件, 形成每条指令的各个微码, 指令结束后给出新指令的触发信号 INSRD。PLA 从电路结构上, 是一个比较复杂的有限状态机。

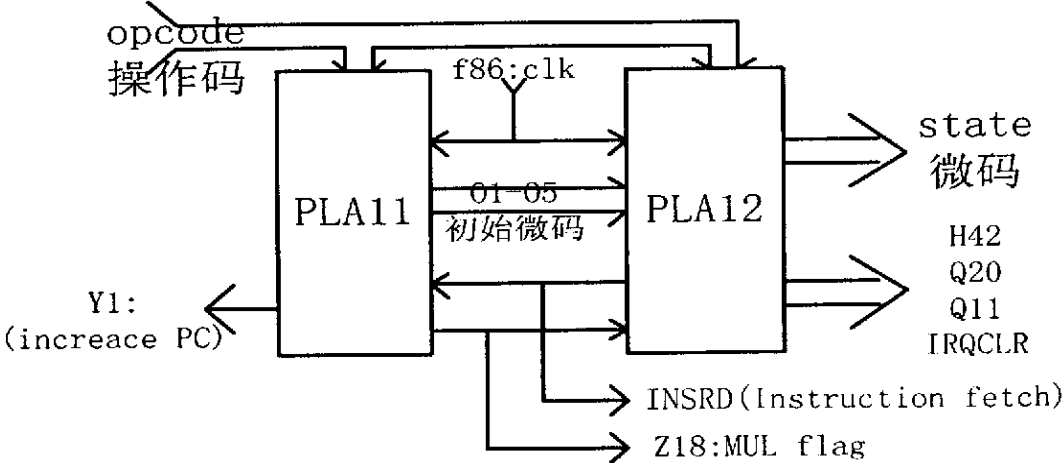


图 4-4 PLA 的结构

1. PLA11: 对指令码 OPCODE 进行译码, 根据不同寻址方式, 不同字节产生三类信号:

- (1) Z18 乘法指令控制用, $Z18=0$ 时, 执行乘法指令。其他指令时 $Z18=1$ 。
- (2) Y1 产生地址+1 信号, 在每一条指令执行 $ck1$ 时作用, 除了隐含和无偏移寻址指令外, 其他指令都有 Y1。
- (3) 01_05 每一条指令执行的第一时钟 $ck1$ 微码, 列表如下:

指令类别	初始微码				
	05	04	03	02	01
BSR(转子程序 AD);REL(相对寻址 20-2F)比较转移指令	1	1	1	1	0
IMM(立即寻址 A0-A6, A8-AB, AE), 2 字节指令	0	1	1	0	0
INH(隐含寻址 80, 81, 83, 8E, 8F), 控制指令, 1 字节指令	1	1	1	1	1
INH(隐含寻址 97-9D, 9F), 控制指令, 1 字节指令	1	0	1	1	1
EXT, IX2(扩展寻址 C*, 16 位偏移量寻址 D*), 3 字节指令	0	1	1	0	1
INH(隐含寻址 4*, 5*), 1 字节指令, 对 A 或 X 寄存器操作	1	1	1	0	0
IX1(8 位偏移量寻址 6*, E*), 2 字节指令	1	0	0	1	1
DIR(直接寻址 3*, B*), IX(无偏移量寻址 7*, F*),	1	0	0	0	1

PLA11 的电路结构如图 4-5.

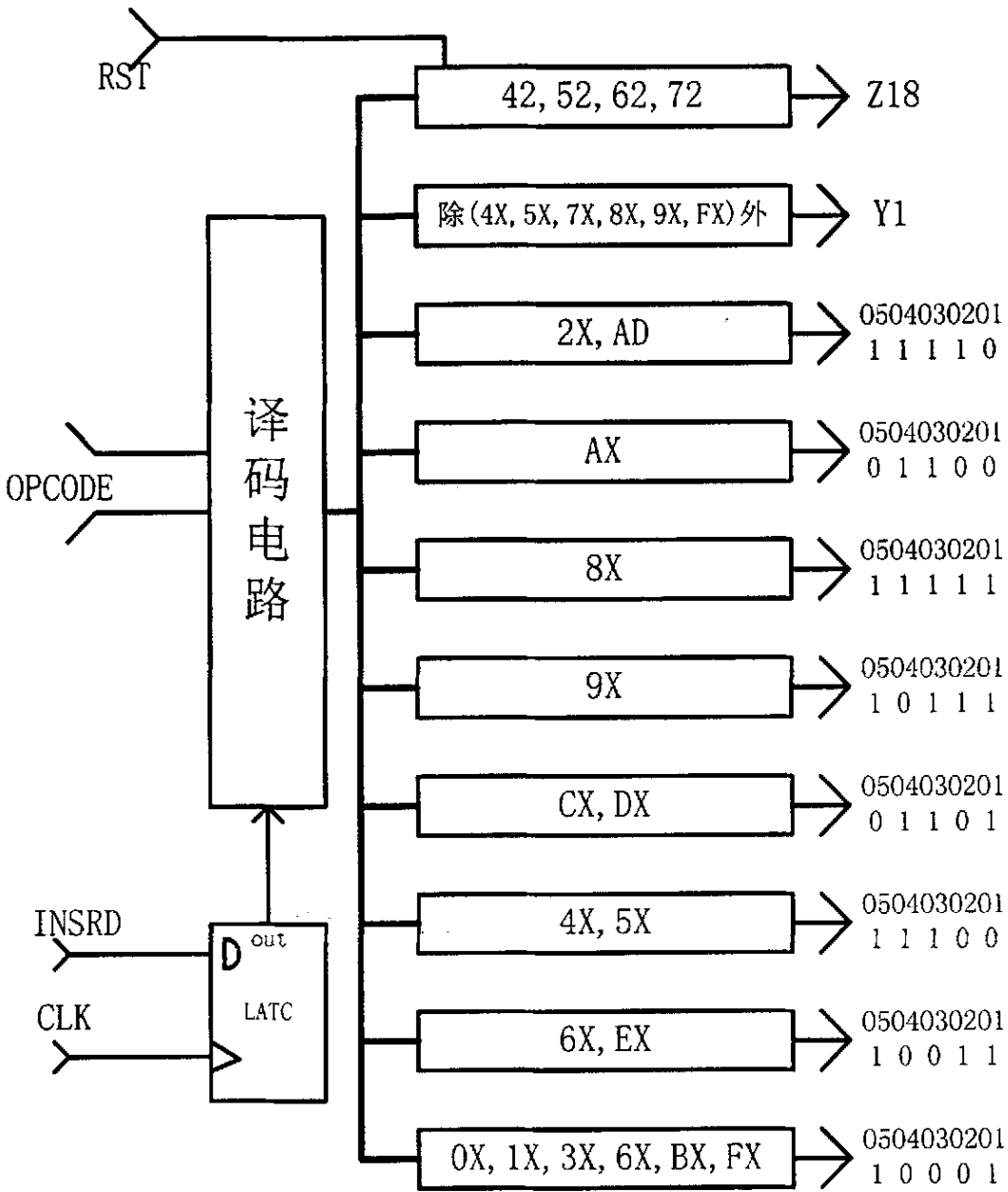


图 4-5 PLA11 的结构

2. PLA12: PLA12 的结构就是有 N 个状态机组成. 每一条指令对应了一个确定的状态机. 状态机的每一个状态就是一个微码. 根据指令码 OPCODE 和五个初始微码(对应 01-05)输入, 随时钟 F86 循环产生一系列微码, 以微码 14 或 16 中止. 产生 Q11 对地址+1, 完成一条指令, 同时产生取下一条指令的信号 INSRD. H42 信号为外部开发用。

下面列出每一条指令执行的微码，列表如下：

指令微码表：

OP (指令码)	Ck1	Ck2	Ck3	Ck4	Ck5	Ck6	Ck7	Ck8	Ck9	ckA	ckB
00---0F	11+	1A+	1E+	04	14+						
10---1F	11+	1A	06	05	14+						
20---2F	1E+	04	14+								
30, 33, 34, 36 ---3A, 3C, 3F	11+	1C	06	05	14+						
3D	11+	1C	07	14+							
40, 43 ---4F	1C	07	14+								
42	1C	1F	0F	19	09	0B	1D	02	03	15	14+
50, 53 ---5F	1C	07	14+								
60, 63, 64, 66 --6C, 6F	13+	01	1C	06	05	14+					
6D	13+	01	1C	07	14+						
70, 73, 74, 76 --7C, 7F	11	1C	06	05	14+						
7D	11	1C	07	14+							
80 (RTI)	1F	0F+	19+	09+	0B+	02+	03	15	14+		
81 (RTS)	1F	0F	02	03	15	14+					
83 (SWI)	1F	0F+	19+	09+	0B+	1D+	02+	03	15	14+	
8E (stop)	1F	0F+	1F+	0F+							
8F (wait)	1F	0F+	1F+	0F+							
97---9F	17	14+									

A0--A6, A8-A B, AE	0C+	16+									
AD	1E+	C4	1F	0F+	17+	14+					
B0--B6, B8-- BB, BE	11+	0C	16+								
B7, BF	11+	0E	05	14+							
BC (JMP)	11+	14+									
BD (JSR)	11+	1F	0F+	17+	14+						
C0--C6, C8-- CB, CE	0D+	11	0C	16+							
C7, CF	0D+	11+	0E	05	14+						
CC (JMP)	0D+	11+	14+								
CD (JSR)	0D+	11+	1F	0F+	17+	14+					
D0--D6, D8-D B, DE	0D+	13+	01	0C	16+						
D7, DF	0D+	13+	01	0E	05	14+					
DC (JMP)	0D+	13+	01	14+							
DD (JSR)	0D+	13+	01	1F	0F+	17+	14+				
E0--E6, E8-- EB, EE	13+	01	0C	16+							
E7, EF	13+	01	0E	05	14+						
EC (JMP)	13+	01	14+								
ED (JSR)	13+	01	1F	0F+	17+	14+					
F0--F6, F8-- FB, FE	11	0C	16+								
F7, FF	11	0E	05	14+							
FC (JMP)	11	14+									
FD (JSR)	11	1F	0F	17	14+						

其中表中：“+”表示指令地址加1，产生加1信号有三个：Y1，Y2，Q11。

Y1：多字节指令的ck1时加1，无Y1的指令有4*，5*，7*，8*，9*，F*。

Q11: 执行一条指令最后一微码时加 1, 即微码 14 或 16 。

Y2: 多字节指令的加 1 和进出堆栈时 ± 1 , 有 Y2 的微码(除乘法指令外)09, 19, 0F, 1F, 0D, 1D 和 00-0F 指令的 1A 微码。

PLA12 中每一条指令的执行的态机结构如图 4-6.

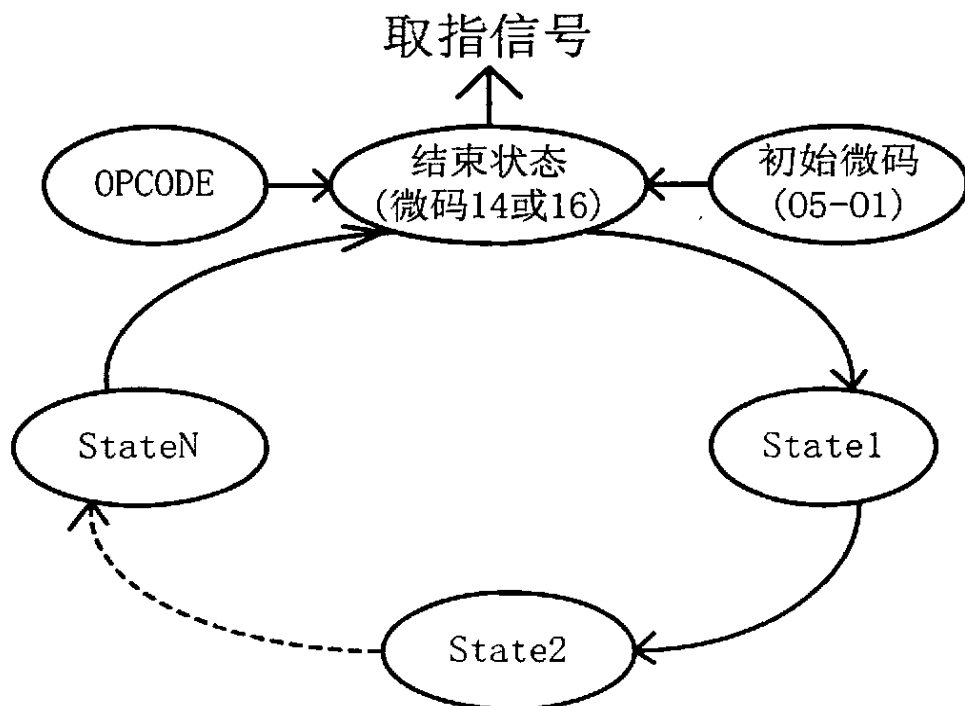


图 4-6 PLA12 状态机结构

空指令微码表: (非法指令)今后要增加指令时查看。

OP (指令码)	Ck 1	Ck 2	Ck 3	Ck 4	Ck 5	Ck 6	Ck 7	Ck 8	Ck 9	ck A	ck B	ck C	ck D
31, 3B, 3E	11	1C	06	05	14								
32	11	1C	1F	0F	19	09	0B	1D	02	03	15	14	
35	11	1C	07	14									
41, 45, 4B, 4E	1C	07	14										
51, 55, 5B, 5E	1C	07	14										
52	1C	1F	0F	19	09	0B	1D	02	03	15	14		
61, 6B, 6E	13	01	1C	06	05	14							
62	13	01	1C	1F	0F	19	09	0B	1D	02	03	15	14
65	13	01	1C	07	14								

71, 7B, 7E	11	1C	06	05	14								
72	11	1C	1F	0F	19	09	0B	1D	02	03	15	14	
75	11	1C	07	14									
7B, 7E	11	1C	06	05	14								
84, 86, 87, 8C	1F	0F	1F	0F									
85, 8D	1F	0F	17	14									
88	1F	0F	19	09	0B	02	03	15	14				
89	1F	0F	02	03	15	14							
8A, 8B	1F	0F	19	09	0B	1D	02	03	15	14			
90--96, 9E	17	14											

三. CDC1:

根据指令码 OPCODE(对应 D0—D7)和五个 特征码 (条件码) :
C (进位标志) ; Z (零标志) ; N (负标志) ; I (中断屏蔽位);
H (半进位标志), 以及外中断 IRQ 的状态, 产生 Z29 信号。

Z29=1 时, 判转移的指令发生地址转移。

Z29=0 时, 判转移的指令不发生地址转移。

CDC1 的结构如图 4-7.

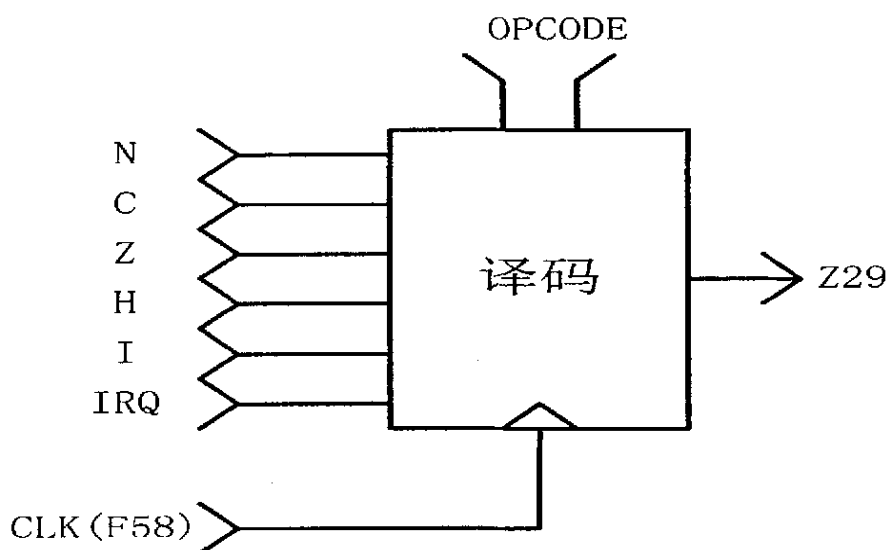


图 4-7 CDC1 结构

需要用到 Z29 信号的指令如下：

(1) 位测试转移的指令：00—0F BRSET n, addr8, Rel

若(addr8)的第 n 位为 1，则(PC)+\$0003+Rel → PC

BRCLR n, addr8, Rel

若(addr8)的第 n 位为 0，则(PC)+\$0003+Rel → PC

(2) 转子程序指令：AD BSR Rel

PC 进堆栈，(PC)+\$0002+Rel → PC

(3) 相对转移的指令：20—2F

指令	功能	备注
20 BRA Rel	(PC)+\$0002+Rel → PC	总是发生转移
21 BRN	(PC)+\$0002→ PC	相当于 2 字节的 NOP
22 BHI Rel	若 (C)+(Z)=0, (PC)+\$0002+Re 若 (C)+(Z)≠0, 则继续	用于比较二进制无符号数 大于则转移。
23 BLS Rel	若 (C)+(Z)=1, (PC)+\$0002+Re 若 (C)+(Z)≠1, 则继续	用于比较二进制无符号数 小于等于则转移
24 BCC Rel	若 (C)=0, 则 (PC)+\$0002+Rel → 继续	测试 C 值, 为零则转移。 用于比较二进制无符号数
25 BCS Rel	若 (C)=1, 则 (PC)+\$0002+Rel → 继续	测试 C 值, 为 1 则转移。
26 BNE Rel	若 (Z)=0, 则 (PC)+\$0002+Rel → 继续	测试 Z 值, 为零则转移。
27 BEQ Rel	若 (Z)=1, 则 (PC)+\$0002+Rel → 继续	测试 Z 值, 为 1 则转移。
28 BHCC Re	若 (H)=0, 则 (PC)+\$0002+Rel → 继续	测试 H 值, 为零则转移。
29 BHCS Re	若 (H)=1, 则 (PC)+\$0002+Rel → 继续	测试 H 值, 为 1 则转移。
2A BPL Rel	若 (N)=0, 则 (PC)+\$0002+Rel → 继续	测试 N 值, 为零则转移。
2B BMI Rel	若 (N)=1, 则 (PC)+\$0002+Rel →	测试 N 值, 为 1 则转移。

	继续	
2C BMC Rel	若 (I)=0, 则 (PC)+\$0002+Rel → 继续	测试 I 值, 为零则转移。
2D BMS Rel	若 (I)=1, 则 (PC)+\$0002+Rel → 继续	测试 I 值, 为 1 则转移。
2E BIL Rel	若 IRQ_=0, 则 (PC)+\$0002+Rel → 继续	测试外部中断引脚, 为 0
2F BIH Rel	若 IRQ_=1, 则 (PC)+\$0002+Rel → 继续	测试外部中断引脚, 为 1

四. CDC2 和 CDC3:

根据指令码 OPCODE(对应 D0—D7)和五个 微码(对应 D9—D13)输入, 以及 Z18 和 Z29 信号随时钟 F86 产生 Y2—Y63 的控制时钟。下面列出每一 条指令执行时, 每一微码周期出现的控制信号, 即可了解每一条指令的运行过程。结构如图 4-8.

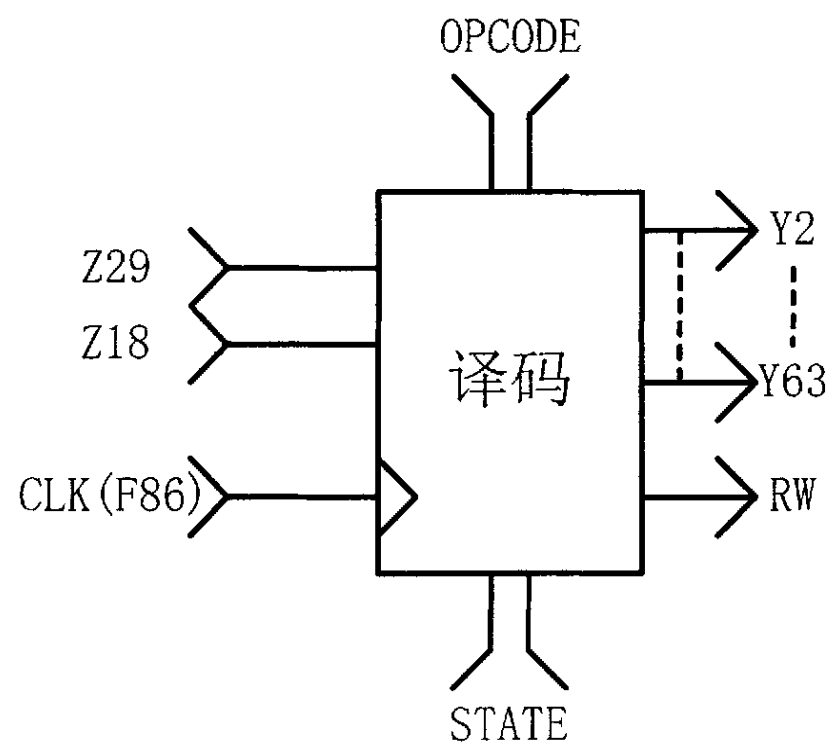


图 4-8 CDC2 和 CDC3 的结构

ALU:

该功能块结构参看图 10，包含累加寄存器 A，变址寄存器 X，堆栈指针 SP，程序计数器 PC，运算器 ALU，以及相应的一些缓存寄存器。

累加寄存器 A:

主要功能是存放参加运算的一个操作数和运算结果。它的输入端和 ALU 的输出端相连，而输出端和内部总线及 ALU 的输入端相连。复位时累加寄存器 A 的内容不受影响。

变址寄存器 X:

主要功能是用于指令变址，有时也可以作为暂时存数据的累加寄存器用，复位时寄存器 X 的内容不受影响。

CPU 执行不同的变址方法时，操作有所区别:

- * 无偏移量变址寻址 — 变址寄存器 X 包含操作数的低位，高位字节的值为 \$00。

- * 8 位偏移量变址寻址 — CPU 将变址寄存器 X 的内容与 8 位立即数相加而得到操作数地址。

- * 16 位偏移量变址寻址 — CPU 将变址寄存器 X 的内容与 16 位立即数相加而得到操作数地址。

算术逻辑部件 ALU:

主要功能是执行算术运算和逻辑运算，算术运算在本质上都可以用加法进行，所以 ALU 在本质上是一个加法器。逻辑运算有逻辑加，逻辑乘，移位，按位加等，这些运算在加法器中通过逻辑控制实现。

ALU 在执行运算时都会产生一些标志，例如进位信号，零标志，负数等。会送到条件码寄存器中保存。指令的执行，一般都是通过 ALU 实现。

程序计数器 PC:

该计数器有 16 位，在 SR3 中用了 13 位，也就是寻址空间是 8K 容量。它的作用是对指令的地址进行计数和存放。在取指令时，程序计数器在读出每一个字节时，它就自动执行加 1 操作，从而自动指向下一个字节的地址；如果读取存储器中的数据，则程序计数器 PC 给出的是数据地址。在转移指令的执行过程中，PC 中存放转移地址；在执行中断时，则 PC 中存放中断入口地址。

程序计数器 PC 的结构分高八位和低八位，各有几个缓冲寄存器 PCL1，

PCL2, PCH1, PCH2, PCH3 和 SP 堆栈寄存器, 这些寄存器作 PC 地址处理用, 后面在分析指令执行过程中再叙述。

堆栈指针 SP:

SP 寄存器对应 PC 来看是一个 16 位的寄存器, 高 8 位恒为“0”, 低 8 位硬件上是一个 8 位寄存器, 高 2 位恒为“1”。所以寻址范围是\$00C0 到 \$00FF。在执行复位或者 RSP 指令时, 栈指针就指向栈底 \$00FF。当数据压入堆栈时, 则 SP 减“1”; 当数据弹出堆栈时则 SP 加“1”。

由于堆栈区是 RAM 的\$00C0_ \$00FF 地址区, 堆栈只有 64 个字节, 如果压入堆栈已有 64 个字节, 继续执行入栈操作, 则 SP 在自动减“1”后, 由\$00C0 变成\$00FF, 就会在堆栈内循环执行, 覆盖堆栈中原有信息。弹出堆栈也同样反循环执行, 所以在堆栈操作时要防止出现此类情况。

子程序调用时, 用堆栈存放返回地址, 需要占用 2 个堆栈单元; 在执行中断时, 由于存放返回地址, 变址寄存器内容, 累加寄存器内容, 条件码寄存器内容, 占用 5 个堆栈单元。

条件码寄存器 CCR:

CCR 寄存器是一个 8 位寄存器, 它的最高 3 位全是“1”; 低 5 位存放条件标志。从高位到低位分别是 H, I, N, Z, C。

(1) 半字节进位标志 H:

通常执行 BCD 码操作时需要半字节进位标志。

(2) 中断屏蔽位 I:

在 I=1 时, 表示屏蔽内部和外部中断; 在 I=0 时, 允许中断。

* 在复位时, 中断屏蔽位为“1”, 只有用清 I 位指令 CLI 和 STOP 或 WAIT 指令才能对其清零。

* 当有中断产生时, 在 CPU 将有关内容入堆栈后, 而又在中断向量取出之前, 中断屏蔽位 I 会自动置“1”

* 在中断屏蔽 I=1 时, 又有中断请求产生, 则锁存该中断请求信号, 一旦 I 被清零, 中断请求就会被处理。

* 中断返回指令 RTI 会把有关寄存器内容从堆栈中取出来, 并恢复在中断产生之前的中断屏蔽位 I 的状态。

(3) 负标志位 N:

用于反映刚进行算术运算和逻辑运算, 或者数据处理的结果是

否有最高为 1 的情况。

(4) 零标志位 Z:

用于反映刚进行算术运算和逻辑运算，或者数据处理的结果是否为 0 的情况。

(5) 进位标志位 C:

用于反映刚进行算术运算和逻辑运算，或者数据处理的结果是否有借位或进位的情况。

4.1.3 设计思路及仿真结果

CPU 总是以总线频率一拍一拍地运行着。仔细分析运行的过程可知，CPU 要从存储器中读取指令，对指令作出解释，然后才执行指令。而读取存储器中的指令则要先将有效地址（一般在 PC 寄存器中）送到地址总线上去，经过一段时间地址稳定了，存储器再将指令码送到数据总线上，有经过一段时间数据稳定了。CPU 才能将数据读入指令寄存器 INSTREG。时序如图 4—9。

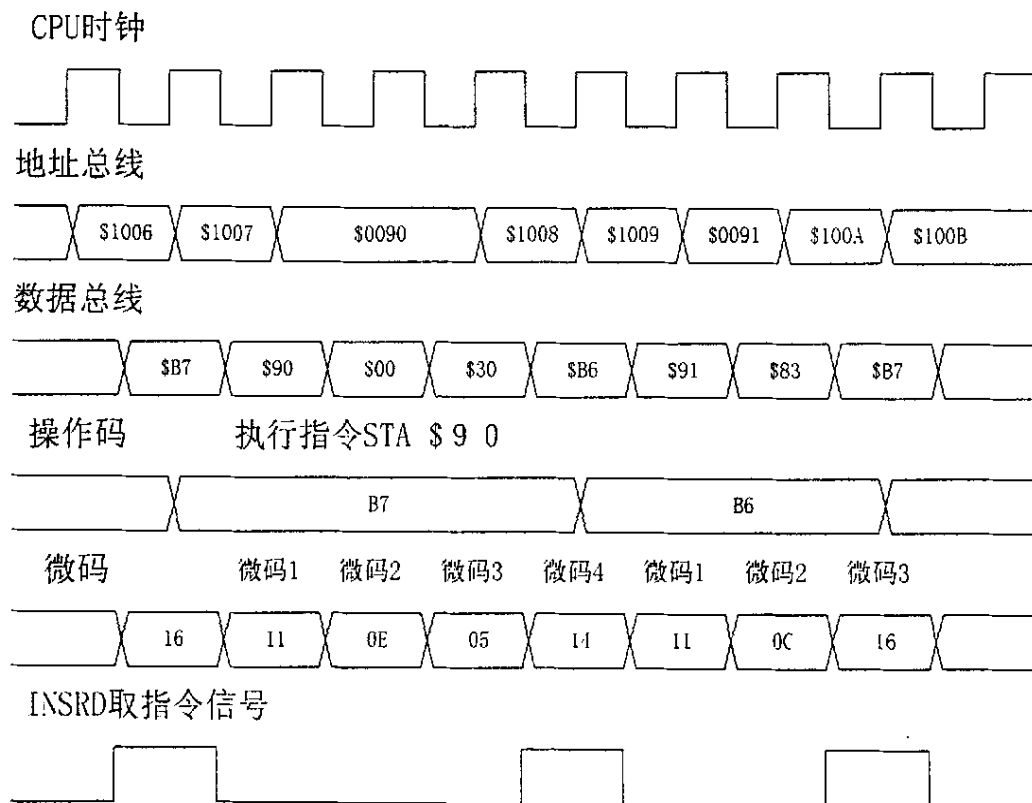


图 4-9 CPU 时序图

4.2 探木模块

在第三章中我们介绍采用单片机为核心的探木电路方案原理。利用大小极板电容在空气和木头不同介质之间的电容变化,通过该电容和电阻构成 RC 冲放电路,采用两路单稳态电路分别来检测对大小极板的电容充电的上升时间,用异或门来分辨出上升时间的差值,并对该时间 RC 积分后转换为电平值,并由单片机 AD 读入,由单片机处理后,通过 LED 和蜂鸣器显示与木头的距离。电路方案中最最主要的两个模块是:单稳态电路和 PWM 电路。

4.2.1 单稳态电路

根据第三章的计算,设计两通道上升沿触发单稳态电路,要求能够达到辨识 0.01pF 的电容变化量的单稳态电路。根据时间常数 $\tau = RC$, R 在 500K 左右,辨识最小脉宽达到 5ns 左右。单稳态电路框图如图 4-10 所示。

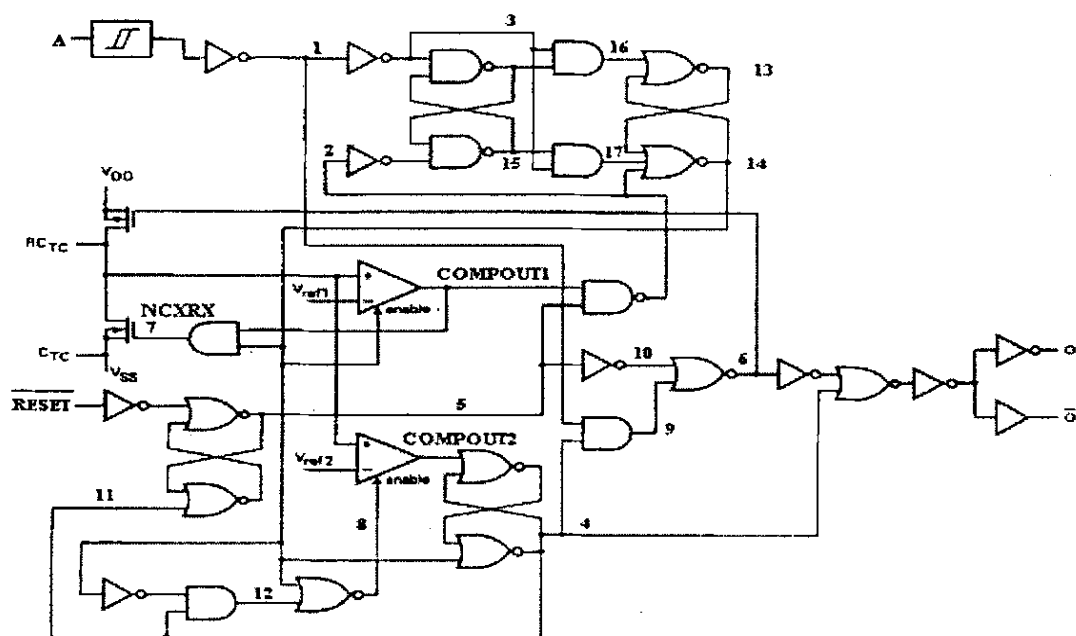


图 4—10 一个通道的单稳态工作原理框图

图 4—10 中输入输出说明：

RC	阻容充放输入端
A	触发脉冲
RESET	复位端口
Q	单稳输出端
QB	单稳反相输出端

单稳态主要功能描述：

当触发信号 A 正跳变时，输入电平 RC 被拉低，比较器一工作，当输入电平低于 V_{ref1} 时，输入端 RC 开始充电，Q 输出为高，当充电电平达到参考电平 V_{ref2} 时，Q 端输出为低。当 RESET 端输入为低电平时，Q 端输出为零。

电路逻辑描述：

如图 4—10，当 RESET 置低，RS 触发器使 5 清零，2 置高，14 置低，6 置低输入 RC 端拉为高电平，Q 输出为低。

当 RESET 变高，5 置高，比较器一未使能时输出为高，2 置低。

当 A 输入为低电平，1 高 3 低，15 锁存为低，16, 17 为低，LATCH 使 13, 14 输出锁存。同时 9 置高，6 置零，输入拉为高电平。Q 输出为低电平。

当 A 输入跳变为高电平，因为 5 为高 10 低，9 置低，6 置高，RC 输入端的 P 管也关断。1 低 3 高，前级 RS 触发器输出传到后级。16 为高，14 被置高，4 置低，Q 输出为高，比较器一工作，比较器输出为高，经过与门，7 置高，输入 RC 端放电，被拉低。当拉低电平低于 V_{REF1} 时，比较器一输出低电平，2 置高，14 置低，7 置低，N 管关断。12 为低，8 置高，比较器二使能开

始工作，输入端开始充电，当充电电平达到 VREF2 时，输出为高，4 置高，Q 输出为低。

电路模拟

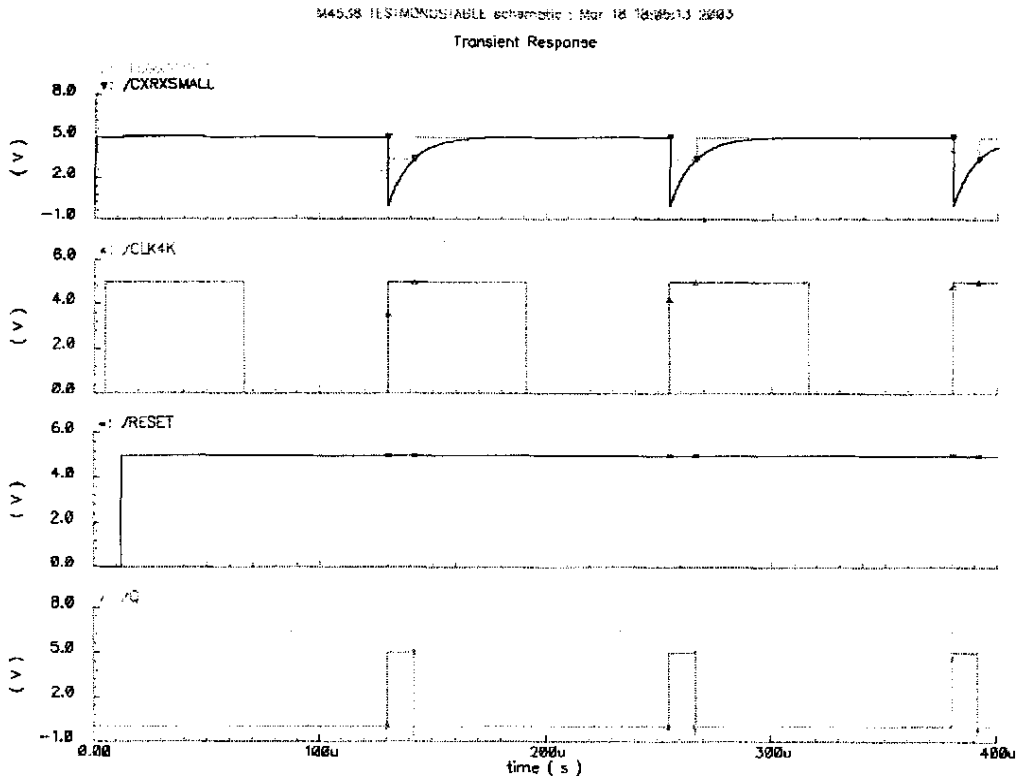


图 4-11 输出时序模拟结果

图 4-11 显示输出各波形时序，当 RESET 为低时，输出为零，第一个 CLK 上升沿无效，当 CLK 信号再一次上升沿触发，使输入 CXRX 立刻拉低并开始积分，输出 Q 端翻转，当 CXRX 电平升到 VERF2 电压处翻转为低电平。

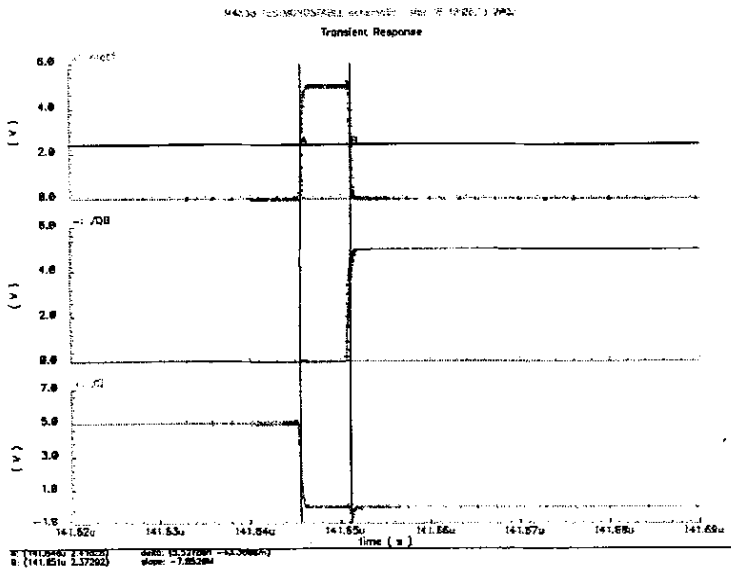


图 4-13 电容差值为 0.01pF 时, 异或门的输出波形

电源电压 5V 时 输出脉宽 5.52186ns

电源电压变化时输出脉宽的变化随之变化，当电源电压越小时，输出脉宽越大，具体数据如下：

4.95V 5.7645ns

4.5V 5.8247ns

4V 5.84182ns

3V 6.31197ns

4.2.2 PWM 电路

PWM 为一个独立的模块, 它的时钟信号来自 MCU 的总线频率。
计数信号可以经过多级分频, 来调整 PWM 周期。

内部结构框图如图 4-14 所示:

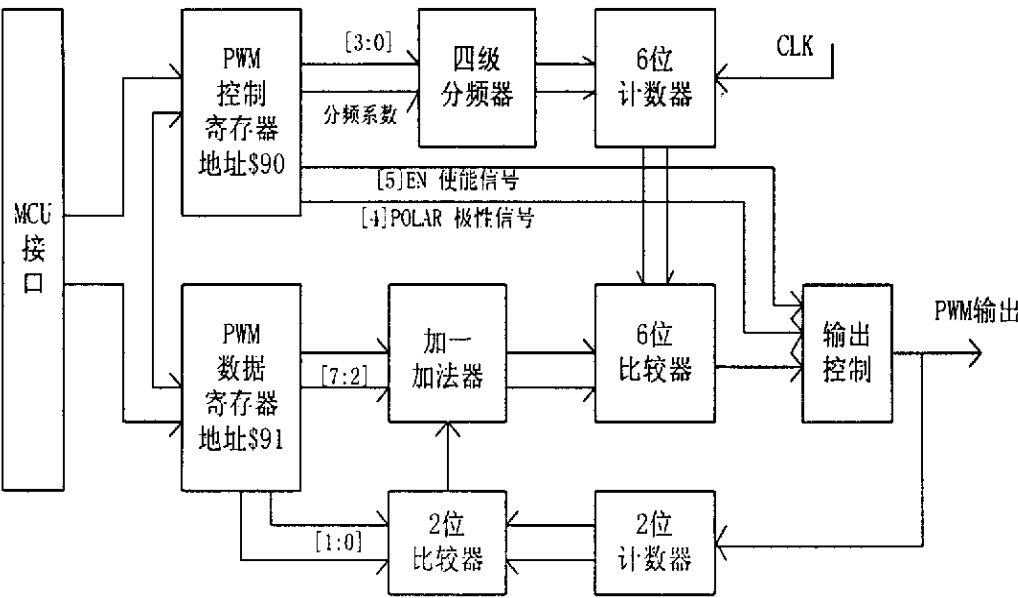


图 4-14 PWM 内部结构框图

PWM 的工作原理如下:

整个 PWM 是一个 6+2 位的 PWM. 每个 PWM 周期被分为四个调制周期, 分别为调制周期 0~调制周期 3. 每个调制周期 64 个时钟周期. PWM 的数据寄存器被分为两个部分, 其中的 PWM_DATA[7:2]是用来决定每个调制周期的占空比; 另外一个部分是 PWM_DATA[1:0], 用来决定每个 PWM 周期有几个调制周期.

在一个 PWM 周期中, 每个调制周期的占空比如下表:

Parameter	AC=PWM_DATA[1:0] (0-3)	Duty Cycle=PWM_DATA[7:2]
调制周期i (i=0-3)	$i < AC$	$\frac{DC+1}{64}$
	$i \geq AC$	$\frac{DC}{64}$

PWM 的调制频率, 周期频率, 每个周期的占空比的信号如图 4-15 所示:

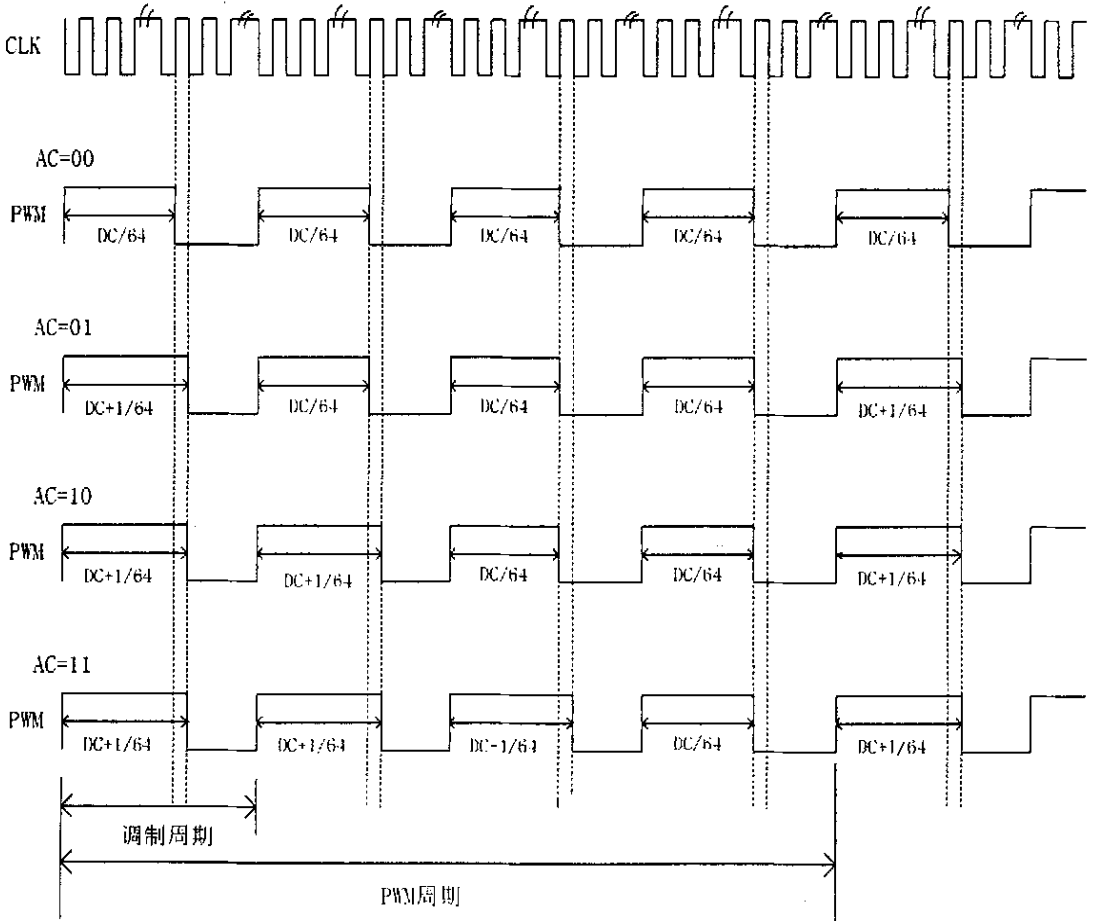


图 4-15 PWM 波形图

一. 控制寄存器（\$90）

控制寄存器是一个用于控制 PWM 模块工作方式的寄存器, 它的主要功能是： 计数器时钟的分频，极性的选择，PWM 的使能等功能。

	D7	D6	D5	D4	D3	D2	D1	D0
NAME	Reserved	Reserved	EN	Polarity	CT3	CT2	CT1	CT0
Default			0	0	0	0	0	0
OP			W/R	W/R	W/R	W/R	W/R	W/R

- 1. EN: PWM 使能位。当 EN=1 时，开启 PWM；EN=0 时，关闭 PWM。
- 2. POLARITY: PWM 极性控制位。当 POLARITY =1, PWM 输出初始为高；当 POLARITY =0, PWM 输出初始为低。
- 3. CT3、CT2、CT1、CT0: 计数器时钟分频选择。缺省值为 00。

二. PWM 数据寄存器（\$91）

该寄存器是用于对 PWM 输出进行占空比调节。

	D7	D6	D5	D4	D3	D2	D1	D0
default	0	0	0	0	0	0	0	0
W/R	F7	F6	F5	F4	F3	F2	F1	F0

3. 数字电阻电容网络电路

数字电阻电容, 它根据来自 MCU 的设定的不同值来得到不同值的电容和电阻。内部结构框图如图 4-16 所示:

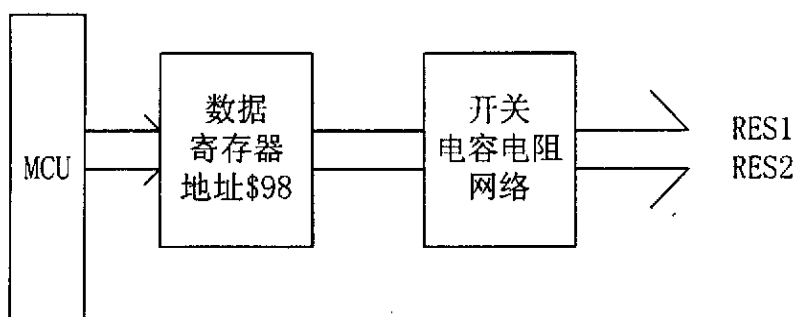


图 4-16 数字电阻电容网络框图

工作原理如下:

整个电路是实现数字电位器的功能. 开关网络根据数据寄存器给出的数值来开关不同的电容电阻. 开关网络的原理图如图 4-17 所示:

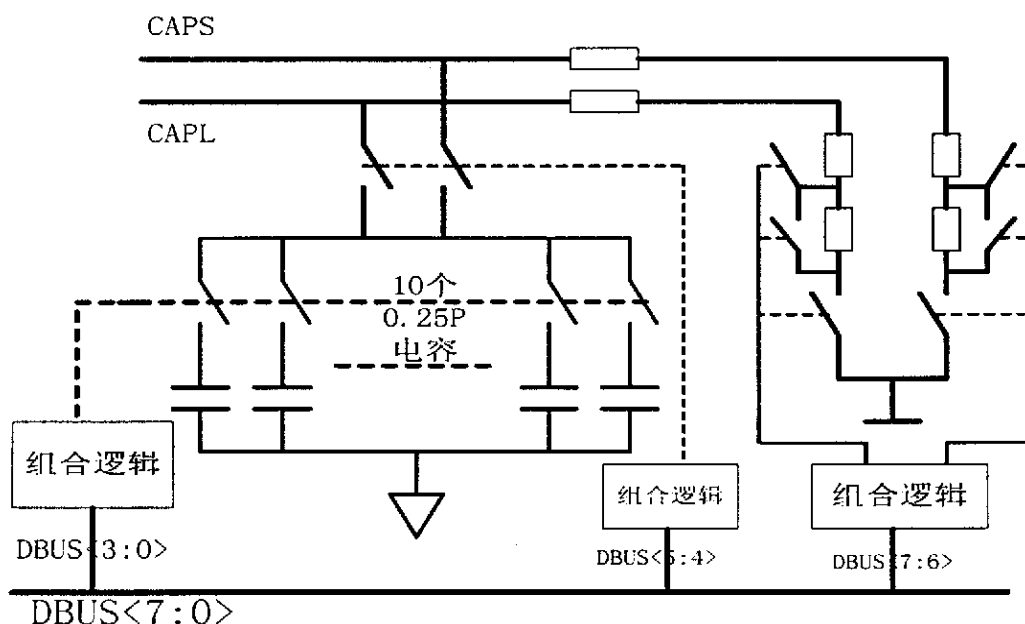


图 4-17 开关网络原理图

三. 数据寄存器 (\$98)

该寄存器是用于对输出的电阻进行电阻值调节。

	D7	D6	D5	D4	D3	D2	D1	D0
default	0	0	0	0	0	0	0	0
W/R	F7	F6	F5	F4	F3	F2	F1	F0

1. 其中寄存器的 D0-D3 选择电容的值. 整个可变电容器的总容值为 3.2P.

电容值步长为 0.3P. 其值表如下:

F3 F2 F1 F0	CAP 值
0000	0.5P
0001	0.8P
0010	1.1P
0011	1.4P
0100	1.7P
0101	2.0P
0110	2.3P
0111	2.6P
1000	2.9P
1001	3.2P

3. 其中寄存器的 D4-D5, 选择电容连接到哪个电容极板. 其值对应表如下:

F5 F4	连接的极板
00	两个都不连
01	连接小极板
10	连接大极板
11	两个都不连

3. 其中寄存器的 D7-D6, 选择电阻. 其值对应表如下:

F7 F6	对应的电阻
00	大小极板均加入 50K 电阻
01	小极板加入 5K 电阻
10	大极板加入 5K 电阻
11	内部电阻不用, 电阻外接

4.3 探电线模块

基本原理

利用 PCB 板上的的栅阵列铜布线作为传感器天线， 将 50HZ 交流工频信号由天线耦合进来， 由迟滞比较器对该信号检波， 将正弦信号转换为方波信号。由于空间分布各种频率的信号， 为将 50HZ 信号检测出来， 增加了选频网络。现有两种方案见图一， 第一种为由逻辑电路构成选频网络， 对该方波信号进行了选择， 如果在 31Hz 到 83Hz 之间， 输出为高电平， 直接输出驱动 LED,第二种方案为同时将该方波信号分频后由单片机读入, 由软件对信号处理再由 IO(PB1)口输出驱动 LED。具体如图 4—18 所示。

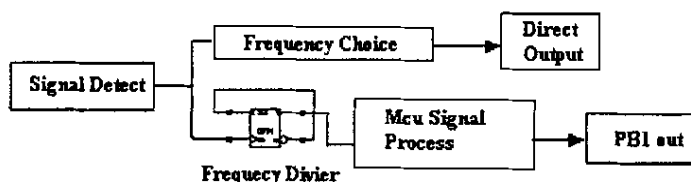


图 4-18 探电线模块框图

4.3.1 信号检测部分

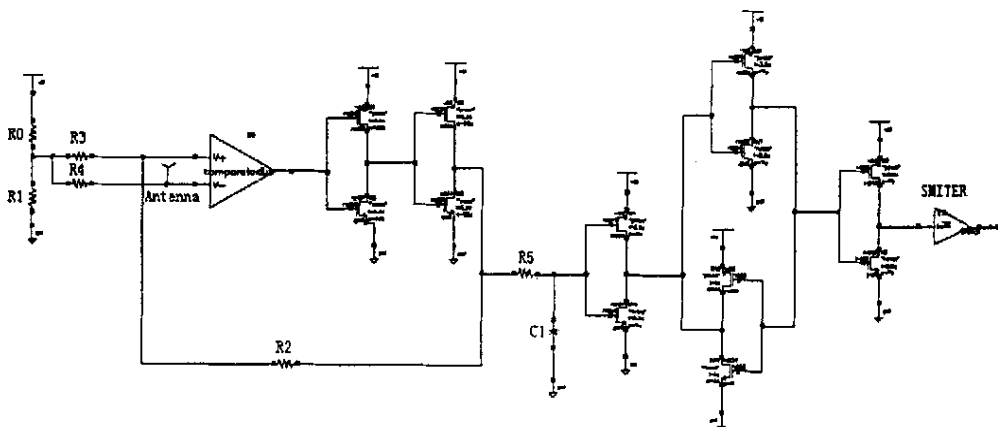


图 4-19 探电线检测部分线路图

如图 4-19 所示，天线将 50Hz 信号耦合进比较器负端，与正端信号比较。而正端信号提供的比较值是建立在由 R_0, R_1 的分压提供运放比较的直流工作点上， R_2 提供正反馈， R_2 与 R_3 的比值决定迟滞比较的上下门坎值，也就决定了正弦波采样的灵敏度。也就是 R_2/R_3 的比值越大，探测深度的灵敏度越高越高。比较器环节采用两级运放和两级反向器构成。 $R_5, C1$ 构成一阶低通滤波。输出经过反向器和 Smiter 整形后输出给下一级进行选频。仿真波形见图 4-20。

上下门限估算公式为

$$V_h = (V_{DD} - \frac{V_{DD} R_1}{R_0 + R_1}) \frac{R_3}{R_2 + R_3}$$

$$V_l = (0 - \frac{V_{DD} R_1}{R_0 + R_1}) \frac{R_3}{R_2 + R_3}$$

样机调试选用值

$R_0=R_1=100k$, $R_2=5M$, $R_3=2K$, $R_4=1M$ $C_1=0.1\mu f$ $R_5=16K$

目前线路中电路电阻电容都外接，这样在调节灵敏度，决定工作点上都可由外部来调节。

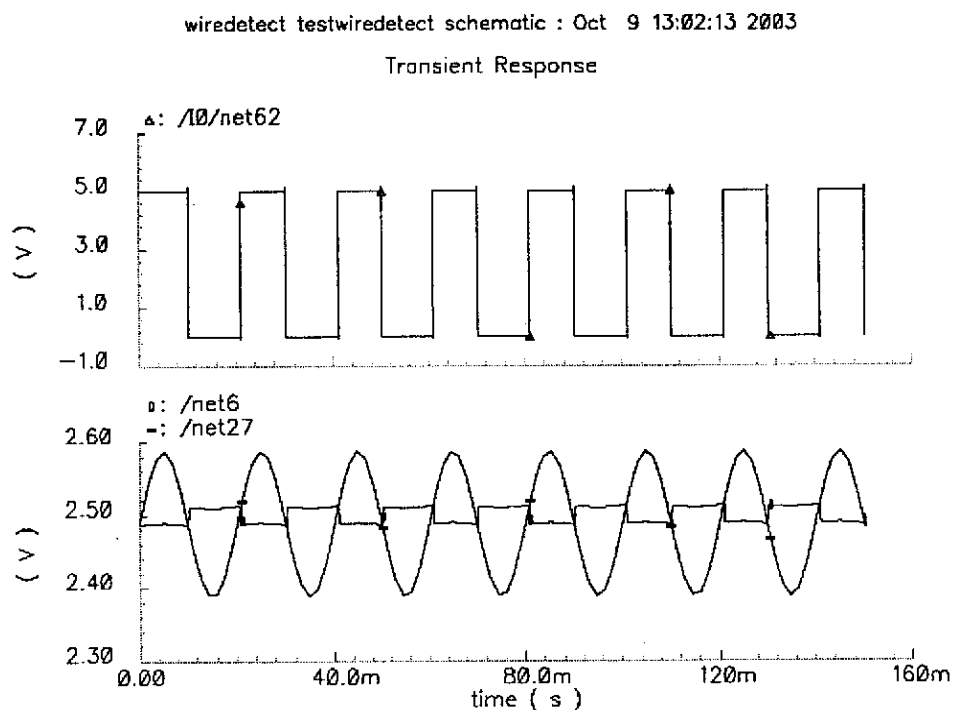


图 4-20 探电线检测输出波形

4.3.2 逻辑选频部分

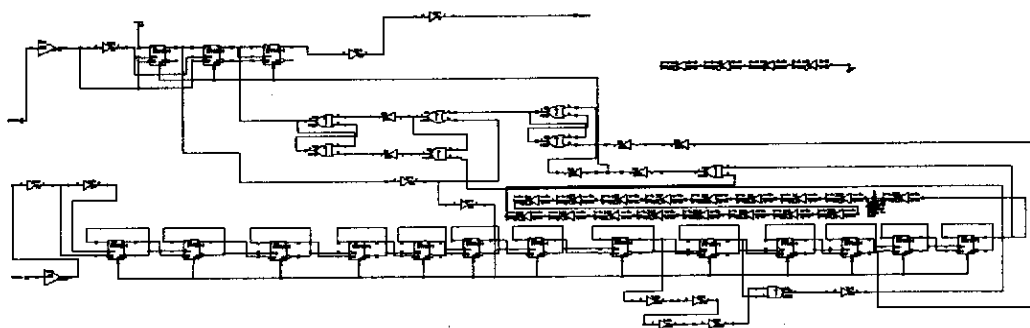


图 4-21 选频网络线路图

如图 4-21 所示, 由系统提供分频 32kHz 时钟,再对这一时钟进行分频, 将 128Hz 和 64Hz 与出来的信号的上升沿口与 16Hz 信号的上升沿口之间产生了标准比较信号,该信号传送到选频网络最后一级输出的 D 触发器 D 端。同时 32K 信号经过 13 级二分频后, 也就是每过 250ms 产生一个下降沿, 该下降沿由或非门产生一个触发脉冲信号对采样的寄存器复位, 选频开始, 信号产生两次上升沿, 高电平传过两级 D 触发器, 置到最后一级 D 触发器的 CLK 输入端。这时该 D 触发器 CLK 端得到一个上升沿, 此时只要最后一级 D 触发器的 D 端这时为高电平, 输出就为高电平。也就是输入的信号只要在 31Hz 到 83Hz 的范围内就能保证该上升沿是发生在标准信号为高电平的时刻, 那么输出也就为高电平。反之这个频率之外的信号输出则为低电平。模拟结果见图 4-22 所示。

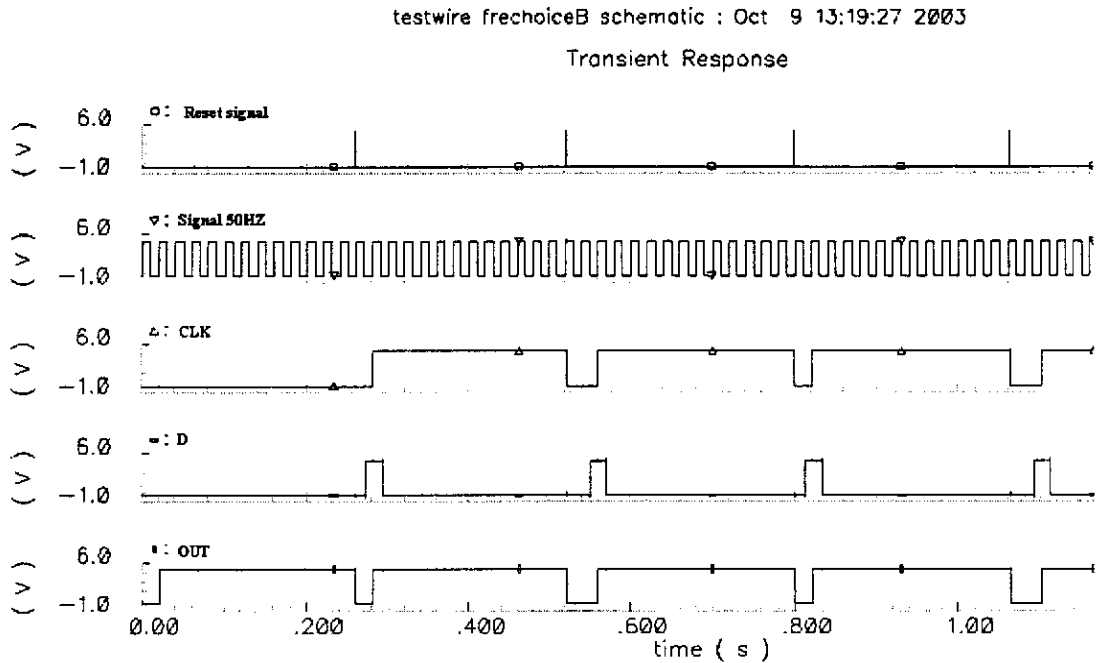


图 4-22 选频网络输出波形图

我们用 CPLD 对该逻辑进行了验证, 逻辑上也验证是正确的, 但是从样机调试的结果来看, 但该网络要求信号中的 50Hz 方波比较干净, 如果夹杂有干扰信号选频就会失效。

所以我们也提供了第二套备用方案, 对比较器输出的方波, 经过分频后有单片机读入信号。这样由单片机来进行滤波及选频输出的工作。

4.4 LDO 稳压模块

LDO 主要由一个运放和一个电压源组成。它通过负反馈来控制输出电压稳定在所需的范围内，不随输入电压的变化而变化。它是 linear voltage regulator 的一种，其基本的原理如图 4-23 所示。此时

$$V_{in} - V_{out} = V_{sdp} \geq V_{sgp} - |V_{tp}| = \sqrt{\frac{2I_{sdp}}{\beta_p}},$$

可以达到比较小的值，因此称为 LDO

(Low Dropout Regulator)。如果将其中的 PMOS 管改成 NMOS，如图 4-24

$$\text{所示，此时 } V_{in} - V_{out} \geq V_{gsn} = \sqrt{\frac{2I_{dsn}}{\beta_n}} + V_{thn},$$

而且由于衬底偏置效应， V_{thn}

会比较大，因此 $V_{in} - V_{out}$ 相对比较高。

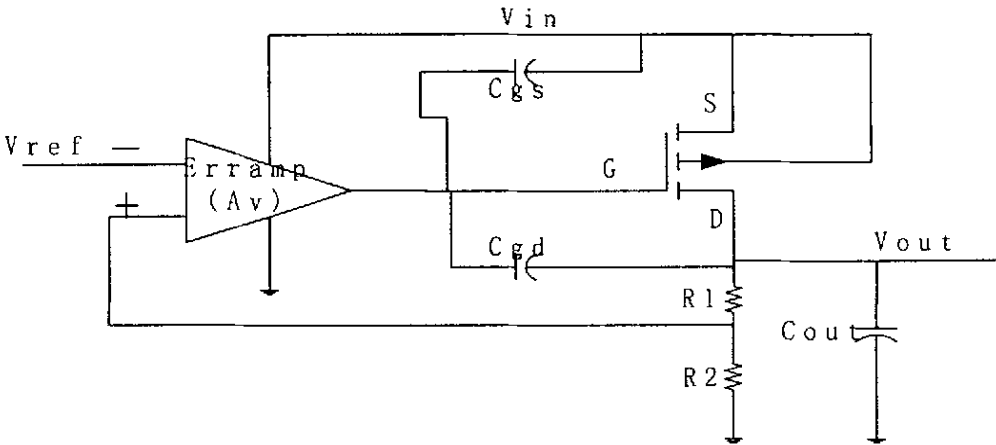


图 4-23 LDO Schematic

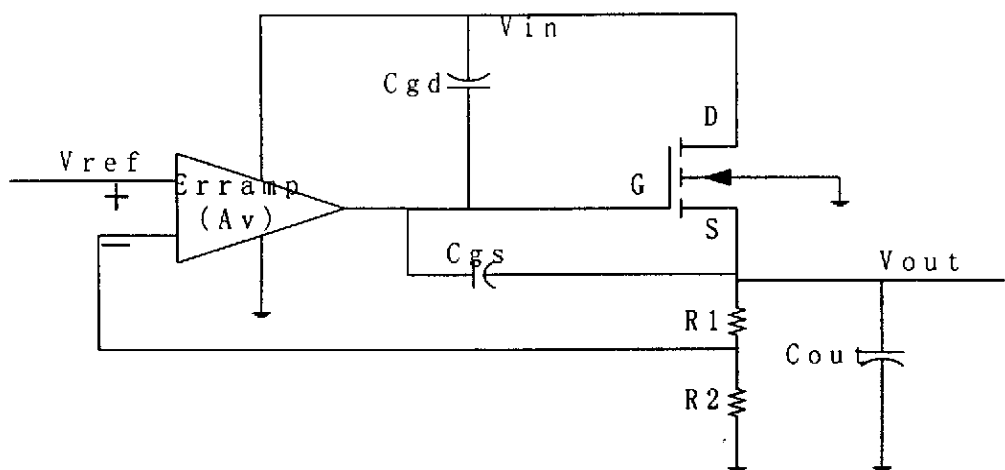


图 4-24 Linear Voltage Regulator

4.4.1 系统设计

(1)、系统稳定性

因为系统是一个负反馈的系统，所以首先要求系统稳定。下面分两种情况讨论稳定性的问题。(1) 外部加 μF 级的电容。此时系统的主极点在 V_{out} 这个节点上。对于整个系统来说，运放本身的主极点反而成为系统的次极点。

(2) 外部不加 μF 级的电容。此时可以调整系统各个节点的阻容值，使运放的主极点成为系统的主极点。

(2)、效率

效率本身不是由 LDO 决定的，它主要是由 V_{out}/V_{in} 决定的。系统的总功耗为 $P_A = V_{in} \times I_{in}$ ，而输出功率为 $P_{Load} = V_{out} \times I_{out}$ ，如果输出电流比较大（通常为几十毫安），则 LDO 消耗的电流可以忽略，效率 $E = \frac{P_{Load}}{P_A} \cong \frac{V_{out}}{V_{in}}$ 。

(3)、Power Supply Rejection

由前两图可知，高频下 Power Supply Rejection 跟电容有关，因为此时电容底阻抗比较低，因此如果外加较大的电容时电源抑制效果在高频情况下比较好。而低频情况下，电源抑制与环路的增益有关，只要系统有足够的时间响应，电源的噪声就可以被抑制。在中频段，因为系统的零极点的关系，电源抑制作用比较差，但是由于电源是由电池来供电，对系统的电源抑制作用要求相对较低。

(4)、瞬态响应

假设系统的带宽是 1MhZ。对于 Linear Voltage Regulator，如果 Iout 忽然减小，而 NMOS 的电流来不及响应 Iout 的这种变化，则电流就会对 Cout 充电，于是 Vout 升高，当然 VG 也会升高，但是 NMOS 的 Vgs 将会降低，从而减小 NMOS 的 Ids，稳定 Vout。反之亦然。对于 LDO 来说，因为驱动管变成 PMOS，因此需要加大 PMOS 的栅与漏之间的电容，使 PMOS 的栅随着 Vout 的升高而升高，这样才能降低 PMOS 的 Isd，从而稳定输出电压。而且将电容加在 PMOS 的栅和漏之间会形成 Miller 效应，对系统的补偿也有效。

当然，如果在 Vout 的节点上外加一个大电容，对于用 NMOS 作为驱动管的 Linear Voltage Regulator 来说，效果会更好。但是对于 LDO 来说，因为此时系统的主极点在输出点上，所以在栅漏间加电容会对系统的稳定性有影响。但是此时因为外部电容比较大，所以输出电压的变化会比较小：

$\Delta V = \frac{\Delta I \times \Delta t}{C}$ 。假设电流变化为 10mA，电容为 5uF，因为系统的带宽是 1MhZ，

则可以认为 $\Delta t = 1\mu S$ 。所以 $\Delta V = \frac{10mA \times 1\mu S}{5\mu F} = 2mV$ ，实际中肯定有偏差，因为电容都不是理想的。

(5)、精度

影响系统精度的因素有很多：电阻比例的精度($\Delta V_{O,R}$)、温度系数(ΔV_{TC})、Bandgap 的精度 ($\Delta V_{O,REF}$)、运放精度 ($\Delta V_{O,A}$)、系统的线性调制 (ΔV_{LR})、系统的负载调制 (ΔV_{LDR})。其中系统的线性调制表示当系统输入电压变化时，输出电压随输入电压的变化， $\Delta V_{LR} = \Delta V_O / \Delta V_I$ ；系统的负载调制表示系统的负载变化时，输出电压随负载的变化， $\Delta V_{LDR} = \Delta V_O / \Delta I_O$ 。对于线性调制，可以认为是系统在频率很低的情况下各个输入电压的 PSRR。而负载调制当输出电流变化很快时跟分析瞬态情况一样，如果负载变化比较慢的时候，跟系统的增益有关。关于精度的定义，

$$Accuracy = \frac{|\Delta V_{LR}| + |\Delta V_{LDR}| + \sqrt{\Delta V_{O,REF}^2 + \Delta V_{O,A}^2 + \Delta V_{O,R}^2 + \Delta V_{TC}^2}}{V_O}。从仿真的角度来看，$$

目前 $\Delta V_{O,REF}$ （即 reference 电压的精度）对系统的精度影响比较大。如果参考电压的精度只能达到 10% 的话，那么系统的精度就不会好于 10%。

(6) 系统稳定性分析

当系统的主极点在 V_{out} 节点上的时候，若要求系统稳定，则 $GBW = A_v * \omega_0$ 。不同的 LOAD 对运放增益不会有大影响，但是对于最后的输出级的增益则有影响。因为 $A_{V_{output}} = G_{mp} \times R_{out}$ （与输出电流相关）。而 $\omega_0 = 1/(2\pi \times R_{out} \times C_{out})$ （也与输出电流相关），所以 $GBW = A_v * \omega_0 = A_{V_{O,A}} * A_{V_{output}} * \omega_0$ 与 G_{mp} 成正比，从而与 $\sqrt{I_{load}}$ 成正比。但是

系统的次极点基本保持不变,所以系统在输出大电流的时候稳定性相对较差。因此只要保证系统在最大输出电流的时候保持稳定,则系统在整个电流输出范围内是稳定的。

(7)、启动时的大电流

由图 4-23 可知,当输入电压从 0V 变成 9V 后, Bandgap 会首先启动(因为相对时间比较短),此时 $V_{ref}=2.4V$ 。因为输出端有一个大电容(uF 级),所以输出电压为 0V,反馈的信号导致误差放大器的两个输入端电压为 $V_- = 2.4V$, $V_+ = 0V$,从而运放的输出即输出大管子的栅极电压很低(接近 0V)。于是输出 PMOS 的栅源电压 $V_{sg} = (-9)V$,通过 PMOS 的电流降达到 500mA,对系统的可靠性造成影响。这个问题可以通过增加软启动电路来解决,但是这需要对电路进行较大的改动。另一种方案就是在运放中增加限流电路,使运放的输出摆幅得到限制,具体讨论跟下一个问题类似。

(8)、最大输出电流

由图 4-23 可知,如果运放内部没有限流机制的话,系统的最大输出电流将由输出管决定,即当输出管进入线性区后,LDO 失去调制作用,进入 DROPOUT。因此当输入电压不同时最大输出电流也将不同。例如,当输入电压为 9V 时, $V_{sgp}=9-(5-0.7)=4.7V$;当输入电压为 7V 时, $V_{sgp}=2.7V$,这样输入电压不同将导致最大输出电流的不同。这个问题与问题(3)都可以通过在运放内部引入限流电流来实现。因为运放内部的电流可以通过 Bandgap 产生,所以对电源的抑制效果比较好,这样就不会存在最大输出电流随输入电压改变的问题了,而且启动大电流也会随之解决,因为输出管的

栅极不会降低。总而言之就是限制运放的输出摆幅来限制启动大电流，同时最大输出电流也可以通过 Bandgap 本身的电源抑制作用而达到比较稳定的电流值。

4.4.2 bandgap 设计

系统的 Bandgap 如图 4-25 所示。其中运放的偏置电流取自 I_{ptat} 。系统构成负反馈，如果 I_{ptat} 增大，则 V_{r1} 增大，于是运放的输出增加，从而使 PMOS 的 V_{sg} 减小，减小 I_{ptat} ，达到负反馈的效果。 $R1/R2$ 的值是由 Bandgap 来确定的， V_{r2} 将构成运放的共模信号， V_{r1} 构成运放的差模信号，在系统中 $R1/R2=1/6$ （或者 $1/12$ ，如果后级采用两个 pnp 叠加）。此时系统的差模信号跟共模信号的比例就等于 $1/6$ ，而共模信号在系统中产生正反馈，因此运放的 CMRR 也有要求。因为运放的偏置电流也取自 I_{pata} ，所以运放会稳定在任何的电流偏置，

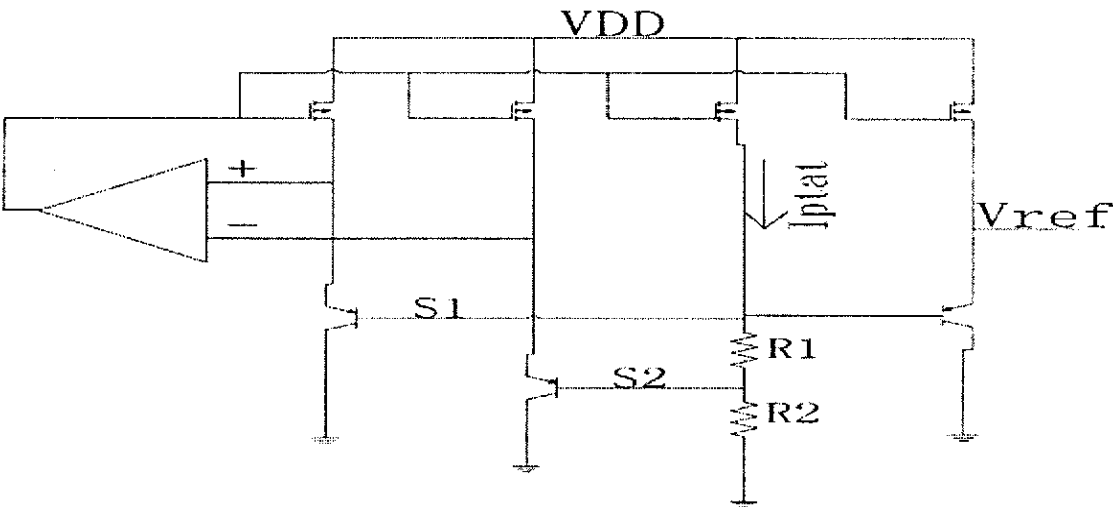


图 4-25 Bandgap

如果运放的电流偏置过大，即运放的输出偏低后，运放的 CMRR 降低，整个

系统就会处于正反馈，系统将达到第三个稳态点。改进的方法是一、设计合适的启动电路，使系统可以避免进入第三种状态。二、将电阻 R2 移到 R1 的上方，将 S2 接地，彻底消除系统的共模信号，避免系统进入负反馈。采用第二种方法要注意直流工作点。

4.4.3 仿真结果

几个参数的仿真结果如图 4-26、4-27、4-28 所示。结果中输出电压为 4.85V，原因是仿真的时候用两个相同的 PMOS 作为电阻分压，而系统产生的 Bandgap 电压是 2.4V 左右。最后的版本中直接采用电阻分压，因为工艺有高阻的 poly，可以在适当的面积下形成高阻，从而减少静态电流，并且电阻的比例精度能够保证。温度特性呈倒钟型主要是由仿真采用的 PNP 模型引起的。

从前面的瞬态分析来看，因为系统的带宽原因，高频的电流变化将主要由电容存储的电荷来提供，因为芯片内部不能集成大电容，因此如果负载电流变化比较大的时候，需要通过 PAD 和 Bonding Wire 引出到外界，通过外接的大电容来缓冲较大的电流变化引起的电压变化。

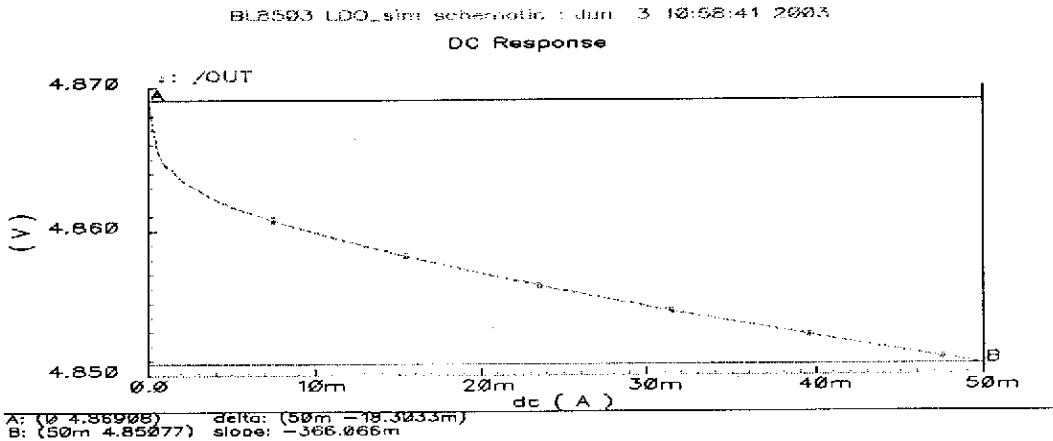
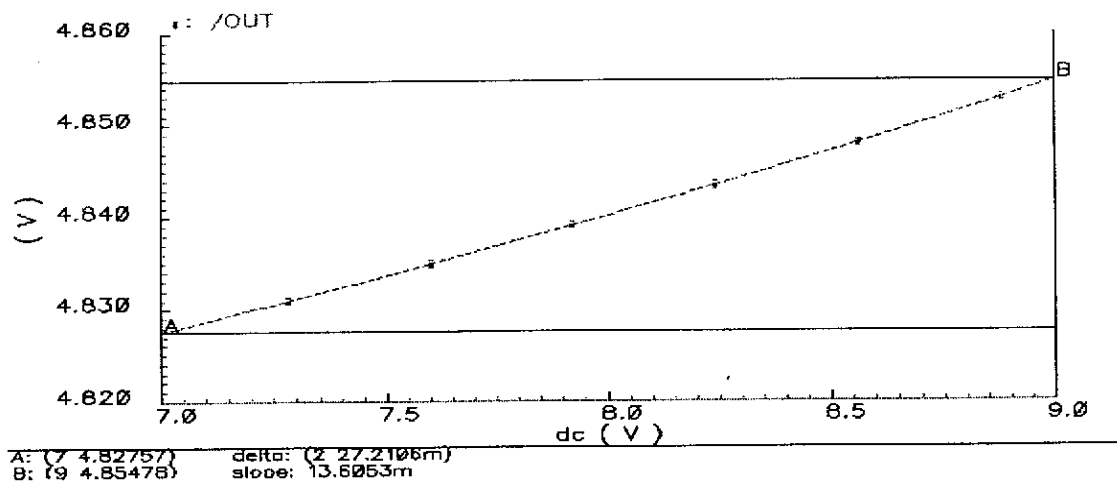
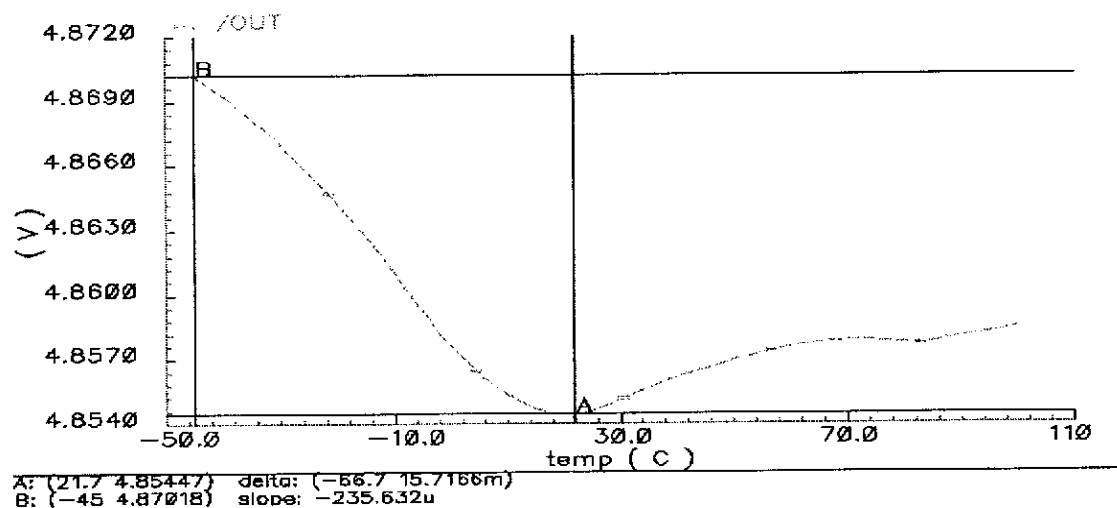


图 4-26、DeltaVldr (Vout~Iload)

DC Response

图 4-27、DeltaVlr ($V_{out} \sim V_{in}$)

DC Response

图 4-28、DeltaVtc ($V_{out} \sim T$)

4.5 本章小结

本章给出了各个模块的详细设计过程，对主要的部分分别给出了相关的原理图和波形图，以及相应的仿真验证结果。

第 5 章 系统实现设计

5.1 软硬件协同设计

要实现整个系统的完整工作，需要软硬件协同工作。

硬件所做的工作：

1. 把传感器接收到的信号进行分析、放大和处理供 MCU 分析；
2. 完成相应的校零工作；
3. 驱动相应的 LED 和蜂鸣器，提供用户参考；

软件所做的工作：

1. 完成整个探测过程的控制；
2. 对 AD 采样信号的分析；
3. 数字滤波；

5.1.1 基本流程

目前使用的探测一般的信号流程如图 5-1 所示。

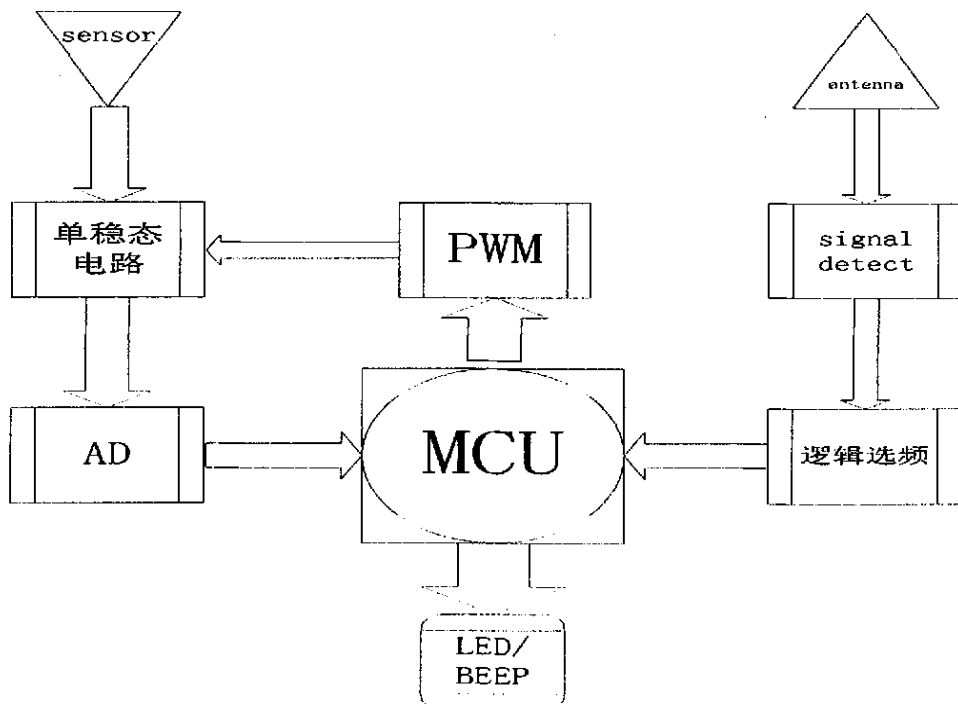


图 5-1 信号流程图

5.1.2 软件设计

普通探测器的软件流程如图 5-2 所示。

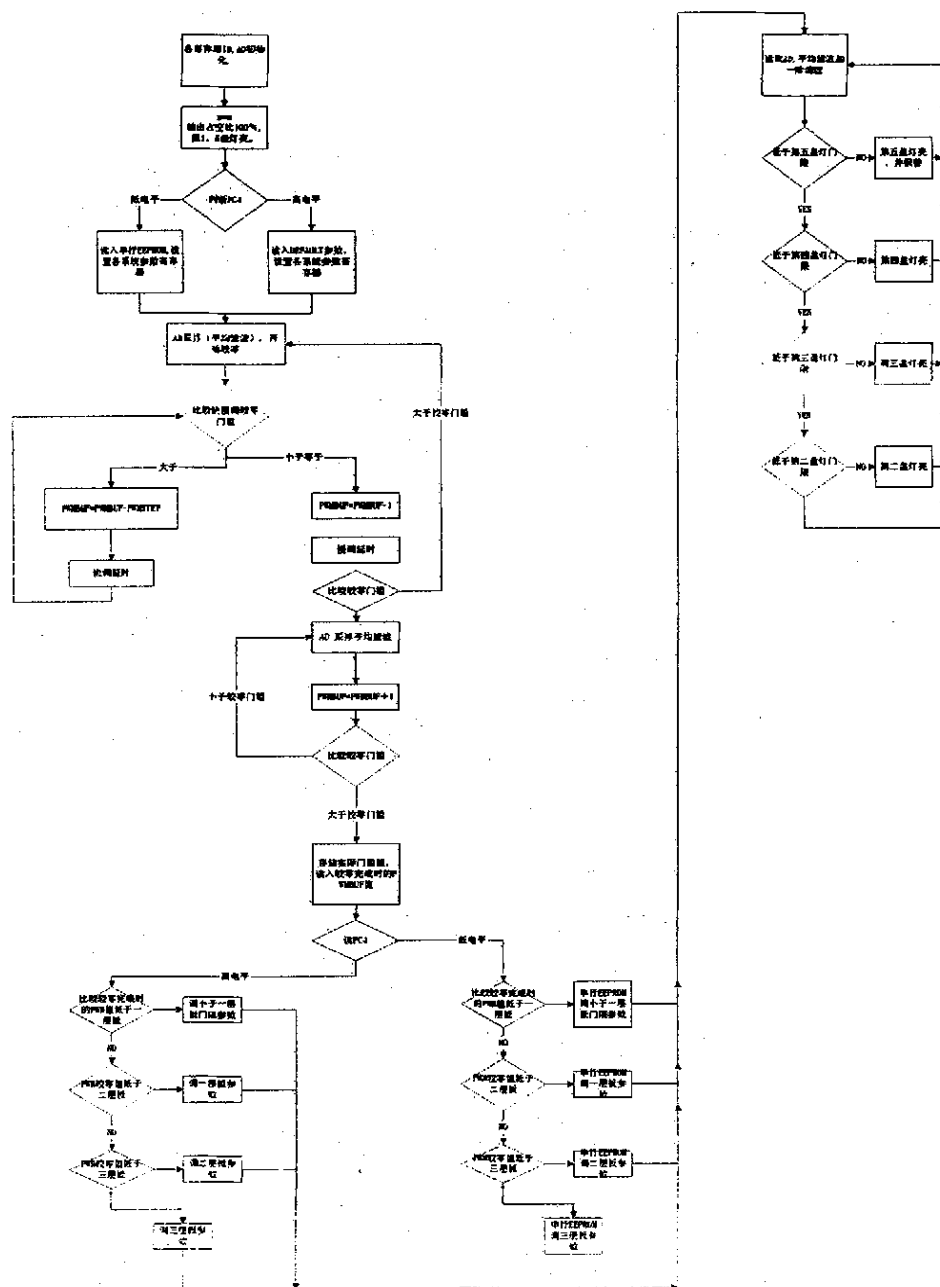


图 5-2 普通探测器软件流程

我们改进的智能探测器的软件流程如图 5-3 所示。

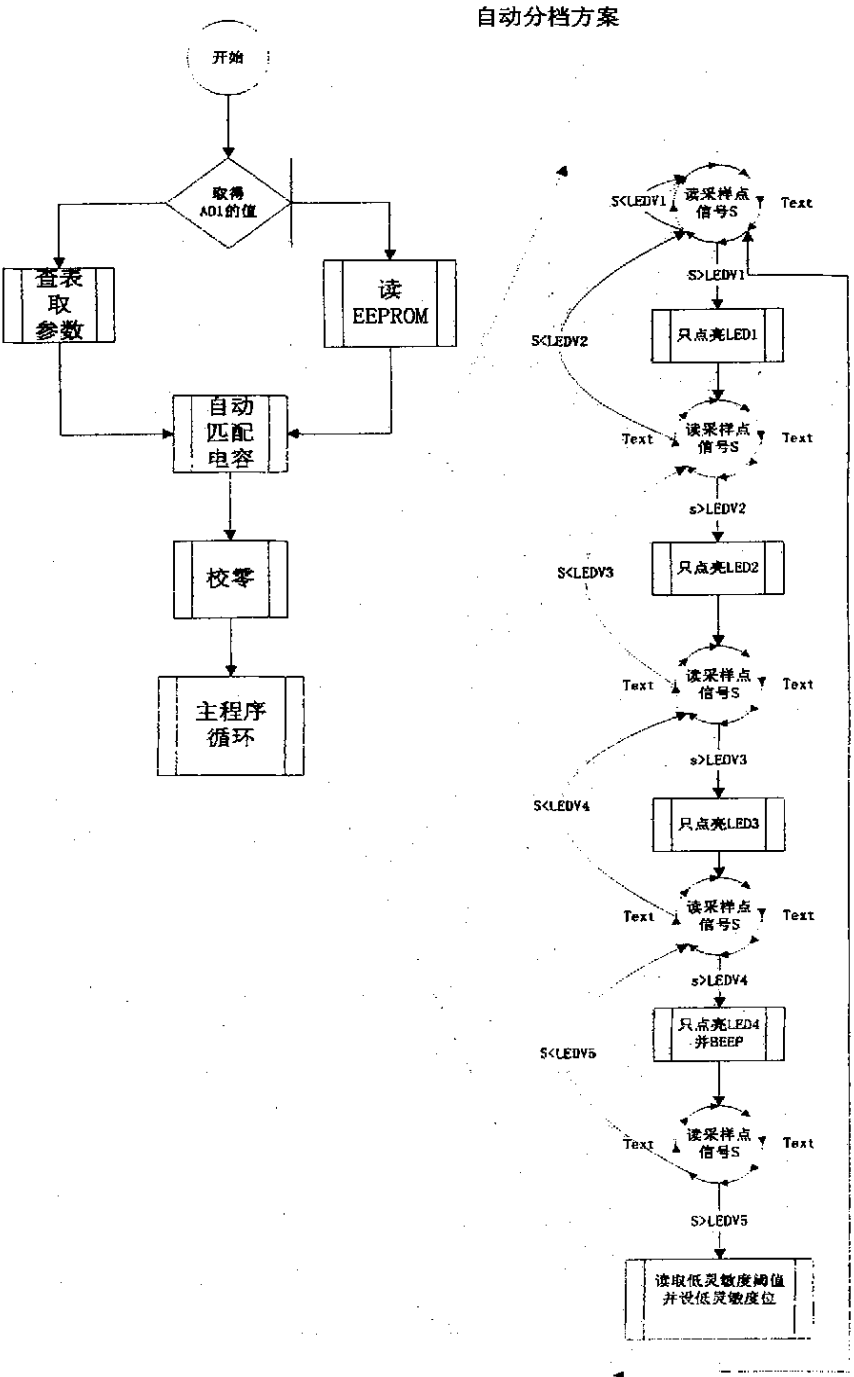


图 5-3 智能探测流程图

5.2 软件流程

5.2.1 探木流程

1. 探木程序主流程如图 5-4 所示。

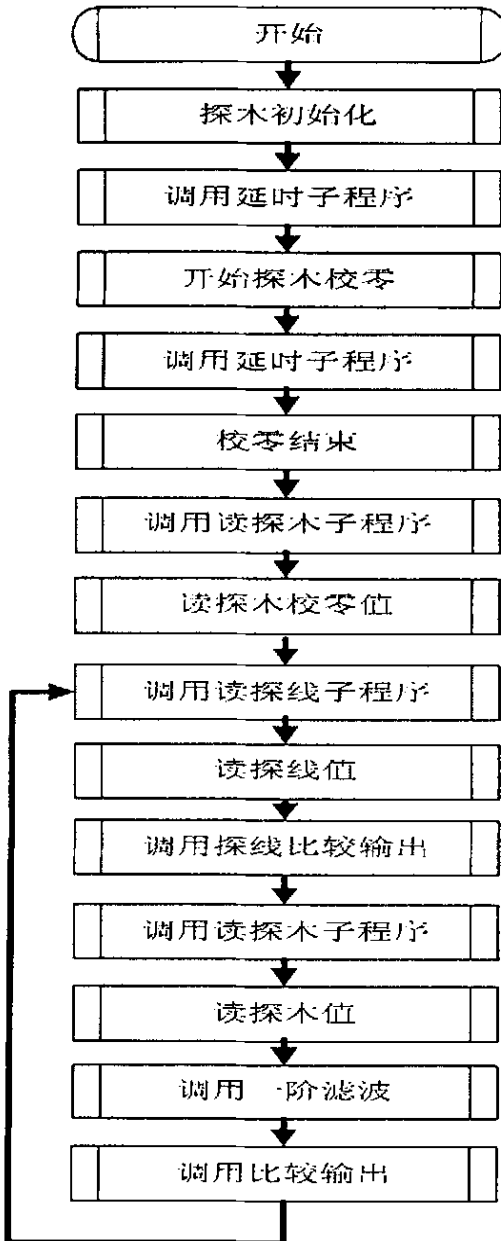


图 5-4 探木主程序流程

2. 读探木子程序流程如图 5-5 所示。

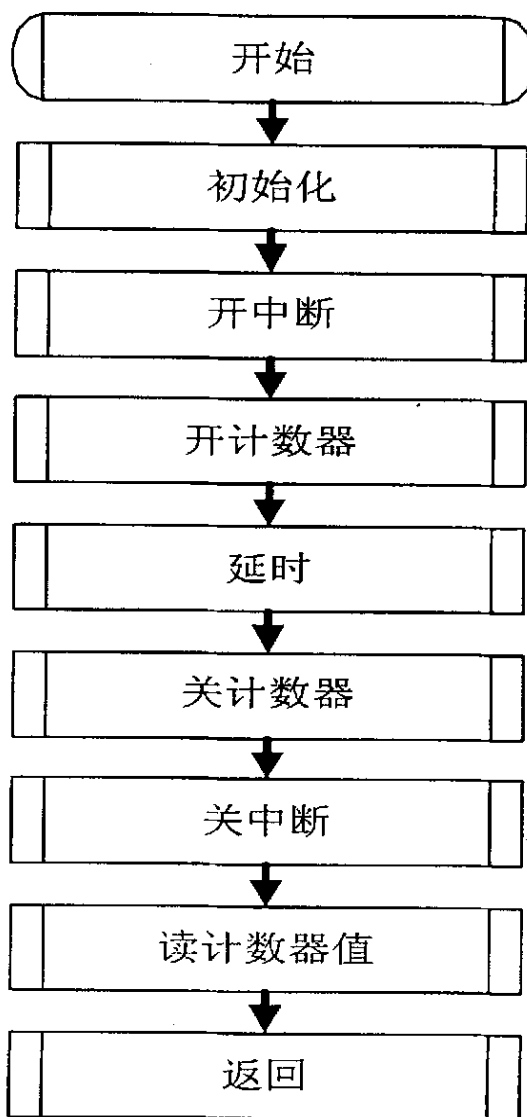


图 5-5 读探木子程序

3. 探木比较输出子程序流程如图 5-6 所示。

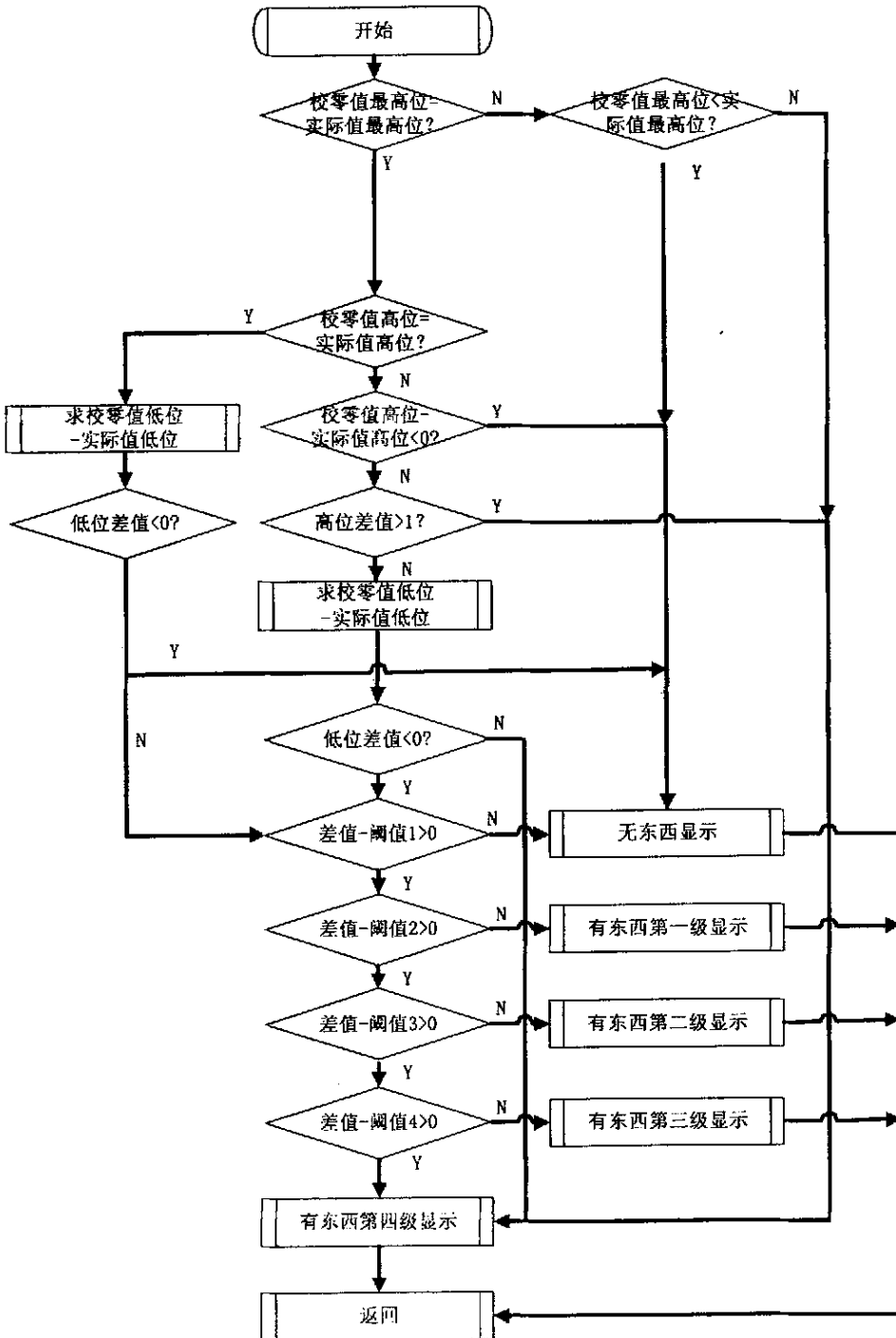


图 5-6 探木输出比较子程序流程图

4. 一阶滤波子程序流程如图 5-7 所示。

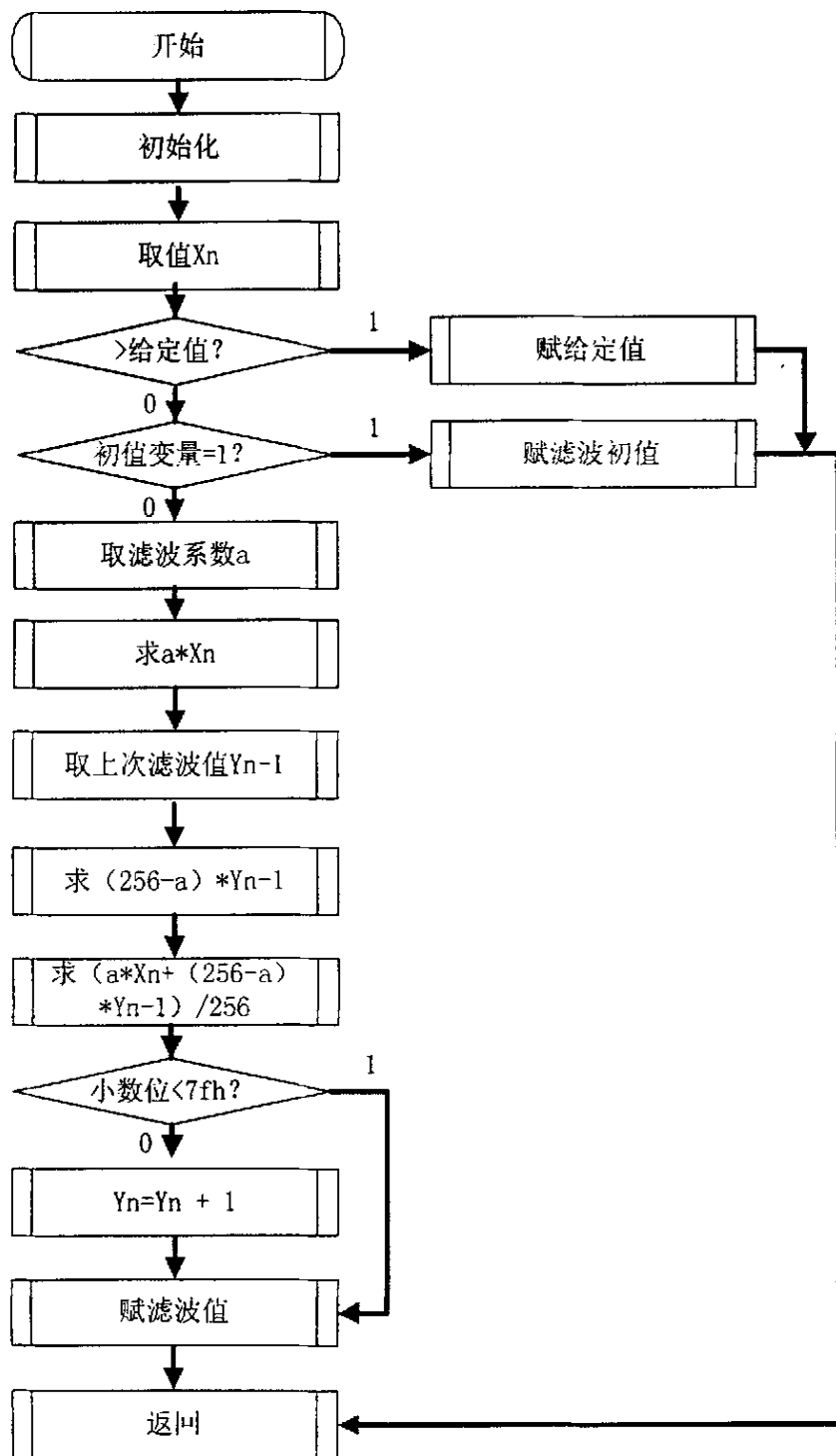


图 5-7 一阶滤波子程序流程图

5.2.2 探电线流程

1. 读探电线子程序流程如图 5—8 所示。

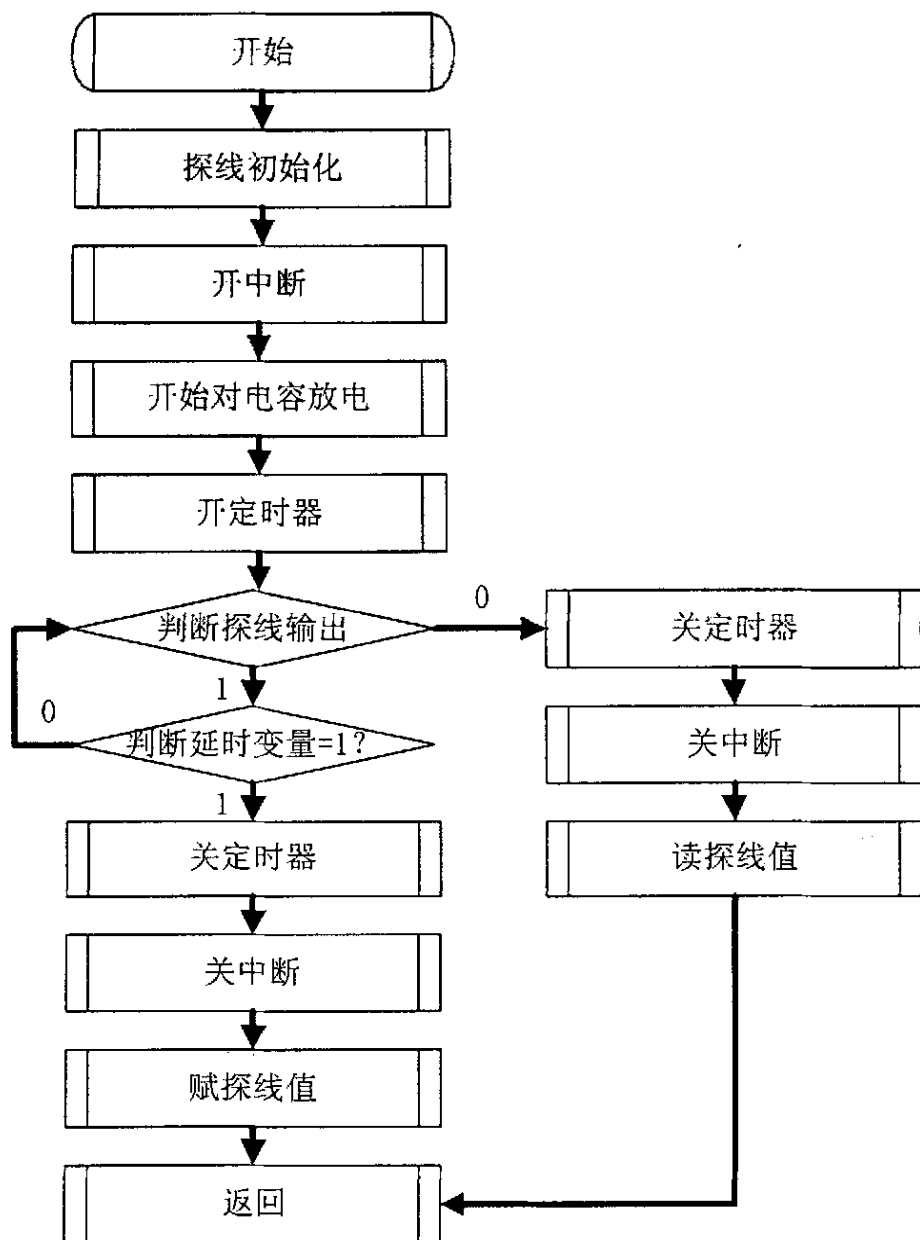


图 5—8 读探电线子程序流程图

2. 探电线比较输出子程序流程如图 5-9 所示。

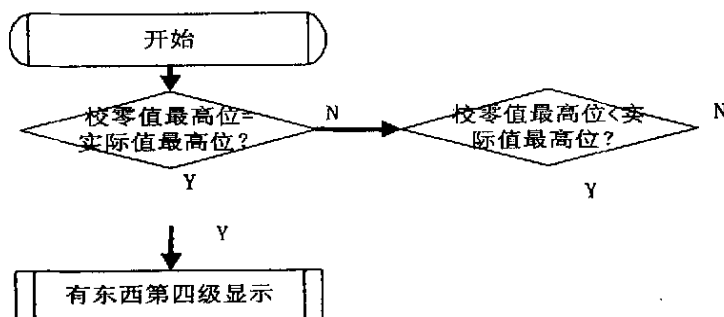


图 5-9 探电线输出子程序流程图

5.3 系统应用

本芯片集成了除电容传感器、探电线天线以外的大部分器件，不仅降低了用户成本，也提高了整个系统的可靠性。

5.3.1 系统应用框图

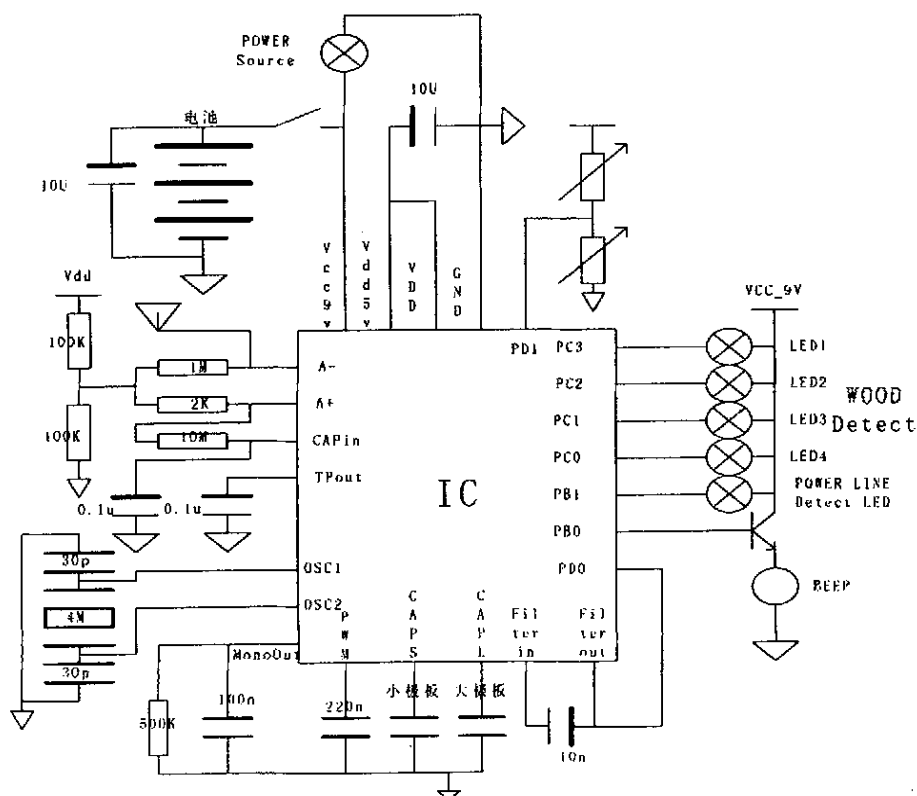


图 5-10 系统应用框图

结论

探木探电线类探测器目前主要的市场在欧洲和北美,是属于民用建筑行业探测工具,是属于消费类,因此市场潜力巨大。国外大企业所使用的单芯片解决方案中的关键芯片对于中国有着很强的技术壁垒。中国企业要在此类产品中保持较强的竞争能力,必须有自己自主知识产权的关键芯片。为此我们开发了“智能探木探电线 IC 芯片”,用单芯片解决了探木和探电线两种建筑行业所需的探测功能。

本设计的芯片在 Belling 的 1.2 μ CMOS 工艺线上硬件一次流片成功,软件修改了一次后也已经完全符合系统要求,目前芯片已经小批量供应市场。

根据用户应用芯片设计的系统测试,以凯歌公司的探木探电线的 F-150 产品为例,测试结果如下:

1. 检测厚度为 3/4 英寸内的石膏板下的木头位置,实际检测厚度能达到 1.5 英寸;定位精度在正负 0.5mm。
2. 检测 50hz,60hz 电线的位置,实际检测距离能达到 30cm 以上。
3. 整机能在 7-9V 电源下正常工作,实际电压工作范围达到 7-12V; LDO 输出的 5V 的幅度精度能控制在 5% 以内。
4. 系统工作稳定,完全满足客户要求自检、校零、测试、显示等功能。

因此,芯片在设计上是完全成功的。

本设计技术路线是以内置 MCU 为关键,溶入各种模拟功能模块,采用数模混合电路设计技术,实现了单芯片解决探木、探电线功能。本芯片集成了除电容传感器、探电线天线以外的大部分器件,不仅降低了用户成本,也提高了整个系统的可靠性。

本论文在研究分析探测器原理及探测器实现的基础上,进行了探测器单芯片的设计实现,作者取得了以下成果:

1. 完成了探木探电线功能单芯片解决的软硬件的协同设计,用一个简单的 SOC 系统实现了单芯片的功能,填补了国内空白。
2. 探木部分电路应用国外过期专利的设计思想,用 CMOS 电路实现了该方案。
3. 用 CMOS 电路在小型 SOC 内实现了高稳定性电源稳压电路的设计。
4. 根据现有的指令系统设计了一个 CISC 结构的 8bit CPU。

参考文献

1. 慈艳柯, 陈秀英, 吴孙桃。片上系统的设计技术及其研究进展。半导体技术。2001, (7):12~15
2. 明导公司。SOC 集成电路设计的新纪元。半导体技术。2001, (7):17~20
3. 朱全庆, 邹雪城, 东振中, 黄峰。片上系统中的 IP 复用技术。半导体技术。2001, (7):3~7
4. 刘云峰, 吉利久。寻求更大的发展空间——SOC 设计概览。世界产品与技术。2000, (3):5~7
5. 韩雁。专用集成电路设计技术基础。电子科技大学出版社。2000, (4):28~40
6. 夏宇闻。复杂数字电路与系统的 verilogHDL 设计技术。1998, 4、5、6
7. 刘宝琴。数字电路与系统。清华大学出版社。1993
8. 阎石主编。数字电子技术基础。第三版。高等教育出版社。1994
9. 张友德, 涂时亮, 陈章龙。M68HC08 系列单片机原理与应用。复旦大学出版社。2001
10. 刘慧银, 程建平, 龚光华, 王云飞, 许庆丰。MOTOROLA 微控制器 MC68HC08 原理及其嵌入式应用。2001
11. 邵贝贝、刘慧银等。微控制器原理与开发技术。清华大学出版社。1997
12. 第三届 MOTOROLA 杯单片机设计应用大奖赛论文集。《电子产品世界》杂志出版社。2000
13. 余永权等。MOTOROLA MC68HC05SR3 单片微型机原理与开发应用。广东高等教育出版社。1995
14. 王幸之、王雷、瞿成、王闪等。单片机应用系统抗干扰技术。北京航空航天大学出版社。2001
15. 谢宋和等。MOTOROLA 单片机原理及应用系统开发技术。北京航空航天大学出版社。1999
16. 陈章龙, 涂时亮。MC6805 单片机原理、应用及技术手册。复旦大学出版社。1991
17. 涂时亮主编。MC68HC05 单片机原理、应用及技术手册。复旦大学出版社。1991
18. Phillip E. Allen, Douglas R. Holberg. CMOS Analog Circuit Design Second Edition. Publishing House of Electronics Industry. 2002

19. Jan M.Rabaey, Anantha Chandrakasan, Borivoje Nikolic. Digital Integrated Circuits---A Design Perspective Second Edition.Publishing House of Electronics Industry. 2002
20. Rochit Rajsuman. System-on-a-Chip:Design and test.北京航空航天大学出版社。2003
21. 毕查德.拉扎维著。模拟 CMOS 集成电路设计。西安交通大学出版社。2002
22. Carl Christian Stoutenberg,Avon;Richard Rathbun,Montville,both of Conn. STUD FINDER-United States Patten-331054.1973
23. 嵌入式系统应用精选 200 例。微计算机信息编辑部。2001
24. 2002 年嵌入式系统及其应用研讨会论文集。电子产品世界特刊。2002

致谢

值此论文完成之际，首先要衷心感谢导师童家榕教授和姚美伦高工多年来对我的关心、指导和教诲。作者在攻读硕士学位期间的工作自始至终都是在童家榕教授和姚美伦高工全面、具体的指导下进行的。童老师和姚老师渊博的学识、忘我的敬业精神和工作认真负责的态度令学生终生难忘，成为学生一生的追求目标。

感谢课题组的老师和同仁，他们中有：陆桢、陈清平、罗鹏、周鸣、张文荣等工程师。感谢课题组所有的老师和同仁在论文工作期间给予的无私帮助。

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名： 张健 日期： 2005.6.1

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名： 张健 导师签名： 章金松 日期： 2005.6.1

作者: [陆健](#)
学位授予单位: [复旦大学](#)

参考文献(24条)

1. 慈艳柯, 陈秀英, 吴孙桃, 郭东辉 [片上系统的设计技术及其研究进展](#)[期刊论文]-[半导体技术](#) 2001(7)
2. 明导公司 [SOC集成电路设计的新纪元](#)[期刊论文]-[半导体技术](#) 2001(7)
3. 朱全庆, 邹雪城, 东振中, 黄峰, 童建农 [片上系统中的I P复用](#)[期刊论文]-[半导体技术](#) 2001(7)
4. 刘云峰, 吉利久 [寻求更大的发展空间——SOC设计概览](#) 2000(03)
5. 韩雁 [专用集成电路设计技术基础](#) 2000
6. 夏宇闻 [复杂数字电路与系统的verilogHDL设计技术](#) 1998
7. 刘宝琴 [数字电路与系统](#) 1993
8. 阎石 [数字电子技术基础](#) 1994
9. 张友德, 涂时亮, 陈章龙 [M68HC08系列单片机原理与应用](#) 2001
10. 刘慧银, 程建平, 龚光华, 王云飞, 许庆丰 [MOTOROLA微控制器 MC68HC08原理及其嵌入式应用](#) 2001
11. 邵贝贝, 刘慧银 [微控制器原理与开发技术](#) 1997
12. [第三届MOTOROLA杯单片机设计应用大奖赛论文集](#) 2000
13. 余永权 [MOTOROLAMC68HC05SR3单片微型机原理与开发应用](#) 1995
14. 王幸之, 王雷, 瞿成, 王闪 [单片机应用系统抗干扰技术](#) 2001
15. 谢宋和 [MOTOROLA单片机原理及应用系统开发技术](#) 1999
16. 陈章龙, 涂时亮 [MC6805单片机原理、应用及技术手册](#) 1991
17. 涂时亮 [MC68HC05单片机原理、应用及技术手册](#) 1991
18. Phillip E Allen, Douglas R Holberg [CMOS Analog Circuit Design Second Edition](#) 2002
19. Jan M Rabaey, Anantha Chandrakasan, Borivoje Nikolic [Digital Integrated Circuits---A Design Perspective Second Edition](#) 2002
20. Rochit Rajsuman [System-on-a-Chip:Design and test](#) 2003
21. 毕查德 拉扎维 [模拟CMOS集成电路设计](#) 2002
22. Carl Christian Stoutenberg Avon [Richard Rathbun, Montville, both of Conn](#) 1973
23. [嵌入式系统应用精选200例](#) 2001
24. [2002年嵌入式系统及其应用研讨会论文集](#) 2002

本文读者也读过(10条)

1. [丛佩丽](#) [SOC中报警聚类及关联分析技术的设计与实现](#)[学位论文]2007
2. [黄敬](#) [神经网络中的自组织临界现象研究](#)[学位论文]1998
3. [朱赛春](#) [SCB嵌入式软件通信总线的体系结构设计及其原型实现](#)[学位论文]2005
4. [尹裕](#), [常玉春](#), [杜国同](#), [李宝华](#) [带有双开关的低压降线性调节器电源系统设计](#)[会议论文]-2005
5. [郭平华](#) [基于SOC的变流器集成控制系统的研制](#)[学位论文]2007
6. [向友斌](#) [基于M-core的开发系统构建及软硬件协同验证方法研究](#)[学位论文]2003
7. [李金凤](#) [最小SOC系统的可测性设计](#)[学位论文]2003
8. [赵杨](#) [职工医疗健康系统的设计与实现](#)[学位论文]2005

9. [贾晓力](#) [基于8051的TLM系统级模型的初步研究](#)[学位论文]2004
10. [孙曼](#) [一种适用于SoC的超快速响应线性低压降稳压器的研究与设计](#)[学位论文]2007

本文链接: http://d.wanfangdata.com.cn/Thesis_Y7711111.aspx