



دانشگاه تهران

دانشکده مهندسی برق و کامپیوتر

طراحی کامپیوتری سیستم‌های دیجیتال

پاییز 1401

دستیاران آموزشی: نگار مرادی، برنا توسلی، شایان شبیهی

CA1: Review on Logic Design

مقدمه:

در این تمرین، به منظور یادآوری مفاهیم مربوط به طراحی مدارهای منطقی، از شما خواسته می‌شود در فاز اول یک کنترلر و مسیر داده برای مدار خواسته شده، **روی کاغذ** طراحی کنید. در فاز بعدی این تمرین را با استفاده از زبان توصیف سخت‌افزاری Verilog پیاده‌سازی خواهید کرد.

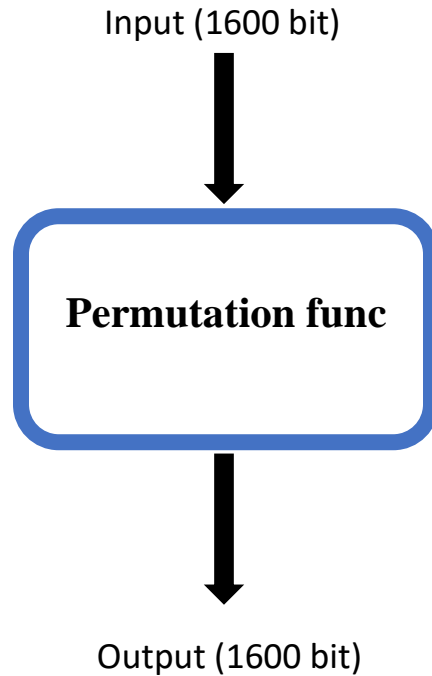
مهلت تحویل این تمرین در مجموع 10 روز در نظر گرفته شده است.

توجه: انجام این تمرین به صورت گروه‌های دوفره خواهد بود.

توضیحات پروژه:

با گذراندن این درس، در نهایت، از شما انتظار می‌رود که بتوانید یک سیستم کامل را مدل‌سازی کنید و درستی آن را بسنجید. بدین منظور، در هر تمرین از شما خواسته می‌شود بخش‌هایی از این سیستم را طراحی و پیاده‌سازی کنید و در پایان این بخش‌ها را سرهم کرده تا به یک مدار کامل برسید.

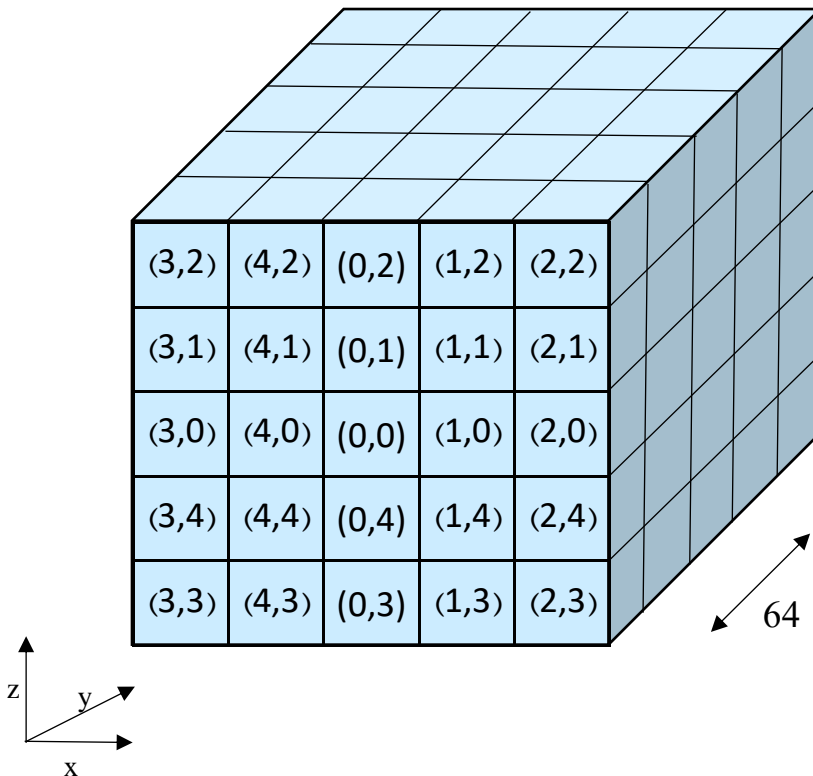
در تمرین اول، شما باید تابع *Permutation func* زیر را با طراحی واحد کنترل و مسیرهاده پیاده‌سازی کنید. در فاز اول از شما خواسته می‌شود تا مدار را با جزئیات کامل روی کاغذ طراحی کنید و در فاز دوم آن را به کمک زبان توصیف سخت‌افزاری Verilog پیاده‌سازی کرده و کارکرد صحیح آن را بررسی کنید.



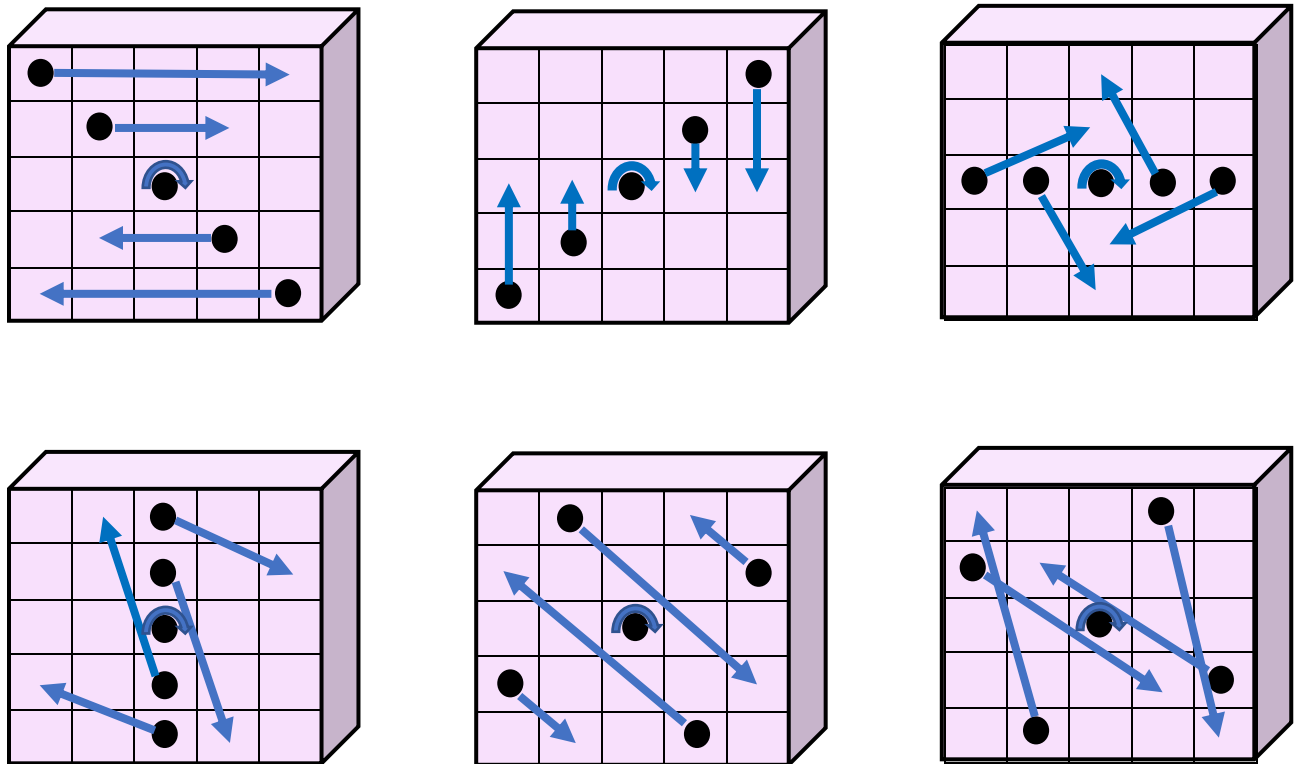
تعریف می کنیم: به ازای هر ماتریس X با ابعاد (n, m, k) ، تعداد k صفحه خواهیم داشت که:

$$\{\forall p_i \in X : p_i := X[:, :, i], 0 \leq i < k\}$$

یک عملیات جایگشت (permutation) روی ماتریس ورودی X ، نگاشت $a[j][(2i + 3j)\%5] \leftarrow a[i][j]$ را به تک تک درایه های این ماتریس اعمال می کند. دقت کنید که در این نگاشت (i, j) ، به صورت زیر تعریف شده اند:



در واقع نگاشت بالا، درایه‌های هر صفحه (در راستای محور X-Z) را به شکل زیر جابه‌جا می‌کند؛ دقت کنید که این نگاشت یک-به-یک است، یعنی مقدار داخل هر خانه دقیقا به یک خانه دیگر برده شده و دقیقا از یک خانه دیگر، برای خانه فعلی مقداری انتخاب شده است.



در این تمرین، برای سادگی بیشتر فرض شده است که ابعاد ماتریس ورودی X همواره $(5, 5, 64)$ می‌باشد. حال شما باید مداری طراحی کنید که با خواندن ماتریس ورودی از حافظه (که توضیحات آن در ادامه آورده شده است)، عملیات جایگشت را بر روی آن اجرا کرده و در نهایت خروجی را در قالب یک فایل `text` در حافظه تناظر ذخیره کند. در ادامه اطلاعاتی در رابطه با فایل‌های ورودی و خروجی آورده شده است.

فایل های ورودی:

نام این فایل ها به صورت "input_i.txt" بوده که در آن i شماره فایل میباشد. تمامی فایل های ورودی واقع در فولدر "tests" هستند که در کنار صورت پروژه آپلود شده اند. هر فایل شامل 64 خط می باشد که در هر خط 25 درایه یک صفحه در محور $x-z$ آورده شده است. ترتیب این صفحات از راستای $y = 0$ تا $y = 63$ می باشد. یعنی در خط اول 25 درایه جلوترین صفحه و در خط آخر، 25 درایه عقب ترین صفحه آورده شده است.

ترتیب 25 درایه واقع در هر خط، بدین صورت است که از خانه پایین چپ $(x, z) = (3, 3)$ شروع کرده و با حرکت به سمت راست و بالا به خانه بالا راست $(x, z) = (2, 2)$ می رسیم. مسیر خواندن خانه این درایه ها در چند مرحله اول به شکل زیر است:

$$(3, 3) \Rightarrow (4, 3) \Rightarrow (0, 3) \Rightarrow (1, 3) \Rightarrow (2, 3) \Rightarrow (3, 4) \Rightarrow (4, 4) \dots$$

نکته مهم: برای خواندن ورودی تنها مجاز به استفاده از یک رجیستر 25 بیتی هستید.

فایل های خروجی:

نام این فایل ها به صورت "output_i.txt" در نظر بگیرید که در آن i شماره فایل می باشد. تمامی فایل های خروجی را در همان فولدر "tests" ساخته و ذخیره کنید. درایه ها را به همان ترتیبی که خوانده اید (پس از جایگشت دادن)، در فایل خروجی بنویسید.

مواردی که در حین پیاده سازی باید در نظر بگیرید (فاز یک):

- طراحی شما در فاز اول باید کاملاً قابلیت پیاده سازی در Verilog را داشته باشد. لازم است در فاز دوم تمرین مدار فاز اول را در وریلاگ پیاده سازی کرده و تحویل دهید.

مواردی که باید در فاز اول تحویل دهید:

- گزارش کار شامل طراحی کنترلر (FSM) و مسیره داده بر روی کاغذ.
- مهلت تحویل: چهارشنبه 7 دی 1401.

مواردی که در حین پیاده سازی باید در نظر بگیرید (فاز دو):

- عملیات مطرح شده باید به صورت همروند بر روی ماتریس ورودی اعمال گردد. به طور دقیق تر تابع جایگشت باید به صورت همزمان بر روی تمامی عناصر ماتریس ورودی اجرا شود.
- در صورتی که متوجه شده اید طراحی شما در فاز اول مشکل داشته است، آن را در این مرحله اصلاح کنید و مشکل و راه حل را در گزارش به صورت کامل توضیح دهید.
- بخشی زیادی از نمره نهایی شما، مربوط به اجرای درست برنامه می شود. بدین منظور با بررسی تست کیس ها از لزوم اجرای درست برنامه مطمئن شوید.
- این پروژه تحویل حضوری دارد و برنامه شما با تست کیس های جدید بررسی خواهد شد.

مواردی که باید در فاز دوم تحویل دهید:

- تمامی فایل های لازم برای اجرای پروژه (فایل های hdl، تست بنچ و...).
- خروجی های تست کیس ها مطابق روشی که ذکر شد.
- گزارش کار (مسیره داده و طراحی کنترلر، اشکالات فاز اول و نتایج خروجی).
- مهلت تحویل: چهارشنبه 7 دی 1401.

نکات پایانی

- برای فاز دوم تمرین، لازم است فایل های HDL و testbench خود را مطابق ساختار توضیح داده شده در trunk/doc در subdirectory های trunk آپلود کنید. همچنین، اطمینان حاصل کنید که با اجرای trunk/sim/sim_top.tcl تست بنچ شما اجرا می شود. برای اجرای این اسکریپت میتوانید از دستور زیر در Modelsim استفاده کنید:

>> do <sim_file>

- لازم است فرمت خروجی مدار شما دقیقاً مطابق ساختار مطرح شده برای ورودی باشد. توجه کنید که صحت کارکرد مدار شما با تست های آماده بررسی خواهد شد.
- فایل ها و گزارش خود را تا قبل از موعد تحویل هر فاز، با نام های CAD_HW#1_P1.zip و CAD_HW#1_P2.zip به ترتیب در محل های مربوطه برای فاز اول و دوم در صفحه درس آپلود کنید.
- هدف از این تمرین، یادگیری شماسست! در صورت کشف تقلب، مطابق با قوانین درس برخورد خواهد شد.
- در صورت داشتن هرگونه سوال یا ابهام از طریق ایمیل های زیر با دستیاران آموزشی در ارتباط باشید.

negar.m0rd@gmail.com

shabihish@gmail.com

borna.tavassoli@gmail.com

موفق باشید!