

الفصل الخامس

المسجلات والعدادات

Registers and Counters

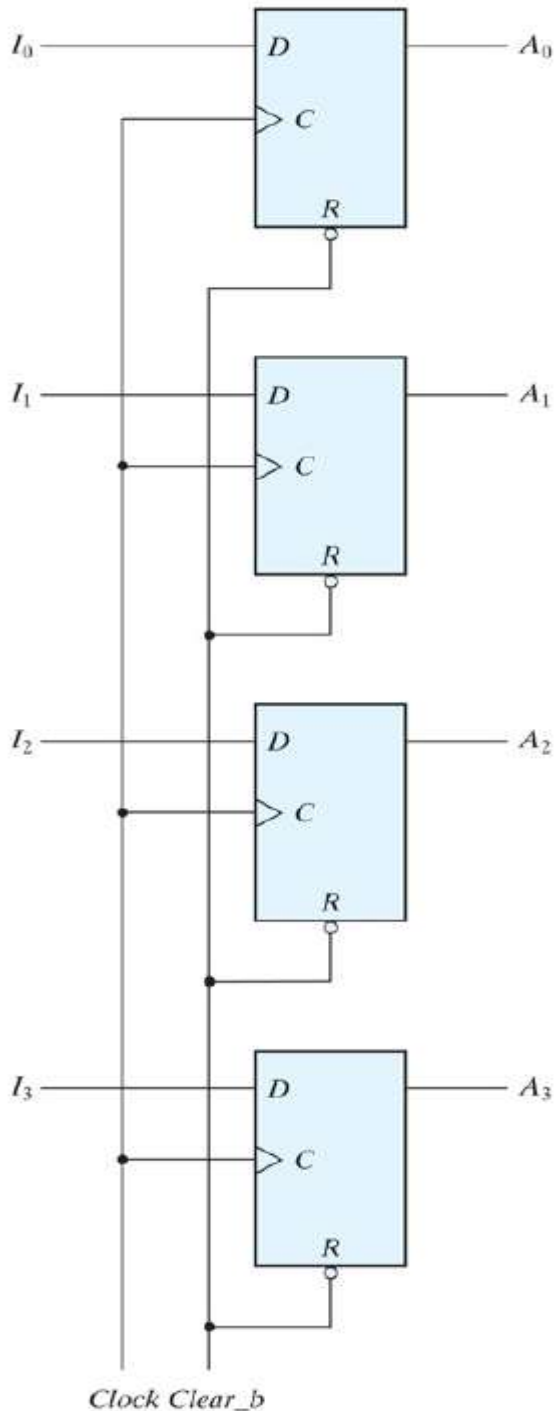
د. حسين طياوي بحبوح
جامعة دمشق - قسم الإلكترونيات والاتصالات

تعريف المسجل والعداد : Register and Counter Definition

- **المسجل:** هو عبارة عن مجموعة من القلابات، كل قلاب قادر على تخزين خانة واحدة من المعلومات. للمسجل ذو الـ n خانة n قلاب وهو قادر على تخزين أية معلومات ثنائية بـ n خانة.
- قد يحتوي المسجل بالإضافة إلى القلابات على دارات تركيبية تنفذ مهام معالجة معطيات محددة.
- بشكل عام يتكون المسجل من مجموعة من القلابات والبوابات التي تؤثر على عبور تلك القلابات. تمسك القلابات المعلومات الثنائية وتتحكم البوابات بلحظة وكيفية نقل معلومات جديدة إلى المسجل.
- **العداد:** هو بالأساس مسجل لكنه ينتقل عبر تتابع محدد مسبقاً من الحالات عند تطبيق نبضات الساعة.
- تتصل البوابات في العدادات بطريقة تمكّنها من إعطاء التتابع المحدد مسبقاً من الحالات الثنائية ومع أن العدادات هي نوع خاص من المسجلات فمن الشائع تمييزها باسم خاص.
- تتوفر المسجلات والعدادات كدارات متكاملة من النوع MSI وتشكل جزءاً من كسرات $VLSI$ المعقدة،
- تستخدم العدادات بشكل واسع في تصميم الأنظمة الرقمية بشكل عام وفي الحواسيب الرقمية بشكل خاص.
- **المسجلات** مفيدة في تخزين ومعالجة المعلومات الثنائية و**العدادات** تستخدم في دارات توليد إشارات تزامن كي تتحكم بعمل النظام الرقمي.

المسجلات: *Registers*

- المسجل الأبسط هو الذي يتكون من قلابات فقط دون بوابات خارجية. يبين الشكل مسجلاً مبنياً من قلابات نوع D بأربع خانات.
- يتم تصفير كل القلابات بشكل غير متزامن **عندما يأخذ هذا المدخل القيمة 0**. يستخدم مدخل التصفير لمسح وتصفير المسجلات إلى قيمة 0 قبل عملها وفقاً لنبضات الساعة
- يجب أن تحجب نبضات الساعة عن المسجل عندما يراد لمحتوياته أن تبقى نفسها دون تغيير وهذا يمكن أن يتم بجعل خط التحكم بالتحميل *ANDed* مع مدخل الساعة كما هو مبين في (b)

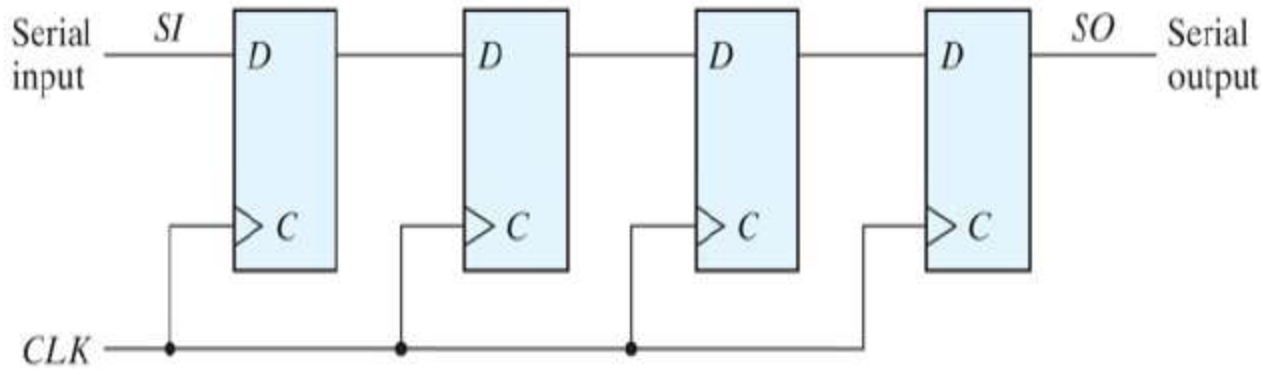


المسجل بخط تحميل تفرعي: *Register with Parallel Load*

- تعتبر المسجلات ذات التحميل التفرعي وحدات بناء أساسية في الأنظمة الرقمية
- إدخال بوابة *AND* في مسار نبضات الساعة يعني أن المنطق ينفذ بنبضات الساعة. لكن إدخال بوابات منطقية ينتج تأخيرات انتشار غير متساوية بين مولد الساعة الرئيسي ومداخل القلابات.
- لمزامنة كامل النظام يجب أن نضمن وصول كل نبضات الساعة وبشكل لحظي إلى النظام بحيث تقدر كل القلابات بنفس الوقت.
- يدخل تنفيذ منطق ما (مجموعة من البوابات) مع نبضات الساعة تأخيرات مختلفة ويمكن أن يخرج النظام عن تزامنه. لذلك ينصح بالتحكم بعمل المسجلات عن طريق المداخل *D* بدلاً من إزالة النبضة عن المداخل *C* للقلابات.
- يبين الشكل التالي مسجلاً رباعي الخانة وبمدخل تحكم بالتحميل موجه عبر البوابات إلى المداخل *D*:

مسجلات الإزاحة: *Shift Registers*

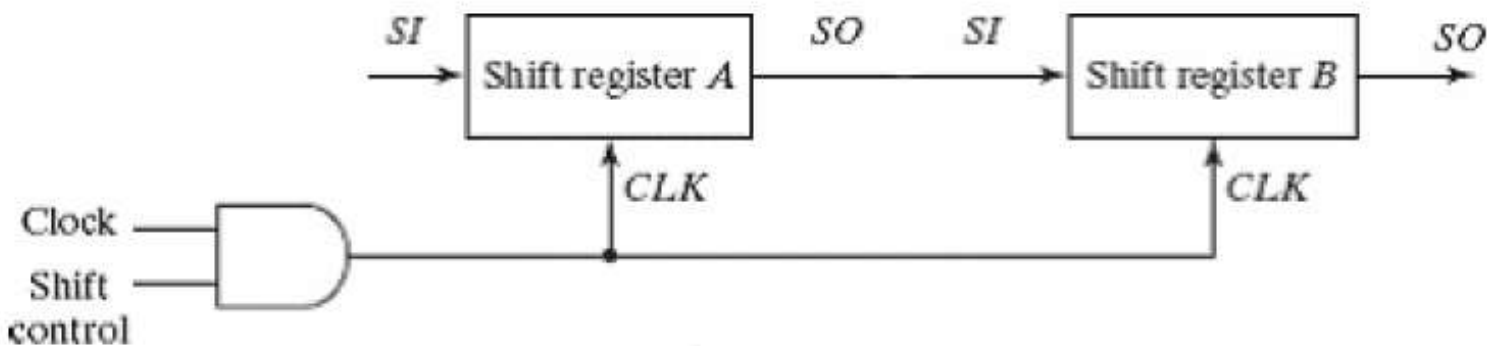
- يدعى المسجل القادر على إزاحة معلوماته الثنائية باتجاه واحد أو بكلا الاتجاهين **مسجل إزاحة**.
- تتكون التشكيلة المنطقية لمسجل الإزاحة من سلسلة متتالية من القلابات التي يتصل خرج أيّا منها مع دخل القلاب التالي.



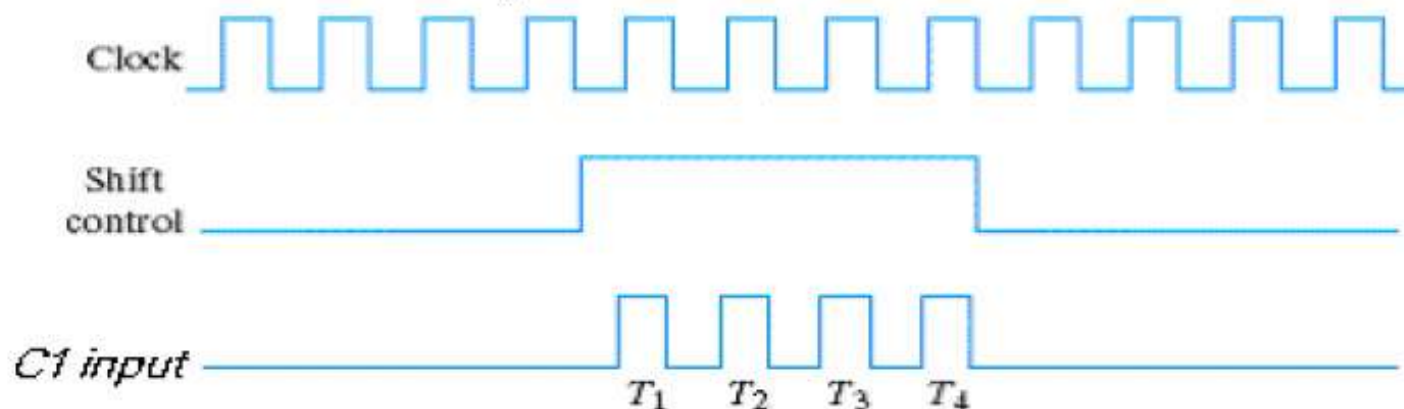
- في بعض الأحيان من الضروري التحكم بعملية الإزاحة بحيث تحدث مع نبضات محددة فقط.
- يمكن كبح إشارة التردد عن طريق وضع بوابات تحكم بإزاحة البيانات على مداخل البيانات وليس على مدخل نبضات الساعة

النقل التسلسلي: *Serial Transfer*

- يقال عن نظام رقمي أنه يعمل بشكل تسلسلي عندما يتم نقل ومعالجة المعلومات خانة بعد خانة. تتم عملية النقل هذه بإزاحتها من مسجل إلى آخر وهذا مغاير لعملية النقل التفرعي حيث تنقل فيها كل خانات المسجل دفعة واحدة.
- يتم النقل التسلسلي للمعلومات من المسجل A إلى المسجل B باستخدام مسجلات إزاحة كما هو مبين في الجزء (a) من الشكل التالي:



(a) المخطط الصندوقي



(b) مخطط التزامن

آلية النقل التسلسلي

نبضة التزامن	مسجل الإزاحة A	مسجل الإزاحة B
القيمة الأولية	1 0 1 1	0 0 1 0
بعد T_1	0 1 0 1	1 0 0 1
بعد T_2	0 0 1 0	1 1 0 0
بعد T_3	0 0 0 1	0 1 1 0
بعد T_4	0 0 0 0	1 0 1 1

الجمع التسلسلي: *Serial Addition*

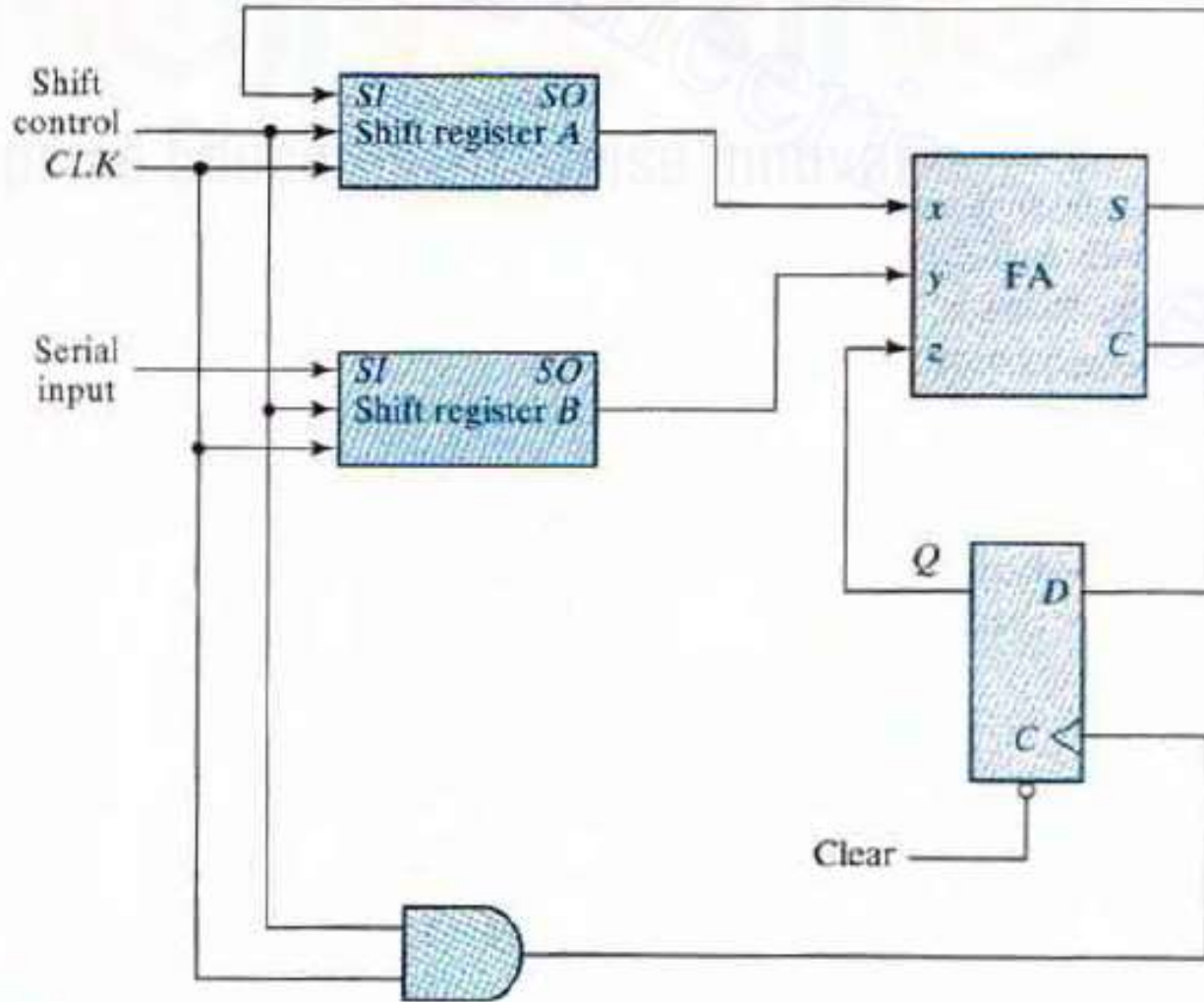


FIGURE 6.5
Serial adder

The shift control enables both registers and the carry flip-flop

يطلب تصميمها بالقلابات الأخرى غير D ff

مسجل الإزاحة مع خط تحميل تفرعي: *Shift Register with Parallel Load*

- إذا كان هناك إمكانية الوصول *access* إلى كل مخارج القلايات لمسجل الإزاحة فإن المعلومات المدخلة بشكل تسلسلي بالإزاحة يمكن أن تؤخذ من المسجل بشكل تفرعي.

• مبدأ العمل:

• عندما يكون كلا من مدخلي التحكم بالتحميل والإزاحة يساوي الصفر فإن بوابة AND الثالثة في كل مرحلة تكون مفعلة ويطبق خرج كل قلاب إلى المدخل D الخاص به. يعيد العبور الموجب لنبضة الساعة $clock$ تخزين محتويات المسجل ولا يحدث تغيير في خرج القلابات.

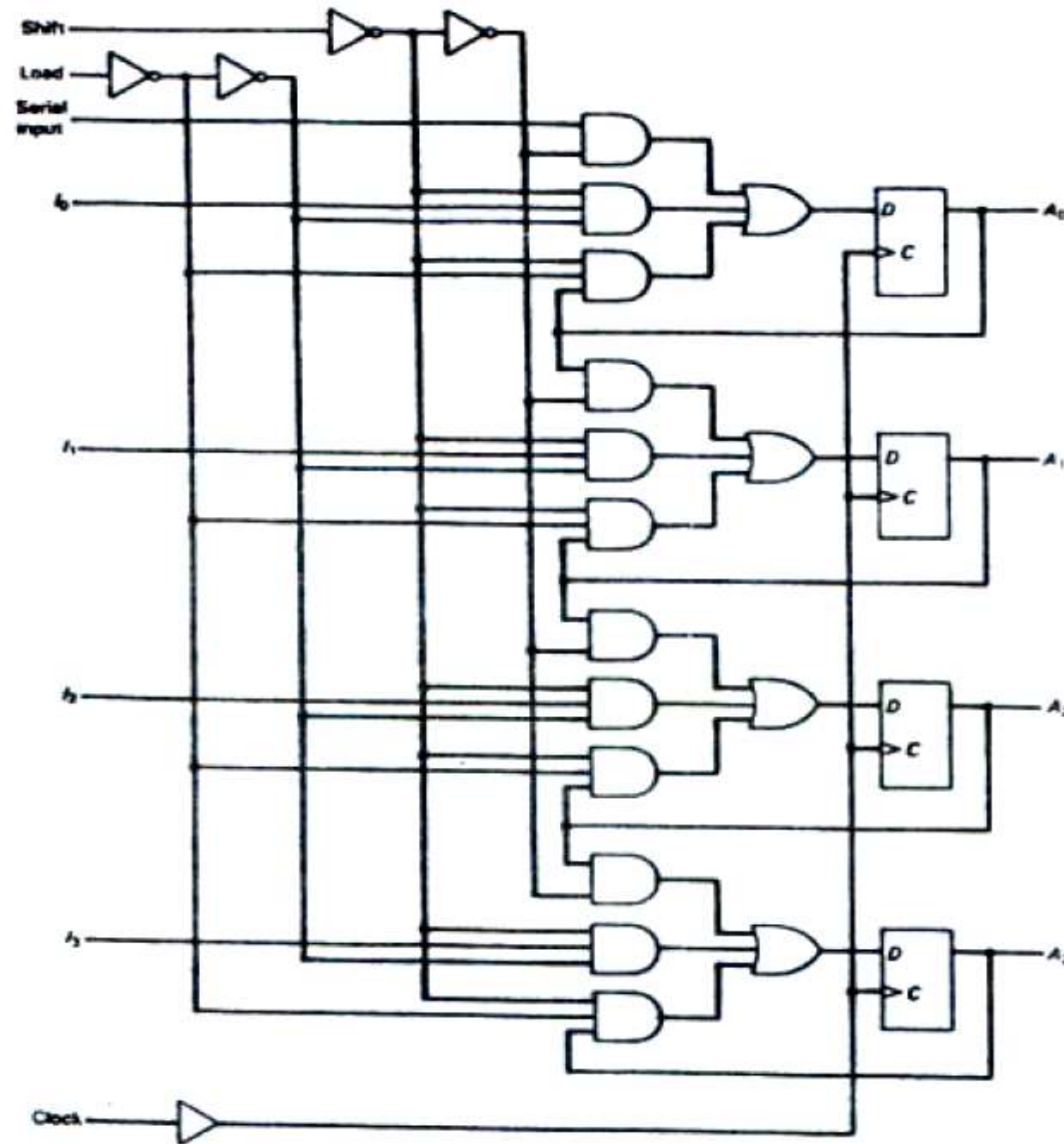
• عندما يكون خط الإزاحة = 0 وخط التحميل = 1 تكون بوابة AND الثانية في كل مرحلة مفعلة وتطبق معطيات الدخل إلى المدخل D المقابل للقلاب. ينقل عبور النبضة Clk الموجب التالي معطيات الدخل إلى المسجل.

• عندما يساوي مدخل الإزاحة الواحد تكون أول بوابة AND في كل مرحلة مفعلة والبوابتين التاليتين تكونان في حالة عدم تفعيل. لأن مدخل التحميل غير مفعّل ببوابة AND الثانية فإننا نضع تحته إشارة عدم تعيين X في الجدول

جدول الوظيفة لمسجل الإزاحة السابق ذو المداخل الأربعة وخط التحميل التفرعي

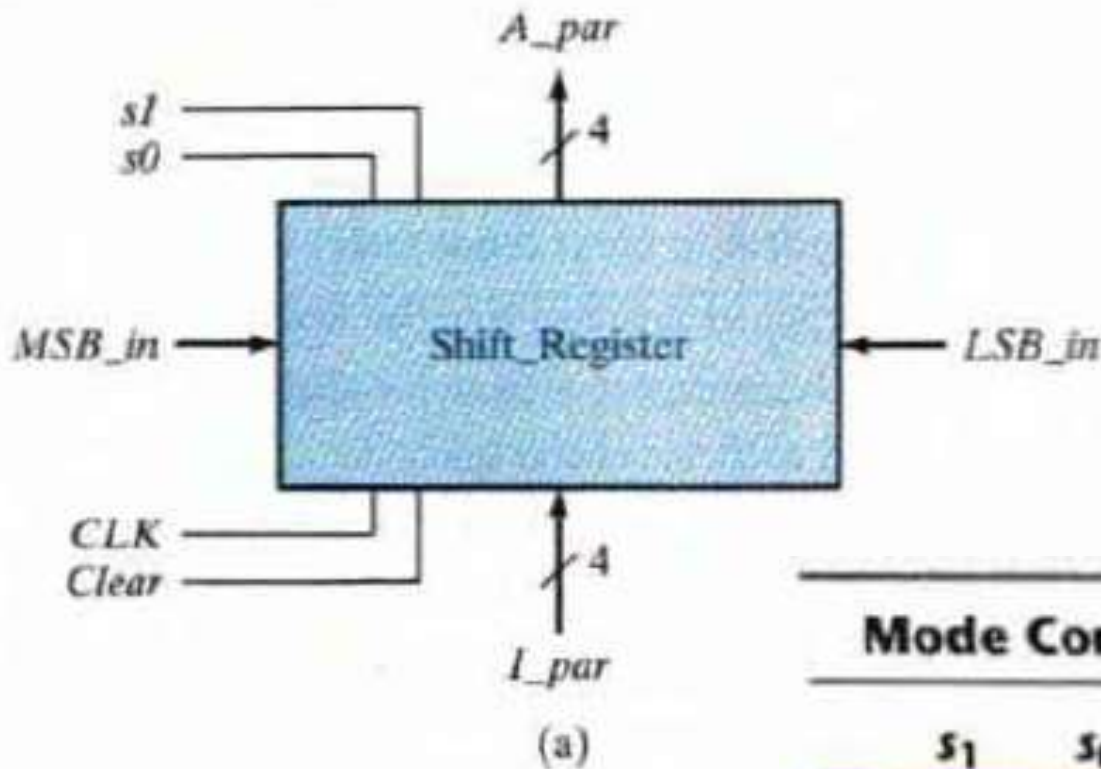
العملية Operation	التحميل Load	الإزاحة Shift
No change	0	0
Load parallel data	1	0
Shift down from A_0 to A_3	X	1

مسجل إزاحة بخط تحميل تفرعي

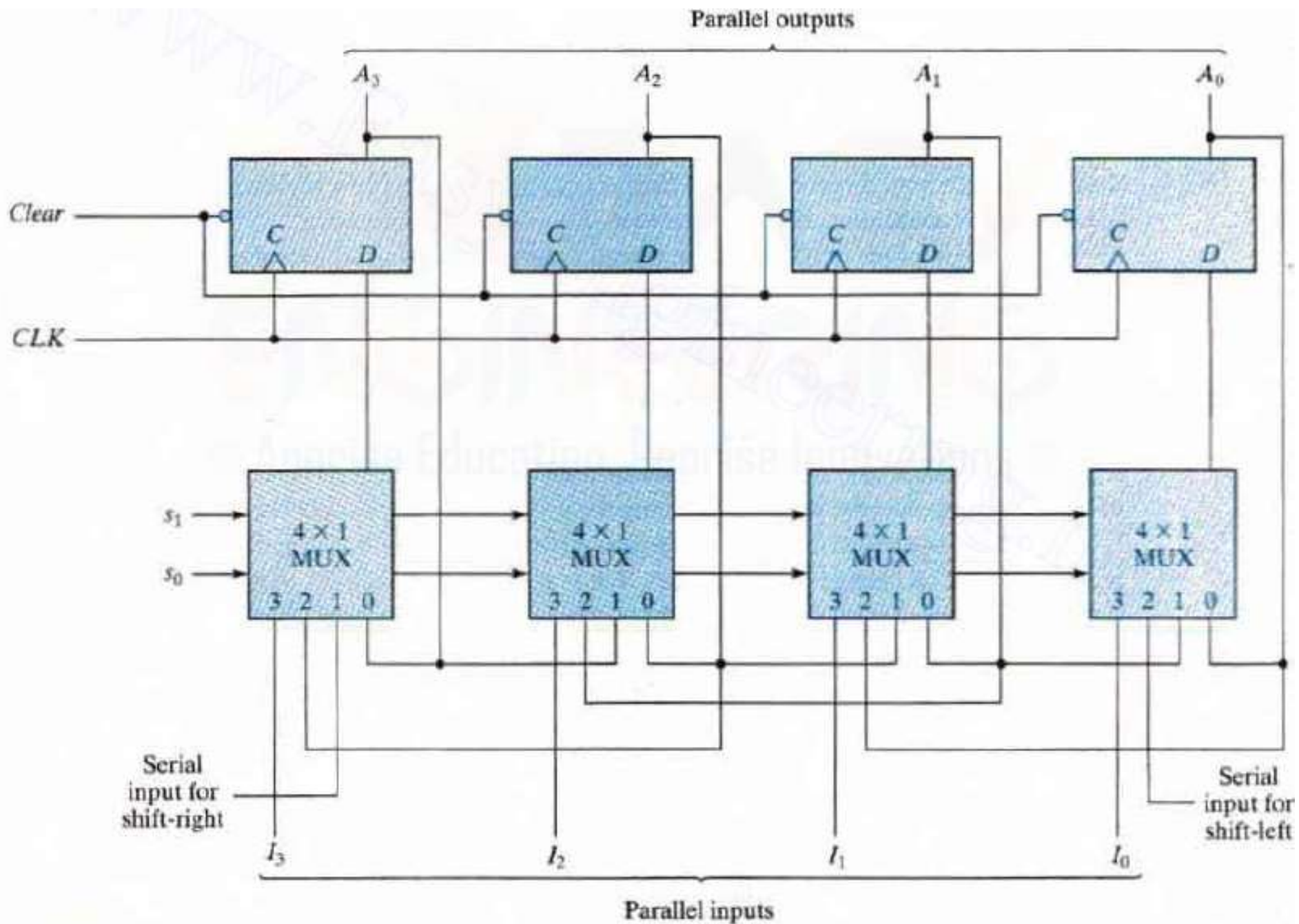


مسجل الأغراض العام Universal Shift Register

• شكله العام:



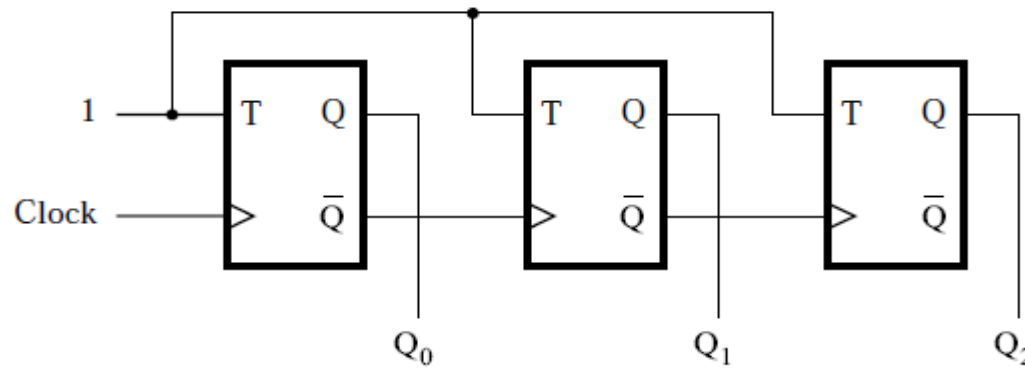
Mode Control		Register Operation
s_1	s_0	
0	0	No change
0	1	Shift right
1	0	Shift left
1	1	Parallel load



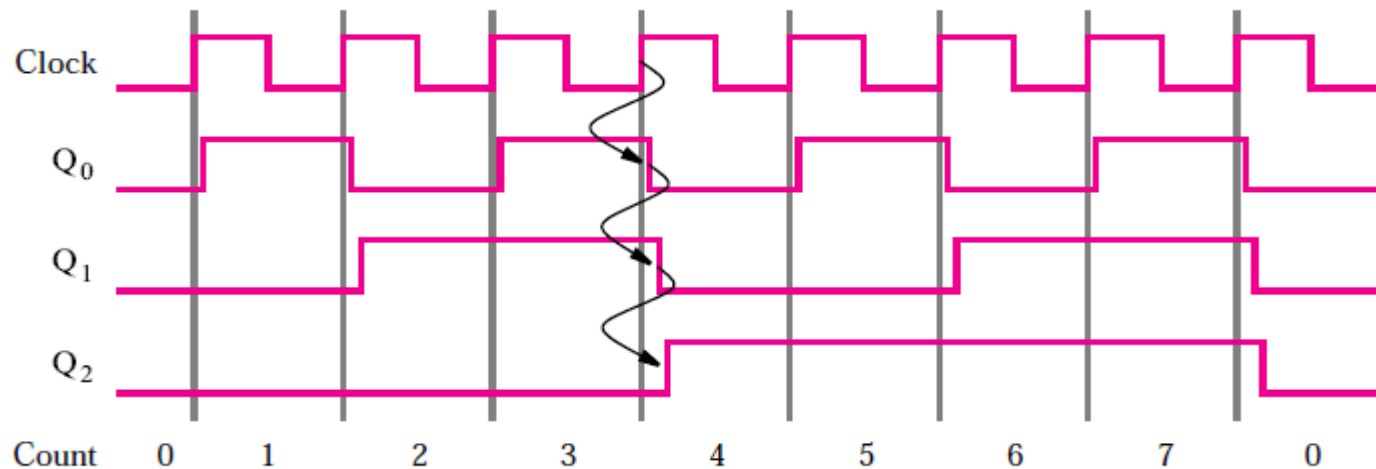
عدادات التموج: Ripple Counters

- يدعى **المسجل register** الذي ينتقل عبر تتابعٍ من الحالات محدد مسبقاً مع تطبيق نبضات الدخل **عداداً counter**.
- قد تكون نبضات الدخل هي نبضات الساعة أو قد تنشأ من منبع خارجي وقد تحدث في فواصل زمنية ثابتة أو بشكل عشوائي.
- قد يسير تتابع الحالات وفق تتابع العد الثنائي أو أي تتابع آخر من الحالات.
- يدعى العداد الذي يسير وفق تتابع العد الثنائي عداداً ثنائياً.
- يتكون العداد الثنائي ذو الـ n خانة من n قلاب ويمكن أن يعد ثنائياً من الصفر حتى $2^n - 1$.
- تتوفر العدادات في صنفين, عدادات التموج والعدادات المتزامنة.
- في عداد التموج يعمل عبور **transition** خرج القلاب كمنبع قرح للقلابات الأخرى. بكلمات أخرى يكون الدخل **C** لبعض أو كل القلابات مقدوحاً **triggered** ليس بنبضات ساعة مشتركة بل بالعبور الذي يحدث في مخارج قلاب آخر.
- في العداد المتزامن تستقبل المداخل **C** لكل القلابات نبضة الساعة المشتركة ويتحدد تَغْيُر الحالة من الحالة الراهنة للعداد.
- ندرس فيما يلي عدادات التموج الثنائية والعدادات المتزامنة ونشرح مبدأ عملها.

عدادات التموج: Ripple Counters



(a) Circuit

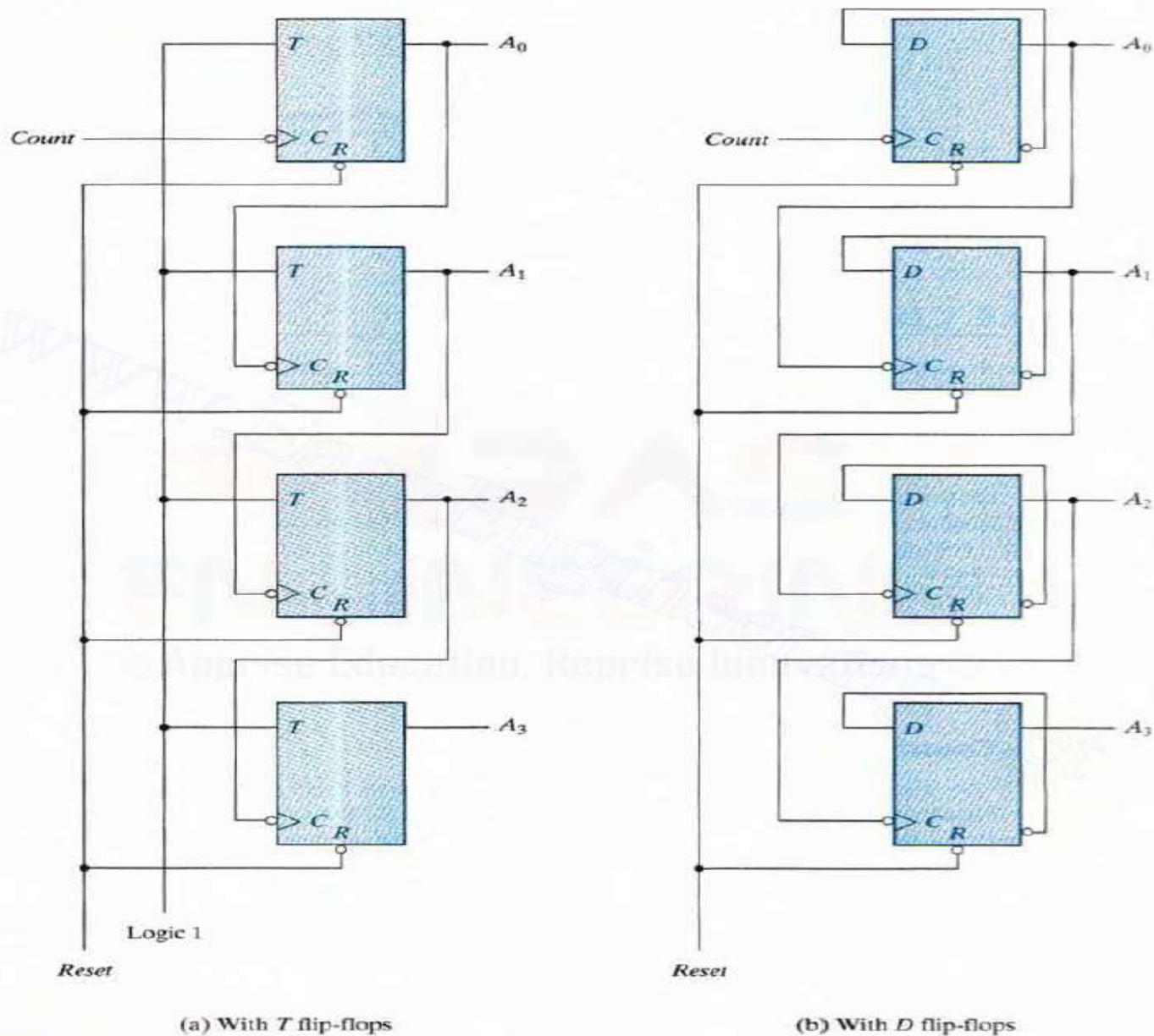


(b) Timing diagram

Figure 7.20 A three-bit up-counter.

Up-Counter with T Flip-Flops

عداد التمرج الثنائي: Binary Ripple Counter



Binary Count Sequence

A ₃	A ₂	A ₁	A ₀
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0

FIGURE 6.8
Four-bit binary ripple counter

العدادات الثنائية المتزامنة: *Synchronous Binary Counters*

- العدادات المتزامنة تختلف عن عدادات التمرير حيث **تطبق فيها نبضات الساعة على كل مداخل القلابات.**

• تصميم العداد الثنائي: *Design of Binary Counter*

- تصمم العدادات المتزامنة كما تصمم أي دائرة تتبعية متزامنة أخرى.
- يمكن أن يعمل العداد دون مدخل خارجي باستثناء نبضات الساعة.
- يؤخذ مخرج العداد من مخارج القلابات دون أية مخارج إضافية من البوابات.
- في غياب المداخل والمخارج الإضافية فسيكون جدول الحالة للعداد من أعمدة الحالة الراهنة والحالة التالية فقط.

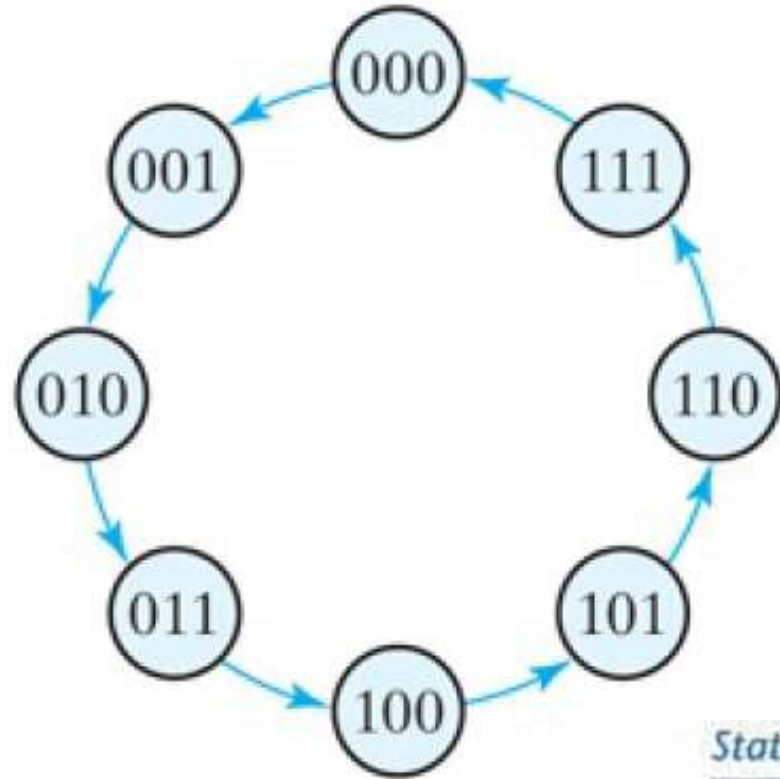
تصميم عداد متزامن بقلابات من النوع T

Synchronous Counter Design with T FFs

- نوضح إجرائية تصميم عداد ثنائي ثلاثي الخانة باستخدام
القلاب نوع T.

- نعلم أن عبورات الحالة في الدارات المتتالية النبضية تتم مع حافة الساعة بحيث تبقى القلابات في حالاتها الراهنة إذا لم يتم تطبيق نبضة ساعة.
- لذلك دخل العداد الوحيد هو نبضات الساعة وتحدد مخرجه من الحالة الراهنة للقلابات.
- مخطط حالة هذا العداد هو:

مخطط حالة العداد

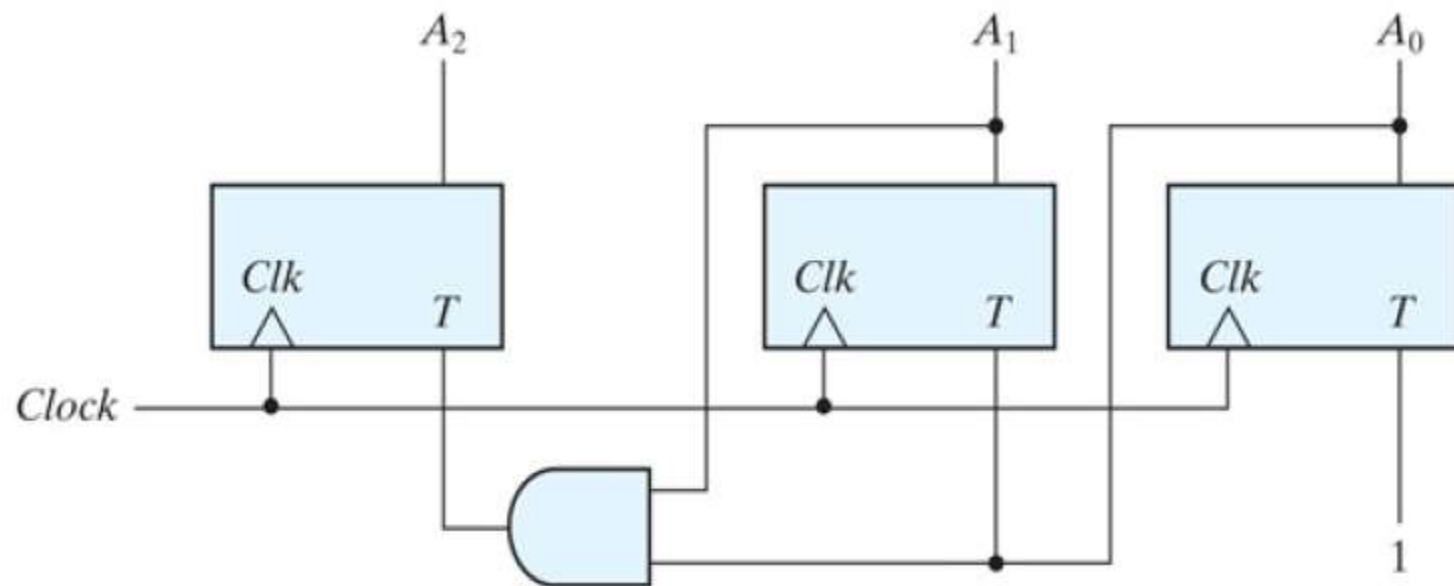
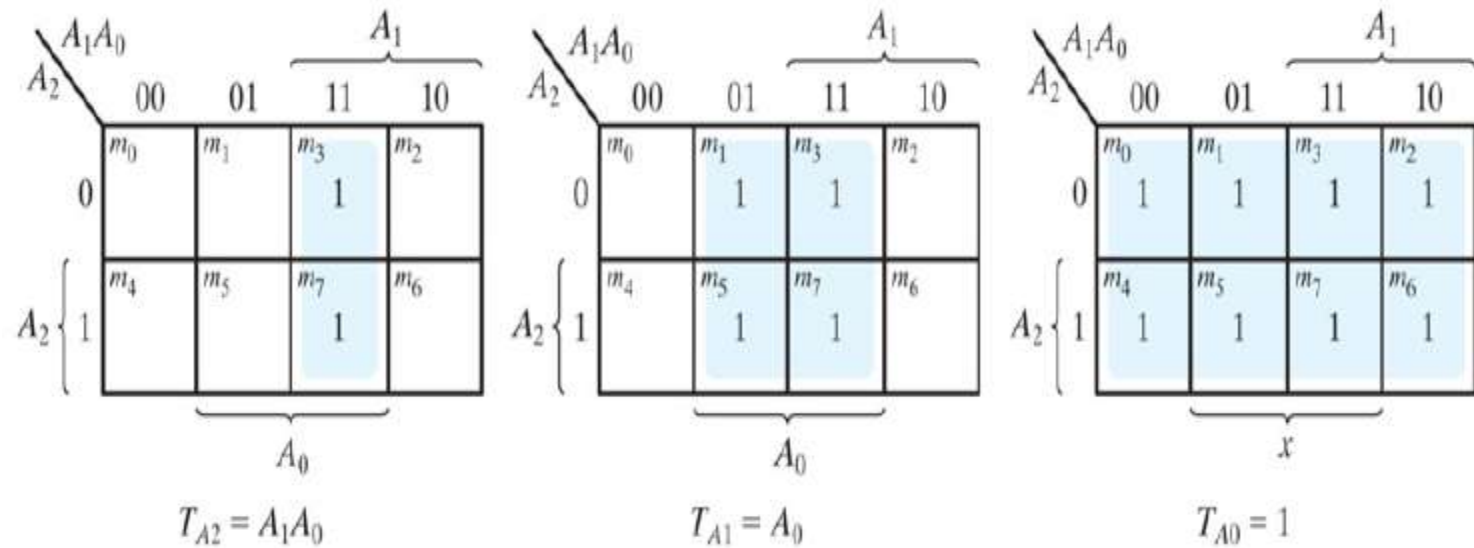


State Table for Three-Bit Counter

Present State			Next State			Flip-Flop Inputs		
A_2	A_1	A_0	A_2	A_1	A_0	T_{A2}	T_{A1}	T_{A0}
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	1	1	1

T للقلاب (d)		
$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

نقوم بتبسيط معادلات دخل القلايات فنحصل على المعادلات التالية وهي تشكل الجزء التركيبي



تصميم عداد متزامن بقلابات من النوع JK

Synchronous Counter Design with JK FFs

- جدول الحالة لعداد ثنائي رباعي الخانة متزامن يستخدم قلابات JK هو التالي:

الحالة الراهنة <i>Present State</i>				الحالة التالية <i>Next State</i>				مداخل القلابات <i>Flip - Flop Inputs</i>							
A_3	A_2	A_1	A_0	A_3	A_2	A_1	A_0	J_{A3}	K_{A3}	J_{A2}	K_{A2}	J_{A1}	K_{A1}	J_{A0}	K_{A0}
0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X
0	0	0	1	0	0	1	0	0	X	0	X	1	X	X	1
0	0	1	0	0	0	1	1	0	X	0	X	X	0	1	X
0	0	1	1	0	1	0	0	0	X	1	X	X	1	X	1
0	1	0	0	0	1	0	1	0	X	X	0	0	X	1	X
0	1	0	1	0	1	1	0	0	X	X	0	1	X	X	1
0	1	1	0	0	1	1	1	0	X	X	0	X	0	1	X
0	1	1	1	1	0	0	0	1	X	X	1	X	1	X	1
1	0	0	0	1	0	0	1	X	0	0	X	0	X	1	X
1	0	0	1	1	0	1	0	X	0	0	X	1	X	X	1
1	0	1	0	1	0	1	1	X	0	0	X	X	0	1	X
1	0	1	1	1	1	0	0	X	0	1	X	X	1	X	1
1	1	0	0	1	1	0	1	X	0	X	0	0	X	1	X
1	1	0	1	1	1	1	0	X	0	X	0	1	X	X	1
1	1	1	0	1	1	1	1	X	0	X	0	X	0	1	X
1	1	1	1	0	0	0	0	X	1	X	1	X	1	X	1

<i>JK</i> للقلاب (a)			
<i>Q(t)</i>	<i>Q(t+1)</i>	<i>J</i>	<i>K</i>
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

• لم يتم رسم مخططا كارنوف لـ J_{A0} ، K_{A0} لاحتواء هذين المخططين على واحدات فقط وحالات عدم تعيين مما يجعل كلاً منهما يساوي الواحد.

• من الضروري في العديد من التطبيقات أن نتحكم بعمل العداد عن طريق مدخل تفعيل العدّ *count enable input*. إذا أشرنا إلى هذا المدخل بالحرف E فإن معادلات الدخل للعداد الثنائي يمكن أن يعبر عنها كالتالي:

$$J_{A0} = K_{A0} = E$$

$$J_{A1} = K_{A1} = A_0 E$$

$$J_{A2} = K_{A2} = A_0 A_1 E$$

$$J_{A3} = K_{A3} = A_0 A_1 A_2 E$$

• عندما تكون $E=0$ فإن كل مداخل J و K تساوي الصفر وتبقى القلابات بنفس الحالة حتى بوجود نبضات الساعة.

• عندما تكون $E=1$ تصبح معادلة الدخل الأولى

$$J_{A0} = K_{A0} = 1$$

وتختصر معادلات الدخل الأخرى إلى المعادلات المستنتجة تحت مخططات كارنوف السابقة.

$A_3 A_2$		$A_1 A_0$			
		00	01	11	10
00					
01				1	
11	x	x	x	x	
10	x	x	x	x	

$J_{A3} = A_0 A_1 A_2$

x	x	x	x
x	x	x	x
		1	

$K_{A3} = A_0 A_1 A_2$

		1	
x	x	x	x
x	x	x	x
		1	

$J_{A2} = A_0 A_1$

x	x	x	x
		1	
		1	
x	x	x	x

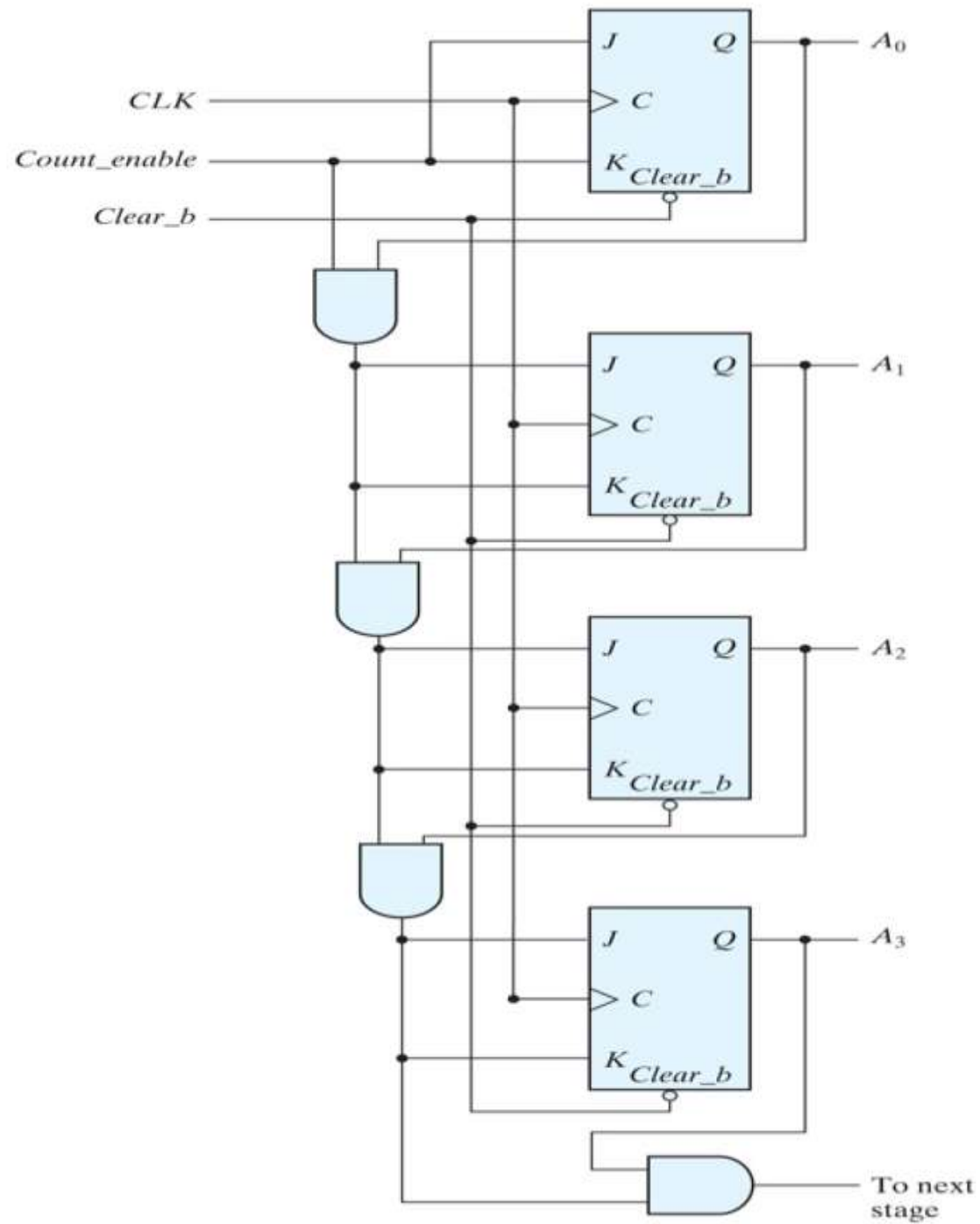
$K_{A2} = A_0 A_1$

	1	x	x
	1	x	x
	1	x	x
	1	x	x

$J_{A1} = A_0$

x	x	1	
x	x	1	
x	x	1	
x	x	1	

$K_{A1} = A_0$



عداد رباعي الخانة بقلابات نوع D : 4-Bits Counter with D

FFs

- عداد رباعي الخانة: جدول الحالة له بسيط

- معادلات المداخل:

$$D_{A0}(A_3, A_2, A_1, A_0) = \sum m(0, 2, 4, 6, 8, 10, 12, 14)$$

$$D_{A1}(A_3, A_2, A_1, A_0) = \sum m(1, 2, 5, 6, 9, 10, 13, 14)$$

$$D_{A2}(A_3, A_2, A_1, A_0) = \sum m(3, 4, 5, 6, 11, 12, 13, 14)$$

$$D_{A3}(A_3, A_2, A_1, A_0) = \sum m(7, 8, 9, 10, 11, 12, 13, 14)$$

- بتبسيط التوابع الأربعة بالمخططات وإضافة مدخل تفعيل العدّ E فإننا نحصل على معادلات الدخل التالية للعداد.

$$D_{A0} = A_0 \oplus E$$

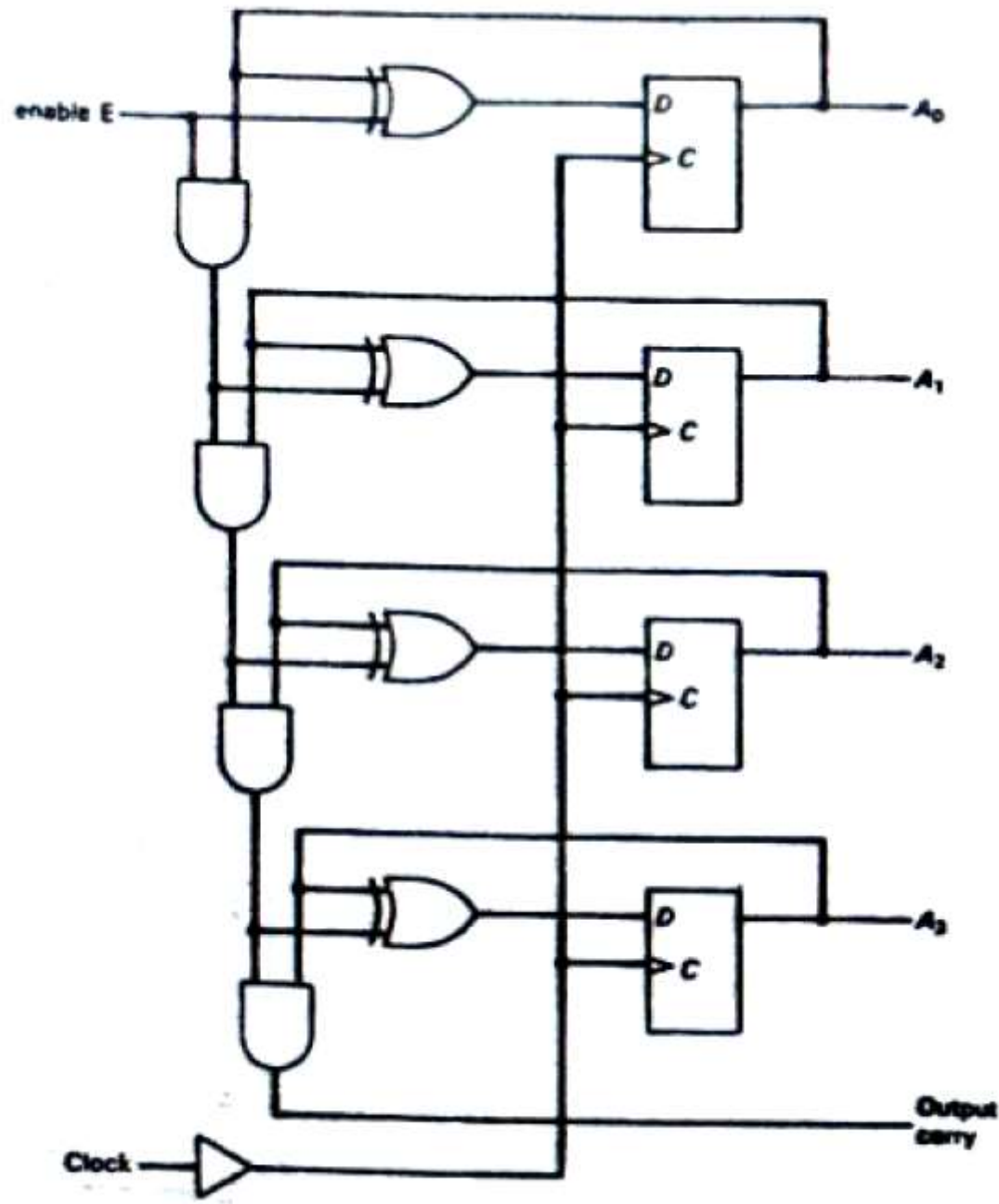
$$D_{A1} = A_1 \oplus (A_0 E)$$

$$D_{A2} = A_2 \oplus (A_0 A_1 E)$$

$$D_{A3} = A_3 \oplus (A_0 A_1 A_2 E)$$

- معادلة الدخل لأي قلاب i في الحالة i يمكن أن يُعبر عنها كالتالي:

$$D_{Ai} = A_i \oplus (A_0 A_1 A_2 \dots A_{i-1} E)$$



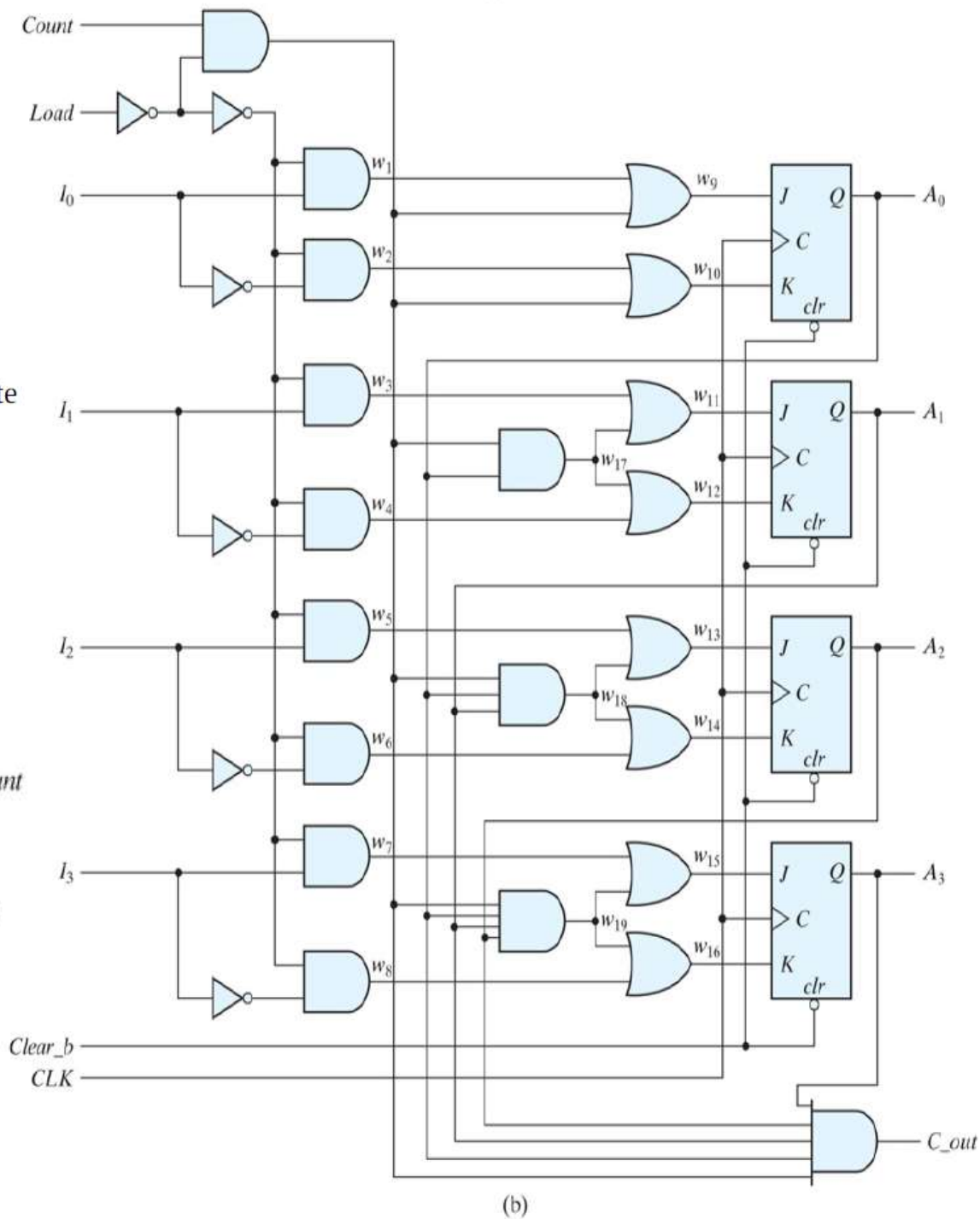
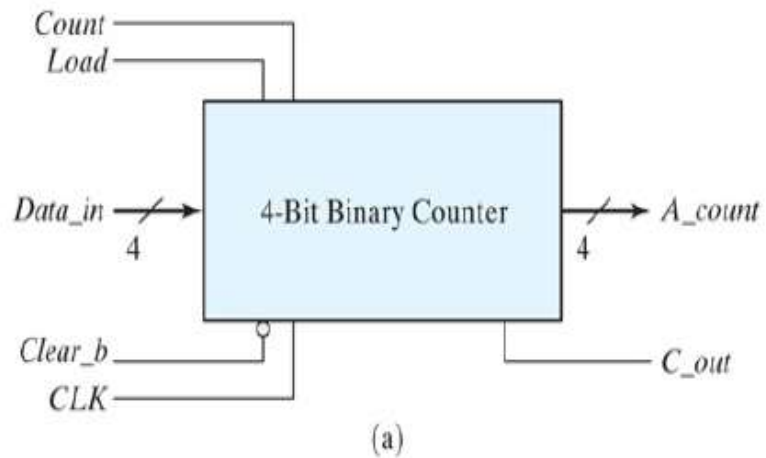
عداد ثنائي رباعي الخانة بقلاب نوع D

العداد الثنائي بخط تحميل تفرعي: *Binary Counter with Parallel Load*

- غالباً ما تحتاج العدادات المستخدمة في الأنظمة الرقمية إلى إمكانية تحميل تفرعية لتهيئتها بعدد ثنائي أولي قبل عملية العدّ.
- يبين الشكل التالي المخطط المنطقي لمسجل ذو إمكانية تحميل تفرعية ويمكن أن يعمل أيضاً كعداد.
- إذا كان مدخل التحكم بالتحميل *input load control* = 1 يتم تعطيل *disables* عملية العدّ وتتم عملية نقل المعطيات من المداخل التفرعية الأربعة إلى القلابات الأربعة.
- إذا كان مدخل التحكم بالتحميل = 0 ومدخل العدّ يساوي 1 فستعمل الدارة كعداد ثنائي.

Clear_b CLK Load Count Function

0	X	X	X	Clear to 0
1	↑	1	X	Load inputs
1	↑	0	1	Count next binary state
1	↑	0	0	No change



عدادات متزامنة أخرى: Other Synchronous Counters

عداد BCD : BCD Counter

- سنستخدم القلاب T في التصميم:

- الدخل T في كل حالة

يساوي 1 إذا كان القلاب

متممًا أثناء العبور من

الحالة الراهنة إلى الحالة

التالية، وهو يساوي الصفر

إذا كانت الحالة التالية

تساوي الحالة الراهنة.

- أدخل الخرج Y في الجدول

وهو يساوي الواحد عندما

تساوي الحالة الراهنة

1001. بهذه الطريقة يمكن

أن تفعل Y مدخل العدّ للعقد

التالي (تذكر أن عداد

BCD يدعى بعداد العقد

(decade counter

عندما ينتقل عقده الخاص

من 1001 إلى 0000.

جدول الحالة ومداخل القلاب لعداد BCD

Present State				Next State				Output	Flip-Flop Inputs			
A_8	A_4	A_2	A_1	A_8	A_4	A_2	A_1	Y	T_{A8}	T_{A4}	T_{A2}	T_{A1}
0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	1	0	0	1	0	0	0	0	1	1
0	0	1	0	0	0	1	1	0	0	0	0	1
0	0	1	1	0	1	0	0	0	0	1	1	1
0	1	0	0	0	1	0	1	0	0	0	0	1
0	1	0	1	0	1	1	0	0	0	0	1	1
0	1	1	0	0	1	1	1	0	0	0	0	1
0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	0	0	1	0	0	0	0	1
1	0	0	1	0	0	0	0	1	1	0	0	1

تعطى معادلات دخل القلاب من مداخل القلاب المدوّنة في الجدول ويمكن أن تبسط باستخدام المخططات.

- نعتبر الحالات غير المستخدمة للحدود الأصغرية من 1010 حتى 1111 حالات عدم تعيين وهذه المعادلات بصورتها النهائية:

$$T_{A1} = 1$$

$$T_{A2} = A_1 \overline{A_8}$$

$$T_{A4} = A_1 A_2$$

$$T_{A8} = A_1 A_8 + A_1 A_2 A_4$$

$$Y = A_1 A_8$$

- يمكن رسم مخطط الدارة المنطقي بأربع قلابات نوع T وخمسة بوابات AND وبوابة OR واحدة.
- عدادات BCD المتزامنة يمكن أن تتعاقب *cascaded* لتشكل عدادات عشرية وبأي طول. يتم التالي بوصل الخرج Y إلى مداخل T للعقد (العداد) ذو الترتيب الأعلى التالي.

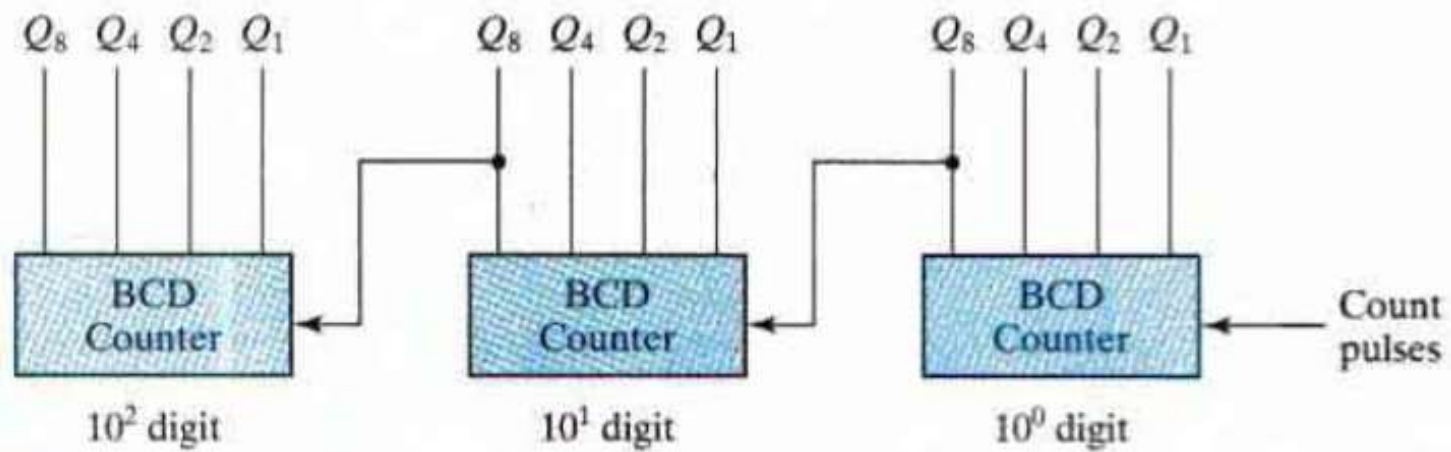


FIGURE 6.11
Block diagram of a three-decade decimal BCD counter

تتابع العدّ العشوائي: Arbitrary Count Sequence

جدول الحالة ومداخل القلايات للعداد العشوائي

الحالة الراهنة <i>Present State</i>			الحالة التالية <i>Next State</i>			مداخل القلايات <i>Flip-Flop Inputs</i>					
<i>A</i>	<i>B</i>	<i>C</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>J_A</i>	<i>K_A</i>	<i>J_B</i>	<i>K_B</i>	<i>J_C</i>	<i>K_C</i>
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	1	0	0	1	X	X	1	0	X
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	1	1	0	X	0	1	X	X	1
1	1	0	0	0	0	X	1	X	1	0	X

- المداخل K_B و K_C لهما 1 و X في عموديهما فقط ولذا يمكن اعتبار هذين المدخلين باستمرار أن لهما القيمة 1.

- معادلات القلايات الأخرى يمكن أن تبسط باستخدام الحدود الأصغرية 3 و 7 كشروط عدم تعيين.

$$\begin{aligned} J_A &= B \\ J_B &= C \end{aligned}$$

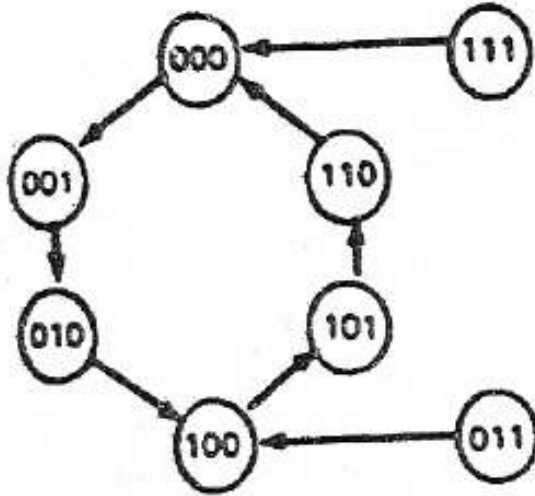
$$\begin{aligned} K_A &= B \\ K_B &= 1 \end{aligned}$$

$$J_C = \bar{B}$$

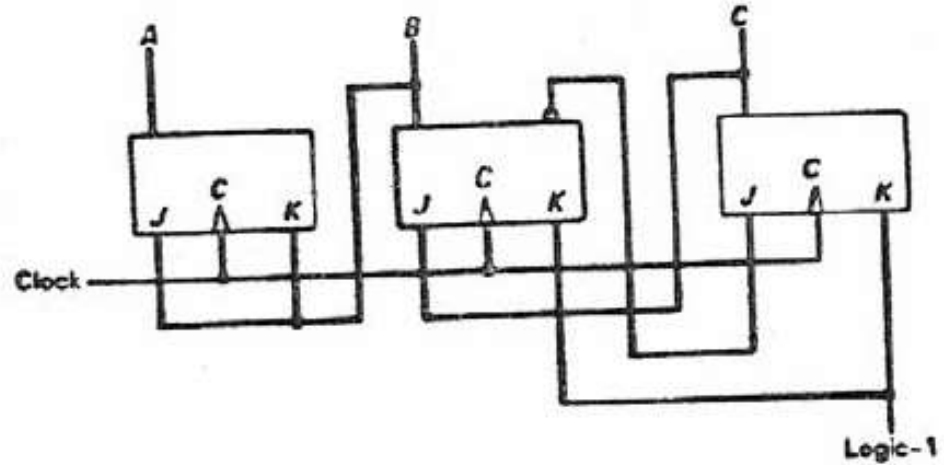
$$K_C = 1$$

- فنحصل على التوابع المبسطة التالية:

$$\begin{aligned} J_A &= B & K_A &= B \\ J_B &= C & K_B &= 1 \\ J_C &= \bar{B} & K_C &= 1 \end{aligned}$$



(b) مخطط الحالة



(a) المخطط المنطقي

عداد ذو عد عشوائي

- لأن هناك حالتين غير مستخدمتين يجب تحليل الدارة لتحديد أثر هاتين الحالتين. مخطط الحالة مرسوم في (b) من الشكل السابق لو انتقلت الدارة إلى إحدى هاتين الحالتين غير المستخدمتين فإن نبضة العد التالية ستنتقل العداد إلى إحدى الحالات الصحيحة ويستمر العد بشكل صحيح. وهكذا يعتبر العداد ذو تصحيح ذاتي *self-correcting*. العداد ذو التصحيح الذاتي هو الذي يستطيع أن يبدأ من أي حالة ويصل بالنهاية إلى تتابع العد الصحيح حتى لو أنه بدأ من حالة غير مستخدمة *unused state*.

العدادات التصاعدية التنازلية: Up-Down Counters