

بسمه تعالی



Amirkabir University of Technology
(Tehran Polytechnic)

گزارش پروژه درس طراحی سیستم های VLSI

اعضای گروه:

- محمدرضا بابایی مصلح 9823011
- محمد مهدی شریفیان 9823053

مقدمه

در این پروژه باید یک فلیپ فلاپ غیر حساس به همپوشانی کلاک هست همانطور که در کلاس گفته شد در هر منطق باید بررسی شود که در صورت وجود همپوشانی بین کلاک و وارون آن چه مشکلاتی میتواند در مدار بوجود بیاید. میدانیم که این همپوشانی در اثر تاخیر ایجاد شده در وارون کردن کلاک میباشد.

مسئولیت های اعضای گروه:

محمدرضا بابایی مصلح:

- رسم layout و اندازه گیری مساحت
- بررسی transient و اندازه گیری پارامتر های مختلف مدار نظیر t_s , t_{pcq} , t_{ccq}

محمد مهدی شریفیان:

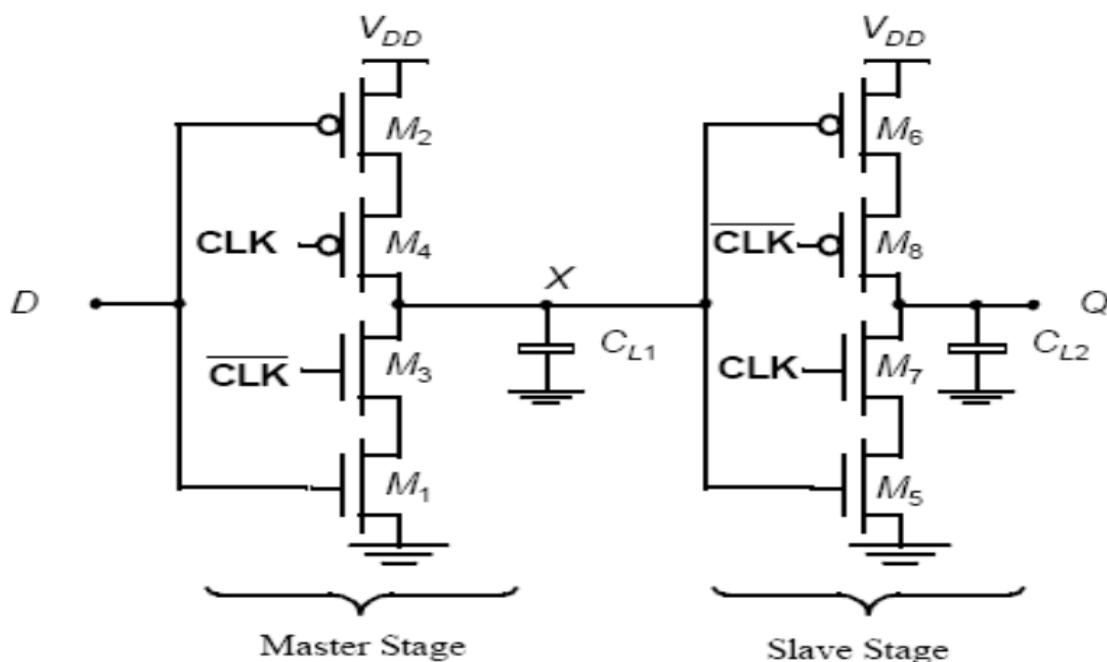
- انتخاب های مربوط به طراحی شامل نوع logic، ابعاد ترانزیستور ها و ...
- سمبل و شماتیک مدار و معماری مدار با توجه به الگو نمودار میله ای

بخش اول

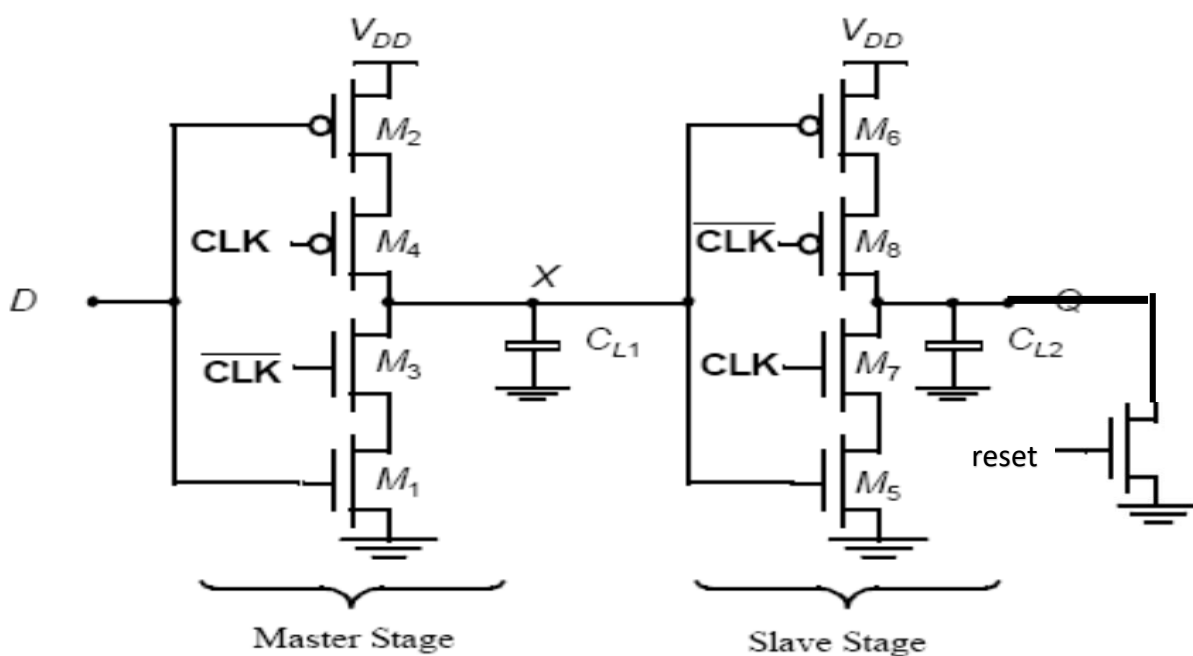
چونکه هدف اصلی پروژه حساس نبودن به همپوشانی کلاک ها بود در نگاه اول فلیپ فلاپ C2MOS که با منطق ایستا کار میکند انتخاب بسیار مناسبی به نظر رسید. علاوه بر این در این منطق در تعداد ترانزیستور صرفه جویی میشود. در نتیجه باعث بهینه شدن ابعاد و کاهش توان مصرفی میشود. همچنین نحوه رفتار این فلیپ فلاپ بسیار ساده تر نسبت به منطق های دیگر میباشد. و سوپینگ ما در این منطق کامل است. پس این منطق با توجه به هدف اصلی ما و ویژگی های دیگری که دارد استفاده شد. در این مرحله هنوز reset به گیت اضافه نشد و صرفا حساس نبودن به همپوشانی لبه ها در نظر گرفته شد. در مرحله بعد با توجه به اینکه یکی از خواسته های مسئله وجود reset آسنکرون در مدار بود تغییراتی در معماری فلیپ فلاپ صورت گرفت.

بخش دوم

شماتیک مدار با توجه به توضیحات بالا به شکل زیر خواهد بود.



در ادامه برای داشتن reset آسنکرون یک ترانزیستور NMOS را به خروجی وصل میکنیم. و reset را به گیت ترانزیستور وصل میکنیم
 اکنون با توجه به بخش های قبل شماتیک مدار با صورت زیر خواهد بود.



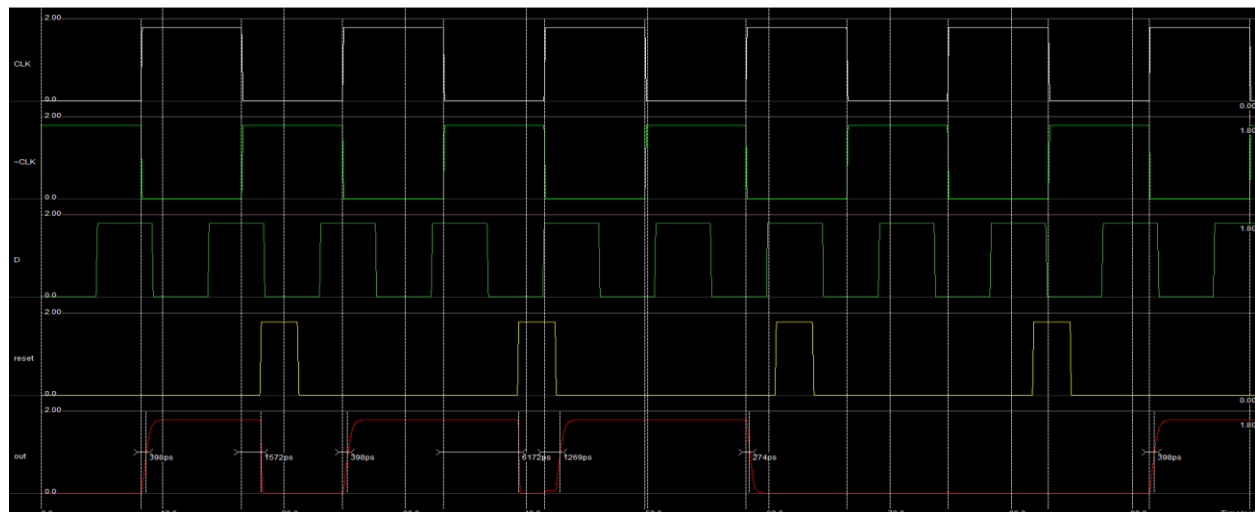
حال با توجه به طراحی های انجام شده ابعاد را تعیین میکنیم. برای بهبود تاخیر ها ابعاد ترانزیستور های شبکه پایین کش را برابر 3 در نظر گرفتیم و ابعاد بقیه مدار را برابر اساس آن تعیین کردیم. به این صورت که ابعاد ترانزیستور های طبقه بالا کش را برابر 8 در نظر گرفتیم. در در نهایت با توجه به بزرگ بودن ابعاد شبکه بالا کش و ابعاد ترانزیستور reset را بزرگ و برابر 9 در نظر گرفتیم. این عمل باعث بالا بودن سوپینگ خروجی میشود.

ابعاد ترانزیستور ها در جدول زیر آمده است

	L	W	L/W
M1	0.2u	0.6u	3
M3	0.2u	0.6u	3
M5	0.2u	0.6u	3
M7	0.2u	0.6u	3
M2	0.2u	1.6u	8
M4	0.2u	1.6u	8
M6	0.2u	1.6u	8
M8	0.2u	1.6u	8
reset	0.2u	1.8u	9

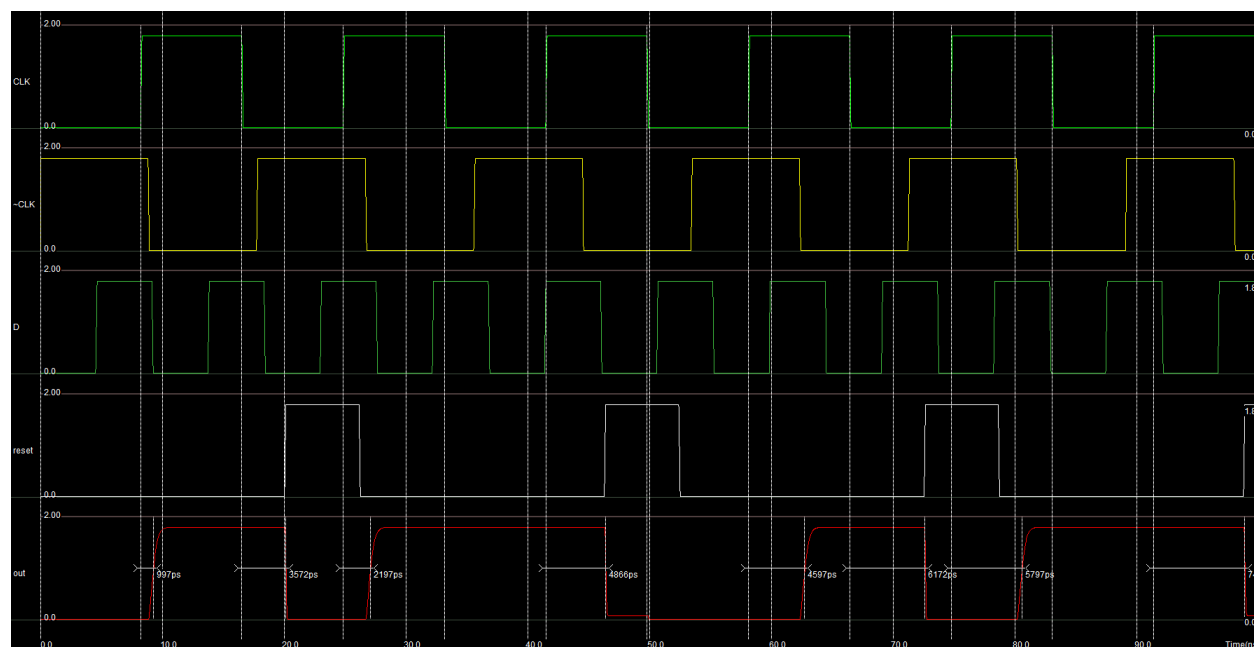
بخش سوم

حال به بررسی رفتار transient مدار میپردازیم. ابتدا مشخصه کلی مدار را به همراه عملکرد ریست آسنکرون بررسی میکنیم. عملکرد ریست آسنکرون به این صورت است که زمانی که $reset = 1$ شود خروجی به زمین وصل میشود. اما به دلیل نسبتی شدن منطق سوئیچینگ خروجی کامل نمیشود. اما چونکه ترانزیستوری که به خروجی وصل است NMOS است و ابعاد آن را بزرگ انتخاب کردیم پس تا حد خوبی میتوان گفت سوئیچینگ کامل داریم. البته باید توجه داشت که زمانی که طبقه بالا کش متصل به خروجی روشن نباشد سوئیچینگ کامل است



همانطور که در شبیه سازی مشخص است reset کاملاً درست کار کرده و آسنکرون میباشد. اما در 42.11ns همانطور که مشاهده میشود سوپینگ مقداری کاهش یافته است که همانطور که گفته شد به دلیل نسبتی شدن منطق میباشد.

حال به بررسی رفتار مدار در زمان همپوشانی کلاک ها میپردازیم البته لازم به ذکر است که این سلول به طور ذاتی توانایی تحمل کلاک هایی با t_r, t_f زیاد را ندارد که البته چونکه جزو خواسته های طراحی ما نبود ما از این مسئله چشم پوشی کردیم. در ادامه شبیه سازی سلول را با توجه به همپوشانی کلاک ها بررسی میکنیم.



همانطور که مشاهده میشود سلول اصلاً نسبت به همپوشانی کلاک ها حساس نمیشد. حساس بودن نبودن مدار هم طبق مطالب گفته شده در کلاس به این صورت است.

حال به بررسی پارامترهای مختلف گذرای مدار میپردازیم.

tccq: با توجه به معماری مدار این مقدار برابر t_{inv} میباشد. زیرا به اندازه یک t_{inv} زمان لازم است تا مقدار ذخیره شده روی گره میانی به خروجی برسد.

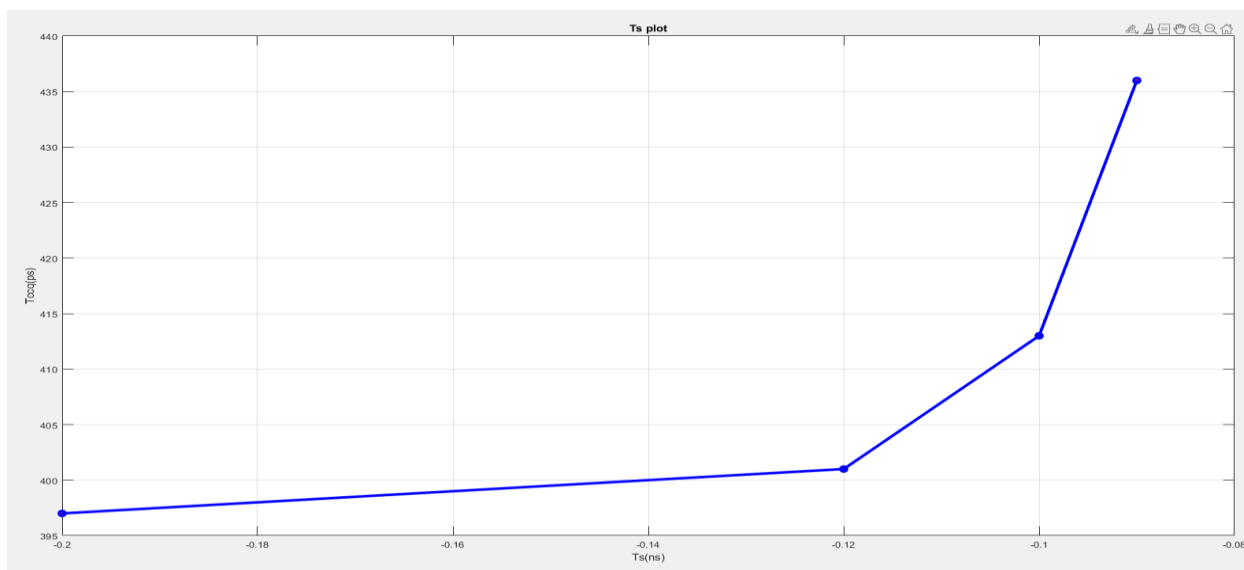
tpcq: با توجه به معماری مدار این مقدار برابر t_{inv} میباشد. زیرا مانند حالت قبل در بدترین حالت نیز تنها به اندازه یک t_{inv} زمان لازم است تا ورودی به خروجی انتقال یابد.

ts: زمان آمادگی نیز برابر t_{inv} میباشد زیرا حداقل به اندازه یک t_{inv} زمان لازم است تا داده ها از ورودی به گره میانی برسند.

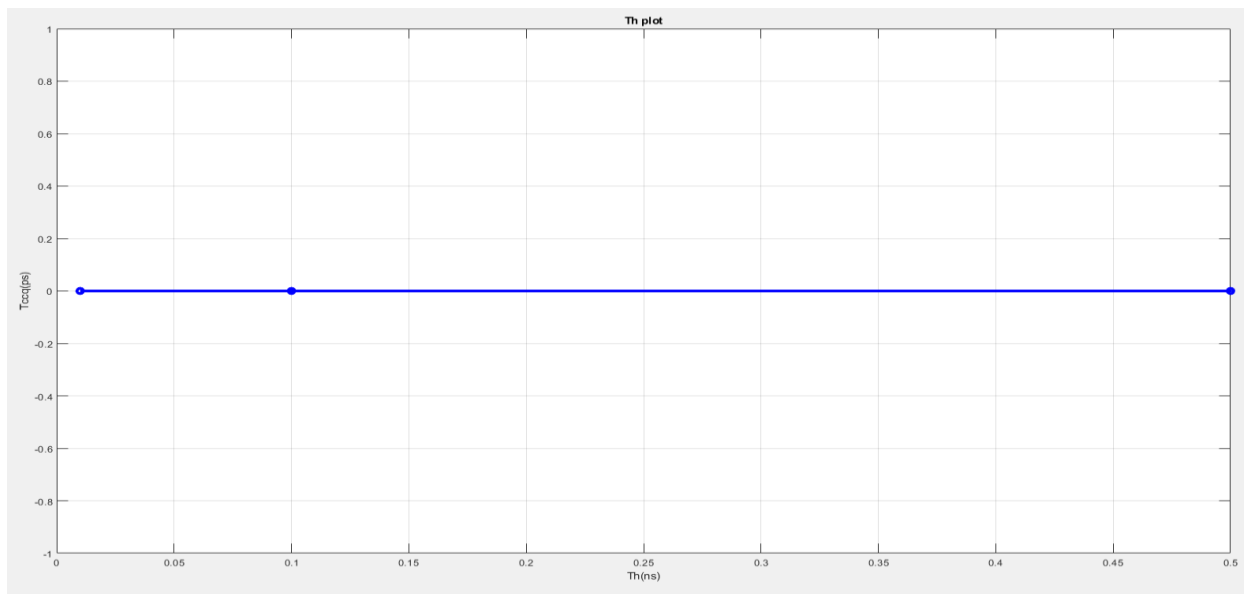
thold: با توجه به اینکه با آمدن کلاک ورودی نمیتواند گره میانی را تحت تاثیر قرار دهد این مقدار برابر صفر میباشد. اما با توجه به اینکه در زمان همپوشانی احتمال آلوده شدن خروجی وجود دارد (اگر ورودی برابر یک باشد) پس thold باید بزرگتر از زمان همپوشانی 1-1 کلاک ها باشد.

حال به بررسی مقادیر ts و thold با استفاده از شبیه سازی و روش گفته شده در کلاس میپردازیم.

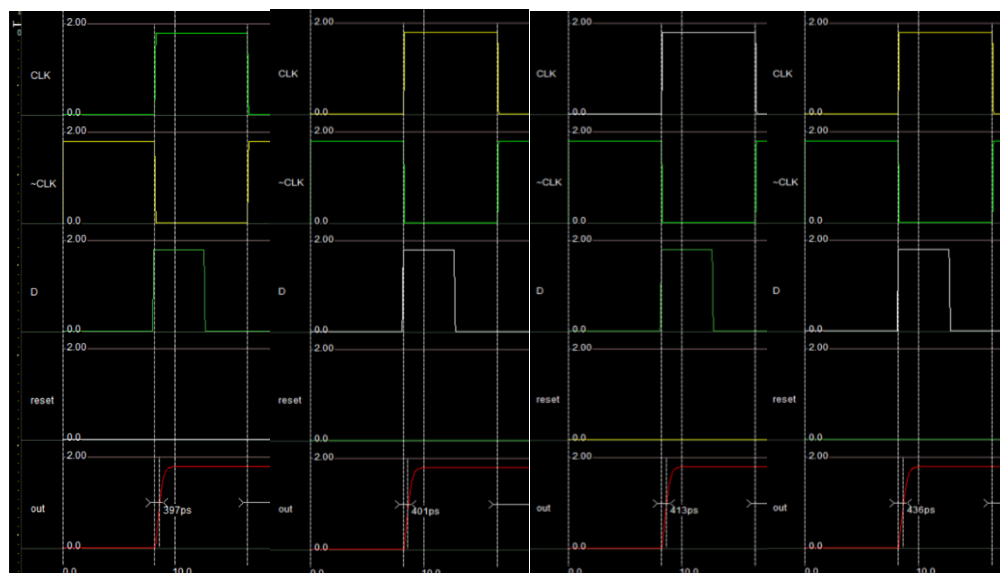
در شکل زیر نمودار ts آمده است که با توجه به آن $ts=0.1ns$ خواهد بود.



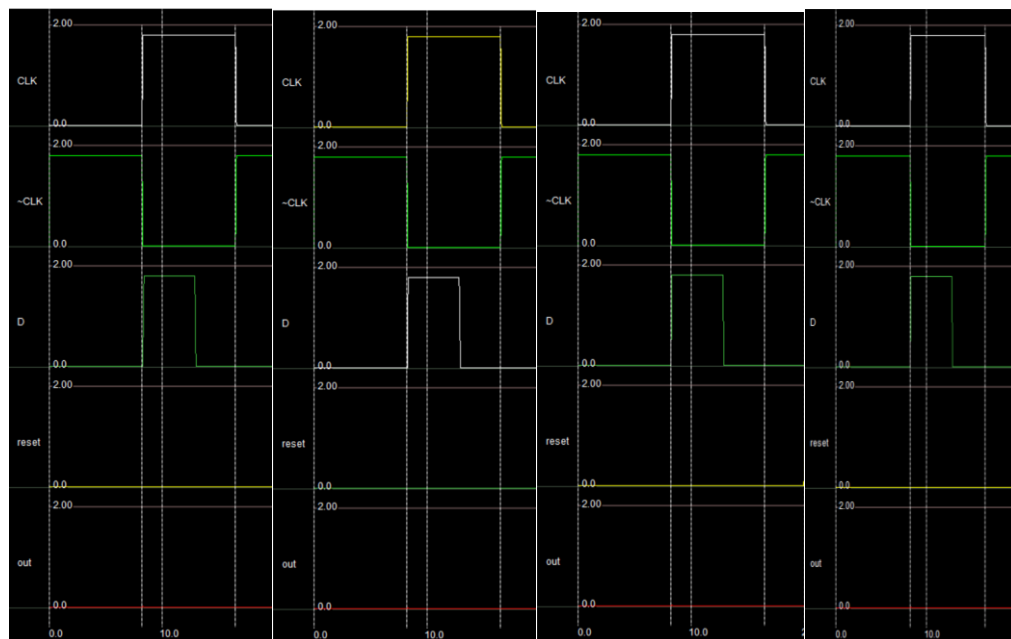
همچنین برای th نیز داریم:



اندازه گیری های زیر بر اساس نتایج شبیه سازی زیر بوده اند.

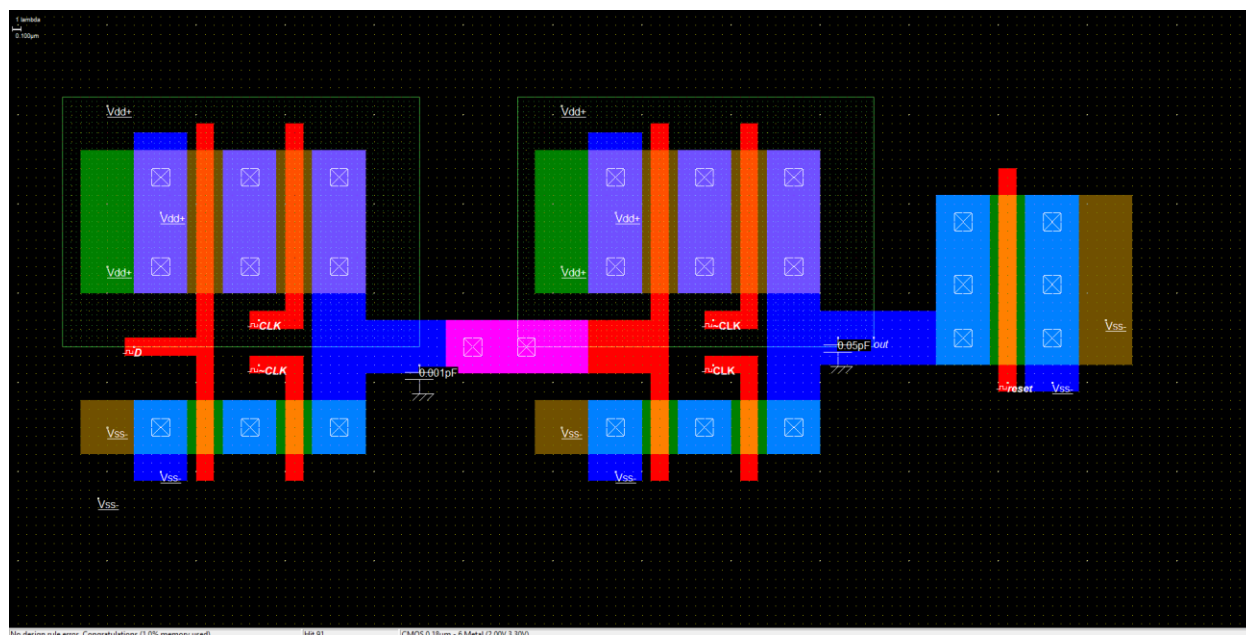


همچنین برای th داریم:



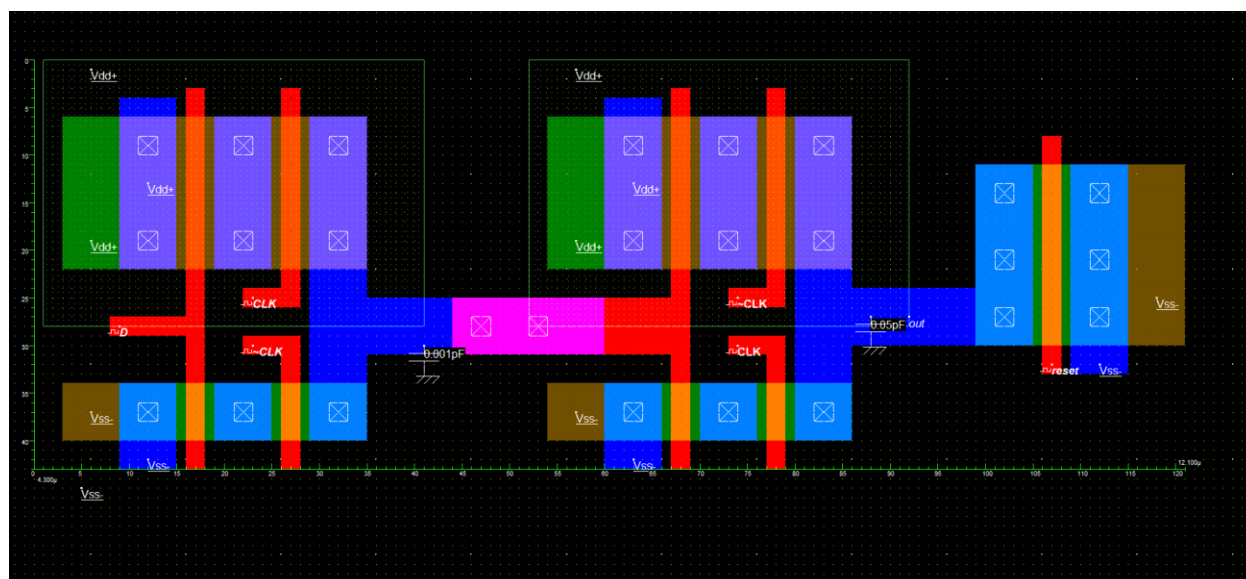
بخش چهارم

در این بخش به بررسی layout مدار میپردازیم و ابعاد آن را اندازه میگیریم.



همانطور که مشاهده میشود خطای DRC در طراحی نداریم.

برای ابعاد نیز داریم:



با توجه به ابعاد نشان داده شده در تصویر اندازه مساحت برابر $52.03(\mu m)^2$ میباشد.

بخش پنجم

ts	0.1ns
th	0ns
tccq	397pc
tpcq	397ps
A	$52.03(\mu m)^2$
P	$22\mu w$, $11\mu w$

توان مدار برای دو حالت داشتن همپوشانی و نداشتن همپوشانی متفاوت است

در این بخش به بررسی پارامترهای مدار پرداختیم. به طور کلی عملکرد مدار مورد قبول میباشد. این سلول برای این کاربرد خاص عملکرد قابل قبولی دارد و با توجه به مشخصات transient مدار رفتار گذرای مدار نیز قابل قبول بود. البته در سلول ما تاخیر tccq کمی بزرگ بود که برای کوچک تر کردن آن میتوان اندازه اینورترها را بزرگ تر کرد تا تاخیرهای ناشی از خازنهای طبقه بعد کوچکتر و در نتیجه تاخیر کل کمتر شود البته این به معنای افزایش توان مصرفی و افزایش مساحت سلول خواهد بود.