

گزارش کار آزمایشگاه DSD

آزمایش شماره 5



26 فروردین 1400 عرشیا اخوان محمدحسین عبدی علیرضا ایلامی

تاریخ آزمایش: 26 فروردین 1400	موضوع: طراحی ضرب کننده	شماره آزمایش: 5
عليرضا ايلامي	محمدحسین عبدی	عرشيا اخوان
97101286	97110285	97110422

مقدمه:

در این آزمایش ما باید ضرب به روش booth را پیاده سازی کنیم.

شرح آزمایش:

ابتدا یک سیگنال start داریم که باید حتما 1 شود تا الگوریتم شروع شود

b تعدادی رجیستر داریم به نام های a,b,x که قرار است رجیستر های a,b در یکدیگر ضرب شوند و در xb نوشته شوند. x هم رجیستر کمکی است. و خروجی نهایی حاصلضرب xb است.

یک کانتر n داریم که تعدد مراحل ضرب را نشان میدهد

یک سیگنال end flag داریم که وقتی 1 میشود یعنی خروجی ما آماده است.

یک رجیستر b مه هست که موقع شیفت دادن xb بیرون انداخته میشود. (بیت سمت راست عدد xb)

a, b در ابتدا اعداد را لود میکنیم در

i به جای الگوریتم ضرب عادی، ما در روش بوث می آییم در b ، ابتدا index اولین بیت یک، ایندکس آن را i میگیریم. تا وقتی بیت های بعدی i هستند ادامه میدهیم و کاری نمیکنیم، تا زمانی که دوباره به یک بیت i برسیم و اندیس آن نیز i است.

چیزی که برای ما مهم میشود، دو به توان \mathbf{j} منهای دو به توان \mathbf{i} است. یعنی

2^j - 2^i

علت آن هم این است که مثلا 111 که برابر با 7 است، برابر با دو به توان 3 منهای دو به توان صفر است. بنابراین الگوریتم بوث تعداد operation های ما را به شدت کاهش میدهد و نتیجه را نیز کاملا درست محاسبه میکند.

1

كار ما بطور خلاصه اين است:

بیت های 0b و 1-b را چک میکنیم.

اگر که b0 b-1 برابر با 00 یا 11 بود:

یعنی ما وسط دنباله متوالی در الگوریتم بوث هستیم و نیازی نیست کاری انجام دهیم. و به راحتی فقط شیفت میدهیم و فقط از کانتر یک واحد کم میکنیم.

اگر برابر با 10 بود: باید شروع کنیم به کم کردن دو عدد و سپس یک واحد از کانتر کم میکنیم اگر برابر با 01 بود: باید شروع کنیم به جمع کردن دو عدد و مثل قبل کانتر را یک واحد کم میکنیم

واضح است که کل الگوریتم زمانی خاتمه پیدا میکند که کانتر ما برابر با 0 شده باشد

تعدادی مثال به روش booth اورده شده است:

Signed Binary Multiplication

The acting chary for the Booth's signed multiplication scheme is shown.

Example 1: Follow Booth's signed multiplication algorithm step by step to multiply 4-bit numbers 7 and -5. (A=0111)

	Χ	В	\mathbf{b}_0	Counter	Operation
	0000	101	1	4	Subtract
	1001	101	1	4	Shift
	1100	110	1	3	Shift
	1110	011	0	2	Add
	0101	011	0	2	Shift
	0010	101	1	1	Subtract
	1011	101	1	1	Shift
(1101	110		0	End.
			\checkmark	- 00100011	> -35 = 7 x (-5)

Signed Binary Multiplication

The acting chart for the Booth's signed multiplication scheme is shown.

Example 3: Follow Booth's signed multiplication algorithm step by step to multiply 4-bit numbers -7 and -5. (A=1001)

X	B 👧	Counter	Operation
0000	1011	4	Subtract
0111	1011	4	Shift
0011	1101	3	Shift
0001	1110	2	Add
1010	1110	2	Shift
1101	0111	1	Subtract
0100	0110	1	Shift
0 010	0011	0	End.
35	= -7 x	c (-5)	

Hamid Sarbazi-Azad

Computer Architecture -- Lecture #5: Arithme

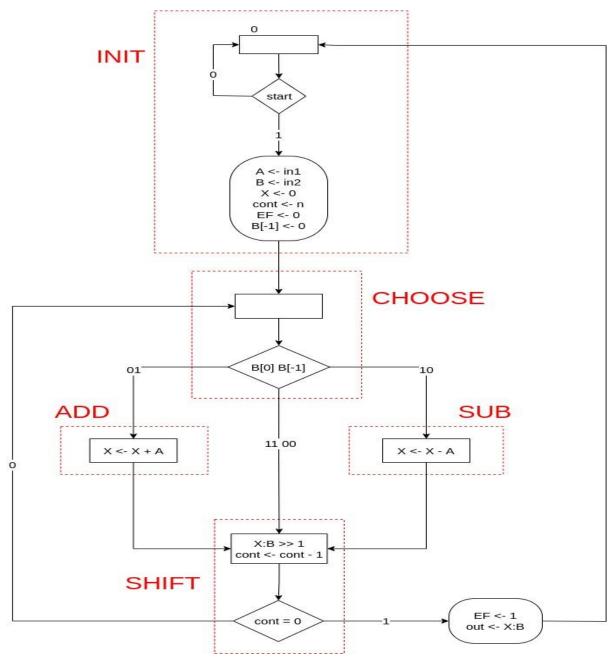
Signed Binary Multiplication

The acting chary for the Booth's signed multiplication scheme is shown.

Example 2: Follow Booth's signed multiplication algorithm step by step to multiply 4-bit numbers -7 and 6. (A=1001)

X	В	Counter	Operation
0000	0110	4	Shift
0000	0011	3	Subtract
0111	0011	3	Shift
0011	1001	2	Shift
0001	1100	1	Add
1010	1100	1	Shift
(1101	0110	0	End.
	7		
-00101010 $-42 = -7 \times 6$			

تحلیل نمودار ASM chart



در این نمودار ما 5 تا state داریم:

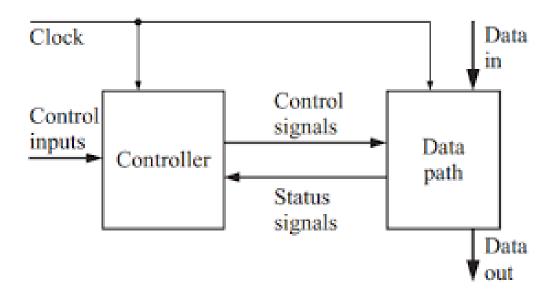
Init, Choose, Sub, Add, Shift

در init state که اگر سیگنال start باشد همینطور کلاک زده میشود تا وقتی که 1 = start شود و سیگنال های اولیه ست گردند و ما به استیت بعدی برویم.

در Choose state ما یک باکس خالی داریم. علت آن در زیر شرح داده شده است:

میدانیم که تمام دستورات در یک asm block که با مستطیل نشان داده میشود، بصورت کاملا موازی و همزمان انجام میشوند. و همچنین هر کدام از این بلاک ها نمایانگر یک کلاک واحد زمانی هستند. ضمن اینکه میدانیم تمام تغییرات ما در یک asm block در بلاک بعدی این تغییرات ما اعمال میشوند. بنابراین آن بلاک خالی باعث میشود شروط abo, b بعد از اجرای استیت های ADD و SUB و SHIFT بعد درستی مقدار دهی شوند.

تحلیل کد:



شمایی از ساختار کلی ماژول:

داده ها وارد دیتاپت میشوند، دیتاپت signal های وضعیت فعلی را به واحد Controller که در اینجا current است میدهد، و واحد کنترلر تصمیم میگیرد که next state چیست و آن را در state بریزد. و این نتیجه را به دیتاپت اطلاع میدهد. هر دوی این بلاک ها با کلاک کار میکنند.

Mul booth

```
module MUL BOOTH(in1,
                  in2,
                  out,
                  out_r,
                  clk,
                  start,
                 rstn);
    parameter BIT LEN = 4;
    input [BIT_LEN-1:0] in1, in2;
    input clk, start, rstn;
    output [2*BIT_LEN-1:0] out;
    output out_r;
    wire [2:0] status, control;
    CU cu (
    .status(status),
    .control(control),
    .start(start),
    .rstn(rstn),
    .clk(clk)
    );
    DP #(.BIT_LEN(BIT_LEN)) dp(
    .control(control),
    .IN1(in1),
    .IN2(in2),
    .OUT(out),
    .status(status),
    .EF(out_r),
    .rstn(rstn),
    .clk(clk)
    );
endmodule //mul booth
```

این ماژول صرفا کنترل یونیت و دیتاپت را وصل میکند و حکم واسط را دارد. اصل کار در دو ماژول دیگر است.

Control unit

```
define ST INIT
                   3'b000
 define ST_ADD
                  3'b001
 define ST SUB
                   3'b010
define ST_SHIFT 3'b011
 define ST_CHOOSE 3'b100
module CU(clk,
          status,
          control,
          rstn,
          start);
    input [2:0] status;
    input clk, rstn, start;
    output [2:0] control;
   wire B0, B0, FIN;
   reg [2:0] state;
    reg [2:0] next_state;
    assign B0 = status[2];
    assign BO = status[1];
    assign FIN = status[0];
    assign control = state;
    always @(posedge clk or negedge rstn) begin
        if (!rstn)
            state <= `ST INIT;</pre>
        else
           state <= next state;</pre>
    end
```

```
always @(state or B0 or B0 or FIN or start) begin
         case (state)
              `ST INIT:
             begin
                  if (start) begin
                       next_state <= `ST_CHOOSE;</pre>
                  end
              end
              `ST ADD:
             begin
                  next_state <= `ST_SHIFT;</pre>
              end
              `ST SUB:
              begin
                  next_state <= `ST_SHIFT;</pre>
              end
              `ST_SHIFT:
             begin
                  if (FIN)
                       next_state <= `ST INIT;</pre>
                  else
                       next_state <= `ST_CHOOSE;</pre>
              end
              `ST_CHOOSE:
              begin
                  if (B0 && !BO)
                       next_state <= `ST_SUB;</pre>
                  else if (!B0 && BO)
                       next_state <= `ST_ADD;</pre>
                  else
                       next_state <= `ST_SHIFT;</pre>
              end
         endcase
    end
endmodule
```

هربار next state مشخص میشود و در استیت فعلی ریخته میشود. نکست استیت از روی سیگنال های کنترلی که دیتاپت می فرستد آپدیت میشوند.

Datapath

```
define ST INIT 3'b000
define ST_ADD
                   3'b001
define ST SUB
                   3'b010
define ST_SHIFT
                  3'b011
define ST_CHOOSE
                   3'b100
module DP (control,
          IN1,
          IN2,
          OUT,
          status,
          EF.
          rstn,
          clk);
    parameter BIT LEN = 4;
    input [2:0]control;
    input [BIT LEN-1:0]IN1;
    input [BIT LEN-1:0]IN2;
    input clk, rstn;
    output [2*BIT LEN-1:0]OUT;
    output [2:0]status;
    output EF;
    output reg BO;
    reg [BIT LEN-1:0] A, B, X;
    reg[$clog2(BIT_LEN):0] cont;
    assign OUT = (EF)? {X,B}: OUT;
    assign status = {B[0], BO,EF};
    assign EF = (cont == 0);
    always @(posedge clk, negedge rstn) begin
       if (!rstn) begin
           Α
               <= IN1;
```

```
<= IN2;
        В
        X
              <= 0;
        cont <= BIT_LEN;</pre>
        BO
              <= 0;
    end
    else begin
        case (control)
             `ST_INIT:
             begin
                 cont <= BIT_LEN;</pre>
                       <= IN1;
                 В
                       <= IN2;
                 X
                       <= 0;
                 ВО
                       <= 0;
             end
             `ST ADD:
             begin
                 X \leftarrow X + A;
             end
             `ST_SUB:
             begin
                 X \leftarrow X - A;
             end
             `ST_SHIFT:
             begin
                     <= B[0];
                 {X,B} <= {X[BIT_LEN-1], X, B[BIT_LEN-1:1]};
                 cont <= cont - 1;</pre>
             end
             `ST CHOOSE:
             begin
                 //do nothing
             end
        endcase
    end
end
```

استیت ها را به دیتاپت میدهیم و دیتاپت متناسب با اینکه در چه استیتی قرار دارد، کارهای مرتبط با آن استیت را انجام میشود

تست بنچ:

```
define NULL 0
module testbench();
    parameter BIT LEN = 4;
    parameter clk_c = 5;
    wire out r;
    reg clk, start, rstn;
    reg signed [BIT_LEN - 1:0] in1, in2;
    wire signed [2 * BIT_LEN - 1:0] out;
    MUL BOOTH #(.BIT LEN(BIT LEN)) mb (
    .in1(in1),
    .in2(in2),
    .out(out),
    .out r(out r),
    .clk(clk),
    .start(start),
    .rstn(rstn)
    );
    initial begin
        $dumpfile("report/waveform.vcd");
        $dumpvars(0,mb);
    end
    integer data_file;
    integer scan file;
    integer seed;
    initial begin
        data_file = $fopen("seed.dat", "r");
        if (data file == `NULL) begin
            $display("data file handle was NULL");
            $finish;
        scan_file = $fscanf(data_file, "%d", seed);
```

```
if (scan_file == `NULL) begin
        $display("integer read error");
        $finish;
   end
end
initial begin
   c1k
   forever clk = #(clk_c/2) ~clk;
end
integer i,n;
initial begin
   rstn = 0;
   start = 0;
        = {$random(seed)}%15 + 10;
   for (i = 0; i < n; i = i+1) begin
       rstn = 0;
        #clk c;
        in1 = {BIT LEN{$random(seed)}};
        while (in1 == {1'b1,{BIT LEN-1{1'b0}}})begin
            in1 = {BIT LEN{$random(seed)}};
        end
        in2
              = {BIT_LEN{$random(seed)}};
        rstn = 1;
        start = 1;
        while (!out_r)
        begin
            #clk c;
        end
        $display("result is ready: \t%d * %d = %d",in1, in2, out);
   end
   $finish;
end
initial
    $monitor($time, " A:%b, XB:%b%b, state = %d, next_state = %d, count = %
```

مثل ازمایش سوم ما از عدد رندوم استفاده میکنیم. در فایل seed.dat یک عدد رندوم قرار داده ایم. این عدد رندوم، همان random ماست.

برای اینکه با هر سیمولیت این رندوم بودن ما تفاوت کند، ما به کمک یک بش در فایل seed.dat عدد رندوم را نوشته ایم. (به علت محدودیت لینوکس اینکار را کرده ایم. در نسخه ویندوز برای مادلسیم \$random flag\$ وجود دارد.)

نتايج:

```
| Membrian | Normath | Nor
```

```
| Persistant - Notepad | Die | Egis | Die | Egis | Die | Egis | E
```

تعداد تست های گرفته شده زیاد است. تنها تصویر بعضی از آنها را در گزارش آورده ایم. اطلاعات تکمیلی در فایل results.txt در پوشه اصلی موجود است.

نتایج Waveform:

