



---

# گزارش کار آزمایشگاه DSD

---

آزمایش شماره 2



24 اسفند 99

عرشیا اخوان  
محمدحسین عبدی  
علیرضا ایلامی

شماره آزمایش: <b>2</b>	موضوع: طراحی مدارهای ترتیبی با استفاده از امکانات شماتیک	تاریخ آزمایش: 24 اسفند 99
عرشیا اخوان <b>97110422</b>	محمدحسین عبدی <b>97110285</b>	علیرضا ایلامی <b>97101286</b>

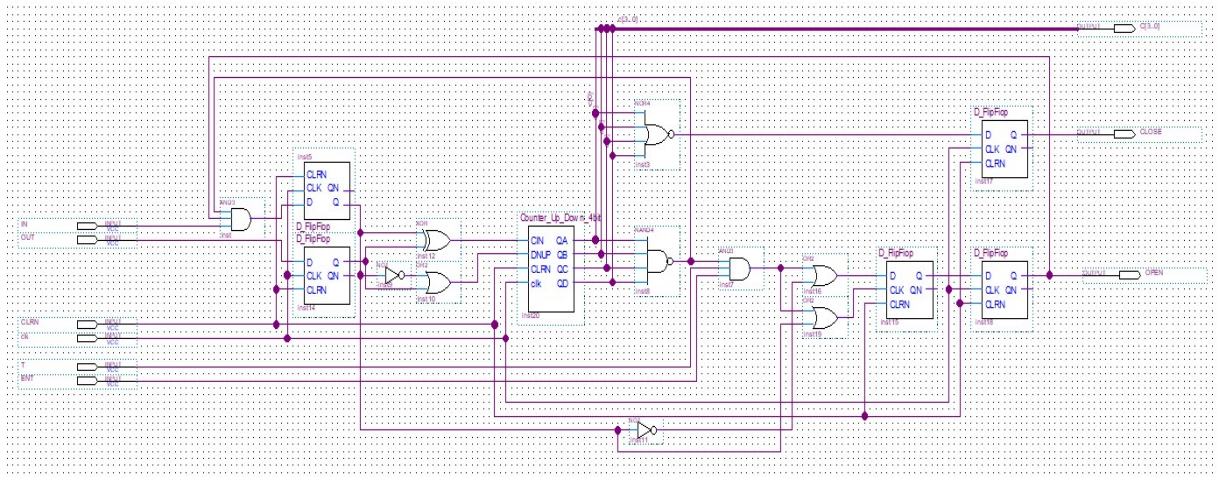
### آزمایش دوم: طراحی مدارهای ترتیبی با استفاده از امکانات شماتیک

شرح آزمایش:

در این آزمایش، برای یک اتاق انتظار، به کمک سیگنالهای ورودی و خروجی یک مدار ترتیبی طراحی کردیم که بتواند درهای این اتاق انتظار را باز و بسته کند و همچنین از ورود افراد بیش از ظرفیت اتاق جلوگیری نماید.

هر شخص برای ورود دکمه **Enter** را فشار میدهد. اگر اتاق دارای ظرفیت خالی بود، در ورودی اتاق انتظار باز شده و تا زمانی که شخص کامل رد نشده است، باز می ماند. به محض ورود کامل فرد به اتاق در بسته می شود. هروقت شخصی کامل وارد میشود، سیگنال **In** از مقدار 1 به 0 تغییر میکند. در خروجی یا همان **Exit** همواره باز است. مگر اینکه هیچ فردی در اتاق انتظار نباشد.

کلیت مدار به شکل زیر است:



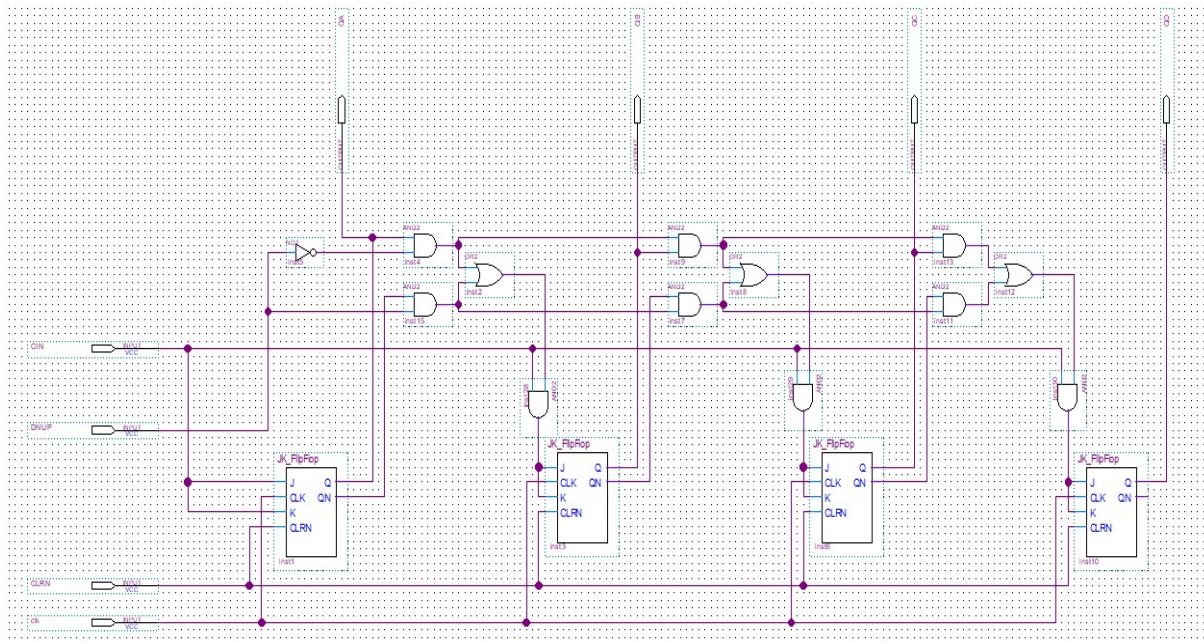
یک 4bit up/down counter داریم.

که اصل کار را اجرا میکند. این ماژول تعداد افراد حاضر را می‌شمارد.

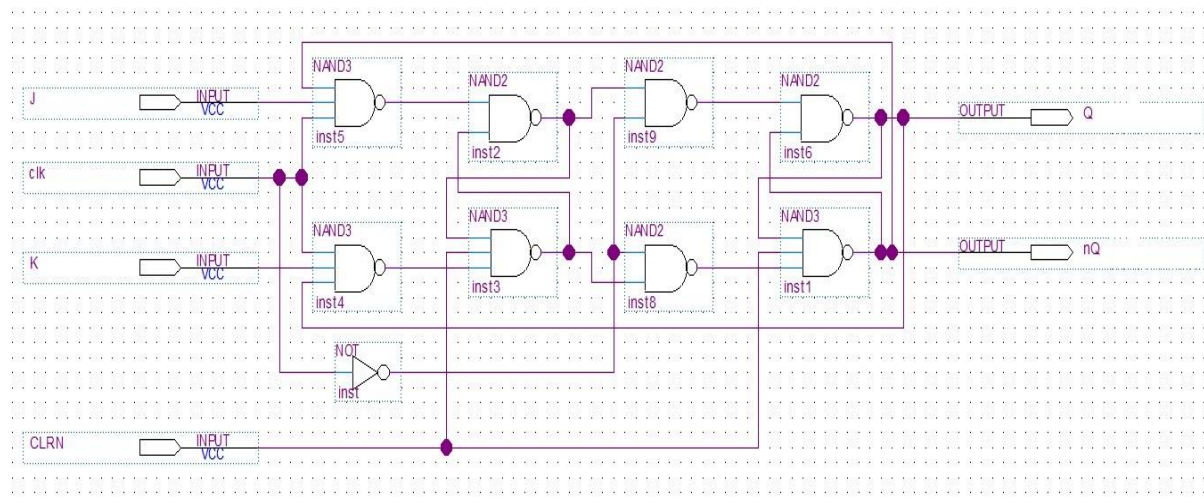
اگر کسی وارد شود و سیگنال In برابر با 1 باشد، کانتر رو به بالا می‌شمارد و اگر Out برابر با 1 باشد، رو به پایین می‌شمارد.

البته این تغییرات در حالتی enable خواهند بود که Cin که Xor بیت های In و Out است، برابر با یک باشد. چرا که اگر هر دو برابر با 1 و یا 0 باشند، تعداد تغییر نخواهد کرد.

مدار داخلی این ماژول به شکل زیر است:



مدار داخلی ماژول JK FlipFlop هم به شکل زیر است:



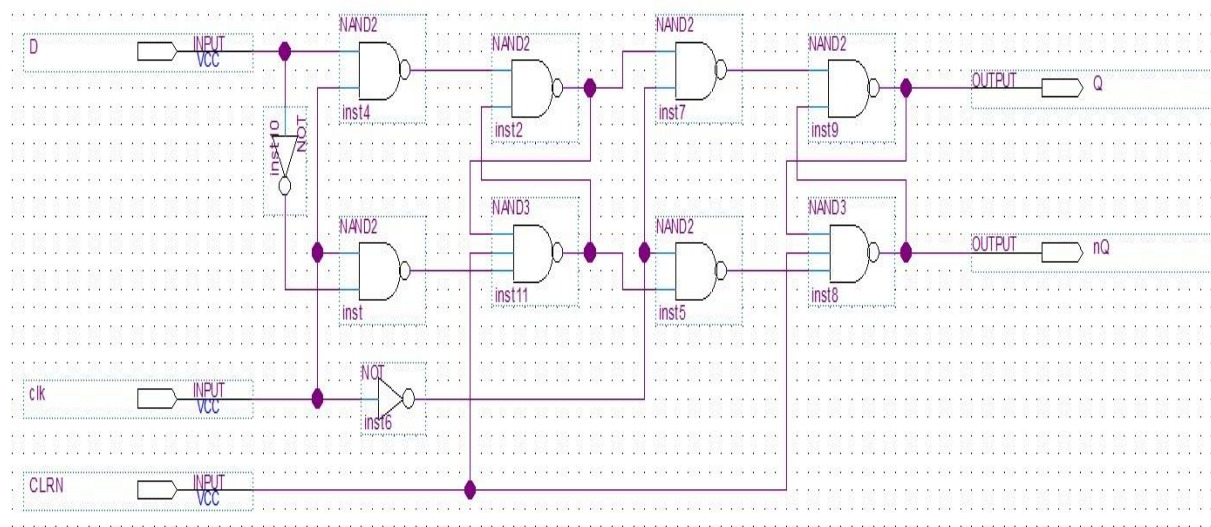
برای باز کردن در ورودی، باید اول  $t = 1$  باشد (ساعت اداری باشد)، دوما شخصی دکمه Enter را زده باشد و سوما تعداد افراد اتاق کمتر از ظرفیت 15 نفره باشد. And این سه شرط با یکدیگر را P مینامیم.

هر زمان  $P = 1$  بشود، در ورودی باز میشود. برای باز ماندن در، دیگر این شرط را چک نمی کنیم. بلکه بررسی میکنیم که سیگنال In از 0 به 1 و سپس از 1 به 0 تغییر وضعیت داده باشد. این تغییرات به این معناست که شخصی می خواست وارد اتاق شود و الان کامل وارد شده است. به عبارت ساده تر، با لبه بالا رونده P، در ورودی باز میشود و با لبه پایین رونده سیگنال In، میخواهیم در ورودی بسته گردد.

پس تغییر وضعیت در ورودی توسط لبه بالا رونده شدن سیگنال P Or NOT In اتفاق می افتد. در نتیجه، خود سیگنال Open برابر است با P Or In و Set شدن سیگنال Open برابر است با لبه بالا رونده سیگنال P Or NOT In

البته ذکر این نکته لازم است که سیگنال P Or NOT In را به D FlipFlop میدهیم تا با بقیه مدار Sync باشد.

## مدار DFF



همچنین، یکی دیگر از خروجی هایی که مدار به ما میدهد، تعداد افرادی است که در حال حاضر در اتاق انتظار قرار دارند. (خروجی شمارنده 4 بیتی)

نتیجه سنتز و F Max که کوارتوس مشخص نموده است، به شرح زیر می باشد:

Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global Settings
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Pitter
- Assembler
- TimeQuest Timing Analyzer
  - Summary
  - Parallel Compilation
  - Clocks
  - Slow 1200mV BSC Model
    - Fmax Summary
    - Timing Closure Recommendations
    - Setup Summary
    - Hold Summary
    - Recovery Summary
    - Removal Summary
    - Minimum Pulse Width Summary
    - Worst-Case Timing Paths
    - Datasheet Report
    - Metastability Report
  - Slow 1200mV OC Model
  - Fast 1200mV OC Model
  - Multicorner Timing Analysis Summary
  - Multicorner Datasheet Report Summary
  - Advanced I/O Timing
  - Clock Transfers
  - Report TCCS
  - Report R30M
  - Unconstrained Paths
  - Messages
  - EDA Netlist Writer

Slow 1200mV BSC Model Fmax Summary

	Fmax	Restricted Fmax	Clock Name	Note
1	423.01 MHz	250.0 MHz	clk	limit due to minimum period restriction (max I/O toggle rate)
2	3597.12 MHz	250.0 MHz	EN1	limit due to minimum period restriction (max I/O toggle rate)

This panel reports FMAX for every clock in the design, regardless of the user-specified clock periods. FMAX is only computed for paths where the source and destination registers or ports are driven by the same clock. Paths of different clocks, including generated clocks, are ignored. For paths between a clock and its inversion, FMAX is computed as if the rising and falling edges are scaled along with FMAX, such that the duty cycle (in terms of a percentage) is maintained. Altera recommends that you always use clock constraints and other slack reports for sign-off analysis.

ضمناً فایل نتایج تست بنچ نیز به پیوست ارسال گردیده است و در پوشه Report قرار دارد.

پایان