

## سوال های تحلیلی lab2 :

اعضای گروه : محسن کربالئی امینی: 98242128 ، غزاله طالبیان : 98243036

### بخش A :

1:

به دلیل این که نیاز داشتند از استاندارد 40 pin در دو لاین تبعیت کنند تا بتواند cpu ساختشان در motherboard ها بنشیند .  
طراحی فیزیکی یک تراشه با 16 پین بیشتر (یعنی با 56 پین ) کار دشواری است همچنین از نظر قیمت نیز برای سازندگان مقرون به صرفه نیست.

هنگامی که داده ای قرار است بر روی Bus بنشیند ، سیگنالی برای تعیین وضعیت Bus از طرف پردازنده داده می شود ، ALE به معنای آن است که آدرس بر روی bus نشسته ، DEN به معنای فعالسازی انتقال داده است . در صورتی که rd فعال باشد ، عمل خواندن و در صورتی که wr فعال باشد عمل نوشتن در حال صورت گرفتن است.

2:

تراشه 6264 :

محصول cypress ، این تراشه یک رم با تکنولوژی Cmos است که به صورت Static عمل می کند. A0 تا A12 برای تعیین آدرس است ، CE1 و CE2 برای فعالسازی قطعه می باشد و OE برای فعالسازی خروجی است ، WE برای عملیات write روس قطعه است I/O0 تا I/O7 برای ورودی و خروجی داده است .

تراشه 62256 :

ساخته شده توسط Samsung و hitachi ، یک sram با تراشه cmos است، پین های A0 تا A14 برای تعیین آدرس است. I/O1 تا I/O8 برای ورودی و خروجی است ، OE برای فعالسازی خروجی است ، WE برای فعالسازی نوشتن است ، CS برای فعالسازی قطعه است.

تراشه 27128 :

یک rom ساخت stmicroelectronics با تکنولوژی EPROM ، با uv پاک می شود ، به صورت الکتریکی program می شود ، Q0 تا Q7 برای خروجی داده است . E برای فعالسازی چیپ است ، G برای فعالسازی خروجی است ، P برای پروگرم کردن است، VPP برای تغییر حین پروگرم کردن ، VCC برای منبع تغذیه و Ground برای زمین است.

تراشه 27256:

یک rom ساخت stmicroelectronics با تکنولوژی EPROM ، با uv پاک می شود ، به صورت الکتریکی program می شود ، Q0 تا Q7 برای خروجی داده است . E برای فعالسازی چیپ است ، G برای فعالسازی خروجی است ، P برای پروگرم کردن است، VPP برای تغییر حین پروگرم کردن ، VCC برای منبع تغذیه و Ground برای زمین است.

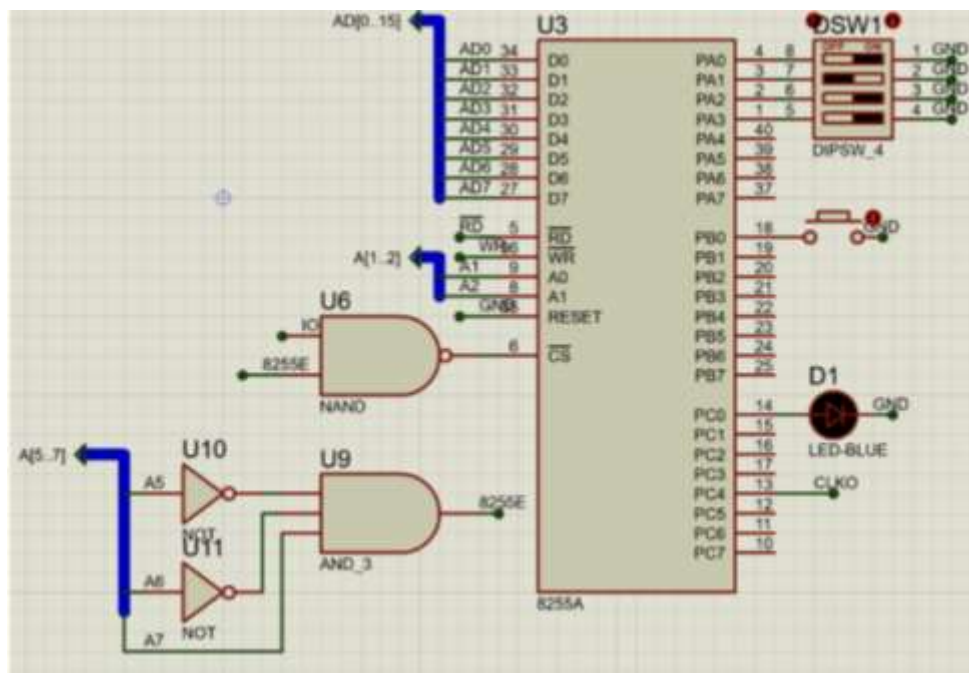
3:

ابتدا ALE فعال می شود و آدرس A0 تا A16 بر روی bus قرار بگیرد و در نهایت latch add/status هم به صورت آدرس شده و چهاربیت بالای آدرس را پشتیبانی می کند ، سپس den فعال شده و ALE غیر فعال می

شود و WR فعال می شود ، داده روی BUS قرار می گیرد و با تاخیری پس از خاموش شدن WR و DEN روی BUS می ماند تا از نوشته شدن توسط MEMORY مطمئن شود ، DT/R در طول کل فرایند WRITE کردن 1 است تا نشان دهد که انتقالی در حال انجام است .

بخش B :

1:



2:

